(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/768

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0194306
(24) 등록일자 1999년02월08일

(21) 출원번호 10-1996-0021767
(22) 출원일자 1996년06월17일
(65) 공개번호 특1997-0024015
(43) 공개일자 1997년05월30일
(30) 우선권주장 95-271399 1995년10월19일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 오사끼 아끼히꼬
일본국 도꾜도 지요다꾸 마루노우찌 2쪼메 2-3 미쯔비시 덴끼 가부시끼가이샤 내
(74) 대리인 구영창, 장수길

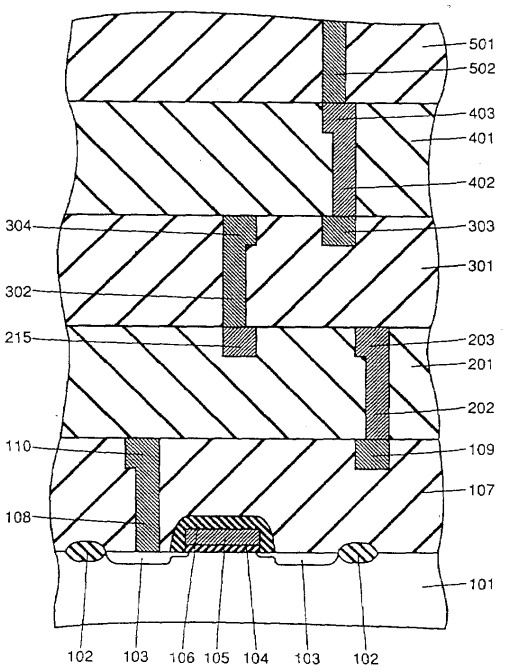
심사관 : 신준호

(54) 다층 배선을 형성하는 방법

요약

레지스트 패턴막의 두께를 균일하게 형성함으로써 레지스트 패턴이 정확하게 형성되어, 접속 구멍의 직경이 충분하게 확보되어 접속 부분에서의 전기 저항 증가와 제1배선층과 제2배선층 간의 접속 불량과 같은 문제가 발생되지 않는 다층 배선 형성 방법이 제공된다. 본 발명의 다층 배선을 형성하는 방법은, 제1도전층(109)을 피복하며 주 표면을 갖는 절연층(201)의 일부를 제거시켜 절연층(201)내에 제1도전층(109)도달하는 구멍(205)을 형성시키는 단계와, 적어도 구멍(205)을 충전시키는 유기물 층(206)을 형성하는 단계와, 구멍(205)을 충전시키는 유기물 층(207)과 접촉하는 절연층(201)의 일부를 제거시키는 단계와, 구멍(205)을 충전시키는 유전물 층(207)을, 절연층(201)내에 구멍(205)에 인접한 리세스부(209)가 형성되도록 제거시키는 단계와, 구멍(205)과 리세스부(209)를 충전하도록 제2도전층(202, 203)을 형성하는 단계를 포함한다.

대표도



명세서

[발명의 명칭]

다층 배선을 형성하는 방법

[도면의 간단한 설명]

제1도는 본 발명의 형성 방법이 적용되는 다층 배선 구조를 도시한 단면도.

제2도 내지 제9도는 본 발명의 실시예 1에 따른 다층 배선의 형성 방법 중 제1 내지 제8공정을 각각 도시한 단면도.

제10도 내지 제17도는 본 발명의 실시예 2에 따른 다층 배선의 형성 방법 중 제1내지 제8공정을 각각 도시한 단면도.

제18도 내지 제24도는 본 발명의 실시예 3에 따른 다층 배선의 형성 방법 중 제1내지 제7공정을 각각 도시한 단면도.

제25도 내지 제33도는 종래의 다층 배선의 형성 방법 중 제1내지 제9공정을 각각 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

101 : 반도체 기판 109 : 제1배선층

201 : 층간 절연막 202 : 접속 부분

205 : 접속 구멍 206 : 유기물 층

[발명의 상세한 설명]

[발명의 분야]

본 발명은 다층 배선(multi-layer interconnection)의 형성 방법에 관한 것으로, 특히 집적 회로에 사용되는 미세 패턴화된 매립형 다층 배선의 형성 방법에 관한 것이다.

메모리의 고집적화가 현저하게 증진됨에 따라, 메모리에 사용되는 배선층의 폭도 보다 미세하게 팬턴되어지고 있다. 예를 들어, 메모리 용량이 16메가비트인 다이나믹 랜덤 액세스 메모리(DRAM)의 경우, 배선층의 폭은 0.5㎛가 설계 기준으로 되어 있다. 배선층의 폭이 0.5㎛까지 미세패턴화되면, 배선층과 배선층을 연결시키는 접속 구멍(contact hole)의 직경도 배선층의 폭과 거의 같게 된다. 이러한 미세 패터닝에 따라, 다층 배선을 형성하는 각종의 방법이 제안되어 있다.

제25 내지 제33도는 1991년 Proceeding of VMIC Conference, P144-152에 기재된 매립형 다층 배선의 형성 방법을 도시한 단면도이다. 이들 도면을 참조하여, 종래의 매립형 다층 배선 형성 방법에 대해 기술하고자 한다.

제25도를 참조하면, 제1배선층(601)은 층간 절연막(602)으로 피복되어 있다. 층간 절연막(602)의 표면은 평탄화되어 있다. 층간 절연막(602)의 표면상에 포토리소그래피에 의해 접속 구멍용 레지스트 패턴(603)이 형성된다. 레지스트 패턴(603)에는 직경 d를 갖는 구멍(616)이 제공되어 있다. 이 구멍(616)바로 아래에 접속 구멍이 형성된다.

제26도를 참조해 보면, 층간 절연막(602) 및 레지스트 패턴(603)상에 레지스트(604)가 형성되어 있다.

제27도를 참조해 보면, 화살표(617, 618)로 표시된 광에 의해, 레지스트(604)상으로 제2배선층의 패턴이 전사(transfer)된다.

제28도는 참조해 보면, 레지스트(604)를 현상함으로써, 제2배선층용의 레지스트 패턴(614)이 형성된다.

제29도는 참조해 보면, 레지스트 패턴(603 및 614)를 마스크로서 사용하여 층간 절연막(602)을 건식 에칭시킴으로써 접속 구멍(606)이 형성되는데, 접속 구멍(606)의 저벽은 제1배선층(601)에 도달하지 않게 될 수 있다.

제30도를 참조해 보면, 레지스트 패턴(614)을 마스크로서 사용하여 레지스트 패턴(603)을 건식 에칭시킴으로써 제1배선층 구멍(615)이 형성된다.

제31도를 참조해 보면, 레지스트 패턴(614)을 마스크로서 사용하여 층간 절연막(602)를 건식 에칭시킴으로써 층간 절연막(602) 내에 제2배선층용 구멍(607, 608)이 형성된다. 동시에, 접속 구멍(606)의 저벽이 제1배선층(601)에 도달되었다. 다음에, 레지스트 패턴(603 및 614)이 제거된다.

제32도를 참조해 보면, 화학 기상 성장법 등의 양호한 피복성(coverage)을 갖는 방법을 사용하여 제2배선층과 접속 부분을 형성하는 금속막(609)이 형성된다. 접속 구멍(606)과 구멍(607, 608)은 금속막(609)으로 충전된다.

제33도를 참조해 보면, 화학 기계 연마법에 의해 금속막(609)을 연마함으로써 접속 부분(611) 및 제2배선층(610)이 형성된다.

상기와 같은 다층 배선 형성 방법에 있어서는, 제27도에서 도시된 공정에서 접속 구멍용 구멍(616)상으로 정확하게 전사되어야 하는 제2배선층의 패턴을 위한 광(617)이 포토리소그래피 기계의 기계적 오차나 그외 다른 요인들로 인해 구멍(616)에서 변위되는 일이 종종 있다. 따라서, 레지스트(604)가 두터운 영역(619)과 레지스트(604)가 얇은 영역(620)이 형성된다. 레지스트가 두터운 영역(619)에서는, 패턴 노광시의 해상도가 열화하여 레지스트 패턴(614)을 정확하게 형성할 수 없게 된다.

또한, 제27 및 28도에서 도시된 바와 같이, 구멍(616a)의 직경은 구멍(616)의 직경보다 레지스트가 얇은 영역(620)의 폭(변위 만큼)작게 된다. 따라서, 구멍(616)의 직경 d가 0.25㎛로 감소되면, 상기 변위의 최대 폭은 약 0.1㎛이므로 구멍(616a)의 직경과 이것에 의해 형성되는 접속 구멍(606)의 직경은 0.15㎛ 정도로 작게 감소된다. 따라서, 제33도에서 도시된 접속 부분(611)의 전기 저항이 증가한다. 제32도에서 도시된 공정에서, 접속 구멍(606)을 금속막(609)으로 완전히 충전시키는 것이 불가능해져 제1 및 제2배선층

을 서로 전기 접속 시킬 수 없다.

[발명의 요약]

본 발명의 목적은 레지스트 패턴의 막 두께를 일정하게 유지시킴으로써 레지스트 패턴을 정확하게 형성할 수 있는 다층 배선의 형성 방법을 제공하는데 있다.

본 발명의 다른 목적은 접속 구멍의 직경을 충분히 확보하여 접속 부분의 전기 저항을 감소시킴으로써 제1 및 제2배선층 간에서의 접속 불량을 방지시킬 수 있는 다층 배선의 형성 방법을 제공하는데 있다.

본 발명의 한 양상에 따른 다층 배선의 형성 방법은, 반도체 기판 상에 형성된 제1도전층을 피복하여 주 표면을 갖는 절연층의 일부를 제거시켜 절연층 내에 제1도전층에 도달하는 구멍을 형성하는 단계와, 적어도 구멍을 충전시키는 유기물 층을 형성하는 단계와, 구멍을 충전시키는 유기물 층과 접촉하는 절연층의 일부를 제거시키는 단계와, 절연층 내에 구멍에 인접하는 리세스부를 형성하기 위해 구멍을 충전시키는 유기물 층을 제거시키는 단계와, 구멍과 리세스부를 충전시키도로 제2도전층을 형성하는 단계를 포함한다.

또한, 구멍을 형성하는 단계는, 절연층의 주 표면 상에 레지스트 패턴을 형성하고 그 레지스트 패턴에 따라 절연층을 제거시키는 것을 포함할 수 있다.

또한, 유기물 층을 형성하는 단계는, 구멍을 유기물 층으로 충전시킴과 동시에 절연층의 주 표면 상에 유기물 층을 형성시켜 절연층의 주 표면이 나타날 때까지 유기물 층을 에칭-백(etching-back)하는 것을 포함할 수 있다.

또한, 제1도전층은 반도체 기판 내에 형성된 불순물 영역과 반도체 기판 상에 형성된 배선층으로 이루어진 그룹에서 선택된 적어도 하나의 성분일 수 있다.

또한, 본 발명은 제1 및 제2도전층의 폭이 0.5㎛미만일 경우 특히 효과적이다.

상기와 같은 다층 배선의 형성 방법에 있어서는, 우선 절연층 내에 제1도전층에 도달하는 구멍을 형성한 후 그 구멍을 유기물층으로 충전시킴으로써 접속 구멍으로 소용되는 구멍의 직경을 충분히 얻을 수 있다. 따라서, 접속 부분에서의 전기 저항의 증가와, 제1배선층과 제1배선층 간에서의 접속 불량을 방지시킬 수 있다 .

또한, 구멍을 형성하는 단계 또는 절연층의 일부를 제거시키는 단계에서, 절연층을 제거시키기 위한 레지스트 패턴을 형성할 시에 레지스트의 막 두께를 일정 하게 보유할 수 있으므로, 패턴 전사시에 해상도가 열화되지 않을 것이다.

도전층의 폭이 0.5㎛미만일 경우에 특히 현저한 효과를 기대할 수 있다.

본 발명의 다른 양상에 따른 다층 배선의 형성 방법은, 반도체 기판 상에 형성된 제1도전층을 피복하여 주 표면을 갖는 절연층의 일부를 제거시켜 절연층 내에 제1도전층에 도달하는 구멍을 형성하는 단계와, 구멍을 충전시키며 절연층의 주 표면을 피복시키도록 유기물 층을 형성하는 단계와, 구멍을 충전시키는 유기물층과 접촉하는 절연층의 일부와 절연층의 일부 상에 형성된 유기물 층의 일부를 제거시키는 단계와, 절연층 내에 구멍에 인접하는 리세스부를 형성하기 위해 구멍을 충전시키는 유기물 층을 제거시키는 단계와, 구멍과 리세스부를 충전시키도록 제2도전층을 형성하는 단계를 포함한다.

또한, 구멍을 형성하는 단계는, 절연층의 주 표면 상에 레지스트 패턴을 형성하고 그 레지스트 패턴을 형성하고 그 레지스트 패턴에 따라 절연층을 제거시키는 것을 포함할 수 있다.

또한, 절연층의 일부와 유기물 층을 일부를 제거시키는 단계는 유기물 층 상에 레지스트 패턴을 형성하고, 그 레지스트 패턴에 따라 절연층 및 유기물 층을 제거시키는 것을 포함할 수 있다.

또한, 제1도전층은 반도체 기판 내에 형성된 불순물 영역과 반도체 기판 상에 형성된 배선층으로 이루어진 그룹에서 선택된 적어도 하나의 성분일 수 있다.

또한, 본 발명은 제1 및 제2도전층의 폭이 0.5㎛미만일 경우 특히 효과적이다.

또한 유기물 층은 비반사 물질을 포함하는 것이 바람직하다.

상기와 같은 다층 배선의 형성 방법에 있어서는, 우선 절연층 내에 제1도전층에 도달하는 구멍을 형성한 후 유기물 층으로 구멍을 충전시킴으로써 접속 구멍으로 소용되는 구멍의 직경을 충분히 얻을 수 있다. 따라서, 접속 부분에서의 전기 저항의 증가와, 제1배선층과 제2배선층 간에서의접속 불량을 방지할 수 있다.

또한, 구멍을 형성하는 단계 또는 절연층의 일부 및 유기물 층의 일부를 제거시키는 단계에서, 절연층을 제거시키기 위한 레지스트 패턴을 형성할 시에 레지시트의 막 두께를 일정하게 보유할 수 있으므로, 패턴 전사시에 해상도가 열화되지 않을 것이다.

본 발명은 도전층의 폭이 0.5㎛미만일 경우에 특히 현저한 효과를 기대할 수 있다.

또한, 유기물 층이 비반사 물질을 포함하므로, 레지스트 패턴을 정확하게 형성시킬 수 있다.

본 발명의 또다른 양상에 따른 다층 배선의 형성 방법은, 반도체 기판 상에 형성된 제1도전층을 피복하여 주 표면을 갖는 제1절연층의 일부를 제거시켜 절연층 내에 제1도전층에 도달하는 제1구멍을 형성하는 단계와, 적어도 제1구멍을 충전시키는 유기물 층을 형성하는 단계와, 유기물 층 및 제1절연층의 주 표면상에 제2절연층을 형성시키는 단계와, 제2절연층 내에 제1구멍을 충전시키는 유기물 층에 도달하는 제2구멍을 형성시키기 위해 제2절연층의 일부를 제거시키는 단계와, 제1구멍과 제2구멍을 충전시키도록 제2도전층을 형성하는 단계를 포함한다.

또한, 제1구멍을 형성하는 단계는, 제1절연층의 주 표면 상에 레지스트 패턴을 형성하고 그 레지스트 패

턴에 따라 제1절연층을 제거시키는 것을 포함할 수 있다.

또한, 유기물 층을 형성하는 단계는, 제1구멍을 유기물 층으로 충전시킴과 동시에 제1절연층의 주 표면 상에 유기물 층을 형성시켜 절연층의 주 표면이 나타날 때까지 유기물 층을 에칭-백(etching-back)하는 것을 포함할 수 있다.

또한, 제2구멍을 형성하는 단계는, 제2절연층의 주 표면 상에 레지스트 패턴을 형성하고 그 레지스트 패턴에 따라 제2절연층을 제거시키는 것을 포함할 수 있다.

또한, 제2절연층을 형성하는 단계는, 유기물 층이 견뎌내는 온도에서 제2절연층을 형성하는 것을 포함하는 것이 바람직하다.

또한, 제1도전층은 반도체 기판 내에 형성된 불순물 영역과 반도체 기판 상에 형성된 배선층으로 이루어진 선택된 적어도 하나의 성분일 수 있다.

또한, 본 발명은 제1 및 제2도전층의 폭이 0.5㎛ 미만일 경우 특히 효과적이다.

상기와 같은 다층 배선의 형성 방법에 있어서는, 우선 제1절연층 내에 제1도전층에 도달하는 제1구멍을 형성한 후 유기물 층으로 제1구멍을 충전시킴으로써 접속 구멍으로 소용되는 제1구멍의 직경을 충분히 얻을 수 있다. 따라서, 접속 부분에서의 전기 저항의 증가와, 제1배선층과 제2배선층 간에서의 접속 불량을 방지시킬 수 있다.

또한, 제1구멍을 형성하는 단계 또는 제2구멍을 형성하는 단계에서, 절연층을 제거시키기 위한 레지스트 패턴을 형성할시에 레지스트의 막 두께를 일정하게 유지할 수 있으므로 패턴 전사시에 해상도가 열화되지 않을 것이다.

본 발명은 도전층의 폭이 0.5㎛ 미만일 경우에 특히 현저한 효과를 기대할 수 있다.

또한, 유기물 층이 견뎌낼 수 있는 온도에서 제2절연층을 형성하므로, 제2절연층이 형성될 때 유기물 층은 용융되지 않을 것이다.

본 발명의 상기 및 그 외의 목적, 특징, 양상 및 장점들에 대해서는 첨부된 도면을 참조하여 기술한 다음의 상세한 설명으로부터 보다 명백해질 것이다.

[바람직한 실시예의 설명]

제1도를 참조해 보면, 반도체 기판(101) 상에 소자 분리막(102)이 형성되어 있다. 또한, 반도체 기판(101)상에 한 불순물 영역(103)과 다른 불순물(103)이 서로 간격을 두고 형성되어 있다. 한 불순물 영역(103)과 다른 불순물 영역(103)사이에 위치된 반도체 기판(101) 상의 영역에는 게이트 산화물 막(104)을 개재시키면서 게이트 전극(105)이 형성되어 있다. 게이트 산화물 막(104)과 게이트 전극(105)을 피복시키는 절연막(106)이 형성되어 있다. 반도체 기판(107)상에는 소자 분리막(102), 불순물 영역(103) 및 전연막(106)을 피복시키는 층간절연막(107)이 형성되어 있다. 층간 절연막(107)의 표면은 평탄화되어 있다. 층간 절연막(107)내에 제1배선층(109, 110)이 매립되어 있다. 제1배선층(110)과 불순물 영역(103)은 접속부분(108)에 의해 전기 접속되어 있다.

다음에는, 층간 절연막(107)상에 제2층간 절연막(201)이 형성되어 있다.

제2층간 절연막(201)의 표면은 평탄화되어 있다. 제2층간 절연막(201)내에 제2배선층(203, 215)이 매립되어 있다. 제2배선층(203)과 제1배선층(109)은 접속 부분(202)에 의해 전기 접속되어 있다. 상부 층도 상기와 동일하게 구성되어진다.

지금부터, 본 발명의 실시 양상에서 본 발명의 형성 방법을 제1도에서 도시한 제1배선층(109)과 제2배선층(203)의 접속에 적용시킨 경우에 대해서 설명하기로 한다.

[제1실시 양상]

제2도를 참조해 보면, 반도체 기판(101)상에 층간 절연막(201)이 형성되어 있다. 층간 절연막(201) 내에 제1배선층(109, 110)이 매립되어 있다. 여기서, 반도체 기판(101)은 제1도의 반도체 기판(101)에 대응하고 있다. 층간 절연막(201)은 제1도의 층간 절연막(201)에 대응되고 있다. 또한, 제1배선층(109, 110)은 제1도의 층간 절연막(201)에 대응하고 있다. 또한, 제1배선층(110, 109)은 제1도에서는 층간 절연막(107)으로 피복되어 있는 반면, 여기서는 층간 절연막(201)으로 피복되어 있다. 층간 절연막(201)의 표면은 평탄화되어 있다. 층간 절연막(201)의 표면 상에 포토리소그래피에 의해 구멍(250)을 갖는 접속 구멍용의 레지스트 패턴(204)이 형성된다.

제3도를 참조해 보면, 레지스트 패턴(204)을 마스크로서 사용하여 제1배선층(109)에 도달할 수 있는 저부를 갖는 접속 구멍(205)이 형성되도록 층간 절연막(201)을 건식 에칭시킨다. 접속 구멍(205)의 직경은 구멍(250)의 직경과 거의 같게 되도록 형성된다.

제4도를 참조해 보면, 접속 구멍(205)을 충전시키고 층간 절연막(201)의 표면 전체를 피복하도록 유기물질(206)을 코터(coater)에 의해 도포한다.

제5도를 참조해 보면, 유기물질(206)이 에칭백되어 매립된 부분(207)이 형성되는데, 이 부분이 유기물질로 충전된 접속 구멍(205)이 된다. 층간 절연막(201)의 표면은 유기물질로 형성된 매립 부분(207)의 표면의 높이와 거의 같게 될 수 있다.

제6도를 참조해 보면, 층간 절연막(201)의 표면 및 매립된 부분(207)의 표면상에 배선층용 구멍의 레지스트 패턴(208)이 형성된다. 층간 절연막(201)의 표면은 매립된 부분(207)의 표면의 높이와 거의 같게 되므로, 레지스트 패턴(208)은 거의 균일한 막 두께를 갖는다. 이 때문에 레지스트 패턴(208)을 정확하게 형성할 수 있다.

제7도를 참조해 보면, 레지스트 패턴(208)을 마스크로서 사용하여 층간 절연막(201)및 매립된 부분(207)

을 건식 에칭시킴으로써 배선층용의 구멍(209, 210)이 형성된다.

제8도를 참조해 보면, 유기물질로 형성된 매립된 부분(207)과 배선층용 구멍의 레지스트 패턴(208)을 애싱(ashing)에 의해 제거시킴으로써 배선층용 구멍(209, 210)과 접속 구멍(205)이 개방(open)되어진다.

제9도를 참조해 보면, 접속 구멍(205)과 구멍(209 및 210)을 금속막으로 충전시켜 접속 부분(202) 및 제2배선층(203, 213)을 형성한다.

상기와 같은 다층 배선의 형성 방법에 있어서는, 제3도에서 도시된 공정에서 접속 구멍(205)의 직경을 레지스트 패턴(204)의 구멍(250)의 직경과 거의 동일하게 할 수 있으므로, 접속 부분(202)의 직경이 감소됨으로써 발생하는 접속 부분에서의 전기 저항의 증가와, 제1배선층과 제2배선층 간의 접속 불량과 같은 문제를 해결할 수 있다. 또한, 제5도에서 도시된 공정에서, 층간 절연막(201)의 표면을 유기물질로 형성된 매립된 부분의 표면의 높이와 거의 같게 할 수 있다. 이 때문에, 제6도에서 도시된 바와 같이 제2배선층용의 레지스트 패턴(208)을 접속 구멍(205) 상에 정확하게 형성시킬 수 있다.

[제2실시 양상]

제10도를 참조해 보면, 반도체 기판(101) 상에 층간 절연막(201)이 형성되어 있다. 층간 절연막(201)내에 제1배선층(109, 110)이 매립되어 있다. 여기서 반도체 기판(101)은 제1도의 반도체 기판(101)에 대응하고 있다. 또한, 층간 절연막(201)은 제1도의 층간 절연막(201)에 대응하고 있으며, 제1배선층(109, 110)은 제1도의 제1배선층(109, 110)에 대응하고 있다. 여기서 제1배선층(110, 109)은 층간 절연막(201)으로 피복되어 있는 반면에, 제1도의 제1배선층(110, 109)은 층간 절연막(107)으로 피복되어 있다. 층간 절연막(201)의 표면은 평탄화 되어 있다. 층간 절연막(201)의 표면 상에 포토리소그래피에 의해 구멍(260)을 갖는 레지스트 패턴(221)이 형성되어 있다.

제11도를 참조해 보면, 레지스트 패턴(221)을 마스크로서 사용하여 제1배선층(109)에 도달할 수 있는 저부를 갖는 접속 구멍(222)이 형성되도록 층간 절연막(201)을 건식 에칭시킨다. 접속 구멍(222)의 직경은 구멍(260)의 직경과 거의 같게 되도록 형성된다.

제12도를 참조해 보면, 접속 구멍(222)를 충전시키고 층간 절연막(201)의 표면 전체를 피복하도록 비반사 물질을 포함한 유기물질(223)을 코터(coater)에 의해 도포한다.

제13도를 참조해 보면, 유기물질(223)의 표면 상에 배선층용 구멍의 레지스트 패턴(224)이 형성되어 있다. 레지스트 패턴(224)의 두께는 거의 균일한데, 이것은 유기물질(223)의 표면이 거의 균일하기 때문이다.

제14도를 참조해 보면, 레지스트 패턴(224)을 마스크로서 사용하여 층간 절연막(201)을 건식 에칭시킴으로써 배선층용 구멍(227, 228)을 형성한다.

제15도를 참조해 보면, 레지스트 패턴(224)을 마스크로서 사용하여 유기물질(223)을 건식 에칭으로써 제2배선층용 구멍(225, 226)을 형성한다.

제16도를 참조해 보면, 유기물질(223) 및 레지스트 패턴(224)을 애싱에 의해 제거시킴으로써 구멍(227, 228) 및 접속 구멍(222)이 개방되어진다.

제17도를 참조해 보면, 접속 구멍(222)과 구멍 (227 및 228)을 금속막으로 충전시켜 접속 구분(202) 및 제2배선층(203, 230)을 형성한다.

상기와 같은 다층 배선의 형성 방법에 있어서는, 제11도에서 도시된 공정에서 접속 구멍(222)의 직경을 레지스트 패턴(221)의 구멍(260)의 직경과 거의 동일하게 할 수 있으므로, 접속 부분(202)의 직경이 감소됨으로써 발생하는 접속 부분에서의 전기 저항의 증가와, 제1배선층과 제2배선층 간의 접속 불량과 같은 문제를 해결할 수 있다. 또한, 제13도에서 도시된 공정에서, 유기물질(223)의 표면 높이가 거의 균일하므로, 레지스트 패턴(224)의 두께도 거이 균일해질 것이다. 또한, 유기물질(223)은 비반사 물질을 포함함으로써 레지스트 패턴(224)을 장착하게 형성시킬 수 있다.

[제3실시 양상]

제18도를 참조해 보면, 반도체 기판(101)상에 층간 절연막(201a)이 형성되어 있다. 층간 절연막(201a) 내에 제1배선층(109, 110)이 매립되어 있다. 여기서 반도체 기판(101)은 제1도의 반도체 기판(101)에 대응하고 있다. 또한, 층간 절연막(201a)은 제1도의 층간 절연막(201)의 일부이다. 제1배선층(109, 110)은 제1도의 제1배선층(109, 110)에 대응하고 있다. 여기서 제1배선층(109)은 층간 절연막(201a)으로 피복되어 있는 반면에, 제1도의 제1배선층(109)은 층간 절연막(107)으로 피복되어 있다. 층간 절연막(201a)의 표면은 평탄화되어 있다. 층간 절연막(201a)의 두께는 제1도의 층간 절연막(201)보다 얇다.

층간 절연막(201a)의 표면 상에 포토리소그래피에 의해 구멍(270)을 갖는 접속 구멍의 레지스트 패턴(241)이 형성되어 있다.

제19도를 참조해 보면, 레지스트 패턴(241)을 마스크로서 사용하여 층간 절연막(201a)을, 제1배선층(109)에 도달하는 저부를 갖는 접속 구멍(242)에 형성되도록 건식 에칭시킨다. 접속 구멍(242)의 직경은 구멍(270)의 직경과 거의 같에 되도록 형성한다.

또한, 층간 절연막(201a)의 표면에서 제1배선층(109)까지의 거리가 제1도에서 도시된 층간 절연막(201)의 표면에서 제1배선층(109)까지의 거리보다 짧기 때문에, 접속 구멍(242)은 쉽사리 형성될 수 있다.

제20도를 참조해 보면, 접속 구멍(242)을 충전시키며 층간 절연막(201a)의 표면 전체를 피복시키도록 유기물질을 코터에 의해 도포한다. 다음에, 유기물질을 층간 절연막(201a)의 표면이 노출될 때까칭 에칭백시킴으로써, 유기물질로 충전된 접속 구멍(242)인 매립된 부분(243)이 형성된다. 층간 절연막(201a)의 표면은 유기물질로 형성된 매립 부분(243)의 표면의 높이가 거의 같게 되도록 형성된다.

제21도를 참조해 보면, 층간 절연막(201a)의 표면과 매립된 부분(243)의 표면 상에 매립된 부분(243)을

형성하는 유기물질이 견뎌낼 수 있는 온도에서 층간 절연막(201b)을 형성한다. 층간 절연막(201a 및 201b)은 제1도의 층간 절연막(201)에 대응하고 있다. 다음에, 층간 절연막(201b)의 표면 상에 배선층용 구멍의 레지스트 패턴(245)이 형성된다. 층간 절연막(201b)의 표면은 거의 평탄화되어 있으므로, 레지스트 패턴(245)은 거의 균일한 두께를 가질 것이다. 따라서, 레지스트 패턴(245)이 정확하게 형성될 수 있다.

제22도를 참조해 보면, 레지스트 패턴(245)을 마스크로서 사용하여 층간 절연막(201a, 201b)을 건식 에칭시킴으로써 배선층용 구멍(246, 247)이 형성된다.

제23도를 참조해 보면, 유기물질로 형성된 매립된 부분(243) 및 레지스트 패턴(245)을 애싱에 의해 제거시킴으로써 구멍(246, 247)및 접속 구멍(242)이 개방되어진다.

제24도를 참조해 보면, 접속 구멍(242)과 구멍(246, 247)을 금속판으로 충전시켜 접속 부분(202) 및 제2배선층(203, 249)을 형성한다.

상기와 같은 다층 배선의 형성 방법에 있어서는, 제19도에서 도시된 공정에서 접속 구멍(242)의 직경을 레지스트 패턴(241)의 구멍(270)의 직경과 거의 동일하게 할 수 있으므로, 접속 부분(202)의 직경이 감소됨으로써 발생하는 접속 부분에서의 전기 저항의 증가와, 제1배선층과 제2배선층 간의 접속 불량과 같은 문제를 해결할 수 있다. 또한, 제21도에서 도시된 공정에서, 층간 절연막(201b)의 표면은 거의 평탄화되어 잇다. 그러므로, 레지스트 패턴(245)의 두께를 균일하게 할 수 있으므로 레지스트 패턴(245)을 정확하게 형성시킬 수 있다.

상술된 바와 같이, 도면을 참조하여 기술한 제1 내지 제3실시 양태의 제1배선층(109) 및 제2배선층(203)은 제1도의 제1배선층(109) 및 제2배선층(203) 각각에 대응하는 것이다. 그러나, 상기 실시 양태의 제1배선층(109) 및 제2배선층(203)은 제1도의 불순물 영역(103)과 제1배선층(110) 각각에 대응할 수 있다. 또한, 상기 실시 양태의 제1배선층(109) 및 제2배선층(203)은 배선층(303, 215) 및 배선층(403, 304)각각에 대응할 수 있다.

또한 본 발명의 다층 배선의 형성 방법으로 형성된 접속 부분의 직경은 거의 오차가 없다. 따라서, 접속 부분의 직경이 0.5㎛ 미만일 때, 즉 제1 및 제2배선층의 폭이 0.5㎛ 미만일 때 특히 현저한 효과를 기대할 수 있다.

[실시예]

지금부터 본 발명의 실시예에 대해 도면을 참조하면서 기술하고자 한다. 제1 내지 실시예 3은 실시예 1 내지 실시예 3 양태 각각에 대응한다.

[실시예 1]

제2 내지 제9도에 기초하여, 본 발명의 제1실시 양태에 따른 다층 배선의 형성 방법에 대해 기술하기로 한다.

제2도를 참조해 보면, 실리콘 반도체 기판(101)상에 실리콘 산화물 막을 포함한 층간 절연막(201)이 형성되어진다. 층간 절연막(201) 내에는 0.5중량%의 구리를 함유한 알루미늄으로 형성된 0.3㎛ 폭을 갖는 제1배선층(109, 110)이 매립되어 있다. 층간 절연막(201)의 표면은 평탄화되어 있다. 층간 절연막(201)의 표면 상에 나프토퀴논 다이아지드(naphthoquinone diazide) 가광제 및 노볼락(novolak)수지를 포함한 레지스트를 도포하여, 포토리소그래피에 의해 0.3㎛의 직경을 갖는 구멍(250)이 형성되어 있는 레지스트 패턴(204)을 형성하였다.

제3도를 참보해 보면, 레지스트 패턴(204)을 마스크로서 사용하여 층간 절연막(201)을, 제1배선층(109)에 도달하는 저부를 갖는 접속 구멍(205)이 형성되도록 CHF_3 및 0_2의 혼합 가스 중에서 반응성 이온으로 에칭시켰다.

제4도를 참조해 보면, 노볼락 수지를 포함하는 유기물질(206)을 코터에 의해 도포시켰다.

제5도를 참조해 보면, 유기물질(206)을 0_2 가스 중에서 반응성 이온에 의해 에칭백시킴으로써 매립된 부분(207)이 형성되는데, 이 부분이 유기물질(206)이 충전된 접속 구멍(205)이 된다. 층간 절연막(201)의 표면과 유기물질로 형성된 매립된 부분(207)의 표면의 높이를 거의 서로 동일하게 하였다.

제6도를 참조해 보면, 층간 절연막(201)의 표면과 매립된 부분(207)의 표면상에 나프토퀴논 다이아지드 광감제 및 노볼락 수지를 포함한 레지스트를 도포시켜 포토리소그래피에 의해 배선층용 구멍의 레지스트 패턴(208)을 형성하였다. 층간 절연막(201)의 표면과 매립된 부분(207)의 표면의 높이는 서로 거의 동일하므로, 레지스트 패턴(208)의 두께는 거의 균일하다. 이 때문에 레지스트 패턴(208)이 정확하게 형성된다.

제7도를 참조해 보면, 레지스트 패턴(208)을 마스크로서 사용하여 층간 절연막(201)의 매립된 부분(207)을 CHF_3 및 0_2의 혼합 가스 중에서 반응성 이온 에칭 시켜 배선층용 구멍(209, 210)을 형성하였다.

제8도를 참조해 보면, 매립된 부분(207)의 노볼락 수지를 0_2 플라즈마와 반응시켜 구멍(209,210) 및 접속 구멍(205)을 개방시켰다.

제9도를 참조해 보면, 접속 구멍(205) 및 구멍(209, 210)을 0.5중량%의 구리를 함유한 알루미늄으로 충전시켜 접속 부분(202) 및 제2배선층(203, 213)을 형성하였다.

실시예 1에서, 약 0.3㎛의 직경을 갖는 접속 부분(202)이 얻어졌다. 또한, 접속 부분(202)에서의 전기 저항의 증가와 제1배선층(109)과 제2배선층(203)간의 접속 불량과 같은 문제는 발생되지 않았다.

[실시예 2]

제10 내지 제17도에 기초하여, 본 발명의 실시예 2에 따른 다층 배선의 형성 방법에 대해 기술하기로 한다.

제10도를 참조해 보면, 실리콘 반도체 기판(101)상에 실리콘 산화물 막을 포함한 층간 절연막(201)이 형성되어진다. 층간 절연막(201) 내에는 0.5중량%의 구리를 함유한 알루미늄으로 형성된 0.3㎛ 폭을 갖는 제1배선층(109, 110)이 매립되어 있다. 층간 절연막(201)의 표면은 평탄화되어 있다. 층간 절연막(201)의 표면 상에 나프토퀴논 다이아지드(naphthoquinone diazide) 감광제 및 노볼락(novolak) 수지를 함유한 레지스트를 도포하여, 포토리소그래피에 의해 0.3㎛ 의 직경을 갖는 구멍(260)이 형성되어 있는 접속 구멍의 레지스트 패턴(221)을 형성하였다.

제11도를 참조해 보면, 레지스트 패턴(221)을 마스크로서 사용하여 층간 절연막(201)을 제1배선층(109)에 도달하는 저부를 갖는 접속 구멍(222)이 형성되도록 CHF_3 및 O_2 의 혼합 가스 중에서 반응성 이온 에칭시켰다.

제12도를 참조해 보면, Hoechst AG에서 제조한 BARLi(상표명)을 함유한 유기 물질(223)을 접속 구멍(222)을 충전시키고 층간 절연막(201)의 표면 전체를 피복시키도록 코터에 의해 도포하였다.

제13도를 참조해 보면, 유기물질(223)의 표면 상에 나프토퀴논 다이아지드 감광제 및 노볼락 수지를 포함한 레지스트를 도포시켜 포토리소그래피에 의해 배선층용 구멍의 레지스트 패턴(224)을 형성하였다. 유기물질(223)의 표면이 거의 평탄되어 있으므로, 레지스트 패턴(224)의 두께는 거의 균일해진다. 또한, 유기물질(223)에 함유된 BARLi는 비반사 물질을 포함하므로, 레지스트 패턴(224)이 정확하게 형성된다.

제14도를 참조해 보면, 레지스트 패턴(224)을 마스크로서 사용하여 유기물질(223)을 O_2 가스 중에서 반응성 이온 에칭시켜 배선층용 구멍(227, 228)을 형성하였다.

제16도를 참조해 보면, 레지스터 패턴(224)의 노볼락 수지및 유기물질(223)의 BARLi를 O_2 플라즈마와 반응시켜 구멍(227, 228)및 접속 구멍(222)을 개방시켰다.

제17도를 참조해 보면, 접속 구멍(222) 및 구멍(227, 228)을 0.5중량% 의 구리를 함유한 알루미늄으로 충전시켜 접속 부분(202) 및 제2배선층(203, 230)을 형성하였다.

이 방법에 의해, 0.3㎛의 직경을 갖는 접속 부분(202)이 얻어져, 접속 부분(202)에서 전기 저항의 증가와 제1배선층(109)과 제2배선층(203)간의 접속 불량과 같은 문제는 발생되지 않았다.

[실시예 3]

제18내지 제24도에 기초하여, 본 발명의 실시예 3에 따른 다층 배선의 형성 방법에 대해 기술하기로 한다.

제18도를 참조해보면 실리콘 반도체 기판(101)상에 실리콘 산화물 막을 포함한 층간 절연막(201a)이 형성되어진다. 층간 절연막(201a) 내에는 0.5중량%의 구리를 함유한 알루미늄으로 형성된 0.3㎛ 폭을 갖는 제1배선층(109, 110)이 매립되어 있다. 층간 절연막(201a)의 표면과 제1배선층 간의 거리는 약 800㎚인 제1 및 제2의 실시예 거리보다 짧다. 층간 절연막(201a)의 표면은 평탄화되어 있다. 층간 절연막(201a)의 표면 상에 나프토퀴논 다이아지드(naphthoquinone diazide) 감광제 및 노볼락(novolak)수지를 함유한 레지스트르 도포하여, 포토리소그래피에 의해 0.3㎛의 직경을 갖는 구멍(270)이 형성되어 있는 접속 구멍의 레지스트 패턴(214)을 형성하였다.

제19도를 참조해 보면, 레지스트 패턴(241)을 마스크로서 사용하여 층간 절연막(201a)을, 제1배선층(109)에 도달하는 저부를 갖는 접속 구멍(242)이 형성되도록 CHF_3 및 O_2 의 혼합 가스 중에서 반응성 이온 에칭시켰다. 층간 절연막(201a)의 표면과 제1배선층(109)간의 거리가 실시예 1 및 실시예 2의 것보다 짧으므로, 접속 구멍(242)을 용이하게 형성시킬 수 있다.

제20도를 참조해 보면, 접속 구멍(242)을 충전시키고 층간 절연막(201b)의 표면 전체를 피복시키도록 폴리아이미드를 함유한 유기물질으로 도포하고 그 유기물질을 O_2 와 N_2 의 혼합 가스 중에서 반응성 이온 에칭시킴으로써 접속 구멍(242)의 내부가 유기물질로 충전되어진 매립된 부분(243)을 형성하였다. 층간 절연막(201a)의 표면과 유기물질로 형성된 매립된 부분(243)의 표면의 높이는 서로 거의 같은 높이로 하였다.

제21도를 참조해 보면, 매립된 부분(243)에 매립되어 있는 폴리이미드가 견뎌낼 수 있는 최대의 온도는 약 500℃이므로, 층간 절연막(201a) 상의 실리콘 산화물을 막을 포함한 층간 절연막(201b)은 200℃이하에서 형성하였다.

다음에, 층간 절연막(201b)의 표면 상에 나프토퀴논 다이아지드 감광제 및 노볼락 수지를 포함한 레지스트를 도포시켜 포토리소그래피에 의해 제1배선층용의 레지스트 패턴(245)을 형성하였다. 층간 절연막(201b)의 표면은 거의 평탄화되어 있으므로, 레지스트 패턴(245)의 두께는 거의 균일하다. 이 때문에 레지스트 패턴(245)이 정확하게 형성된다.

제22도를 참조해 보면, 레지스트 패턴(245)을 마스크로서 사용하여 층간 절연막(201a, 201b)을 CHF_3 및 O_2 의 혼합 가스 중에서 반응성 이온 에칭시켜 배선층용 구멍(246, 247)을 형성하였다.

제23도를 참조해 보면, 매립된 부분(243)의 폴리이미드와 레지스트 패턴(245)의 노볼락 수지를 O_2 플라즈마와 반응시켜 구멍(246, 247)및 접속 구멍(242)을 개방시켰다.

제24도를 참조해 보면, 접속 구멍(242) 및 구멍(246, 247) 을 0.5중량%의 구리를 함유한 알루미늄으로 충전시켜 접속 부분(202) 및 제2배선층(203, 249)을 형성하였다.

이 방법에 의해 형성된 접속 부분(202)의 경우, 접속 부분(202)은 0.3㎛의 직경을 가져 직경이 감소되어짐으로써, 접속 부분(202)에서의 전기 전항의 증가와 제1배선층(109)과 제2배선층(203)간의 접속 불량과

같은 문제는 발생되지 않았다.

비록 지금까지는 예시된 실시예에 대해서만 기술되었지만, 예시된 실시예에만 제한되지 않다는 것에 주목해야 할 필요가 있다. 본 발명의 범위는 상기한 설명이 아니고 특허 청구의 범위에서 정의된 특허 청구의 범위와 균등물의 범위내에서는 모든 변형이 가능하다는 것은 주지의 사실이다.

(57) 청구의 범위

청구항 1

다층 배선을 형성하는 방법에 있어서, 반도체 기판(101)상에 형성된 제1도전층(109)을 피복하여 주 표면을 갖는 절연층(201)의 일부를 제거시켜 상기 절연층(201)내에 상기 제1도전층(109)에 도달하는 구멍(205)을 형성시키는 단계와, 적어도 상기 구멍(205)을 충전시키는 유기물 층(207)을 형성하는 단계와, 상기 구멍(205)을 충전시키는 상기 유기물층(207)과 접촉하는 상기 절연층(201)의 일부를 제거시키는 단계와, 상기 구멍(205)을 충전시키는 상기 유전물 층(207)을, 상기 절연층(201) 내에 상기 구멍(205)에 인접한 리세스부(209)가 형성되도록 제거시키는 단계와, 상기 구멍(205)과 상기 리세스부(209)를 충전하도록 제2도전층(202, 203)을 형성하는 단계를 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 2

제1항에 있어서, 상기 구멍(205)을 형성하는 단계는 상기 절연층(201)의 두 표면 상에 레지스트 패턴(204)을 형성하여 상기 레지스트 패턴(204)에 따라 상기 절연층(201)을 제거하는 것을 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 3

제1항에 있어서, 상기 유기물 층(207)을 형성하는 단계는 상기 구멍(205)을 유기물 층(206)으로 충전시킴과 동시에, 상기 절연층(201)의 주 표면 상에 유기물 층(206)을 형성시켜 상기 절연층(201)의 주 표면이 나타날 때까지 상기 유기물 층(206)을 에칭백 시키는 것을 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 4

제1항에 있어서, 상기 절연층(201)의 일부를 제거시키는 단계는 상기 절연층(201)의 주 표면 상에 레지스트 패턴(208)을 형성하여 상기 레지스트 패턴(208)에 따라 상기 절연층(201)을 제거시키는 것을 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 5

제1항에 있어서, 상기 제1도전층(109)은 상기 반도체 기판(101)내에 형성된 불순물 영역(103)과 상기 반도체 기판(101)상에 형성된 배선층(109, 215, 303, 403)으로 이루어진 그룹에서 선택된 적어도 하나의 성분(component)인 것을 특징으로 하는 다층 배선 형성 방법.

청구항 6

제1항에 있어서, 상기 제1 및 제2도전층(109, 202, 203)은 0.5㎛ 미만의 폭을 갖는 부분을 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 7

다층 배선을 형성하는 방법에 있어서, 반도체 기판(101)상에 형성된 제1도전층(109)을 피복하며 주 표면을 갖는 절연층(201)의 일부를 제거시켜 상기 절연층(201)내에 상기 제1도전층(109)에 도달하는 구멍(222)을 형성하는 단계와, 상기 구멍(222)을 충전시키고 상기 절연층(201)의 주표면을 피복시키도록 유기물 층(223)을 형성하는 단계와, 상기 구멍(222)을 충전시키는 상기 유기물 층(223)과 접촉하는 상기 절연층(201)의 일부와, 상기 절연층(201)의 일부 상에 형성된 상기 유기물 층(223)의 일부를 제거시키는 단계와, 상기 구멍(222)을 충전시키는 상기 유기물 층(223)을, 상기 절연층(201) 내에 상기 구멍(222)에 인접한 리세스부(227)가 형성되도록 제거시키는 단계와, 상기 구멍(222)과 상기 리세스부(227)를 충전하도록 제2도전층(202, 203)을 형성하는 단계를 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 8

제7항에 있어서, 상기 구멍(222)을 형성하는 단계는 상기 절연층(201)의 주표면 상에 레지스트 패턴(221)을 형성하여 상기 레지스트 패턴(221)에 따라 상기 절연층(201)을 제거하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 9

제7항에 있어서, 상기 절연층(201)의 일부와, 상기 유기물 층(223)의 일부를 제거시키는 단계는 상기 유기물 층(223)상에 레지스트 패턴(224)을 형성하여 상기 레지스트 패턴(224)에 따라 상기 절연층(201) 및 상기 유기물 층(223)을 제거시키는 것을 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 10

제7항에 있어서, 상기 제1도전층(109)은 상기 반도체 기판(101)내에 형성된 불순물 영역(103)과 상기 반도체 기판(101)상에 형성된 배선층(109, 215, 303, 403)으로 이루어진 그룹에서 선택된 적어도 하나의 성분인 것을 특징으로 하는 다층 배선 형성 방법.

청구항 11

제7항에 있어서, 상기 제1 및 제2도전층(109, 202, 203)은 0.5㎛ 미만의 폭을 갖는 부분을 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 12

제7항에 있어서, 상기 유기물 층(223)은 비반사 물질을 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 13

다층 배선을 형성하는 방법에 있어서, 반도체 기판(101)상에 형성된 제1도전층(109)을 피복하하며 주 표면을 갖는 제1절연층(201a)의 일부를 제거시켜 상기 제1절연층(201a)내에 상기 제1도전층(109)에 도달하는 제1구멍(242)을 형성시키는 단계와, 적어도 상기 제1구멍(242)을 충전시키는 유기물 층(243)을 형성하는 단계와, 상기 유기물 층(243) 및 상기 제1절연층(201a) 의 주 표면 상에 제2절연층(201b)을 형성하는 단계와, 상기 제2절연층(201b)의 일부를 제거시켜 상기 제2절연층(201b)내에 상기 제1구멍(242)을 충전시키는 상기 유기물 층(243)에 도달하는 제2구멍(246)을 형성하는 단계와, 상기 제1구멍(242)을 충전시키는 상기 유기물 층(243)을 제거시켜, 상기 제1구멍(242)와 상기 제2구멍(246)을 접속시키는 단계와, 상기 제1구멍(242)과 상기 제2구멍(246)을 충전하도록 제2도전층(202, 203)을 형성하는 단계를 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 14

제13항에 있어서, 상기 제1구멍(242)을 형성하는 단계는 상기 제1절연층(201a)의 주 표면 상에 레지스트 패턴(241)을 형성하여 상기 레지스트 패턴(241)에 따라 상기 제1절연층(201a)을 제거하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 15

제13항에 있어서, 상기 유기물 층(243)을 형성하는 단계는 상기 제1구멍(242)을 유기물 층으로 충전시킴과 동시에, 상기 제1절연층(201a)의 주 표면 상에 유기물 층을 형성시켜 상기 제1절연층(201a)의 주 표면이 나타난 때까지 상기 유기물 층을 에칭백 시키는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 16

제13항에 있어서, 상기 제2구멍(246)을 형성하는 단계는 상기 제2절연층(201b)의 주 표면 상에 레지스트 패턴(245)을 형성하여 상기 레지스트 패턴(245)에 따라 상기 제2절연층(201b)을 제거하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 17

제13항에 있어서, 상기 제2절연층(201b)을 형성하는 단계는 상기 유기물 층(243)이 견뎌내는 온도에서 상기 제2절연층(201b)을 형성하는 것을 특징으로 하는 다층 배선 형성 방법.

청구항 18

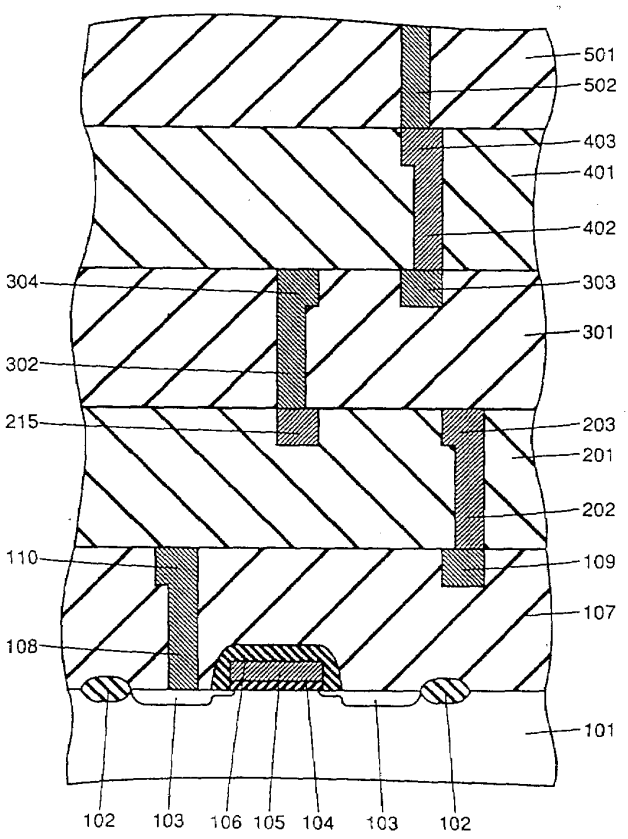
제13항에 있어서, 상기 제1도전층(109)은 상기 반도체 기판(101)내에 형성된 불순물 영역(103)과 상기 반도체 기판(101)상에 형성된 배선층(109, 215, 303, 403)으로 이루어진 그룹에서 선택된 적어도 하나의 성분인 것을 특징으로 하는 다층 배선 형성 방법.

청구항 19

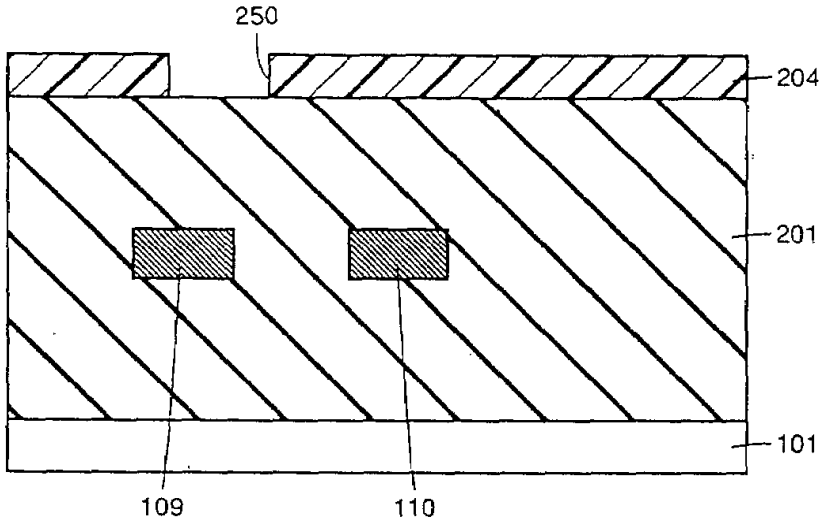
제13항에 있어서, 상기 제1 및 제2도전층(109, 202, 203)은 0.5 ㎛미만의 폭을 갖는 부품을 포함하는 것을 특징으로 하는 다층 배선 형성 방법.

도면

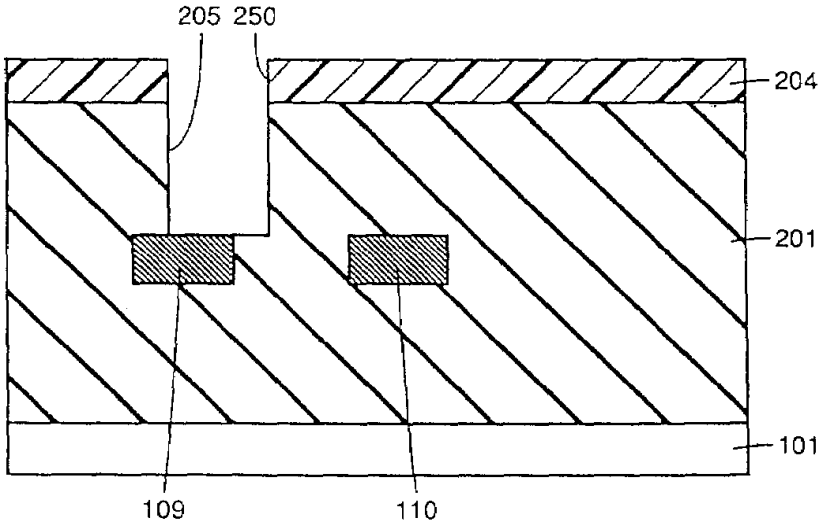
도면1


501
502
403
401
402
304
303
301
302
215
203
201
202
110
109
107
108
101
102
103
106
105
104
103
102

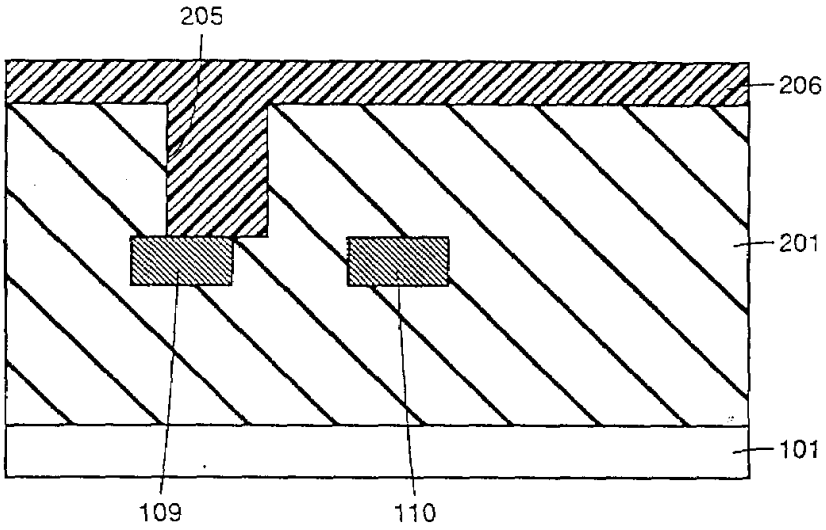
도면2


250
204
201
101
109
110

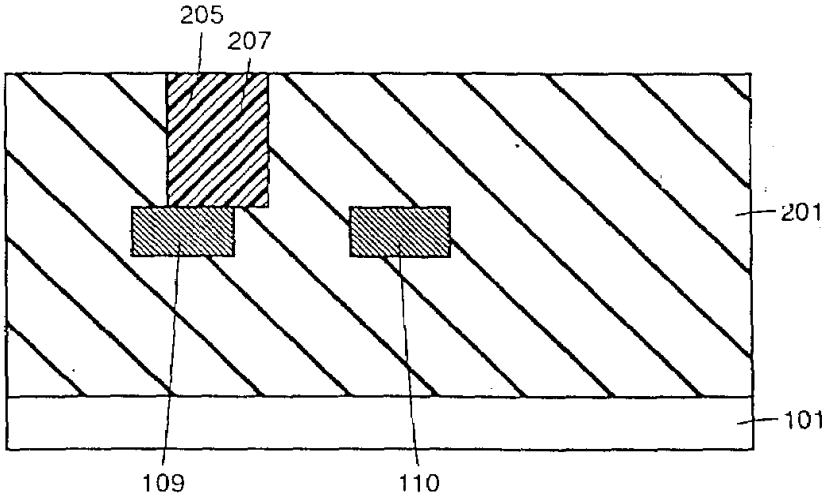
도면3



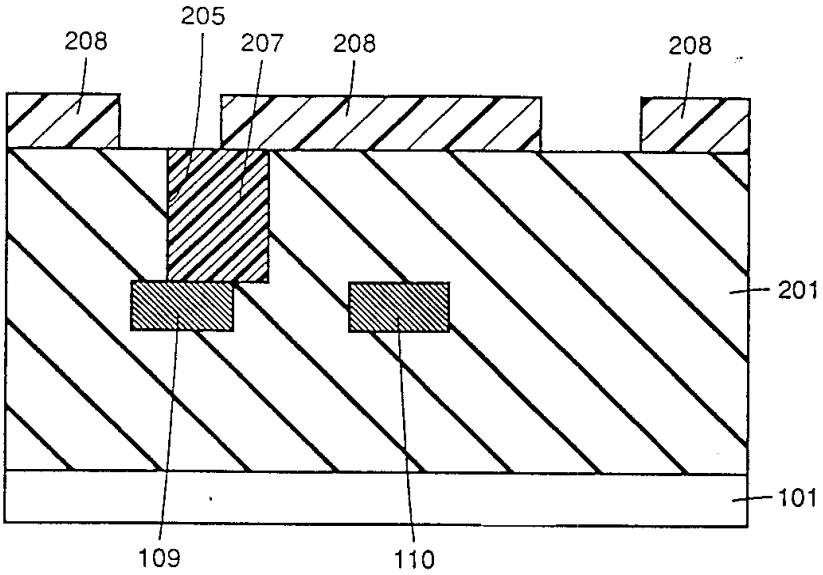
도면4



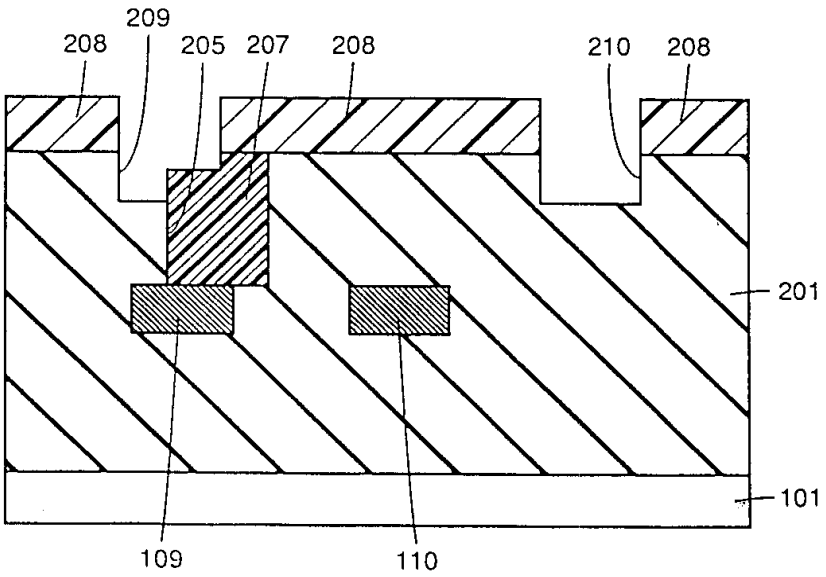
도면5



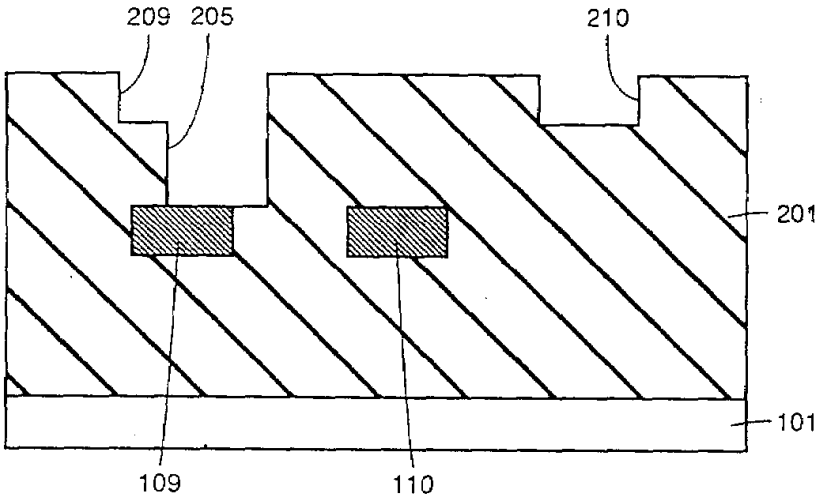
도면6



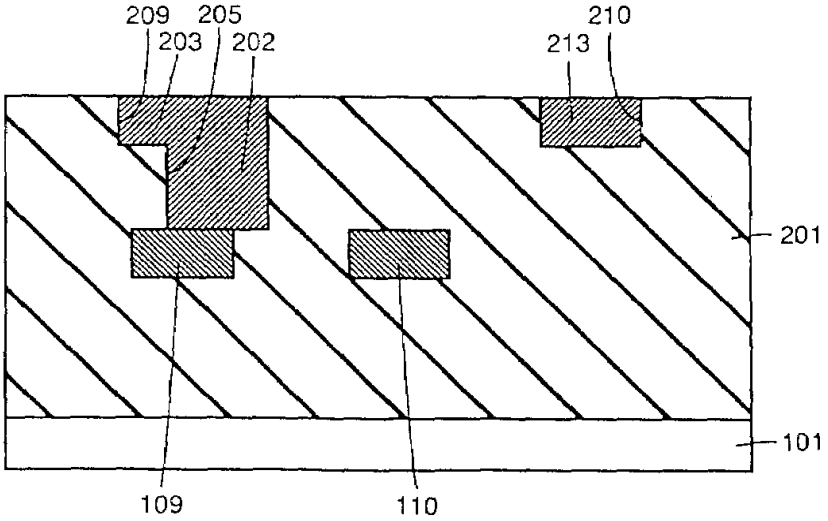
도면7


209
208
205
207
208
210
208
201
101
109
110

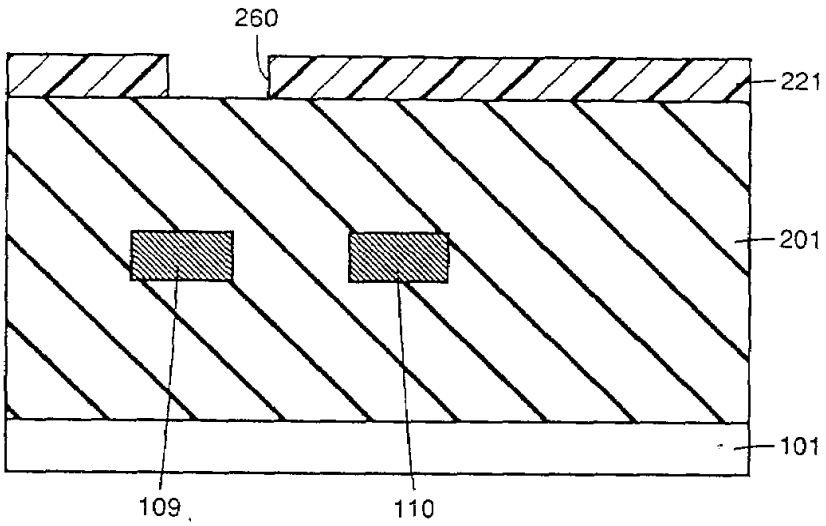
도면8


209
205
210
201
101
109
110

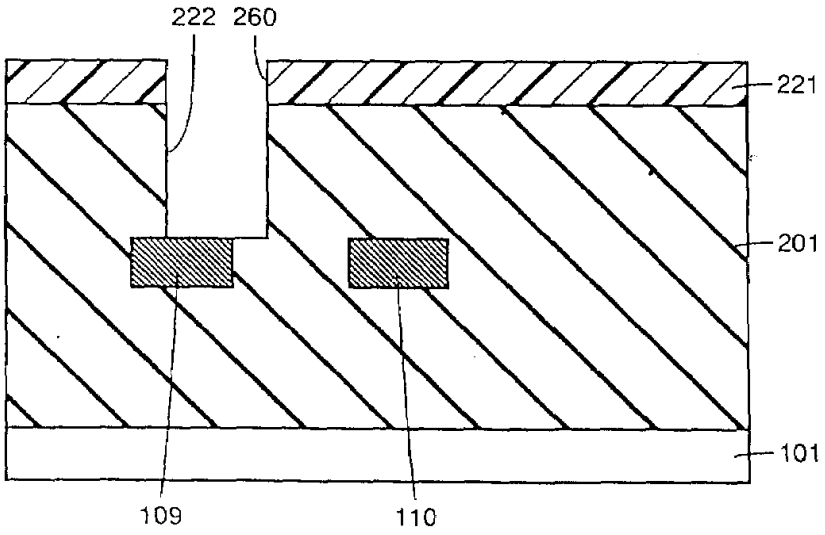
도면9



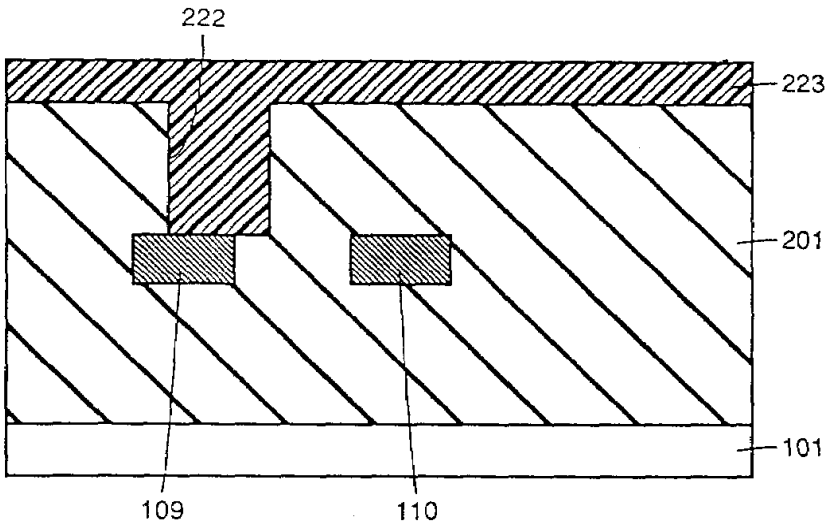
도면10



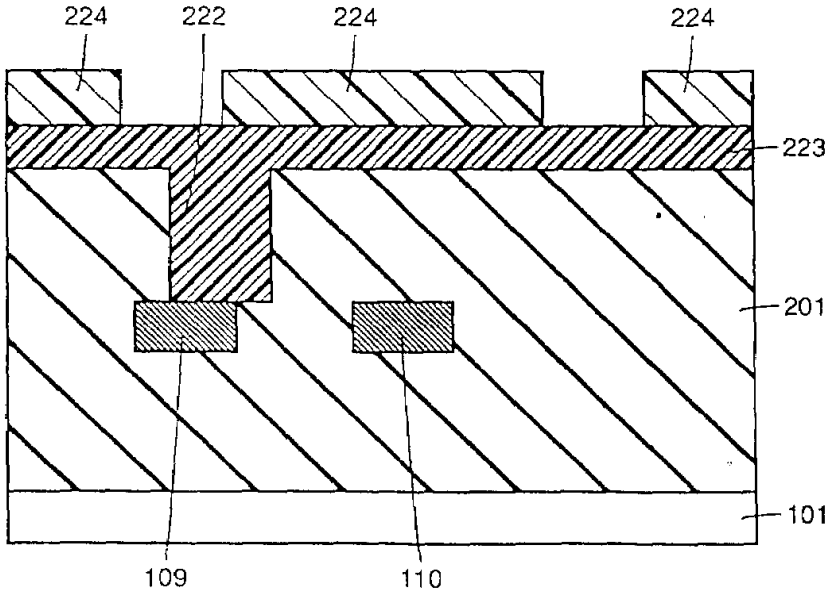
도면11



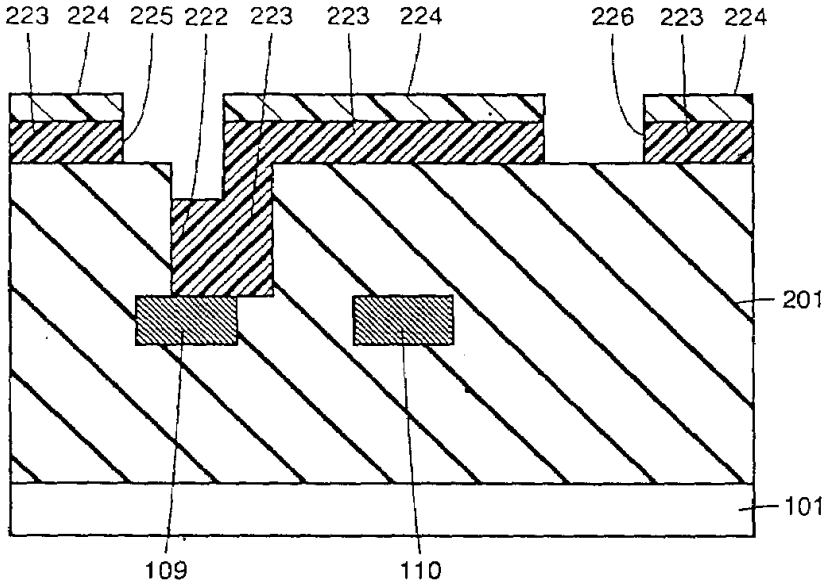
도면12



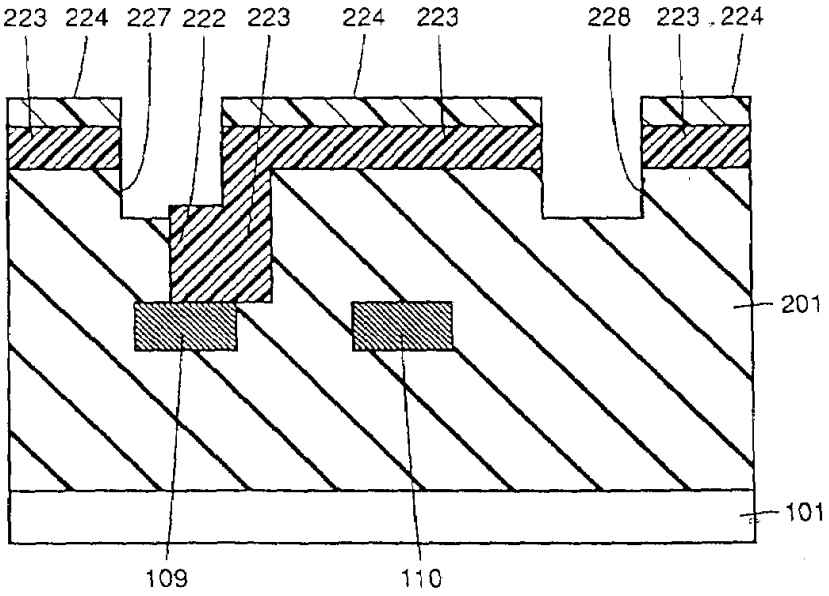
도면13


224
222
224
224
223
201
101
109
110

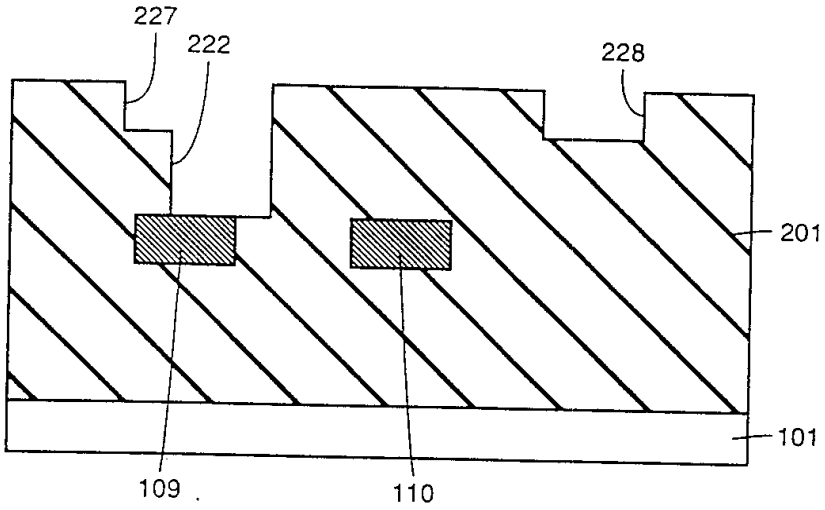
도면14


223
224
225
222
223
223
224
226
223
224
201
101
109
110

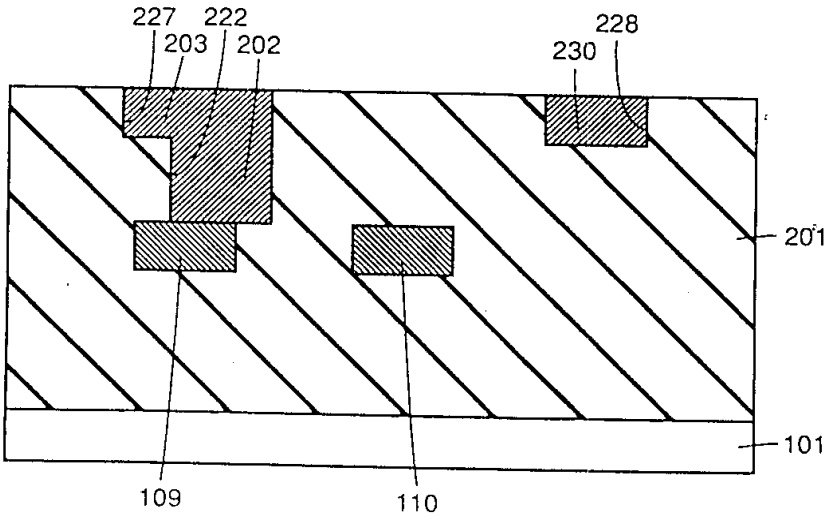
도면15


223
224
227
222
223
224
223
228
223
224
201
101
109
110

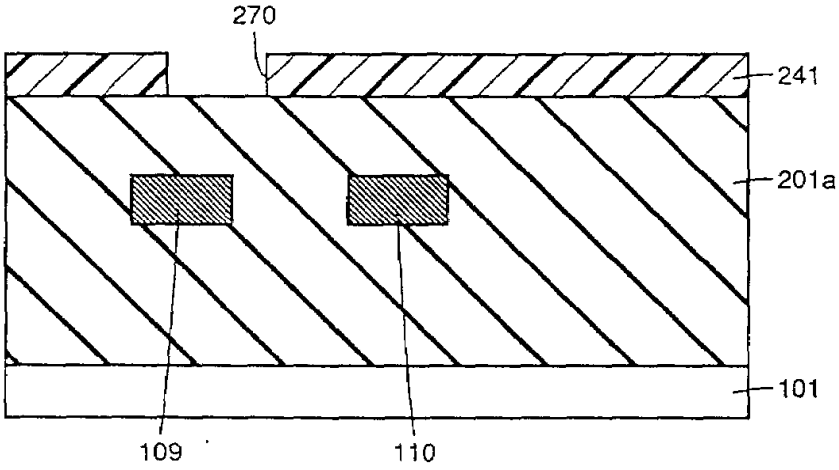
도면16


227
222
228
201
101
109
110

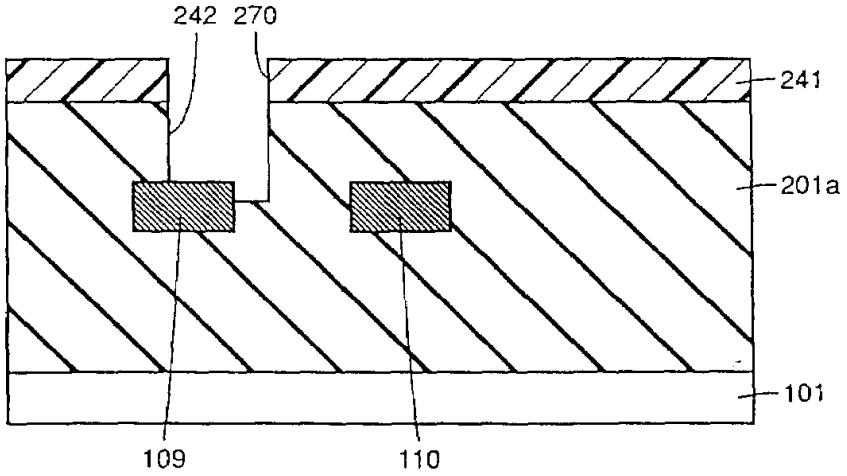
도면17



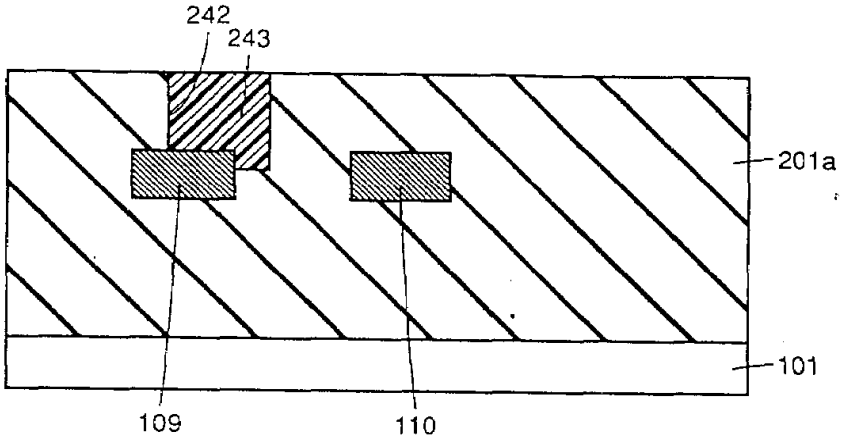
도면18



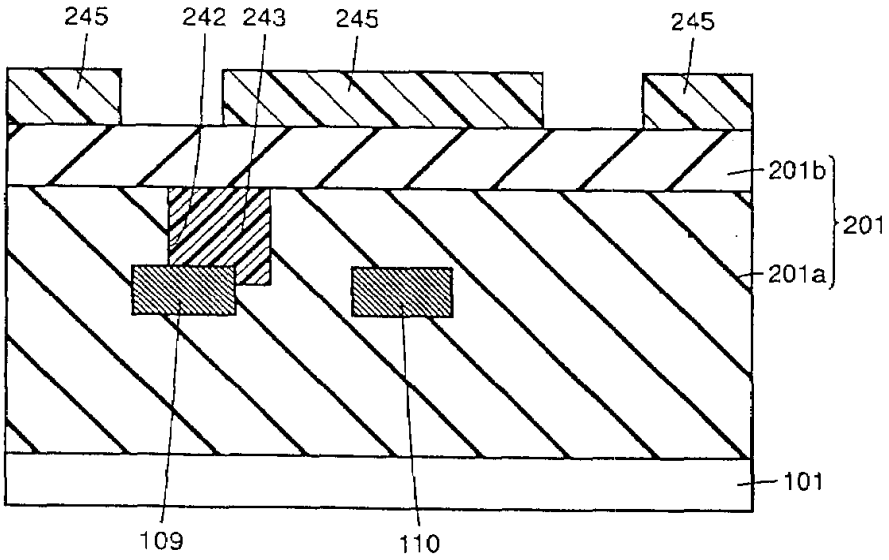
도면19



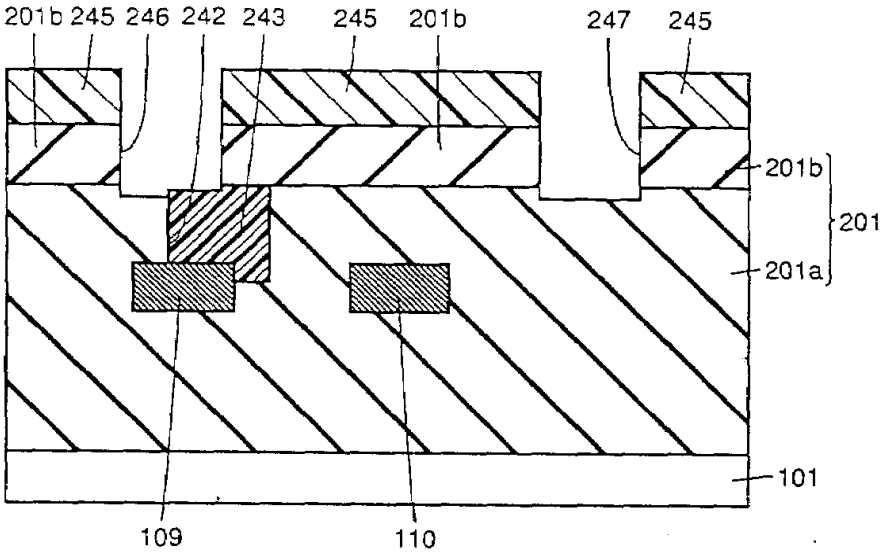
도면20



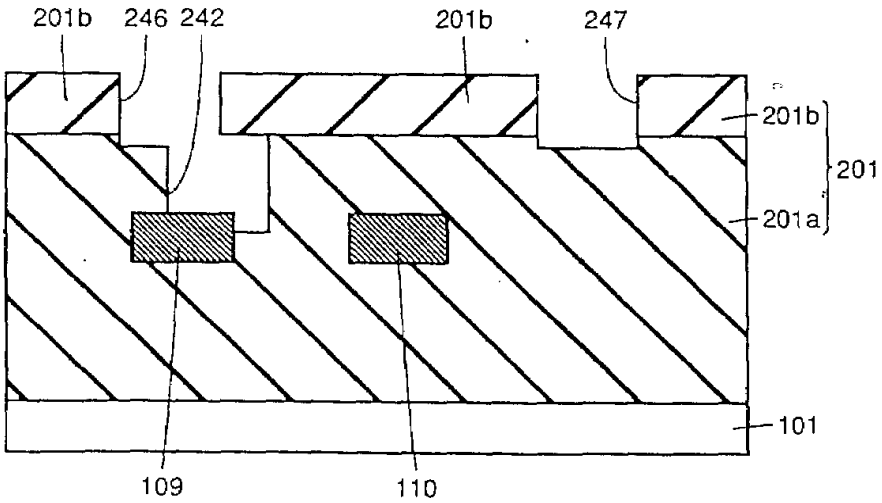
도면21



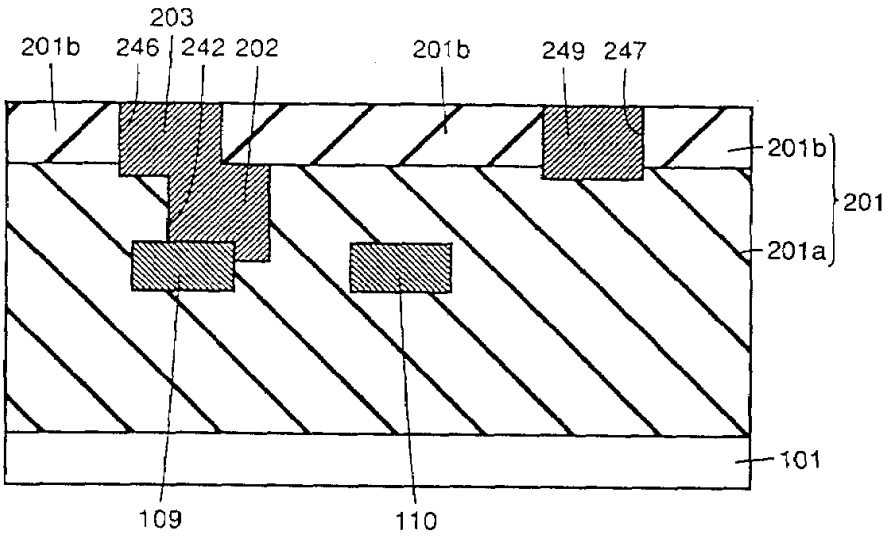
도면22


201b
245
246
242
243
245
201b
247
245
201b
201
201a
101
109
110

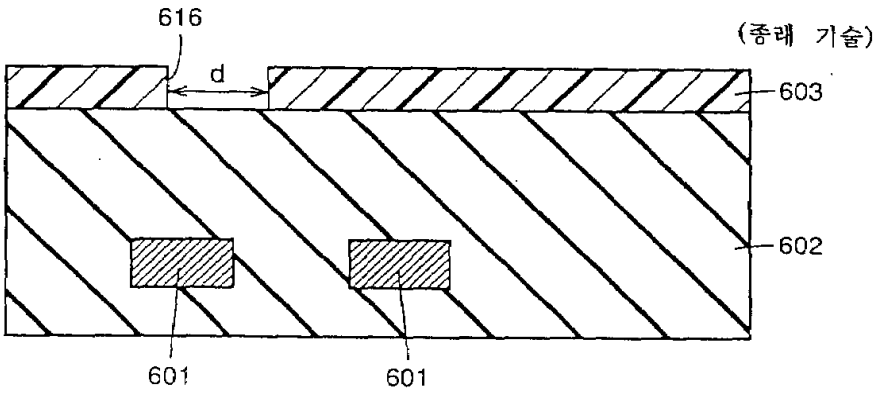
도면23


201b
246
242
201b
247
201b
201
201a
101
109
110

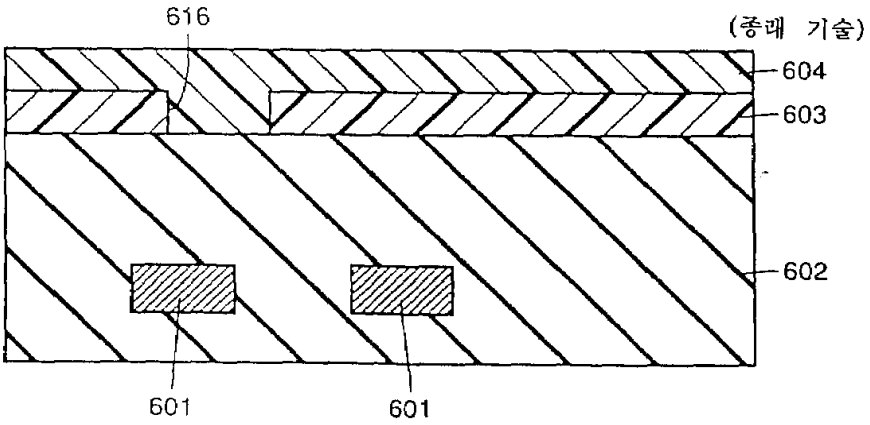
도면24



도면25

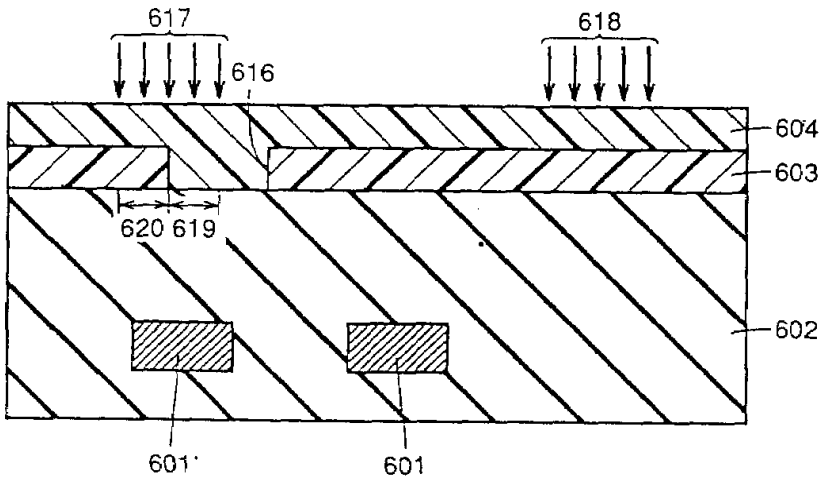


도면26



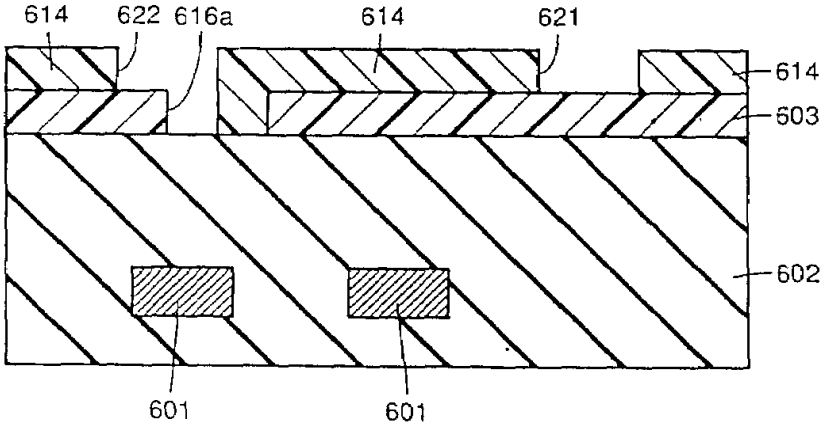
도면27

(종래 기술)



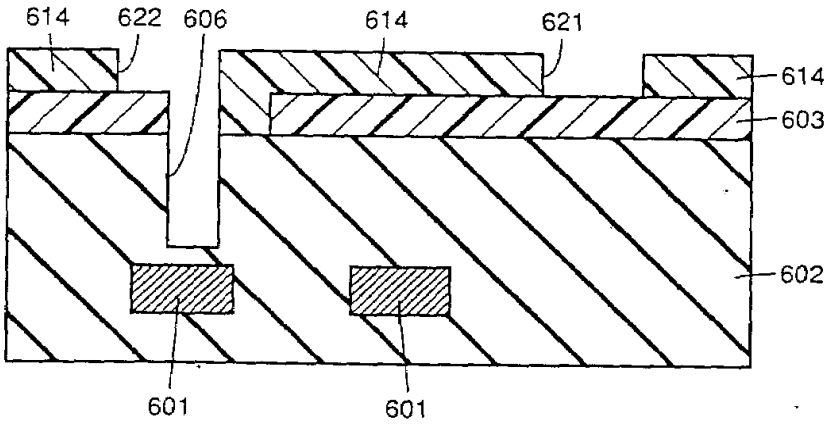
도면28

(종래 기술)



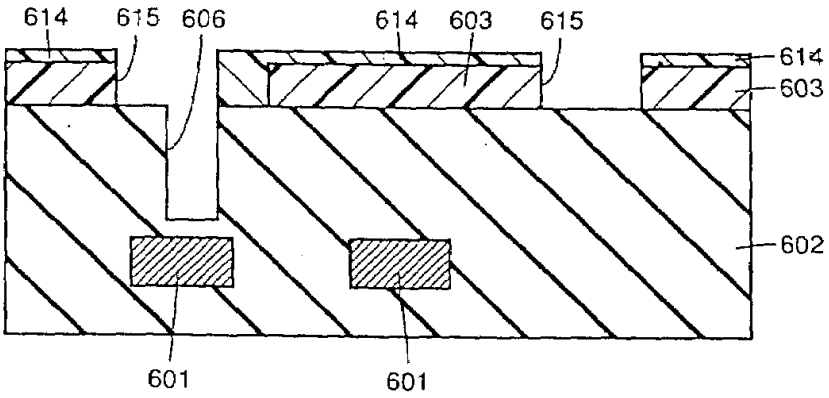
도면29

(종래 기술)

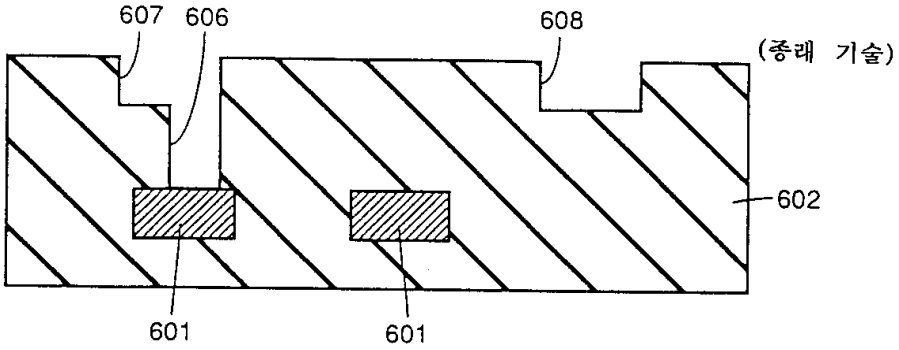


도면30

(종래 기술)



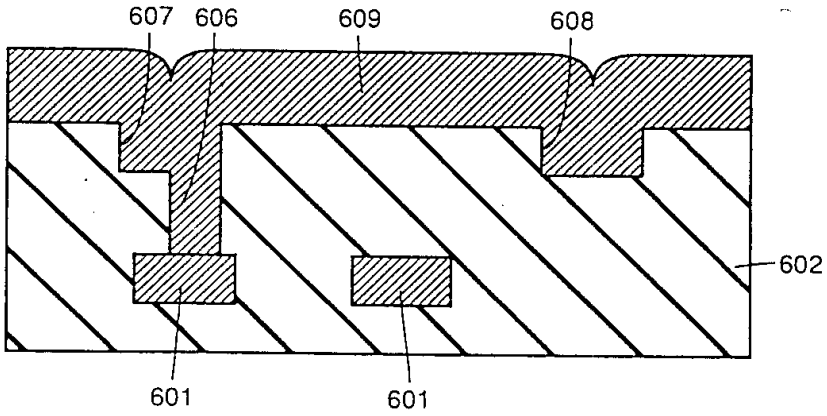
도면31



(종래 기술)

도면32

(종래 기술)



도면33

(종래 기술)

