

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 注入同期型分周器及びPLL回路

技術分野

[0001] 本発明は、携帯通信端末に使用される注入同期型分周器及びPLL (Phase Locked Loop) 回路に係り、特に10GHz以上の周波数信号を分周することが可能である広帯域な注入同期型分周器及びPLL回路に関する。

背景技術

[0002] 近年、爆発的に普及している携帯通信端末には高速化が求められ、無線部の周波数シンセサイザとしては、広帯域に動作するPLL回路が必須となっている。このPLL回路において、高周波数の信号を低周波数まで分周する回路が分周器であり、特に10GHz以上の周波数帯域では注入同期型分周器が知られている（例えば、非特許文献1参照）。

[0003] 図1は、非特許文献1に記載の注入同期型分周器10の構成を示す回路図である。

[0004] 図1に示すように、注入同期型分周器10は、第1増幅回路41と第2増幅回路42と第3増幅回路43とをリング状（ループ状ともいう）に3段縦続接続させたリング発振器40と、注入信号I1を出力する信号注入回路50と、を含む構成である。

[0005] 第1増幅回路41は、NチャネルMOS (Metal Oxide Semiconductor) 型トランジスタ11とPチャネルMOS型トランジスタ12とを含む構成である。NチャネルMOS (Metal Oxide Semiconductor) 型トランジスタ11は、第3増幅回路43の帰還出力をゲートに受ける。PチャネルMOS型トランジスタ12は、負荷として機能する。

[0006] 第2増幅回路42は、NチャネルMOS型トランジスタ21とPチャネルMOS型トランジスタ22とを含む構成である。NチャネルMOS型トランジスタ21は、第1増幅回路41の出力をゲートに受ける。PチャネルMOS型トランジスタ22は、負荷として機能する。

- [0007] 第3増幅回路43は、NチャネルMOS型トランジスタ31とPチャネルMOS型トランジスタ32とを含む構成である。NチャネルMOS型トランジスタ31は、第2増幅回路42の出力がゲートに入力される。PチャネルMOS型トランジスタ32は、負荷として機能する。
- [0008] 信号注入回路50は、全ての段のPチャネルMOS型トランジスタ12, 22, 32のゲートに接続される。
- [0009] PチャネルMOS型トランジスタ12, 22, 32のソースは高電位電源V_{dd}に接続され、NチャネルMOS型トランジスタ11, 21, 31のソースは接地される。
- [0010] 上記注入同期型分周器10の動作について説明する。
- [0011] 図2は、上記注入同期型分周器10の出力信号の周波数関係を示す図、図3は、上記リング発振器40の各段における位相関係を示す図である。
- [0012] 図2に示すように、信号注入回路50からの注入信号が入力されない場合は、リング発振器40の出力にはフリーラン周波数 f_0 である発振信号F1と、周波数 $2f_0$ である2次高調波成分F2と、周波数 $3f_0$ である3次高調波成分F3と、が発生する。
- [0013] 次に、信号注入回路50からの注入信号I1が周波数 $3f_0$ 付近の信号の場合は、注入信号I1と2次高調波成分F2とのミキシングによってフリーラン周波数 f_0 付近に注入信号がダウンコンバートされた出力信号I2とが発生する。リング発振器40の発振信号F1は出力信号I2の周波数に引き寄せられて同期する。
- [0014] このときのリング発振器40の各段における発振信号F1の位相関係は、図3に示すように、 120° ずつ、位相回転を有する。このため、1段目が 0° であると、2段目は $\pm 120^\circ$ 、3段目は $\pm 240^\circ$ となる。また、3次高調波成分F3の位相関係は、各段において発振信号F1を3倍したものになるため、全ての段において同位相である 0° となる。つまり、各段における注入信号I1の位相は、全て同位相であればよい。
- [0015] このように周波数 $3f_0$ 付近の注入信号I1を入力することに対して、フ

リーラン周波数 f_0 付近は出力信号 I 2 であるので、 $1/3$ 分周する周波数分周器として動作する。

[0016] 図 4 は、注入信号 I 1 の電圧振幅の周波数特性を示す図である。注入信号 I 1 は、注入同期型分周器 10 を安定して同期させるために必要な信号注入回路 50 から入力される信号である。

[0017] 図 4 に示すように、リング発振器 40 のフリーラン周波数 f_0 の 3 倍の周波数付近では、注入信号の電圧振幅が最も小さくてよく、電圧振幅として 200 mV p p では約 5 GHz の帯域で動作することが可能であることを示している。

先行技術文献

非特許文献

[0018] 非特許文献 1 : 「58. 8 / 39. 2 GHz デュアルモード CMOS 周波数分周器、電子情報通信学会総合大会、2007 年」

特許文献

[0019] 特許文献 1 : 特開平 10-93399 号公報

発明の概要

発明が解決しようとする課題

[0020] しかしながら、このような従来の注入同期型分周器にあっては、以下のような課題があった。

[0021] 図 5 は、注入同期型分周器 10 において寄生容量成分を含めた回路構成図である。

[0022] 図 5 に示すように、実際の配線レイアウトでは、配線と基板間には寄生容量 C_1 、 C_2 、 C_3 が発生する。寄生容量 C_1 、 C_2 、 C_3 の発生により、各段の信号振幅が小さくなる。注入信号 I 1 が減衰するため、ダウンコンバートされる出力信号 I 2 も小さくなって同期が困難になる。その結果、動作周波数帯域が狭くなるという課題がある。

[0023] 本発明の目的は、寄生容量の影響を小さくすることができ、動作周波数が

広帯域な注入同期型分周器及びPLL回路を提供することである。

課題を解決するための手段

[0024] 本発明の注入同期型分周器は、NチャンネルMOS型トランジスタとPチャンネルMOS型トランジスタとを含む増幅回路をリング状に $(2n+1)$ (n は任意の自然数)段縦続接続したリング発振器と、前記リング発振器に接続され、前記リング発振器を駆動させるNチャンネルMOS型トランジスタからなる電流源と、前記リング発振器に注入信号を出力し、前記電流源に前記注入信号の逆相信号を差動信号として出力する差動信号注入回路と、を備え、前記電流源の前記NチャンネルMOS型トランジスタのドレインは、前記リング発振器のNチャンネルMOS型トランジスタのソースに接続し、前記差動信号注入回路は、前記リング発振器のPチャンネルMOS型トランジスタのゲートに前記注入信号を出力し、かつ、前記電流源の前記NチャンネルMOS型トランジスタのゲートに前記差動信号を出力する構成を採る。

[0025] 本発明のPLL回路は、基準信号を出力する基準信号発振器と、高周波信号を出力する電圧制御発振器と、前記高周波信号を分周する注入同期型分周器と、前記注入同期型分周器の分周と前記基準信号発振器の出力信号とを比較し、位相と周波数の誤差を出力する位相周波数比較器と、前記位相周波数比較器により検波された位相と周波数の誤差を電流に変換するチャージポンプと、前記電圧制御発振器の制御電圧を生成し、生成した制御電圧を前記電圧制御発振器に出力するループフィルタとを備え、前記制御電圧は、前記位相周波数比較器で検波される誤差が小さくなるように前記電圧制御発振器を制御し、周波数負帰還動作を行うPLL回路であって、前記注入同期型分周器は、上記注入同期型分周器を用いる構成を採る。

発明の効果

[0026] 本発明によれば、動作周波数が広帯域な注入同期型分周器及びPLL回路を実現することができる。また、極めて簡易な回路構成を実現することができ、部品点数が少なく容易に実施できる効果がある。

図面の簡単な説明

- [0027] [図1]従来の注入同期型分周器 1 の構成を示す回路図
- [図2]従来の注入同期型分周器 1 の出力信号の周波数関係を示す図、
- [図3]従来の注入同期型分周器 1 のリング発振器の各段における位相関係を示す図
- [図4]従来の注入同期型分周器 1 を安定して同期させるために必要な信号注入回路からの注入信号 I 1 の電圧振幅の周波数特性を示す図
- [図5]従来の注入同期型分周器 1 において寄生容量成分を含めた回路構成図
- [図6]本発明の実施の形態 1 に係る注入同期型分周器の構成を示す回路図
- [図7]従来の注入同期型分周器 2 の構成を示す回路図
- [図8]従来の注入同期型分周器 2 の出力信号の周波数関係を示す図
- [図9]従来の注入同期型分周器 2 のリング発振器の各段における位相関係を示す図
- [図10]上記実施の形態 1 に係る注入同期型分周器の注入信号が出力に伝達するまでに遷移する位相関係を示す図
- [図11]上記実施の形態 1 に係る注入同期型分周器を安定して同期させるために必要な差動信号注入回路からの注入信号 I 1 の電圧振幅の周波数特性を示す図
- [図12]本発明の実施の形態 2 に係る注入同期型分周器の構成を示す回路図
- [図13]上記実施の形態 2 に係る注入同期型分周器の注入信号が出力に伝達するまでに遷移する位相関係を示す図
- [図14]本発明の実施の形態 3 に係る注入同期型分周器の構成を示す回路図
- [図15]本発明の実施の形態 4 に係る固定分周回路（プリスケータ）の構成を示す図
- [図16]本発明の実施の形態 5 に係る PLL 回路の構成を示す図

発明を実施するための形態

[0028] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。

[0029] （実施の形態 1）

図 6 は、本発明の実施の形態 1 に係る注入同期型分周器の構成を示す回路

図である。本実施の形態は、PLL回路に搭載される注入同期型分周器に適用可能である。

- [0030] 図6に示すように、注入同期型分周器100は、第1増幅回路141と第2増幅回路142と第3増幅回路143とをリング状に3段縦続接続したリング発振器140と、NチャネルMOS型トランジスタ150と、差動信号注入回路160と、を含む構成である。
- [0031] 第1増幅回路141は、NチャネルMOS型トランジスタ111とPチャネルMOS型トランジスタ112とを含む構成である。NチャネルMOS型トランジスタ111は、第3増幅回路143の帰還出力がゲートに入力される。PチャネルMOS型トランジスタ112は、負荷として機能する。
- [0032] 第2増幅回路142は、NチャネルMOS型トランジスタ121とPチャネルMOS型トランジスタ122とを含む構成である。NチャネルMOS型トランジスタ121は、第1増幅回路141の出力がゲートに入力される。PチャネルMOS型トランジスタ122は、負荷として機能する。
- [0033] 第3増幅回路143は、NチャネルMOS型トランジスタ131とPチャネルMOS型トランジスタ132とを含む構成である。NチャネルMOS型トランジスタ131は、第2増幅回路142の出力がゲートに入力される。PチャネルMOS型トランジスタ132は、負荷として機能する。
- [0034] NチャネルMOS型トランジスタ150のドレインは、NチャネルMOS型トランジスタ111、121、131のソースと接続される。
- [0035] 差動信号注入回路160は、各段のPチャネルMOS型トランジスタ112、122、132のゲートに注入信号X1を出力する。差動信号注入回路160は、NチャネルMOS型トランジスタ150のゲートに注入信号X1の逆相信号Y1を差動信号として出力する。
- [0036] PチャネルMOS型トランジスタ112、122、132のソースは、高電位電源V_{dd}に接続される。NチャネルMOS型トランジスタ150のソースは、接地される。
- [0037] 第3増幅回路143のNチャネルMOS型トランジスタ131のドレイン

とPチャンネルMOS型トランジスタ132のドレインは結線され、リング発振器140出力となる。

[0038] このように、本実施の形態の注入同期型分周器100は、非特許文献1の注入同期型分周器10（図1）が有する動作周波数帯域が狭くなる課題を解決するものである。

[0039] そこで、本実施の形態の注入同期型分周器100は、図6に示すように、リング発振器140の各段の増幅回路のNチャンネルMOS型トランジスタ111、121、131のソースにも信号を入力する。この構成により、寄生容量の影響を小さくすることができる。

[0040] 但し、NチャンネルMOS型トランジスタのソースから信号を入力する注入同期型分周器の構成については、特許文献1に開示されている。

[0041] 図7は、特許文献1に記載の注入同期型分周器60の構成を示す回路図である。

[0042] 図7に示すように、注入同期型分周器60は、第4増幅回路71と第5増幅回路72とをリング状に2段縦続接続させたリング発振器70と、差動信号注入回路80と、を含む構成である。

[0043] 第4増幅回路71は、NチャンネルBJT（Bipolar Junction Transistor）型差動トランジスタ対Q11、Q12と、抵抗R11、R12と、を含む構成である。

[0044] NチャンネルBJT型差動トランジスタ対Q11、Q12は、第5増幅回路72の帰還出力がベースに入力される。抵抗R11、R12は、負荷として機能する

[0045] 第5増幅回路72は、NチャンネルBJT型差動トランジスタ対Q13、Q14と、抵抗R13、R14とを含む構成である。NチャンネルBJT型差動トランジスタ対Q13、Q14は、第4増幅回路71の出力がベースに入力される。抵抗R13、R14は、負荷として機能する

[0046] リング発振器70は、差動トランジスタ対Q15、Q16を介して定電流源CS1から電流が供給される。

- [0047] 差動信号注入回路80は、差動トランジスタ対Q15、Q16のベースに接続され、差動信号が入力される。
- [0048] 抵抗R11、R12、R13、R14は、高電位電源V_{dd}に接続される。
- [0049] 上記注入同期分周器60の動作について説明する。
- [0050] 図8は、上記注入同期型分周器60の出力信号の周波数関係を示す図である。
- [0051] 図8に示すように、信号注入回路80からの注入信号が入力されない場合（周波数 $2f_0$ に破線の注入信号なし）は、リング発振器70の出力には、フリーラン周波数 f_0 である発振信号F1'（破線）が発生する。
- [0052] 次に、差動信号注入回路80からの注入信号I1'が周波数 $2f_0$ 付近の信号（実線）であると、フリーラン周波数 f_0 付近に、出力信号I2'（実線）が発生する。
- [0053] 出力信号I2'（実線）は、注入信号I1'と発振信号F1'とのミキシングによって、注入信号I1'がダウンコンバートされた信号である。
- [0054] これにより、リング発振器70の発振信号F1'は、出力信号I2'の周波数に引き寄せられて同期する。
- [0055] このように、周波数 $2f_0$ 付近の位相が差動関係にある注入信号I1'を入力することによって、注入信号I1'がダウンコンバートされ、フリーラン周波数 f_0 付近の出力信号I2'となる。このため、 $1/2$ 分周する周波数分周器として動作することになる。
- [0056] リング発振器70の各段における発振信号F1'の位相関係を図9に示す。
- [0057] 図9は、上記リング発振器70の各NチャンネルBJT型トランジスタのコレクタ出力における位相関係を示す図である。
- [0058] 図9に示すように、2次高調波成分の位相関係は、各段において発振信号F1'を2倍したものになる。このため、1段目に対する2段目の位相関係は、それぞれ 0° 、 $\pm 180^\circ$ の差動となる。つまり、注入信号I1'は、

1 段目に対して 2 段目の位相関係は差動であればよく、差動トランジスタ対 Q 1 5、Q 1 6 を介して入力することができる。

[0059] このように、特許文献 1 に記載の注入同期分周器 6 0 は、リング発振器 7 0 の発振周波数 f_0 の偶数倍の周波数信号の位相関係は、1 段目と 2 段目がそれぞれ 0° 、 $\pm 180^\circ$ の差動となる。このため、注入同期分周器 6 0 は、発振周波数 f_0 の偶数倍の周波数信号を入力することによって、偶数分周器として動作することができる。発振周波数 f_0 の偶数倍の周波数信号は、差動信号注入回路 8 0 から差動トランジスタ対 Q 1 5、Q 1 6 を介して、入力される。

[0060] しかし、リング発振器 7 0 の発振周波数 f_0 の奇数倍の周波数信号の位相関係は、1 段目の N チャンネル BJT 型トランジスタ Q 1 1、Q 1 2 と、2 段目の N チャンネル BJT 型トランジスタ Q 1 3、Q 1 4 とのそれぞれで、異なる位相関係となる。

[0061] 例えば、 $3f_0$ の周波数信号では、Q 1 1、Q 1 2、Q 1 3、Q 1 4 の位相関係は、それぞれ、 0° 、 $\pm 180^\circ$ 、 $\pm 270^\circ$ 、 $\pm 90^\circ$ となる。

[0062] したがって、特許文献 1 に記載の注入同期分周器 6 0 は、差動トランジスタ対 Q 1 5、Q 1 6 を介して、信号を入力することは困難であるので、奇数分周器として動作することは困難である。

[0063] また、リング発振器 7 0 は、増幅回路 7 1、7 2 と定電流源 CS 1 の間に差動トランジスタ対を追加している。リング発振器 7 0 が動作するためには、より高電位な電源に接続する必要がある、低電圧化、低消費電力化には適していない。

[0064] 本実施の形態は、非特許文献 1 の注入同期型分周器 1 0 が課題として有する、配線と基板間に発生する寄生容量の影響を小さくし、動作周波数が広帯域な注入同期型分周器を実現する。

[0065] その上で、本実施の形態は、P チャンネル MOS 型トランジスタ 1 1 2、1 2 2、1 3 2 のゲートと、定電流源の N チャンネル MOS 型トランジスタ 1 5 0 のゲートと、に差動信号を入力する。これにより、注入同期型分周器 1 0

0は、1つのトランジスタを追加することで構成可能であり、また、低電圧電源でも動作が可能な奇数分周器を実現することができる。

[0066] 次に、本実施の形態の注入同期型分周器100の動作について詳細に説明する。

[0067] 図10は、注入同期型分周器100の注入信号が、出力に伝達するまでに遷移する位相関係を示す図である。図10の信号X1、信号X2、信号Y1、信号Y2、信号Y3、信号Z1は、図6の各部の信号X1、信号X2、信号Y1、信号Y2、信号Y3、信号Z1を示す。

[0068] 図6に示すように、差動信号注入回路160は、信号X1を各段のPチャンネルMOS型トランジスタ112、122、132のゲートに出力し、かつ信号X1の逆相の差動信号Y1をNチャンネルMOS型トランジスタ150のゲートに出力する。

[0069] 図6及び図10の信号X2、信号Y2、信号Y3は、出力段である第3増幅回路143の各部の信号、信号Z1は注入同期型分周器100の出力信号である。

[0070] 前記図2に示すように、まず、差動信号注入回路160からの注入信号が入力されない（周波数 $3f_0$ に破線の注入信号なし）場合は、リング発振器140の出力にはフリーラン周波数 f_0 である発振信号F1（破線）と、周波数 $2f_0$ である2次高調波成分F2（破線）と、周波数 $3f_0$ である3次高調波成分F3（破線）と、が発生する。

[0071] 次に、差動信号注入回路160からの注入信号I1（実線）が周波数 $3f_0$ 付近の信号の場合は、注入信号I1が注入同期型分周器100の出力に伝達するまでに遷移する位相関係は、図10に示すように、各段において同じ位相となる。ここでは出力段の位相関係について説明する。

[0072] リング発振器140のPチャンネルMOS型トランジスタ112、122、132のゲートは、差動信号注入回路160から信号X1が入力される。リング発振器140の出力段のPチャンネルMOS型トランジスタ132のドレインは、信号X2を出力する。信号X2は、信号X1が反転し、増幅された

信号である。

- [0073] また、NチャンネルMOS型トランジスタ150のゲートに入力される信号は、信号Y1、信号Y2、信号Y3を経て出力される。各段において、反転を2回繰り返しているため、信号Y3では信号Y1の信号と同相となる。
- [0074] リング発振器140の出力（すなわち注入同期型分周器100の出力）である信号Z1は、信号X2と信号Y3の和の信号出力である。図10に示すように、信号Z1は、信号X2と信号Y3が同相であるため、加算によって振幅が大きな信号となる。
- [0075] 注入同期型分周器100は、出力信号Z1の信号レベルを、信号X2と信号Y3を用いて大きくすることで、出力信号Z1の減衰分を補償することができる。
- [0076] 注入信号I1（周波数 $3f_0$ ）と2次高調波成分F2（周波数 $2f_0$ ）とのミキシングによって、フリーラン周波数F1付近（ f_0 ）に注入信号I1がダウンコンバートされた出力信号I2が発生する。このため、リング発振器140のフリーラン周波数F1（破線）は、出力信号I2（実線）の周波数に引き寄せられて同期する。なお、上記出力信号I2は、図6の出力信号Z1に相当する。
- [0077] ここで、上述したように、注入信号I1は、寄生容量成分が発生しても減衰しにくいため、ダウンコンバートされる出力信号I2の振幅も大きくなり、注入同期型分周器の動作周波数は広帯域化する。
- [0078] 図11は、注入同期型分周器100を安定して同期させるために必要な差動信号注入回路160からの注入信号I1の電圧振幅の周波数特性を示す図である。
- [0079] 図11に示すように、リング発振器140は、フリーラン周波数 f_0 の3倍の周波数付近が、動作可能な注入信号の電圧振幅の最小値となる。リング発振器140は、電圧振幅として 200mV_{pp} において、約 7GHz という広い周波数帯域で動作することが可能である。特に、図4の従来の注入同期型分周器10と比較して分かるように、例えば 200mV_{pp} では周波数

帯域を約2GHzも拡大することができる。

- [0080] 以上のように、本実施の形態によれば、注入同期型分周器100は、第1増幅回路141と第2増幅回路142と第3増幅回路143とをリング状に3段縦続接続したリング発振器140と、NチャンネルMOS型トランジスタ150と、差動信号注入回路160とを含む構成である。
- [0081] 第1増幅回路141は、NチャンネルMOS型トランジスタ111とPチャンネルMOS型トランジスタ112とを含む構成である。NチャンネルMOS型トランジスタ111は、第3増幅回路143の帰還出力がゲートに入力される。PチャンネルMOS型トランジスタ112は、負荷として機能する。
- [0082] 第2増幅回路142は、NチャンネルMOS型トランジスタ121とPチャンネルMOS型トランジスタ122とを含む構成である。NチャンネルMOS型トランジスタ121は、第1増幅回路141の出力がゲートに入力される。PチャンネルMOS型トランジスタ122は、負荷として機能する。
- [0083] 第3増幅回路143は、NチャンネルMOS型トランジスタ131とPチャンネルMOS型トランジスタ132とを含む構成である。NチャンネルMOS型トランジスタ131は、第2増幅回路142の出力がゲートに入力される。PチャンネルMOS型トランジスタ132は、負荷として機能する。
- [0084] NチャンネルMOS型トランジスタ150のドレインは、各段のNチャンネルMOS型トランジスタ111、121、131のソースと接続される。
- [0085] 差動信号注入回路160は、各段のPチャンネルMOS型トランジスタ112、122、132のゲートに注入信号I1を出力する。差動信号注入回路160は、NチャンネルMOS型トランジスタ150のゲートに注入信号I1の逆相信号を差動信号として出力する。
- [0086] すなわち、本実施の形態では、PチャンネルMOS型トランジスタ112、122、132のゲートと定電流源のNチャンネルMOS型トランジスタ150のゲートとに差動信号を入力する。
- [0087] この構成により、注入同期型分周器100は、差動信号注入回路160と第1のNチャンネルMOS型トランジスタ150を用いて注入信号を強め合う

。すなわち、図10の信号Z1に示すように、差動信号注入回路160から入力される差動信号は、リング発振器140の出力段において同相となり強め合う。このため、寄生容量の影響を軽減することができ、広帯域な動作周波数を確保することができる。図6では、動作周波数が広帯域な1/3分周する注入同期型分周器を実現することができる。

[0088] また、注入同期型分周器100は、1つのトランジスタを追加することで構成可能であり、低電圧電源でも動作が可能な奇数分周器を実現することができる。

[0089] 本実施の形態の注入同期型分周器100は、入力が差動信号で、出力がシングル信号では、特に有効であり、回路規模を大きくすることなく、広帯域動作が可能な周波数分周器を実現することができる。

[0090] また、極めて簡易な回路構成で実現でき、部品点数が少なく容易に実施できる効果がある。

[0091] なお、本実施の形態では、リング発振器140の段数を3段として説明したが、これに限らず、リング発振器140の段数を $(2n+1)$ 段とし、差動信号注入回路160からの注入信号の周波数をリング発振器のフリーラン周波数 f_0 の $m(2n+1)$ 倍付近とする構成でもよい。

[0092] 例えば、リング発振器の段数を5段とし、差動信号注入回路160は5段のリング発振器の発振周波数のほぼ5倍あるいは10倍の周波数の信号を出力するものでもよい。 $m(2n+1)$ 分周する注入同期型分周器として動作させることができ、同様な効果を得ることができる。

[0093] また、本実施の形態では、リング発振器140のPチャンネルMOS型トランジスタ112、122、132のゲートのバイアス電圧を制御することで、リング発振器140のフリーラン周波数 f_0 を調整することができる。

[0094] また、リング発振器140は、リング状に奇数段縦続接続されているものであればよく、インバータとして機能させるNAND、NOR構成など、ゲート種類に制限は設けておらず、同様の動作が可能である。

[0095] (実施の形態2)

図12は、本発明の実施の形態2に係る注入同期型分周器の構成を示す回路図である。図6と同一構成部分には同一符号を付して重複箇所の説明を省略する。

- [0096] 図12に示すように、注入同期型分周器200は、図6のリング発振器140（説明の便宜上、第1のリング発振器140という）と、第1のリング発振器140と同一構成の第2のリング発振器240と、電流源250と、を含む構成である。
- [0097] 電流源250は、NチャネルMOS型トランジスタ251、252、253を含む構成である。
- [0098] NチャネルMOS型トランジスタ251、252、253は、第1及び第2のリング発振器140、240の各段のNチャネルMOS型トランジスタのソースをそれぞれ組み合わせてドレインに接続されている。
- [0099] また、注入同期型分周器200は、第1のリング発振器140のPチャネルMOS型トランジスタ112、122、132のゲートに注入信号X1を入力し、かつ第2のリング発振器240のPチャネルMOS型トランジスタ212、222、232のゲートに注入信号X1の逆相信号Y1を差動信号として入力する差動信号注入回路160を含む構成である。
- [0100] 第2のリング発振器240は、第1増幅回路241と第2増幅回路242と第3増幅回路243とをリング状に3段縦続接続する。
- [0101] 第1増幅回路241は、NチャネルMOS型トランジスタ211とPチャネルMOS型トランジスタ212とを含む構成である。NチャネルMOS型トランジスタ211は、第3増幅回路243の帰還出力をゲートに受ける。PチャネルMOS型トランジスタ212は、負荷である。
- [0102] 第2増幅回路242は、NチャネルMOS型トランジスタ221とPチャネルMOS型トランジスタ222とを含む構成である。NチャネルMOS型トランジスタ221は、第1増幅回路241の出力をゲートに受ける。PチャネルMOS型トランジスタ222は、負荷である。
- [0103] 第3増幅回路243は、NチャネルMOS型トランジスタ231とPチャ

ネルMOS型トランジスタ232とを含む構成である。NチャンネルMOS型トランジスタ231は、第2増幅回路242の出力をゲートに受ける。PチャンネルMOS型トランジスタ232は、負荷である。

- [0104] 第1及び第2のリング発振器140, 240の各段のPチャンネルMOS型トランジスタ112, 122, 132, 212, 222, 232のソースは、高電位電源V_{dd}に接続される。また、電流源250のNチャンネルMOS型トランジスタ251, 252, 253のゲートは、バイアス電圧V_gが供給され、ソースは接地される。
- [0105] 第2のリング発振器240の第3増幅回路243のNチャンネルMOS型トランジスタ231のドレインとPチャンネルMOS型トランジスタ232のドレインは結線され、注入同期型分周器200出力となる。
- [0106] 以下、上述のように構成された注入同期型分周器200の動作について説明する。
- [0107] 図13は、注入同期型発振器200の注入信号が出力に伝達するまでに遷移する位相関係を示す図である。図13の信号X1, 信号X2, 信号X3, 信号X4, 信号Y1, 信号Y2, 信号Z1は、図12の各部の信号X1, 信号X2, 信号X3, 信号X4, 信号Y1, 信号Y2, 信号Z1を示す。
- [0108] 図13に示すように、差動信号注入回路160は、信号X1を第1のリング発振器140の各段のPチャンネルMOS型トランジスタ112, 122, 132のゲートに出力し、かつ信号X1の逆相の差動信号Y1を第2のリング発振器240のPチャンネルMOS型トランジスタ212, 222, 232のゲートに出力する。
- [0109] 図12及び図13の信号X2, 信号X3は、第1及び第2のリング発振器140, 240の第3増幅回路143, 243のNチャンネルMOS型トランジスタ131, 231のソース電位である。
- [0110] また、図12及び図13の信号Y2, 信号X4は、出力段である第2のリング発振器240の第3増幅回路243の各部の信号、信号Z1は注入同期型分周器200の出力信号である。

- [0111] 前記図2に示すように、まず、差動信号注入回路160からの注入信号が入力されない場合（周波数 $3f_0$ に破線の注入信号なし）は、第2のリング発振器240の出力にはフリーラン周波数 f_0 である発振信号F1（破線）と、周波数 $2f_0$ である2次高調波成分F2（破線）と、周波数 $3f_0$ である3次高調波成分F3（破線）と、が発生する。
- [0112] 次に、差動信号注入回路160からの注入信号が周波数 $3f_0$ 付近の注入信号X1、Y1が入力される場合は、注入信号X1、Y1がリング発振器240の出力に伝達するまでに遷移する位相関係は、図13に示され、第2のリング発振器240の各段において同じ位相となる。
- [0113] 出力段の位相関係について説明する。
- [0114] 第1のリング発振器140のPチャネルMOS型トランジスタ112、122、132のゲートに入力される信号は、信号X1～信号X4を介して出力される。まず、信号X1から信号X2に伝達するまでに位相は2回反転するため位相は変わらない。次に、第1及び第2のリング発振器140、240は、定電流源250により接続され、信号X2と信号X3は差動の関係にあるため位相は反転する。さらに、信号X3から信号X4で位相は反転する。
- [0115] 次に、第2のリング発振器240のPチャネルMOS型トランジスタ212、222、232のゲートに入力される信号は、信号Y1、信号Y2を経て出力される。信号Y2では信号Y1の信号が反転し増幅される。
- [0116] 以上の結果、第2のリング発振器240の出力には、信号X4と信号Y2の和の信号が出力されるが、信号X4と信号Y2は同相であるため、振幅が大きな信号Z1となる。信号Z1の信号レベルを信号X2と信号Y3を用いて大きくすることで、信号Z1の減衰分を補償することができる。
- [0117] ここでは、出力段のみについて説明したが、全ての段において同様の補償効果がある。寄生成分の影響を軽減できるため、注入同期型分周器の動作周波数は広帯域化する。
- [0118] このように、本実施の形態の注入同期型分周器200は、第1及び第2の

リング発振器 140, 240 を、電流源 250 を用いた差動構成である。このため、注入同期型分周器 200 は、寄生成分の影響を軽減することができ、動作周波数が広帯域な動作周波数が広帯域な $1/3$ 分周する注入同期型分周器を実現することができる。

[0119] 特に、本実施の形態の注入同期型分周器 200 は、入力信号が差動信号であり、出力信号が差動信号かシングル信号である場合において、特に有効であり、広帯域動作が可能な周波数分周器を実現することができる。

[0120] なお、本実施の形態では、定電流源 250 として、NチャネルMOS型トランジスタ 251, 252, 253 を用いて説明したが、抵抗又はインダクタを含む受動素子を用いても、注入同期型分周器として動作させることができる。受動素子を用いることで、より簡易で小さな回路構成を実現することができる。

[0121] また、本実施の形態では、実施の形態 1 と同様に、第 1 及び第 2 のリング発振器 140, 240 の段数を 3 段として説明したが、本発明はこれに限られず、第 1 及び第 2 のリング発振器 140, 240 の段数を $(2n+1)$ 段とし、差動信号注入回路 160 からの注入信号の周波数をリング発振器のフリーラン周波数 f_0 の $m(2n+1)$ 倍付近とする構成でもよい。これにより、 $m(2n+1)$ 分周する注入同期型分周器として動作させることができ、同様な効果を得ることができる。

[0122] また、本実施の形態では、リング発振器 140, 240 の PチャネルMOS型トランジスタ 112, 122, 132, 212, 222, 232 のゲートのバイアス電圧を制御することで、リング発振器 140, 240 のフリーラン周波数 f_0 を調整することができる。

[0123] (実施の形態 3)

図 14 は、本発明の実施の形態 3 に係る注入同期型分周器の構成を示す回路図である。図 12 と同一構成部分には同一符号を付して重複箇所の説明を省略する。

[0124] 図 14 に示すように、注入同期型分周器 300 は、第 1 のリング発振器 1

40と、第1のリング発振器140と同一構成の第2のリング発振器240と、電流源であるNチャンネルMOS型トランジスタ350と、差動信号注入回路160と、を含む構成である。

[0125] 電流源であるNチャンネルMOS型トランジスタ350は、第1及び第2のリング発振器140、240の出力段のNチャンネルMOS型トランジスタ131、231のソースを組み合わせ、ドレインに接続されている。

[0126] 差動信号注入回路160は、第1のリング発振器140のPチャンネルMOS型トランジスタ112、122、132のゲートに注入信号I1を出力し、かつ、第2のリング発振器240のPチャンネルMOS型トランジスタ212、222、232のゲートに注入信号I1の逆相信号を差動信号として出力する。

[0127] 注入同期型分周器300は、図12の注入同期型分周器200に対して、出力段のみに電流源としてのNチャンネルMOS型トランジスタ350を接続している構成であることが異なる。

[0128] 以下、上述のように構成された注入同期型分周器300の動作について説明する。基本的な動作は、実施の形態2と同様である。

[0129] 差動信号注入回路160からの注入信号が入力されない場合は、前記図2に示すように、第2のリング発振器240の出力には、フリーラン周波数 f_0 である発振信号F1（破線）と、周波数 $2f_0$ である2次高調波成分F2（破線）と、周波数 $3f_0$ である3次高調波成分F3（破線）と、が発生する。

[0130] 次に、差動信号注入回路160からの注入信号が周波数 $3f_0$ 付近の注入信号X1、Y1が入力される場合は、第1のリング発振器140のPチャンネルMOS型トランジスタを介した信号と、第2のリング発振器240のPチャンネルMOS型トランジスタを介した信号とが、注入同期型分周器300の出力において同相であるため、振幅は大きくなる。

[0131] 注入同期型分周器300の出力における信号の振幅を大きくすることで、寄生容量成分による注入信号の減衰分を補償することができる。すなわち、

寄生容量成分によって注入信号が減衰しても、注入同期型分周器 300 の出力における信号レベルの振幅を大きくすることで、注入信号の減衰分を補償している。

[0132] ここで、第 1 及び第 2 のリング発振器 140, 240 の各段における位相関係には、 120° ずつの位相回転が存在する。なお、回転方向をそれぞれ逆方向としても動作可能である。

[0133] このように、本実施の形態の注入同期型分周器 300 は、第 1 及び第 2 のリング発振器 140, 240 の出力段に電流源 350 を用いた差動構成である。このため、電流源 350 として用いる MOS トランジスタの数を減らすことができる。その結果、回路規模を大きくすることなく、寄生成分の影響を軽減することができ、動作周波数が広帯域な $1/3$ 分周する注入同期型分周器を実現することができる。

[0134] 本実施の形態の注入同期型分周器 300 は、入力信号が差動信号であり、出力信号が差動信号かシングル信号である場合において、特に有効であり、回路規模を大きくすることなく広帯域動作が可能な周波数分周器を実現することができる。

[0135] また、本実施の形態では、第 1 及び第 2 のリング発振器 140, 240 の増幅回路のうち、出力段が電流源 350 を用いて差動構成されているが、これに限らず、出力段以外の他の増幅回路を差動構成としてもよい。設計の自由度を広げる効果が期待できる。

[0136] なお、本実施の形態では、電流源として N チャネル MOS 型トランジスタ 350 を用いて説明したが、抵抗又はインダクタを含む受動素子を用いても、注入同期型分周器として動作させることができる。受動素子を用いることで、より簡易で小型な回路構成を実現することができる。

[0137] また、本実施の形態では、実施の形態 1, 2 と同様に、第 1 及び第 2 のリング発振器 140, 240 の段数を 3 段として説明したが、これに限らず、第 1 及び第 2 のリング発振器 140, 240 の段数を $(2n+1)$ 段とし、差動信号注入回路 160 からの注入信号の周波数をリング発振器のフリーラ

ン周波数 f_0 の $m(2n+1)$ 倍付近とする構成でもよい。 $m(2n+1)$ 分周する注入同期型分周器として動作させることができ、同様な効果を得ることができる。

[0138] また、本実施の形態では、リング発振器 140、240 の P チャンネル MOS 型トランジスタ 112、122、132、212、222、232 のゲートのバイアス電圧を制御することで、リング発振器 140、240 のフリーラン周波数 f_0 を調整することができる。

[0139] (実施の形態 4)

図 15 は、本発明の実施の形態 4 に係る固定分周回路 (プリスケアラ) の構成を示す図である。

[0140] 図 15 に示すように、固定分周回路 400 は、図 6 の注入同期型分周器 100 と、固定分周器 460 と、を含む構成である。

[0141] 次に、固定分周回路 400 の動作について説明する。

[0142] 高周波の差動信号は、注入同期型分周器 100 によりシングル出力の信号に分周される。そのシングル出力の信号は、固定分周器 460 により、さらに低周波まで分周される。

[0143] このように、本実施の形態の固定分周回路 400 は、固定分周回路の注入同期型分周器 100 に、実施の形態 1 の注入同期型分周器 100 を用いて構成している。注入同期型分周器 100 の出力と後段の固定分周器 460 の入力とをシングル出力の信号を用いて構成とすることができるため、動作周波数が広帯域であるだけでなく、小型で低消費電力な固定分周回路を実現することができる。

[0144] (実施の形態 5)

図 16 は、本発明の実施の形態 5 に係る PLL 回路の構成を示す図である。

[0145] 図 16 に示すように、PLL 回路 500 は、図 6 の注入同期型分周器 100 (又は図 12 の注入同期型分周器 200、図 14 の注入同期型分周器 300 のいずれか) と、基準信号発振器 410 と、電圧制御発振器 420 と、位

相周波数比較器 430 と、チャージポンプ 440 と、ループフィルタ 450 と、を含む。

[0146] 次に、PLL回路 500 の動作について説明する。

[0147] 電圧制御発振器 420 は、高周波信号を出力する。高周波信号は、注入同期型分周器 100 (200, 300) により低周波まで分周される。

[0148] 位相周波数比較器 430 は、注入同期型分周器 100 (200, 300) の分周信号と基準信号発振器 410 の出力信号とを比較し、位相と周波数の誤差をチャージポンプ 440 に出力する。

[0149] チャージポンプ 440 は、位相周波数比較器 430 において検波された位相と周波数の誤差を電流に変換し、ループフィルタ 450 は、電圧制御発振器 420 の制御電圧を生成する。

[0150] 上記制御電圧は、位相周波数比較器 430 において検波される誤差が小さくなるように電圧制御発振器 420 を制御するため、周波数負帰還動作を行う PLL 回路として動作する。

[0151] このように、本実施の形態の PLL 回路 500 は、PLL 回路の注入同期型分周器に、実施の形態 1 乃至 3 の注入同期型分周器 100 (200, 300) を用いて構成している。注入同期型分周器 100 (200, 300) の動作周波数帯域が広帯域であるため、動作周波数が広帯域な PLL 回路を実現することができる。

[0152] また、注入同期型分周器 100 (200, 300) は奇数分周であり、2 分周器と比較して分周数が大きいため、PLL 回路としての分周器数を減らすことができ、小型で低消費電力な PLL 回路を実現することができる。

[0153] また、各種の PLL 回路にも汎用に使用できるという優れた効果がある。

[0154] なお、注入同期型分周器 100 (200, 300) と位相周波数比較器 430 の間に、固定分周器、又は、プログラマブルカウンタを含む分周器を接続して、低周波まで分周しても同様の効果がある。

[0155] 以上の説明は本発明の好適な実施の形態の例証であり、本発明の範囲はこれに限定されることはない。例えば、上記各実施の形態では、MOS トラン

ジスタを使用した例について説明したが、どのようなMOSトランジスタでもよい。例えば、MIS (Metal Insulated Semiconductor) トランジスタであってもよい。また、このMISトランジスタは、SOI (Silicon On Insulator) 構造のシリコン基板上に形成されたMISトランジスタでもよい。さらに、バイポーラトランジスタ、Bi-CMOS、又はこれらの組み合わせであってもよい。但し、MOSトランジスタが消費電力の点で有利であることは言うまでもない。

[0156] また、上記各実施の形態では注入同期型分周器という名称を用いたが、これは説明の便宜上であり、周波数分周器、PLL装置等であってもよいことは勿論である。

[0157] さらに、上記注入同期型分周器を構成する各回路部、例えばリング発振器のインバータゲートの段数、論理素子の種類などは前述した実施の形態に限られない。当然のことながら、本注入同期型分周器に、各種補償用のトランジスタを付加してもよいことは言うまでもない。

[0158] 2010年1月22日出願の特願2010-012131の日本出願に含まれる明細書、図面及び要約書の開示内容は、すべて本願に援用される。

産業上の利用可能性

[0159] 本発明に係る注入同期型分周器及びPLL回路は、携帯通信端末に使用される注入同期型分周器及びPLL回路等に利用可能であり、特に10GHz以上の周波数信号を分周することが可能で広帯域な注入同期型分周器及びPLL回路等に有用である。また、注入同期型分周器として電子回路全般に適用することが可能である。

符号の説明

[0160] 100, 200, 300 注入同期型分周器
111, 121, 131, 150, 212, 222, 232, 251, 252, 253, 350 NチャンネルMOS型トランジスタ
112, 122, 132, 212, 222, 232 PチャンネルMOS型トランジスタ

- 1 4 0, 2 4 0 リング発振器
- 1 4 1 第 1 増幅回路
- 1 4 2 第 2 増幅回路
- 1 4 3 第 3 増幅回路
- 1 6 0 差動信号注入回路
- 2 5 0 電流源
- 4 0 0 固定分周回路
- 4 1 0 基準信号発振器
- 4 2 0 電圧制御発振器
- 4 3 0 位相周波数比較器
- 4 4 0 チャージポンプ
- 4 5 0 ループフィルタ
- 5 0 0 P L L 回路

請求の範囲

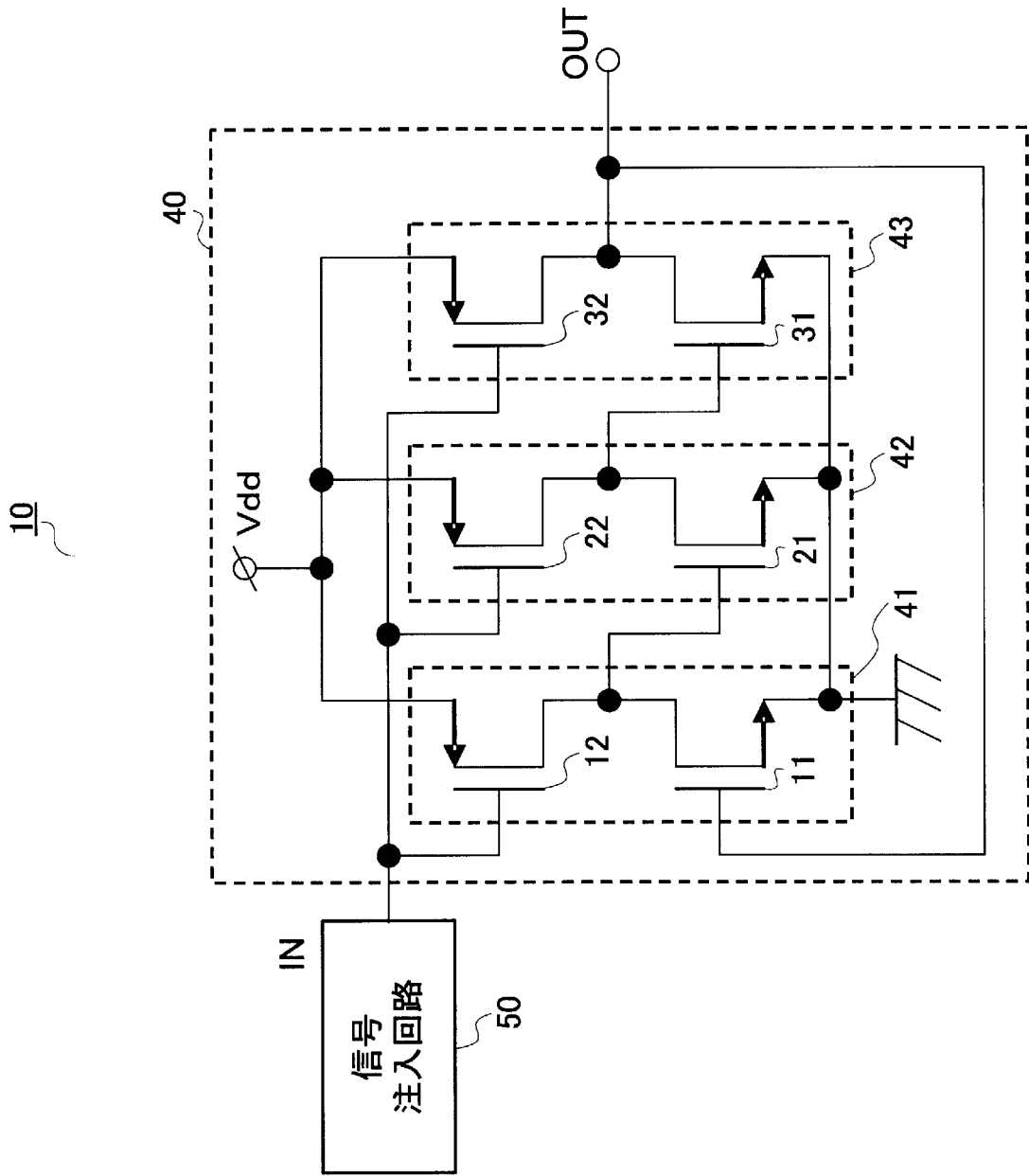
- [請求項1] NチャンネルMOS型トランジスタとPチャンネルMOS型トランジスタとを含む増幅回路をリング状に $(2n+1)$ (n は任意の自然数)段縦続接続したリング発振器と、
- 前記リング発振器に接続され、前記リング発振器を駆動させるNチャンネルMOS型トランジスタからなる電流源と、
- 前記リング発振器に注入信号を出力し、前記電流源に前記注入信号の逆相信号を差動信号として出力する差動信号注入回路と、
- を備え、
- 前記電流源の前記NチャンネルMOS型トランジスタのドレインは、前記リング発振器のNチャンネルMOS型トランジスタのソースに接続し、
- 前記差動信号注入回路は、前記リング発振器のPチャンネルMOS型トランジスタのゲートに前記注入信号を出力し、かつ、前記電流源の前記NチャンネルMOS型トランジスタのゲートに前記差動信号を出力する、
- 注入同期型分周器。
- [請求項2] 前記リング発振器の出力段は、前記注入信号を基に増幅した信号と前記差動信号を基に増幅した信号とを同相で重ね合わせて出力する請求項1記載の注入同期型分周器。
- [請求項3] 前記差動信号注入回路は、前記リング発振器の発振周波数の $m(2n+1)$ (m は任意の自然数)倍の周波数の信号を注入する請求項1記載の注入同期型分周器。
- [請求項4] 基準信号を出力する基準信号発振器と、
- 高周波信号を出力する電圧制御発振器と、
- 前記高周波信号を分周する注入同期型分周器と、
- 前記注入同期型分周器の分周と前記基準信号発振器の出力信号とを比較し、位相と周波数の誤差を出力する位相周波数比較器と、

前記位相周波数比較器により検波された位相と周波数の誤差を電流に変換するチャージポンプと、

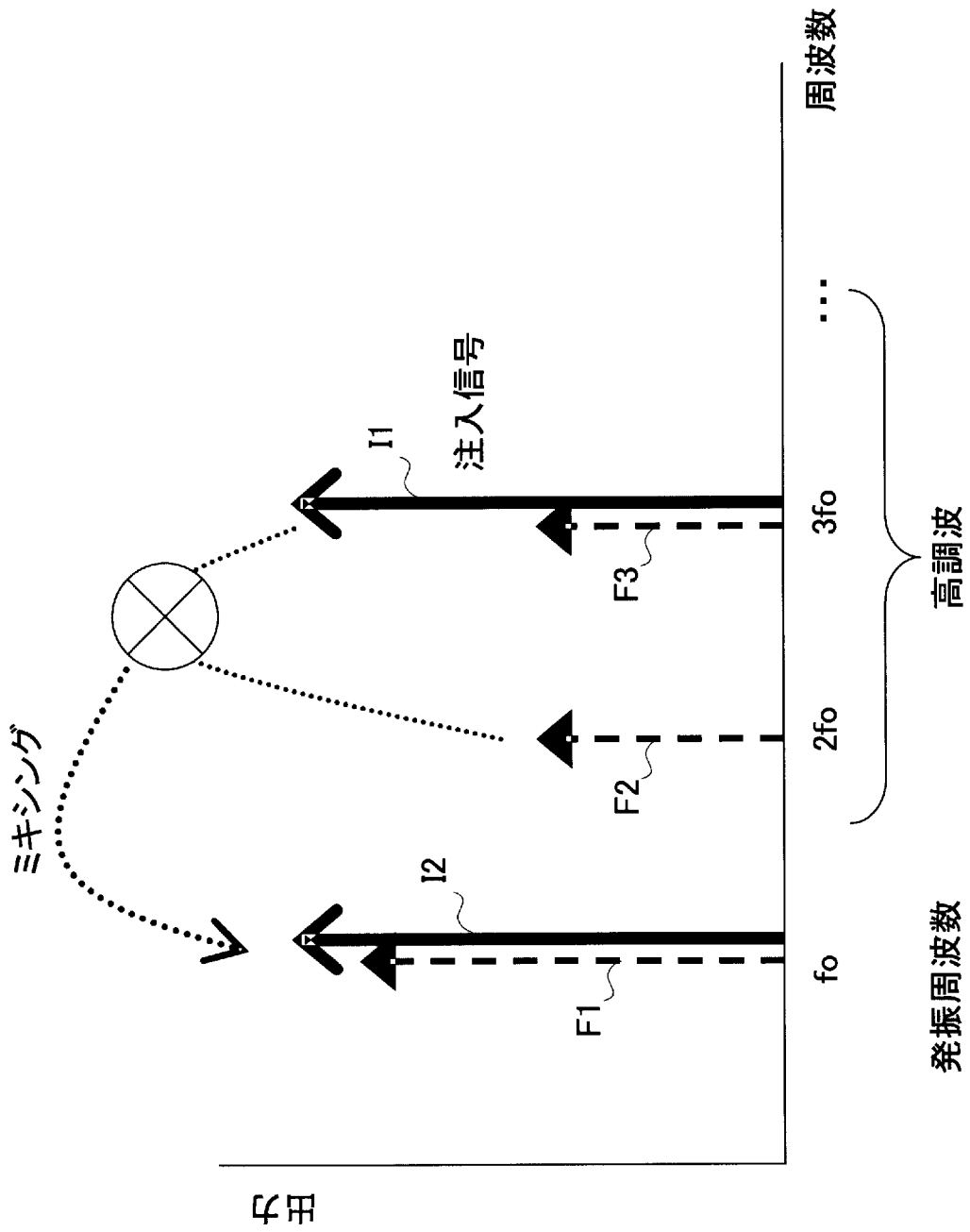
前記電圧制御発振器の制御電圧を生成し、生成した制御電圧を前記電圧制御発振器に出力するループフィルタとを備え、前記制御電圧は、前記位相周波数比較器で検波される誤差が小さくなるように前記電圧制御発振器を制御する、周波数負帰還動作を行うPLL回路であって、

前記注入同期型分周器は、請求項1に記載の注入同期型分周器であるPLL回路。

[図1]



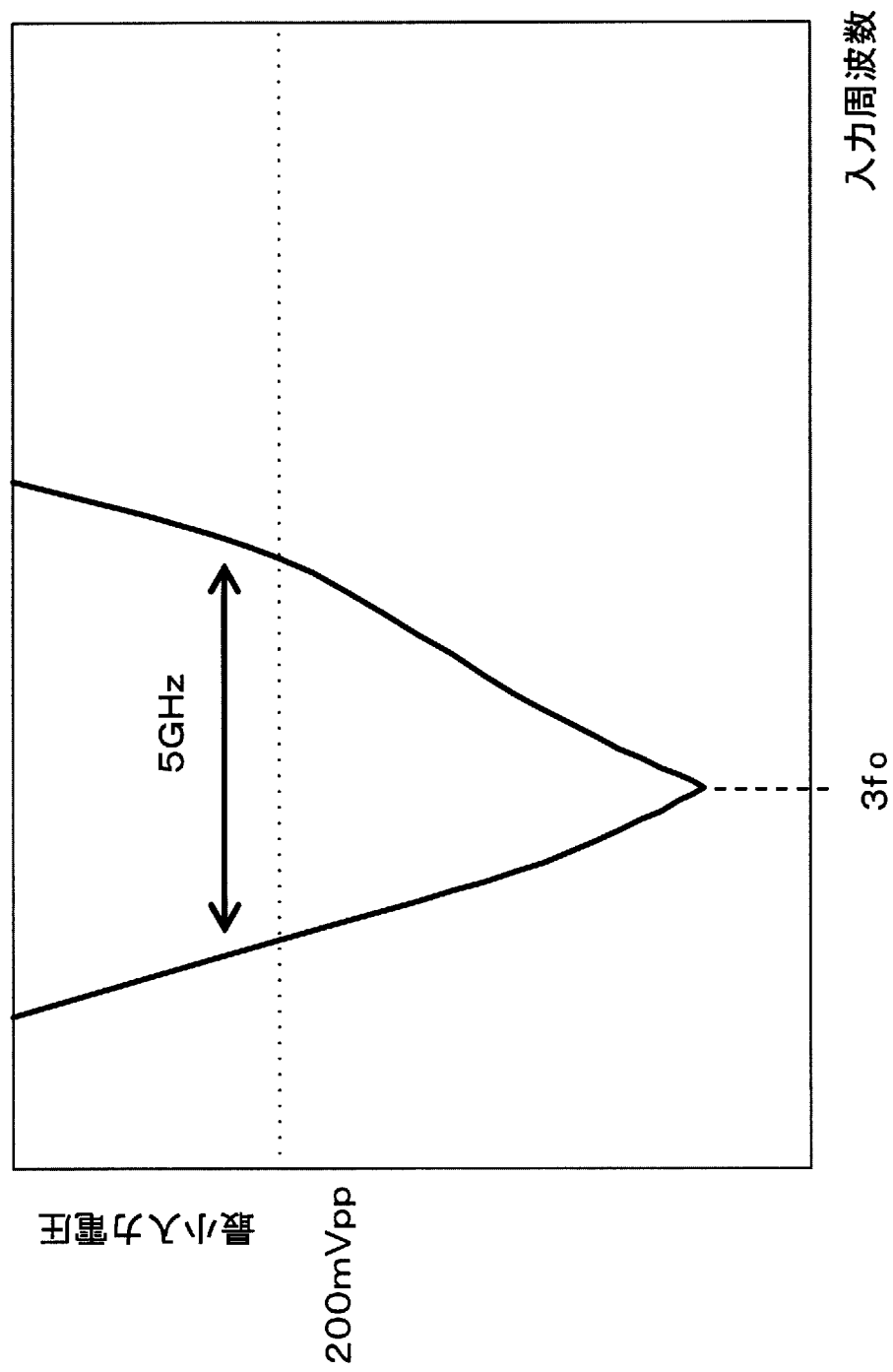
[図2]



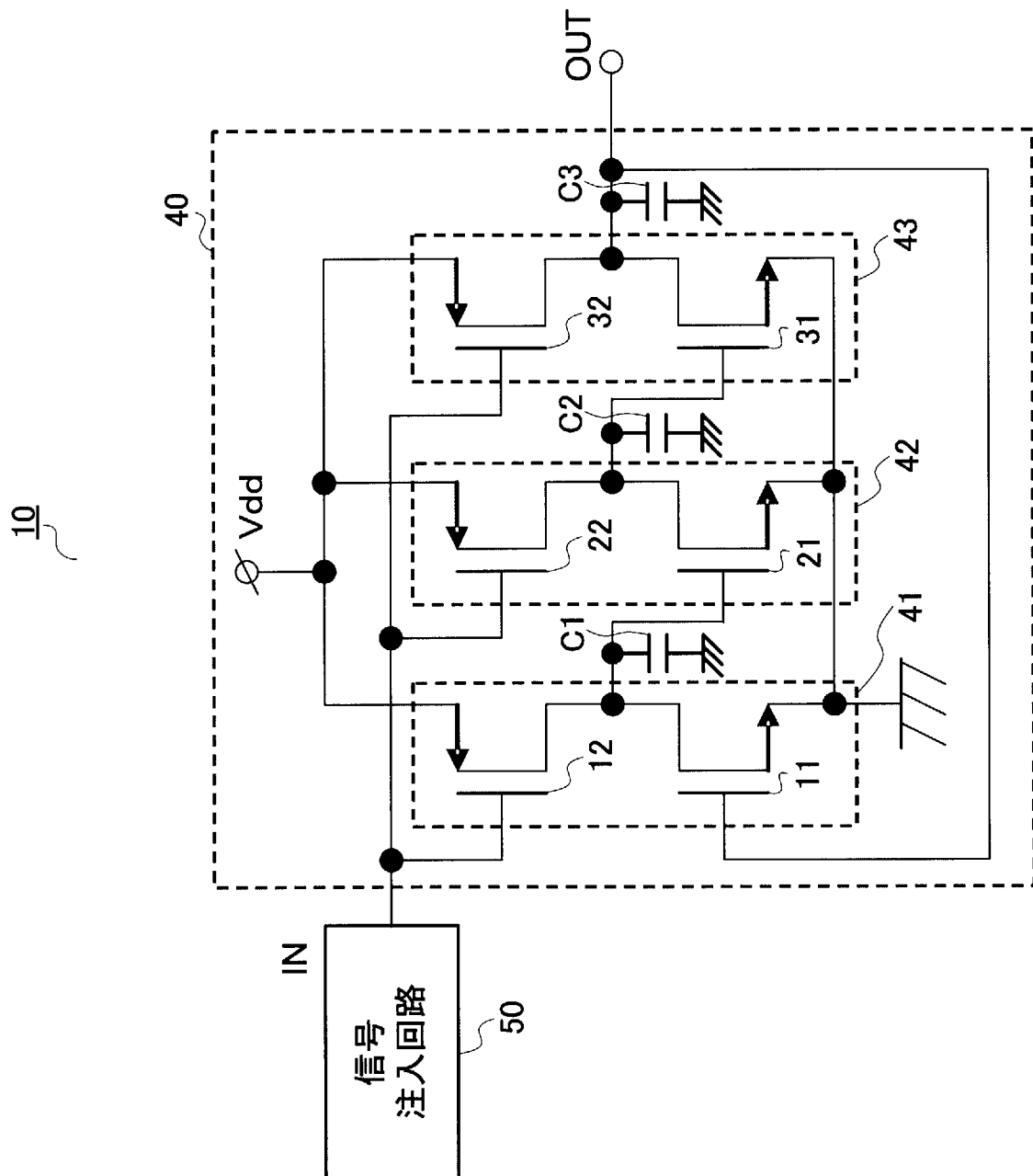
[図3]

	1段	2段	3段
foの位相	0°	±120°	±240°
2foの位相	0°	±240°	±120°
3foの位相 (注入信号)	0°	0°	0°

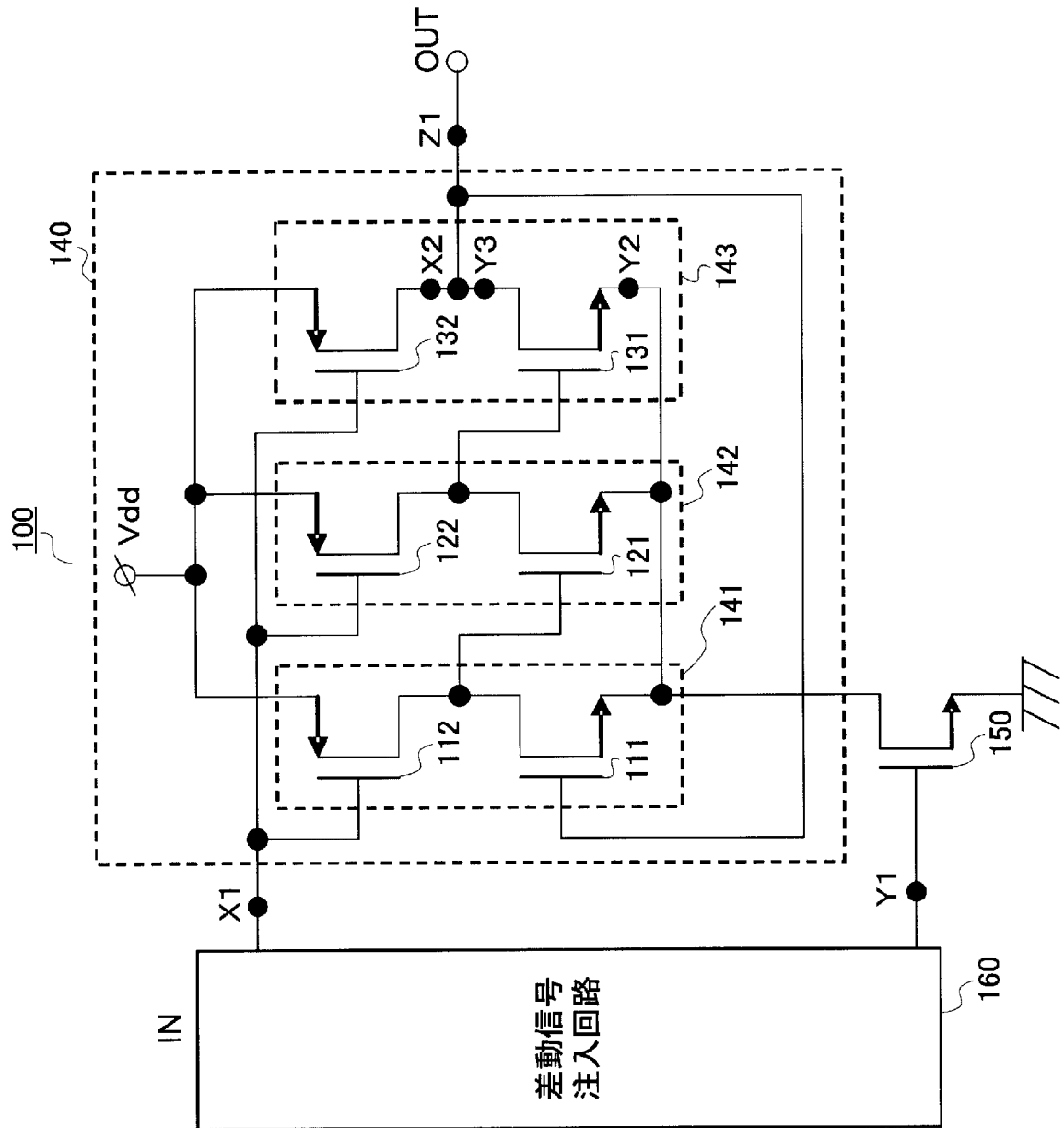
[図4]



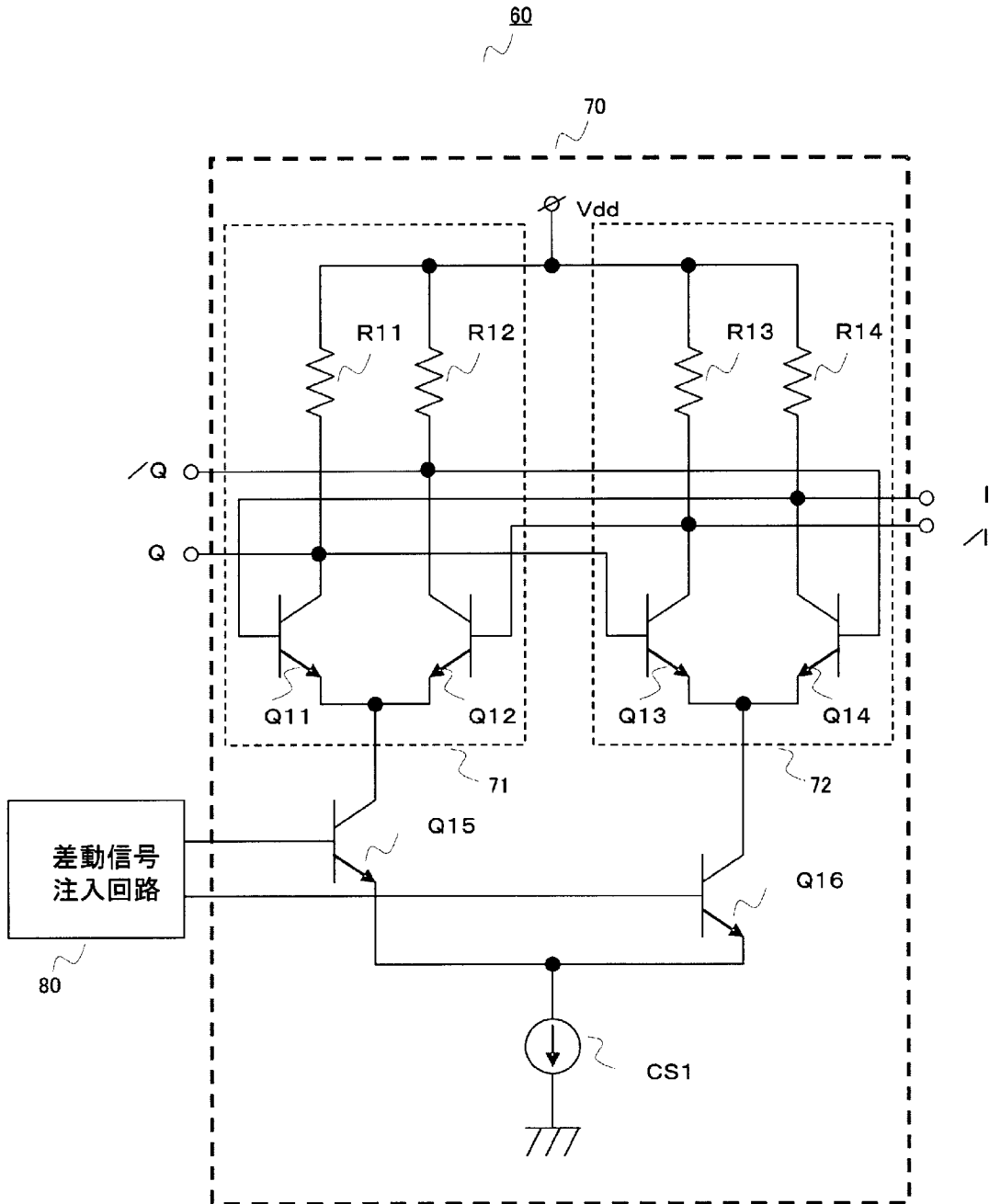
[図5]



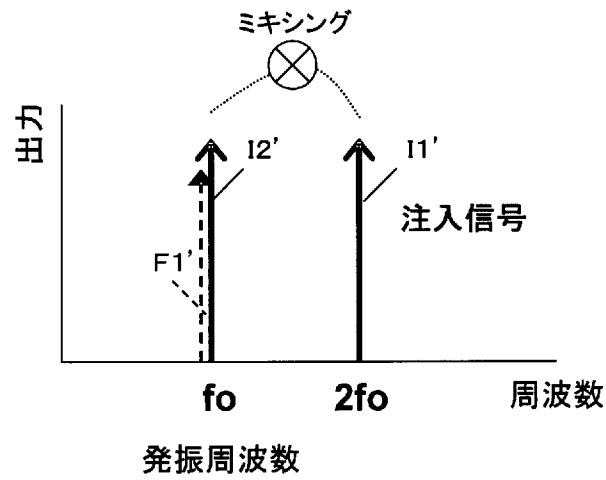
[図6]



[図7]



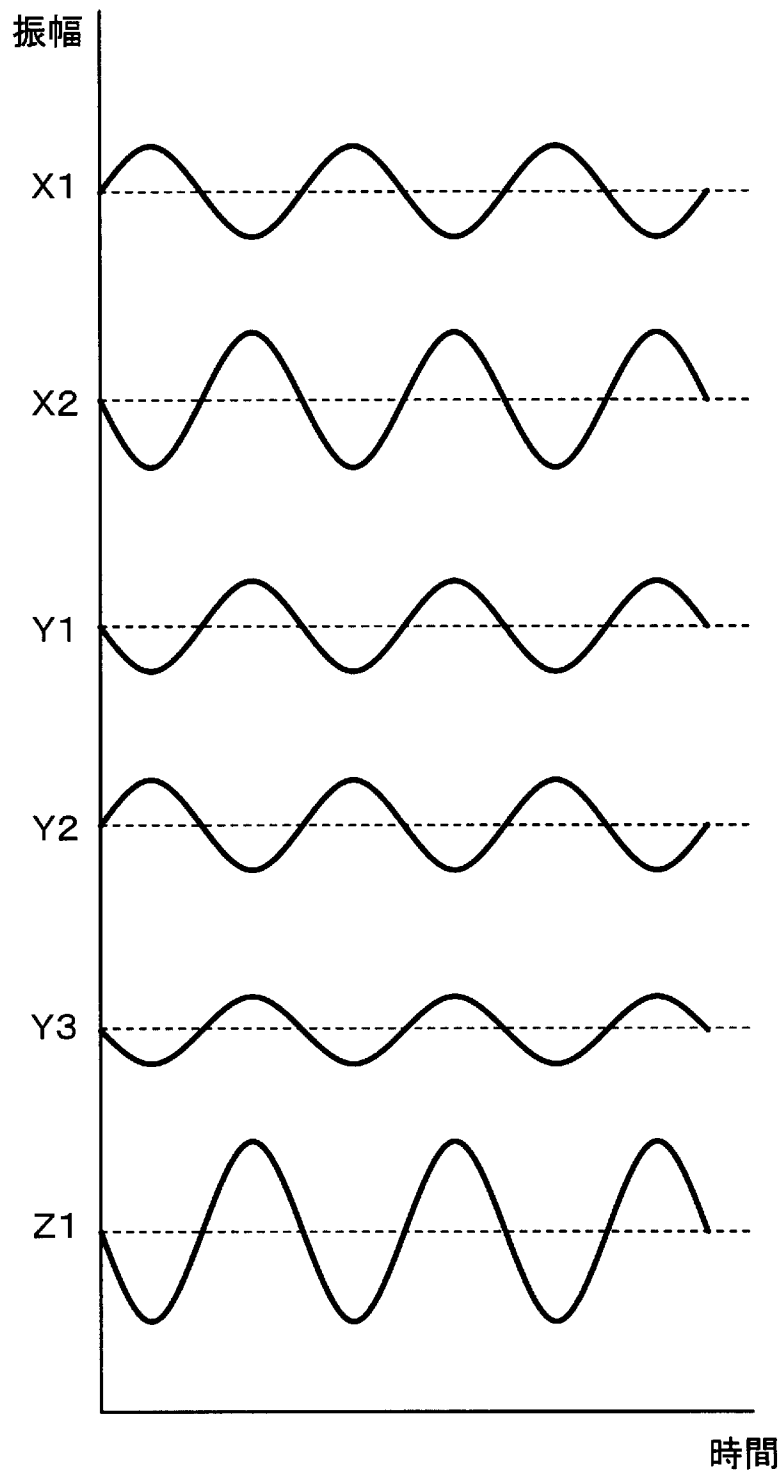
[図8]



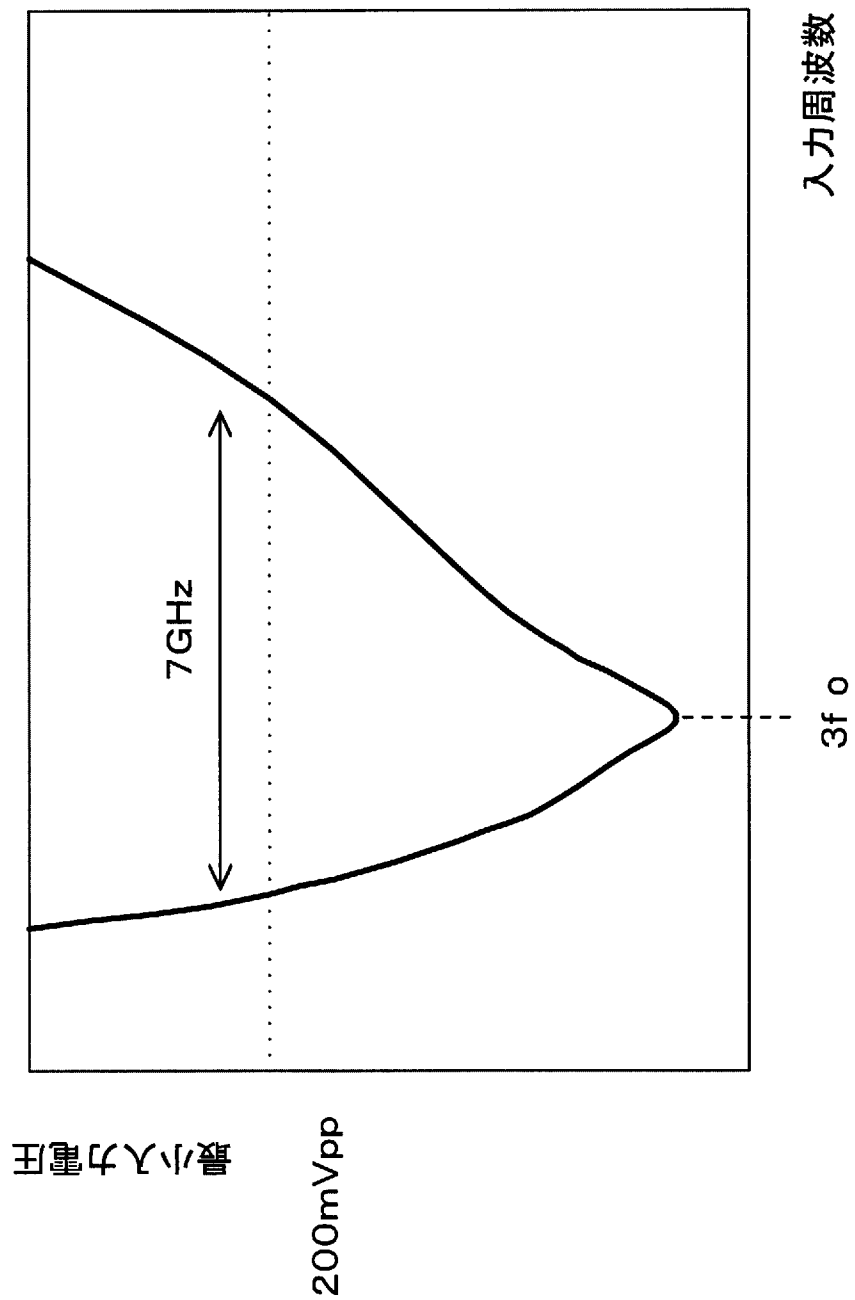
[図9]

	1段		2段	
	Q11	Q12	Q13	Q14
foの位相	0°	±180°	±90°	±270°
2foの位相 (注入信号)	0°	0°	±180°	±180°

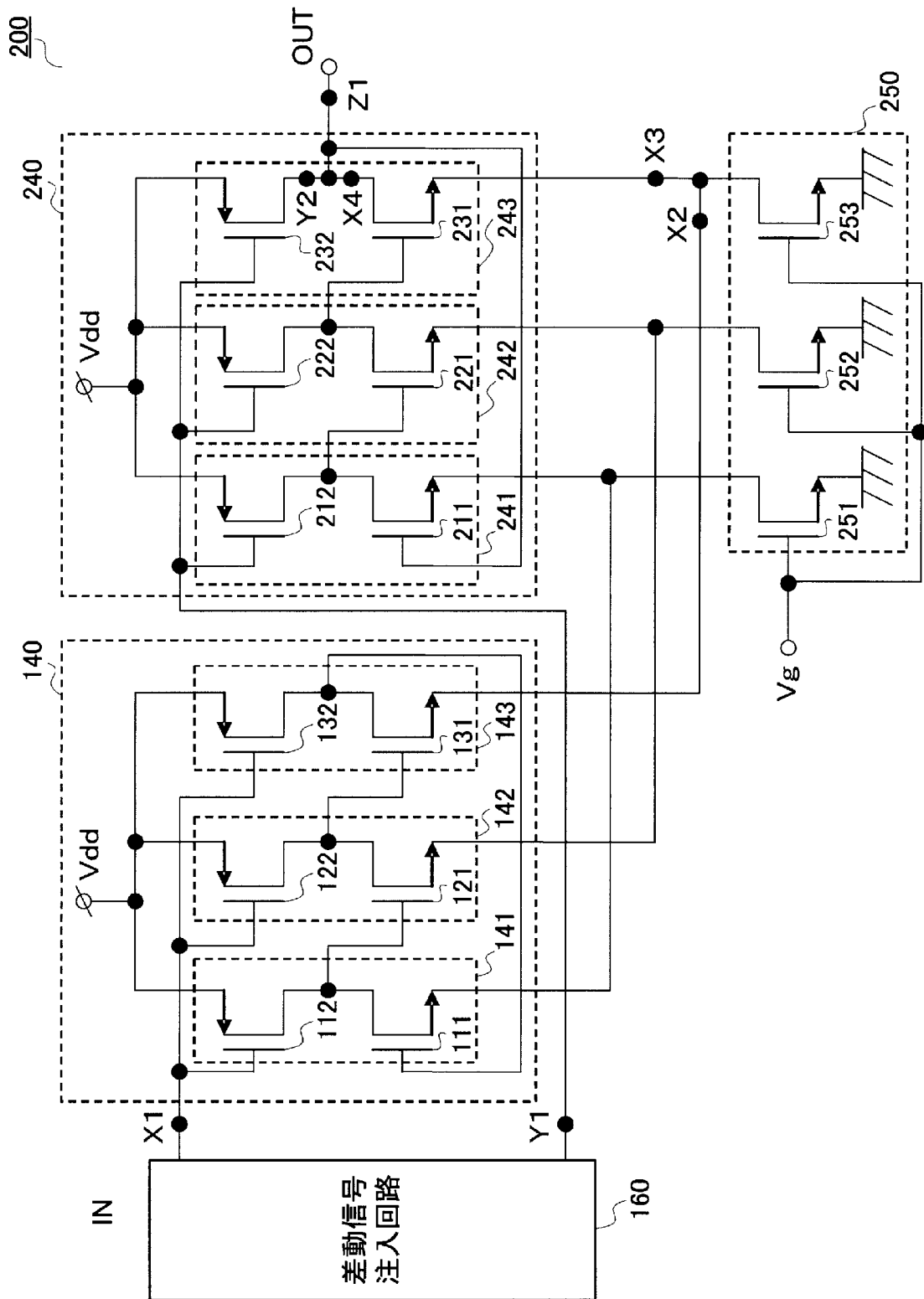
[図10]



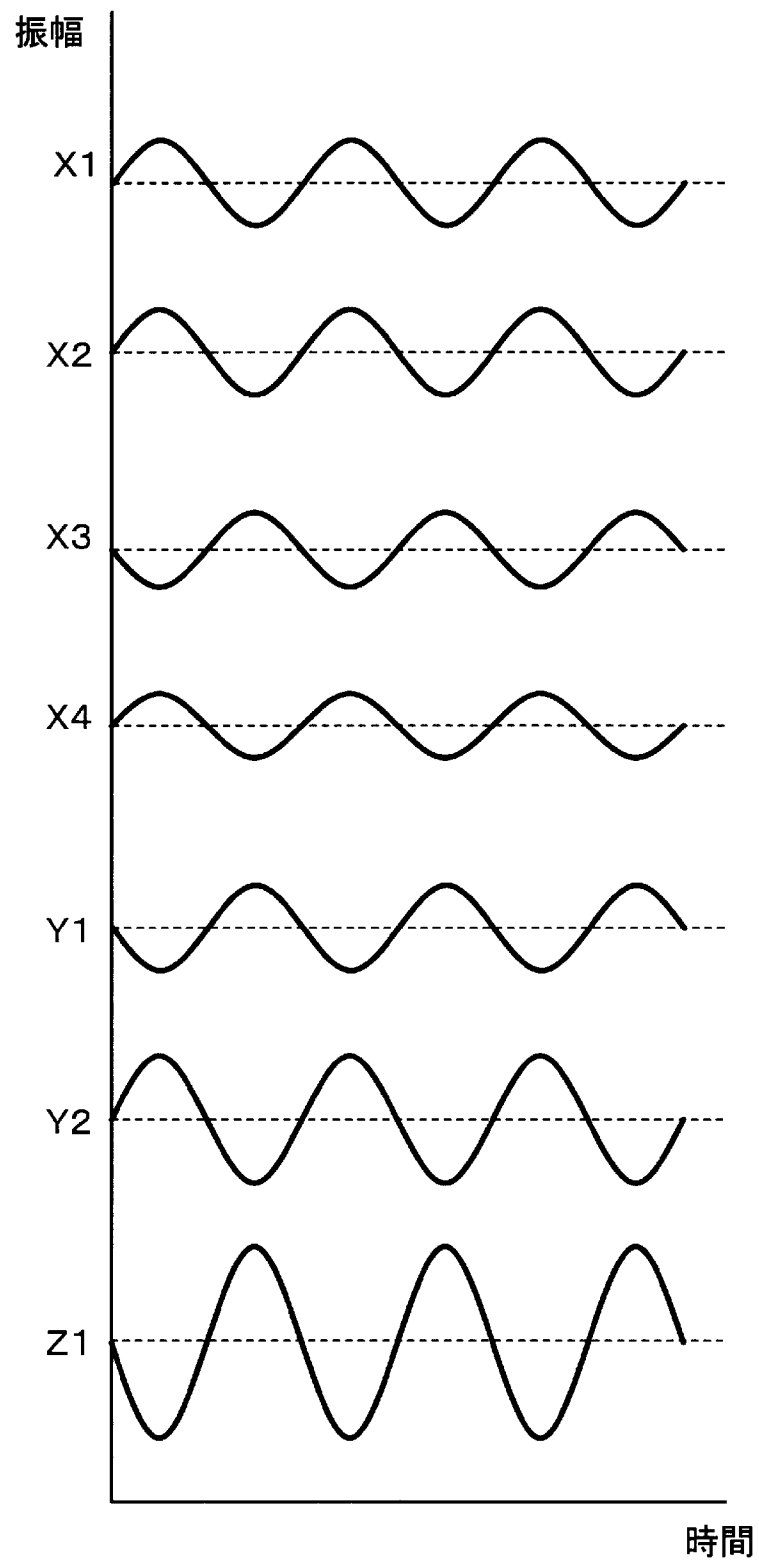
[図11]



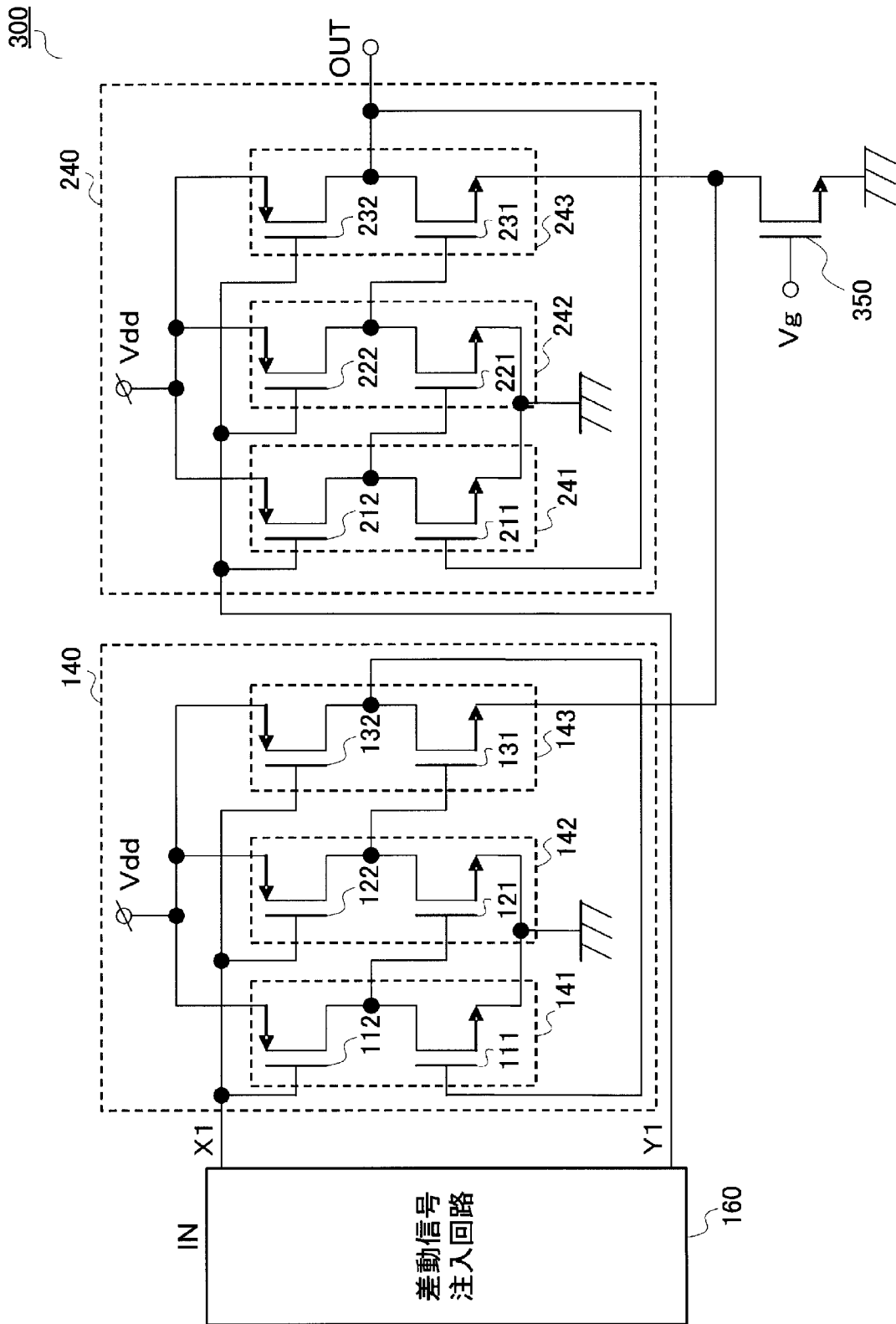
[図12]



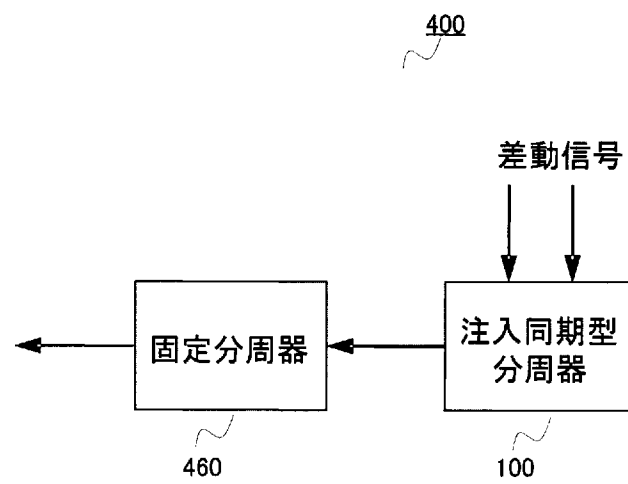
[図13]



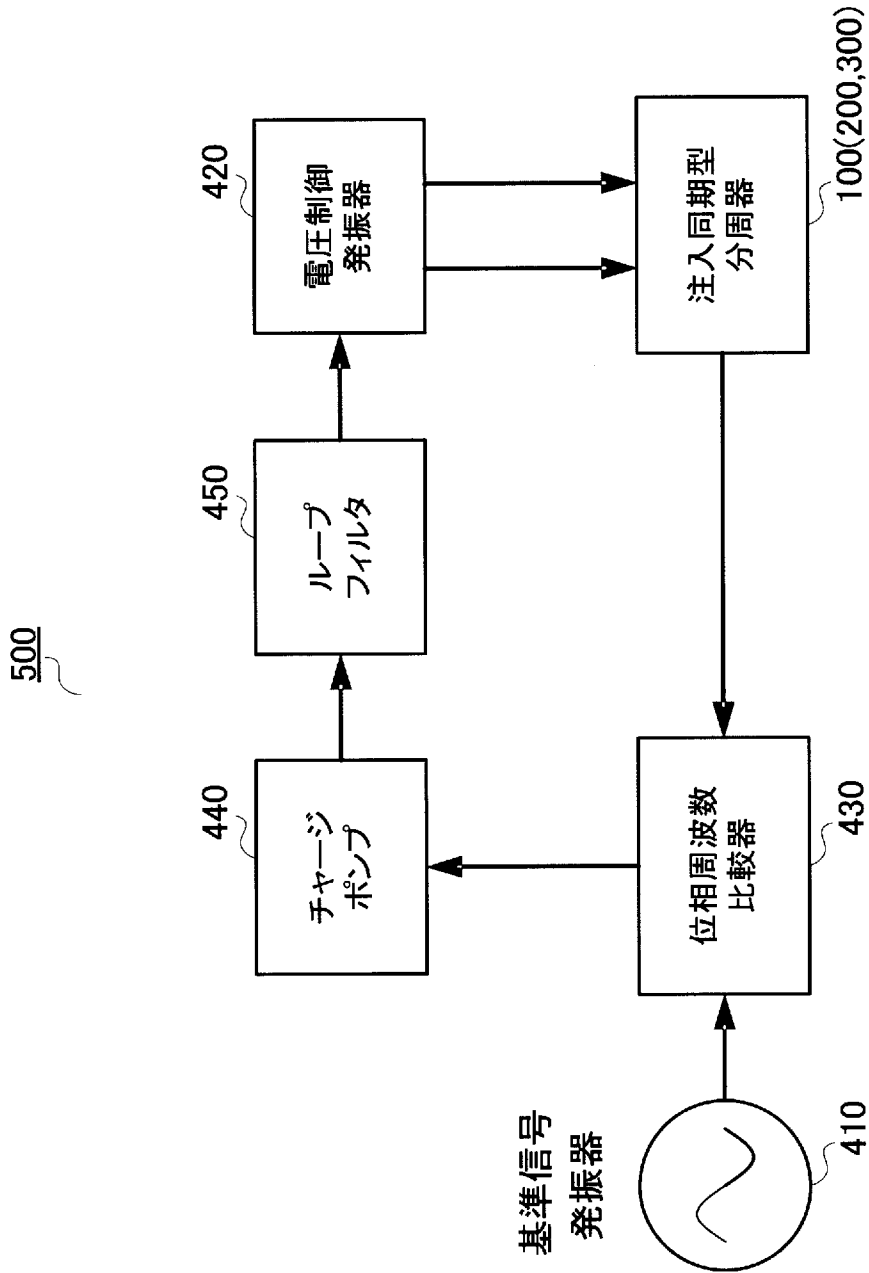
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000317

A. CLASSIFICATION OF SUBJECT MATTER

H03K3/354(2006.01)i, H03K3/03(2006.01)i, H03K27/00(2006.01)i, H03L7/08(2006.01)i, H03L7/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/354, H03K3/03, H03K27/00, H03L7/08, H03L7/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-48402 A (Nippon Telegraph And Telephone Corp.), 26 February 1993 (26.02.1993), entire text; fig. 4, 5 (Family: none)	1-4
A	JP 9-246957 A (Toshiba Corp.), 19 September 1997 (19.09.1997), entire text; fig. 4, 6 (Family: none)	1-4
A	JP 10-93399 A (Toshiba Corp.), 10 April 1998 (10.04.1998), entire text; fig. 1 (Family: none)	1-4

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02 February, 2011 (02.02.11)

Date of mailing of the international search report
15 February, 2011 (15.02.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K3/354(2006.01)i, H03K3/03(2006.01)i, H03K27/00(2006.01)i, H03L7/08(2006.01)i, H03L7/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K3/354, H03K3/03, H03K27/00, H03L7/08, H03L7/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-48402 A (日本電信電話株式会社) 1993.02.26、全文、図4及び図5 (ファミリーなし)	1-4
A	JP 9-246957 A (株式会社東芝) 1997.09.19、全文、図4及び図6 (ファミリーなし)	1-4
A	JP 10-93399 A (株式会社東芝) 1998.04.10、全文、図1 (ファミリーなし)	1-4

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日
02.02.2011

国際調査報告の発送日
15.02.2011

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	5X	3572
石田 勝		
電話番号 03-3581-1101 内線		3596