(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G02F 1/136

(11) 공개번호 특1999-029581
(43) 공개일자 1999년04월26일

(21) 출원번호 특1998-036721
(22) 출원일자 1998년09월07일
(30) 우선권주장 97-243054 1997년09월08일 일본(JP)
(71) 출원인 산요 덴키 가부시키가이샤 다카노 야스아키
일본 오사카후 모리구치시 게이한 한혼도리 2쵸메 5반 5고
(72) 발명자 요네다 기요시
일본 기후껭 모또스궁 스나미쪼 후루하시 1495-6
기하라 가쯔야
일본 효고껭 고베시 니시꾸 이부끼다이 히가시마찌 1-4-1-302
(74) 대리인 구영창, 주성민

심사청구 : 없음

(54) 반도체 장치 및 액정 표시 장치

요약

본 발명은 p-SiTFTLCD의 p-Si를 형성하는 레이저 어닐에 있어서, 조사 영역의 강도의 불균일에 기인한 트랜지스터 특성의 악화를 방지한다.

본 발명은 채널 폭이 큰 샘플링 TFT(6)가 그 채널 폭 방향을 기판의 가장자리에 대해 45° 방향으로 되도록 형성되어 있다. 레이저 어닐시에 p-Si(13)에 결정화 불량 영역(R)이 생겨도, 각각의 TFT(6)에 대해서는 그 영역의 일부를 통과하는 것만으로 되고, 소자 특성의 악화가 작은 범위로 억제되어, 표시 품위가 저하하는 것이 방지된다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시 형태에 따른 액정 표시 장치의 일부 평면도.

도 2는 본 발명의 실시 형태에 따른 액정 표시 장치의 단면도.

도 3은 본 발명의 실시 형태에 따른 액정 표시 장치의 제조 방법을 나타내는 공정 단면도.

도 4는 본 발명의 실시 형태에 따른 액정 표시 장치의 제조 방법을 나타내는 공정 단면도.

도 5는 본 발명의 실시 형태에 따른 액정 표시 장치의 제조 방법을 나타내는 공정 단면도.

도 6은 본 발명의 실시 형태에 따른 액정 표시 장치의 제조 방법을 나타내는 공정 단면도.

도 7은 본 발명의 실시 형태에 따른 액정 표시 장치의 제조 방법을 나타내는 공정 단면도.

도 8은 본 발명의 실시 형태에 따른 액정 표시 장치의 제조 방법을 나타내는 공정 단면도.

도 9는 본 발명의 실시 형태에 따른 액정 표시 장치의 제조 방법을 나타내는 공정 단면도.

도 10은 본 발명의 실시 형태에 따른 액정 표시 장치의 제조 방법을 나타내는 공정 단면도.

도 11은 본 발명의 실시 형태에 따른 액정 표시 장치의 제조 방법을 나타내는 공정 단면도.

도 12는 본 발명의 실시 형태에 따른 액정 표시 장치의 일부 소자군의 위치와 특성과의 관계도.

도 13은 레이저 광 조사 장치의 구성도.

도 14는 ELA에서의 조사 레이저 에너지와 그레인 크기와의 관계도.

도 15는 피처리 기판과 라인빔의 피조사 영역과의 위치 관계를 나타내는 평면도.

도 16은 종래의 액정 표시 장치의 드라이버부의 일부 평면도.

도 17은 종래의 액정 표시 장치의 단면도.

도 18은 액정 표시 장치의 화소부의 일부 평면도.

도 19는 조사 레이저 빔의 에너지 분포도.

도 20은 종래의 액정 표시 장치의 일부 소자군의 위치와 특성과의 관계도.

도면의 주요 부분에 대한 부호의 설명

1 : 피처리 기판

2 : 화소부

3 : 게이트 드라이버

4 : 드레인 드라이버

5 : 액티브 매트릭스 기판

6 : 샘플링 TFT

10 : 기판

11 : 게이트 전극

13 : p-Si

16 : 소스 전극

17 : 드레인 전극

19 : 비디오 라인

20 : 샘플링 라인

CH : 채널 영역

ND, PD : 드레인 영역

NS, PS : 소스 영역

CT : 콘택트홀

C : 라인빔의 에지 라인

R : 결정화 불량 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치, 특히 액정 표시 장치(LCD : liquid crystal display)에서 박막 트랜지스터(TFT : thin film transistor)를 표시부 및 주변부에 형성한 주변 구동 회로 일체형 LCD의 제조 방법에 관한 것이다.

최근, LCD는 소형, 박형, 저소비 전력 등의 이점으로, OA 기기, AV 기기 등의 분야에서 실용화가 진행되고 있고, 특히 각 화소에 화상 정보의 개서 타이밍을 제어하는 스위칭 소자로서, TFT를 배치한 액티브 매크릭스형은, 대화면, 고정밀한 동화 표시가 가능하게 되기 때문에, 각종 텔레비전, 퍼스널 컴퓨터 등의 디스플레이에 이용되고 있다.

TFT는, 절연성의 기판상에 금속층과 함께 반도체층을 소정 형상으로 형성함으로써 얻어지는 전계 효과형 트랜지스터(FET : field effect transistor)이다. 액티브 매트릭스형 LCD에 있어서는, TFT는 액정을 사이에 끼운 한쌍의 기판 사이에 형성된, 액정을 구동하기 위한 각 캐패시턴스의 한쪽 전극에 접속되어 있다.

특히, 반도체층으로서, 이제까지 많이 이용되어 온 비정질 실리콘(a-Si) 대신에, 다결정 실리콘(p-Si)을 이용한 LCD가 개발되고, p-Si의 결정 입자의 형성 혹은 성장을 위해 레이저 광을 이용한 어닐이 이용되고 있다. 일반적으로, p-Si는 a-Si에 비해 이동도가 높고, TFT가 소형화되며, 고개구율 및 고정밀화가 실현된다. 또한, 게이트 셀프 얼라인 구조에 의한 미세화, 기생 용량의 축소에 의한 고속화가 달성되기 때문에, n-chTFT와 p-chTFT의 전기적 상보 결선 구조, 즉 CMOS를 형성함으로써 고속 구동 회로를 구성할 수 있다. 이 때문에, 구동 회로부를 동일 기판상에 표시 화소부와 일체 형성함으로써 제조 비용의 삭감, LCD 모듈의 소형화가 실현된다.

절연성 기판상으로의 p-Si의 성막 방법으로서는, 저온으로 생성한 a-Si를 어닐함에 따른 결정화 혹은 고온 상태에서의 고상 성장법 등이 있지만, 어느 경우도 600℃ 이상의 고온에서의 처리였다. 이 때문에, 내열성의 점에서 절연성 기판으로서 저가인 무알칼리 글래스 기판을 사용할 수 없고, 고가인 석영 글래스 기판이 필요로 되어, 비용이 들었다. 이에 대해, 레이저 어닐을 이용해 기판 온도가 600℃ 이하의 비교적 저온에서의 실리콘 다결정화 처리를 행하는 것으로, 절연성 기판으로서 무알칼리 글래스 기판을

이용하는 것을 가능하게 하는 방법이 개발되어 있다. 이와 같은 TFT 기판 제조의 전(全) 공정에 있어서 처리 온도를 600℃ 이하로 한 공정은 저온 공정이라 불리고, 저비용의 LCD의 양산에는 필수적인 공정이다.

도 13은 이와 같은 레이저 어닐을 행하기 위한 레이저 광 조사 장치의 구성도이다. 도면중, 참조 부호 101은 레이저 발진원이고, 참조 부호 102, 111은 미러이며, 참조 부호 103, 104, 105, 106은 실린드리컬 렌즈이고, 참조 부호 107, 108, 109, 112, 113은 집광 렌즈이며, 참조 부호 110은 라인 폭 방향의 슬릿이고, 참조 부호 114는 표면에 a-Si가 형성된 피처리 기판(120)을 지지하는 스테이지이다. 또한, 참조 부호 115는 라인 길리 방향의 슬릿으로, 스테이지(114)에 근접하여 설치되어 있다.

레이저 광은, 예를 들어 엑시머 레이저이고, 레이저 발진원(101)에서 조사된 레이저 광은 실린더리컬 렌즈(103, 105) 및 (104, 106)로 이루어지는 2조의 콘덴서 렌즈에 의해 각각 상하좌우 방향에 대해 강도의 출력 분포가 평면인 평행광으로 변형된다. 이 평행광은 렌즈(108, 109, 112, 113)에 의해 한 방향으로 수렴됨과 동시에, 렌즈(107)에 의해 다른 한 방향으로 연장되어 각 형상, 띠 형상, 실용적으로는 선 형상(라인 빔)으로 되어, 피처리 기판(120)에 조사된다. 또한, 슬릿(110, 115)은 각각 라인 폭 및 라인 길이 방향의 에지부를 규정하여 피조사 영역의 형성을 명료하게 하고, 유효 조사 영역의 강도를 일정하게 하고 있다. 피처리 기판(120)을 탑재한 스테이지(114)는 (X, Y) 방향으로 가동하고, 조사 라인 빔이 그 라인 폭 방향으로 조사되며, 대면적 처리에 의한 고(高)스루풋에서의 레이저 어닐이 실현된다.

도 14에, a-Si를 ELA에 의해 결정화하여 p-Si로 할 때의 레이저 에너지와 그레인 크기의 관계를 나타내고 있다. 도면에서, 어느 에너지 값까지는 에너지가 증대함에 따라 그레인 크기가 크게 되지만, 최대의 그레인 크기를 인가하는 에너지(E0)를 넘으면, 그레인 크기는 급격하게 작게 되는 것을 알 수 있다. 따라서, 소정의 그레인 크기(GM) 이상을 얻는데는 조사되는 레이저 에너지는 상한(Ed)과 하한(Eu)와의 사이의 범위 내에 있지 않으면 않된다.

도 15는 도 13의 장치에 의해 실현되는 엑시머 레이저 어닐(ELA)에 있어서, 피처리 기판(1)과 엑시머 레이저의 조사 및 주사 방향의 관계를 나타내는 평면도이다. 피처리 기판(1)은 보통의 무알칼리 글래스 기판으로서, 그 표면에는 a-Si가 형성되어 있다. 기판(1)은 LCD를 구성하는 액티브 매트릭스 기판(5)을 6매 포함한 마더 글래스 기판이다. 각 액티브 매트릭스 기판(5)은 중앙부에 표시 화소가 매트릭스상으로 배치 형성되게 되는 화소부(2)와, 화소부(2) 주변에 배치 형성되게 되는 주사 구동 회로인 게이트 드라이버(3) 및 같은 표시 구동 회로인 드레인 드라이버(4)로 이루어진다. 화소부(2)에서는, 액정을 구동하는 화소 캐패시터의 한쪽 전극인 표시 전극이 매트릭스상으로 배치 형성되고, 이들에 각각 TFT가 접속 형성되게 된다. 게이트 드라이버(3)는 주로 시프트 레지스터로 이루어지고, 드레인 드라이버(4)는 주로 시프트 레지스터 및 샘플링 회로로 이루어진다. 이들 드라이버(3, 4)는 CMOS 등의 TFT 어레이에 의해 형성된다.

예를 들어, 도 13에 도시하는 레이저 광 조사 장치에 있어서, 펄스 레이저에 의한 어닐이 행해지지만, 각각의 펄스 레이저 빔은 도 15의 C에 의해 그 에지를 나타내는 라인 폭이 0.5～1.0mm, 라인 길이가 80～150mm의 라인 빔이다. 이 라인빔을 소정의 오버랩을 갖고 피처리 기판(1)상을 이동시킴으로써, 전체에 고르게 레이저 광이 조사되어, 대면적을 처리할 수 있다.

도 16은 이와 같이 형성되는 피처리 기판(1)의 일부 평면도이고, 특히 드레인 드라이버(4)의 샘플링부의 평면도이다. 샘플링 회로는 각 열마다 N-chTFT와 P-chTFT로 이루어지는 샘플링용 트랜스퍼 게이트(6)로 구성되어 있다. 도 17은 이들 TFT의 단면도로서, 좌측이 N-ch, 우측이 P-ch이다. 기판(50)상에 N-ch에 관해서는 들러치는 선(60Na) 및 샘플링 선(60N)을 통하고, P-ch에 관해서는 리드(lead)선(60Pa) 및 샘플링 선(60P)을 통하여 각각 도 15에 도시하지 않은 윗쪽에 있는 시프트 레지스터의 각 출력단의 출력 및 반전 출력에 접속된 게이트 전극(51)이 형성되어 있다. 이들을 덮는 전면에는 게이트 절연막(52)이 형성되고, 게이트 절연막(52)상의, 게이트 전극(52) 윗쪽을 포함하는 영역에는, ELA을 이용해 형성된 p-Si막(53)이 섬모양으로 형성되어 있다.

p-Si막(53)은 N-ch에 관해서는, 게이트 전극(51) 바로 위 영역이 논도프의 채널 영역(CH)이고, 그 양측에 N형 불순물이 저농도로 도프된 LD(Lightly doped) 영역(LD), 한편 그 외측이 고농도로 도핑된 소스 영역(NS) 및 드레인 영역(ND)으로 되어 있다. 또한, P-ch에 관해서는, 게이트 전극(51) 바로 위 영역이 논도프인 채널 영역(CH), 그 양측에 P형 불순물이 고농도로 도핑된 소스 영역(PS) 및 드레인 영역(PD)으로 되어 있다.

p-Si막(53)의 채널 영역(CH)상에는, LD 영역(LD) 및 소스·드레인 영역(PS, PD)을 형성하기 위해 이용한 주입 스토퍼(54)가 남고, 이들 p-Si막(53)을 덮는 전면에는 제1 층간 절연막(55)이 형성되어 있다.

제1 층간 절연막(55)의 위에는, 리드선(59a)을 통해, R, G, B의 영상 신호가 공급되는 비디오 라인(59)에 접속된 소스 전극(56) 및 화소부(2)로 연장된 드레인 전극(57)이 형성되고, 각각 층간 절연막(55)에 개구된 콘택트홀(CT1)을 통해 소스 영역(NS, PS) 및 드레인 영역(ND, PD)에 접속되어 있다.

이들을 덮는 전면에는, 평탄화 작용이 있는 제2 절연막(58)이 형성되어 있다. 화소부(2)에 있어서는, 각 표시 화소에 접속된 TFT는 도 17에 도시하는 것과 같은 구조의 N-chTFT이지만, 평탄화 절연막(58)상에 액정 구동용의 표시 전극이 형성되고, 평탄화 절연막(58)에 개구된 콘택트홀을 통해 소스 전극(56)으로 접속되어 있다.

도 18은 피처리 기판(1)의 화소부(2)의 일부 평면도이다. 참조 부호 101은 수평 방향으로 배열된 게이트 전극이고, 참조 부호 103은 게이트 절연막을 사이에 두고 게이트 전극(101)상을 적어도 통과하는 p-Si막이며, 참조 부호 107은 수직 방향으로 늘어난 드레인 전극이고, 참조 부호 109는 액정 구동용 표시 전극이다. 이들 게이트 전극(101), p-Si막(103) 및 드레인 전극(107)은 도 16에 도시하는 샘플링 TFT(6)의 게이트 전극(51), p-Si막(53) 및 드레인 전극(57)과 각각 동일 재료막에 의해 형성되어 있다. 특히, 드레인 전극 107은 드레인 전극 57과 일체로 형성되어 있다.

도 16에 도시하는 바와 같이, 샘플링 TFT(6)의 채널 영역(CH)은 채널 폭이 채널 길이보다도 더 가늘고 길게 되어 있고, 이 가늘고 긴 채널 영역(CH)이 수직 방향(V)의 방향으로 배치되고, 또 이와 같은 복수의 샘플링 TFT(6)가 수평 방향(H)에 나란히 되어 있다. 즉, 드레인 드라이버(4)의 샘플링 TFT(6)와, 화소부(2)의 TFT와는 그 채널 방향이 같은 방향으로 되어 있다.

발명이 이루고자하는 기술적 과제

이 엑시머 레이저 어닐(ELA)에 의해 형성된 p-Si막에는, 그레인 크기가 충분히 커지지 않는 등, 결정성이 나쁜 선 형상 영역이 도 14 및 그 확대도인 도 15의 R에서 도시하는 바와 같은 호(縞) 형상을 나타나 라인 길이 방향으로 생기는 문제가 있다.

이와 같은 p-Si의 결정화 불량 영역(R)은 결정성이 나쁘고, 이것을 포함한 영역에 형성된 TFT는 일반적으로 특성이 악화한다.

도 19에 이와 같은 라인 빔의, 위치에 대한 조사광 강도 분포를 나타낸다. 슬릿(110)에 의해, 라인 폭(A)이 규정되어, 대체적으로 예리한 에지를 갖는 편평한 분포 형상으로 되어는 있지만, 도면의 X 혹은 Y로 나타내는 바와 같은, 강도가 극단적으로 높아지거나 낮아지거나 한 부분에서, 도 19의 Ed와 Eu 사이에서 정해지는 허용 범위로부터 벗어나 있다. 또한, B는 슬릿(110)의 에지부에서 파장이 짧은 광 선분이 회절하는 것에 기인하고 있다고 생각된다.

X나 Y는, 주로 광학계를 구성하는 렌즈(103, 104, 105, 106, 108, 109, 112, 113)에 부착된 이물질 등에 의해 차광, 회절, 간섭 등이 일어나 강도의 불균일이 생기고, 이것이 더욱 라인 폭 방향으로 집광됨과 동시에, 라인 길이 방향으로 연장되는 것이라고 추측된다. 이와 같이, 광의 불균일이 생기게 하는 이물질은, 예를 들어 클린룸 내에 약간 존재해도 광학 특성에 영향을 미쳐, 강도 분포의 편평한 성질을 손상시키는 원인이 된다.

한편, 펄스 레이저 빔의 수 단락(short)의 사이에서도 조사 에너지의 불균일이 있고, 피처리 기판(1)상에서 결정화 불량 영역(R)이 불규칙적으로 생기고 있었다.

도 20은 도 16에 도시하는 샘플링 TFT(6)의 위치와 온 전류와의 관계를 나타낸다. 횡축은, 샘플링 TFT(6)의 열 번호이고, 종축은 온 전류값이다. 도면에서, 온 전류가 3mA에서 5mA의 범위 내에서 불균일한 것을 알 수 있다.

이 원인은, 이하와 같다. 즉, 도 14에 도시하는 바와 같이, 선 형상의 결정화 불량 영역(R)은 기판(1) 평면의 수직 방향(V)에 생기고 있다. 이에 대해, 도 16에 도시하는 바와 같이, 샘플링 TFT(6)는 각각 결정화 불량 영역(R)과 같은 방향으로 종 길이의 채널 영역(CH)를 갖고, 이것이 수평 방향(H)으로 늘어서 있다. 이 때문에, 도 16에 도시하는 바와 같이 결정화 불량 영역(R)이 어느 샘플링 TFT(6)의 채널 영역(CH)의 대부분을 점유하도록 하여 생겼을 경우, 그 TFT의 특성이 눈에 띄게 악화한다. 온 전류가 충분히 크지 않은 열은, 영상 신호로부터 표시 신호를 샘플링할 때 표시 신호에 지연이 생기고, 콘트라스트비나 휘도를 저하시키며, 표시 화면에 종 근육 형상으로 인식되고, 표시 품질을 악화시키고 있었다.

본 발명은 이런 과제를 해결하기 위해 이루어지고, 기판상에 반도체 소자가 복수 형성된 반도체 장치에 있어서, 상기 반도체 소자의 몇개 또는 전부는 레이저 어닐이 실시된 반도체층 중에 형성된 채널 영역의 채널 폭이 채널 길이보다도 크고, 그 채널 폭 방향이 상기 기판의 변 방향과 다른 방향으로 되어 있는 구성이다.

또한 액정을 사이에 끼운 한쌍의 기판의 한쪽면에 액정 구동용 용량의 한쪽을 이루는 표시 전극군과, 이들에 각각 접속되어 액정 구동용의 신호 전압을 인가하는 제1 박막 트랜지스터군, 이들 제1 박막 트랜지스터군에 주사 신호를 공급하기 위한 주사 구동 회로 또는/및 표시 신호를 공급하기 위한 표시 구동 회로를 구성하는 제2 박막 트랜지스터군이 형성된 액정 표시 장치에 있어서, 상기 제2 박막 트랜지스터의 몇개 또는 전부는 레이저 어닐이 실시된 반도체막 중에 형성된 채널 영역의 채널 폭이 채널 길이보다도 크고, 그 채널 폭 방향이 상기 기판의 변 방향과 다른 방향으로 되어 있는 구성이다.

특히, 상기 표시 구동 회로는, 외부에서 작성된 영상 신호가 인가된 영상 신호 라인과, 상기 영상 신호를 소정의 타이밍으로 샘플링하여 상기 제1 박막 트랜지스터에 표시 신호를 공급하는 샘플링용 제2 박막 트랜지스터, 상기 샘플링용 제2 박막 트랜지스터의 스위치 동작을 제어하는 시프트 레지스터로 이루어지고, 상기 샘플링용 제2 박막 트랜지스터는 레이저 어닐이 실시된 반도체막 중에 형성된 채널 영역의 채널 폭이 채널 길이보다도 크며, 그 채널 폭 방향이 상기 기판의 변 방향과 다른 방향으로 되어 있는 구성이다.

이로써, 반도체층에 막 질을 향상하기 위한 레이저 어닐을 실시했을 때, 소자의 배열 주 방향에 대해 평행 혹은 수직인 방향으로 연장하는 불량 영역이 생겨도, 불량 영역이 단일 혹은 소수의 소자에 집중하는 일이 없게 되고, 복수 혹은 다수의 소자에 걸쳐 생기게 된다. 이 때문에, 단수 혹은 소수의 소자에 특성 악화가 집중하여 전체가 불량으로 되는 문제가 방지된다. 즉, 복수 혹은 다수의 소자에 특성 악화가 분산되고, 각각에 대해서는 특성 악화가 허용 범위에 들어, 전체로서는 양호하게 된다.

한편, 기판상에 반도체 소자가 복수 형성된 반도체 장치에 있어서, 상기 반도체 소자의 몇개 또는 전부는 레이저 어닐이 실시된 반도체층 중에 형성된 채널 영역의 채널 폭이 채널 길이보다도 크고, 그 채널 폭 방향이 상기 레이저 어닐시에 있어서의 레이저 빔의 피조사 영역의 장축 방향 및 단축 방향과는 다른 방향으로 되어 있는 구성이다.

또한, 액정을 사이에 끼운 한쌍의 기판의 한쪽 면에, 액정 구동용 용량의 한쪽을 이루는 표시 전극군과, 이들에 각각 접속되어 액정 구동용 신호 전압을 인가하는 제1 박막 트랜지스터군, 이들 제1 박막 트랜지스터군에 주사 신호를 공급하기 위한 주사 구동 회로 또는/및 표시 신호를 공급하기 위한 표시 구동 회로를 구성하는 제2 박막 트랜지스터군이 형성된 액정 표시 장치에 있어서, 상기 제2 박막 트랜지스터의

몇개 또는 전부는 레이저 어닐이 실시된 반도체막 중에 형성된 채널 영역의 채널 폭이 채널 길이보다도 크고, 그 채널 폭 방향이 상기 레이저 어닐시에 있어서의 레이저 빔의 피조사 영역의 장축 방향 및 단축 방향과는 다른 방향으로 되어 있는 구성이다.

특히, 상기 표시 구동 회로는, 외부에서 작성된 영상 신호가 인가된 영상 신호 라인과, 상기 영상 신호를 소정의 타이밍으로 샘플링하여 상기 제1 박막 트랜지스터에 표시 신호를 공급하는 샘플링용 제2 박막 트랜지스터, 상기 샘플링용 제2 박막 트랜지스터의 스위치 동작을 제어하는 시프트 레지스터로 이루어지고, 상기 샘플링용 제2 박막 트랜지스터는 레이저 어닐을 이용해 형성된 반도체막 중에 채널 길이보다도 채널 폭이 큰 채널 영역을 갖고, 그 채널 폭 방향이 상기 레이저 어닐시에 있어서의 레이저 빔의 피조사 영역의 장축 방향 및 단축 방향과는 다른 방향으로 되어 있는 구성이다.

이로써, 레이저 어닐의 불량 영역은 피조사 영역의 이음선에 평행하게 생기기 때문에, 불량 영역은 반드시 기울기 방향으로 형성된 복수의 소자 영역에 걸쳐 생긴다. 이 때문에, 단수 혹은 소수의 소자에 특성 악화가 집중하여 전체가 불량으로 되는 문제가 방지된다. 즉, 복수 혹은 다수의 소자에 특성 악화가 분산되고, 각각에 대해서는 특성 악화가 허용 범위에 들어 전체적으로 양호하게 된다.

한편, 액정을 사이에 끼운 한쌍의 기판의 한쪽 면에 액정 구동용 용량의 한쪽을 이루는 표시 전극군과, 이들에 각각 접속되어 액정 구동용 신호 전압을 인가하는 제1 박막 트랜지스터군, 이들 제1 박막 트랜지스터군에 주사 신호를 공급하기 위한 주사 구동 회로 또는/및 표시 신호를 공급하기 위한 표시 구동 회로를 구성하는 제2 박막 트랜지스터군이 형성된 액정 표시 장치에 있어서, 상기 제1 및 제2 박막 트랜지스터는 레이저 어닐이 실시된 반도체막 중에 채널 영역이 형성되고, 상기 제1 박막 트랜지스터의 채널 폭 방향과, 몇개 또는 전부 제2 박막 트랜지스터의 채널 폭 방향은 서로 비평행 및 비직각으로 되어 있는 구성이다.

특히, 상기 표시 구동 회로는, 외부에서 작성된 영상 신호가 인가된 영상 신호 라인과, 상기 영상 신호를 소정의 타이밍으로 샘플링하여 상기 제1 박막 트랜지스터에 표시 신호를 공급하는 샘플링용 제2 박막 트랜지스터, 상기 샘플링용 제2 박막 트랜지스터의 스위치 동작을 제어하는 시프트 레지스터로 이루어지고, 상기 샘플링용 제2 박막 트랜지스터의 채널 폭 방향과, 상기 제1 박막 트랜지스터의 채널 폭 방향은 서로 비평행 및 비직각으로 되어 있는 구성이다.

이로써, 제1 박막 트랜지스터에 대해서, 채널 영역을 대부분을 점유하도록 불량 영역이 생겨도 제2 박막 트랜지스터에 대해서는 그 채널을 비스듬히 가로로 자르도록 하여 일부를 통과하게만 된다. 따라서, 제1 박막 트랜지스터보다도 불량 영역의 영향이 큰 제2 박막 트랜지스터에 따라서는 적어도 불량 영역에 의한 특성 악화가 다소 방지된다.

발명의 구성 및 작용

도 1은 본 발명의 실시 형태에 따른 드라이버 내장형 p-SiTFTLCD의 드레인 드라이버(4)부, 특히 샘플링부의 확대 평면도이다. 참조 부호 19는 각각 R, G, B의 영상 신호가 공급되는 비디오 라인이고, 참조 부호 20N, 20P는 각각 도면의 윗쪽에 도시하지 않은 시프트 레지스터의 각 출력단의 출력 및 반전 출력에 접속된 샘플링 라인이며, 참조 부호 6은 비디오 라인(19)에 공급된 영상 신호에서, 각각 샘플링 라인(20N, 20P)에 인가된 샘플링 신호에 따라 각각의 열에 대응하는 표시 신호를 샘플링하는 샘플링 TFT이고, 참조 부호 17은 화소부(2)로 연장되는 드레인 라인으로, 샘플링 TFT(6)에서 샘플링된 표시 신호가 인가되어 각 표시 화소로 송출된다.

도 2는 피처리 기판(1)상에 작성되는 TFT의 단면도이다. 좌측이 N-ch, 우측이 P-ch이다. 샘플링 TFT(6)는 이들 N-ch와 P-ch로 이루어지는 트랜스퍼 게이트이다. 무알칼리 글래스 기판(10)상에는 Cr 등으로 이루어지는 게이트 전극(11)이 형성되고, 이것을 덮는 전면에는 SiNx, SiO2 등으로 이루어지는 게이트 절연막(12)이 형성되어 있다. 게이트 절연막(12)상에는 게이트 전극(11)을 덮는 영역에 ELA을 이용해 형성된 p-Si막(13)이 설치되어 있다.

p-Si막(13)은, N-ch에서는 게이트 전극(11) 바로 위 영역이 논도프의 채널 영역(CH), 그 양측에 n형 불순물이 저농도로 도핑된 LD(Lightly Doped) 영역(LD), 한편 그 외측에 n형 불순물이 고농도로 도핑된 소스 영역(NS) 및 드레인 영역(ND)이 형성되어 있다. 한편, P-ch에서는 게이트 전극(11) 바로 위 영역이 논도프의 채널 영역(CH), 그 양측에 p형 불순물이 고농도로 도핑된 소스 영역(PS) 및 드레인 영역(PD)이 형성되어 있다.

p-Si막(13)상에는, LD 영역(LD) 및 소스 및 드레인 영역(PS, PD)을 형성할 때 이용한 주입 스토퍼(14)가 있다. 이들, p-Si막(13)을 덮는 전면에는, SiNx 등의 제1 층간 절연막(15), 제1 층간 절연막(15)상에는, Al/Mo 등으로 이루어지는 소스 전극(16) 및 드레인 전극(17)이 형성되고, 각각 제1 층간 절연막(15)에 개구된 제1 콘택트홀(CT1)을 통해 소스 영역(NS, PS) 및 드레인 영역(ND, PD)에 접속되어 있다. 이들 소스 전극(16) 및 드레인 전극(17)을 덮는 전면에는 SOG(spin on glass), BPSG(boro-phospho silicate glass), TEOS(tetraethly ortho silicate) 등의 평탄화 절연막인 제2 층간 절연막(18)이 형성되어 있다.

화소부(2)의 평면 구조는 도 18과 같다. TFT는 도 2에 도시하는 것과 같은 구조의 N-chTFT이지만, 평탄화 절연막(18)상에 액정 구동용 표시 전극이 형성되고, 평탄화 절연막(18)에 개구된 콘택트홀을 통해 소스 전극(16)으로 접속된다.

이와 같이, TFT는 각각의 표시 화소에 대해 스위칭 소자에 채용됨과 동시에, 드라이버부(3, 4)에 있어서, CMOS를 구성한다. 본 발명에서는, 특히 드라이버부에서의 채널 영역(CH)이 채널 폭이 채널 길이보다보 충분히 크고, p-Si막(13)의 아일랜드층이 가늘고 긴 TFT에 대해서 가늘고 긴 채널 영역(CH)이, 기판(1) 평면상의 수직 방향(V)과 수평 방향(H)의 어느 것에 대해서도 기울기 방향으로 향하도록 형성되어 있다. 또, 여기서는 도 18에서 알 수 있는 바와 같이, 화소부(2)에 있어서는 채널 폭의 방향은, 후에

서술하는 바와 같이 수직 방향(V)인 체로 되어 있다.

도 1에 도시되는 샘플링 TFT(6)는 도 2에 도시한 N-ch부와 P-ch부가 일체적으로 형성된 트랜스퍼 게이트이고, p-Si막(13), 소스 전극(16) 및 드레인 전극(17)이 일체적으로 형성되어 있다.

샘플링 TFT(6)는 액정을 구동하는데 충분한 진폭을 갖는 신호 전압을 샘플링하여 드레인 라인(17)으로 인가해야 하고, 채널 폭이 충분히 크게 되어, 채널 영역(CH)이 가늘고 길게 되어 있다. 그래서, 이 가늘고 긴 채널 영역(CH)은 그 장변 방향이 기판 평면의 수직 방향(V) 혹은 수직 방향(V)에 대해서 기울기 방향, 특히 45。의 각도를 이루도록 형성되어 있다.

샘플링 라인(20N, 20P)은 게이트 전극(11)과 동일 재료막으로 형성되고, 비디오 라인(19)은 소스 및 드레인 전극(16, 17)과 동일 재료막으로 형성되어 있다. N-ch부의 게이트 전극(11)은 소스·드레인 전극(16, 17)과 동일 재료막으로 이루어지는 리드선(20Na)을 통해 샘플링 라인(20N)에 접속되어 있다. P-ch부의 게이트 전극(11)은 소스·드레인 전극(16, 17)과 동일 재료막으로 이루어지는 리드는 선(20Pa)을 통해 샘플링 라인(20P)에 접속되어 있다.

또한, N-ch와 P-ch의 드레인 전극(16)은 일체적으로 형성되고, 화소부(2)의 드레인 라인으로 연장되어 있다. 소스 전극(16) 또는 N-ch와 P-ch에 대해서 일체적으로 접속되고, 게이트 전극(11)과 동일 재료막으로 이루어지는 리드선(19a)을 통해 비디오 라인(19)에 접속되어 있다. 이들 층 사이의 접속은 게이트 절연막(12) 및 제1 층간 절연막(15)에 형성된 제2 콘택트홀(CT2)을 통해 행해진다.

비디오 라인(19)에 공급된 영상 신호(VR, VG, VB)는, 또한 샘플링 TFT(6)의 소스 전극(16)에 공급되고, 도시하지 않은 시프트 레지스터의 각 출력단에서 출력된 샘플링 펄스가 샘플링 라인(11N, 11P)을 통해 게이트 전극(11)에 공급되어 샘플링 TFT(6)가 온되며, 이 타이밍으로 샘플링이 행해지고, 표시 신호가 대응하는 드레인 전극(17)으로 인가되어 화소부(2)로 보내진다.

이어서, 이와 같은 p-SiTFT의 제조 방법을 설명한다.

먼저, 도 3에 있어서 무알칼리 글래스의 기판(10)상에 Cr을 스퍼터링에 의해 성막하고, 이것을 에칭함으로써 게이트 전극(11) 및 리드선(20N, 20P), 샘플링 라인(19a)을 형성한다.

샘플링 TFT(6)에 대해서는, 게이트 전극(11)은 채널 폭 방향으로 가늘고 길고, 또 수직 방향(V), 수평 방향(H)의 어느 것에 대해서도 기우는 방향으로 형성된다.

도 4에 있어서, 이들 게이트 전극(11)을 덮는 전면에, 플라즈마 CVD에 의해 SiNx 및 Si02로 이루어지는 게이트 절연막(12)을 형성하고, 이어서 연속하여 플라즈마 CVD에 의해 아모르퍼스 실리콘(a-Si ; 13a)을 성막한다. a-Si(13a)는 재료 가스인 모노실란 SiH4 혹은 지실란 Si2H6을 400。 정도의 열 및 플라즈마에 의해 분해 퇴적하는 것으로 형성된다.

도 5에 있어서, 600。 정도로 ELA을 행함으로써, a-Si(13a)을 결정화하여 p-Si(13)을 형성한다. ELA는, 예를 들어 펄스 레이저의 라인 빔 주사에 의해 행해지지만, 라인 빔이 통과한 후에 라인 형상의 결정화 불량 영역(R)이 남는 것이다.

도 6에 있어서, p-Si(13)가 형성된 기판상에 Si02를 성막하고, 이것을 이면 노광법을 이용해 에칭함으로써, 게이트 전극(11)의 윗쪽에 주입 스토퍼(14)를 형성한다. 이면 노광은 Si02상에 레지스트(RS)를 도포하고, 이것을 기판(10)의 아래쪽에서 노광을 행함으로써, 게이트 전극(11)을 이용한 형상으로 감광하고, 현상을 행한다. 그리고, 이 레지스트(RS)를 마스크에서 에칭을 행함으로써, 게이트 전극(11)의 패턴이 반영된 주입 스토퍼(14)가 형성된다.

도 7에 있어서, 이 주입 스토퍼(14)를 마스크로 하여 p-Si(13)에 대해 N형 도전형을 나타내는 인(P)의 이온 주입을, 10의 13승 정도의 저도프량으로 행하고, 주입 스토퍼(14) 이외의 영역을 저농도로 도핑한다(N-). 이 때, 주입 스토퍼(14) 바로 아래 게이트 전극(11)의 바로 위 영역은 진성층으로 유지되어, TFT의 채널 영역(CH)으로 된다. 주입 스토퍼(14)를 에칭했을 때의 레지스트는 이온 주입시에는 남겨 두고, 이온 주입 후에 박리해도 된다.

샘플링 TFT(6)에 관해서는 채널 영역(CH)은 채널 폭 방향으로 가늘고 길게, 또 그 장변 방향은 수직 방향(V), 수평 방향(H)의 어느 것에 대해서도 기울기 방향으로 되어 있다.

도 8에 있어서, N-ch측에, 게이트 전극(11)보다도 큰 레지스트(RS)를 형성하고, 이것을 마스크로 하여 p-Si(13)에 대한 인(P)의 이온 주입을 10의 15승 정도의 고도프량으로 행하며, 레지스트(RS) 이외의 영역을 고농도로 도핑한다(N+). 이 때, 레지스트(RS)의 바로 아래 영역에는, 저농도 영역(N-) 및 채널 영역(CH)이 유지되어 있다. 이로써, 채널 영역(CH)의 양측에 저농도의 LD 영역(LD), 한편 그 외측에 고농도의 소스 및 드레인 영역(NS, ND)이 형성되고, LDD 구조가 형성된다. 또, 이 때, P-ch측은 N형의 불순물이 도핑되지 않도록 레지스트(RS)로 덮어 둔다.

도 9에 있어서, 이전의 레지스트(RS)를 박리한 후, 별도의 레지스트(RS)를 N-ch측에 형성하고, 이 상태로 p-Si(13)에 대한 보론 등의 P형 불순물의 이온 주입을 10의 15승 정도로 행한다. 이로써, 주입 스토퍼(14)의 바로 아래가 진성층인 채널 영역(CH)으로 되고, 그 양측이 P형으로 고농도로 도핑되며(P+), 소스 및 드레인 영역(PS, PD)이 형성된다.

이들 레지스트(RS)의 박리 후, 불순물 이온의 도핑을 행한 p-Si(13)막의 결정성의 회복과, 불순물의 격자 치환을 목적으로서 가열, 혹은 레이저 조사 등의 활성화 어닐을 행한다.

도 10에 있어서, 이 p-Si막(13)을 에칭함으로써, 도 1에 도시하는 바와 같은 형상으로 남고, TFT에 필요한 영역에만 아일랜드 형상으로 형성한다. 특히, 샘플링 TFT(6)에 대해서는 p-Si막(13)의 아일랜드는 채널 폭 방향으로 가늘고 길게, 그 장방향이 수직 방향(V), 수평 방향(H)의 어느 것에 대해서도 45。 방향을 향하도록 되어 있다.