

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成26年12月11日 (2014.12.11)

【公開番号】特開2013-115266(P2013-115266A)

【公開日】平成25年6月10日 (2013.6.10)

【年通号数】公開・登録公報2013-029

【出願番号】特願2011-260724(P2011-260724)

【国際特許分類】

H 0 1 L 31/06 (2012.01)

【F I】

H 0 1 L 31/04 L

【手続補正書】

【提出日】平成26年10月24日 (2014.10.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の導電型を有する結晶シリコン基板と、

前記第 1 の導電型と反対の導電型である第 2 の導電型を有するアモルファスシリコンカーバイドからなり、前記結晶シリコン基板上に堆積された半導体層と、

前記半導体層と前記結晶シリコン基板との間に設けられ、アモルファスシリコンカーバイドからなるバッファ層と、

前記半導体層と前記結晶シリコン基板との間に設けられたシリコン薄膜とを備える光電変換素子。

【請求項 2】

前記シリコン薄膜は、前記バッファ層と前記結晶シリコン基板との間に配置される、請求項 1 に記載の光電変換素子。

【請求項 3】

前記シリコン薄膜は、厚み方向において前記バッファ層によって挟まれている、請求項 1 に記載の光電変換素子。

【請求項 4】

前記シリコン薄膜は、前記半導体層と前記バッファ層との間に配置される、請求項 1 に記載の光電変換素子。

【請求項 5】

第 1 の導電型を有する結晶シリコン基板上にアモルファスシリコンカーバイドからなるバッファ層を堆積する第 1 の工程と、

前記第 1 の導電型と反対の導電型である第 2 の導電型を有するアモルファスシリコンカーバイドからなる半導体層を前記バッファ層上に堆積する第 2 の工程と、

前記半導体層と前記結晶シリコン基板との間に配置されるようにシリコン薄膜を堆積する第 3 の工程とを備える光電変換素子の製造方法。

【請求項 6】

前記第 3 の工程は、前記第 1 の工程の前に実行される、請求項 5 に記載の光電変換素子の製造方法。

【請求項 7】

前記バッファ層は、第 1 および第 2 のバッファ層からなり、

前記第 1 の工程は、
前記第 1 のバッファ層を前記結晶シリコン基板上に堆積する第 1 のサブ工程と、
前記第 2 のバッファ層を前記第 1 のバッファ層上に堆積する第 2 のサブ工程とを含み、
前記第 3 の工程は、前記第 1 のサブ工程と前記第 2 のサブ工程との間に実行される、請求項 5 に記載の光電変換素子の製造方法。

【請求項 8】

前記第 3 の工程は、前記第 1 の工程と前記第 2 の工程との間に実行される、請求項 5 に記載の光電変換素子の製造方法。