

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4518390号
(P4518390)

(45) 発行日 平成22年8月4日 (2010.8.4)

(24) 登録日 平成22年5月28日 (2010.5.28)

(51) Int.Cl.

F I

H04N 7/26 (2006.01)

H04N 7/13

Z

請求項の数 5 (全 11 頁)

(21) 出願番号 特願2004-502607 (P2004-502607)
 (86) (22) 出願日 平成15年4月14日 (2003.4.14)
 (65) 公表番号 特表2005-524347 (P2005-524347A)
 (43) 公表日 平成17年8月11日 (2005.8.11)
 (86) 国際出願番号 PCT/US2003/011398
 (87) 国際公開番号 W02003/094498
 (87) 国際公開日 平成15年11月13日 (2003.11.13)
 審査請求日 平成18年3月10日 (2006.3.10)
 (31) 優先権主張番号 60/377,061
 (32) 優先日 平成14年5月1日 (2002.5.1)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 10/364,430
 (32) 優先日 平成15年2月11日 (2003.2.11)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 501263810
 トムソン ライセンシング
 Thomson Licensing
 フランス国, 92130 イッシー レ
 ムーリノー, ル ジャンヌ ダルク,
 1-5
 1-5, rue Jeanne d'Ar
 re, 92130 ISSY LES
 MOULINEAUX, France
 (74) 代理人 100115864
 弁理士 木越 力
 (74) 代理人 100121175
 弁理士 石井 たかし

最終頁に続く

(54) 【発明の名称】 画素データをデブロッキングする方法、画素データをエンコードするエンコーダ、およびエンコードされたブロック変換係数をデコードするデコーダ

(57) 【特許請求の範囲】

【請求項 1】

ビデオデータのブロック変換を用いて処理された画素データをデブロッキングするための方法であって、

隣接するブロック間のブロック・トランジションに隣接する第1の画素を受信するステップと、

前記第1の画素の輝度を示す信号を生成するステップと、

前記第1の画素の輝度を示す信号を上側輝度閾値と下側輝度閾値の少なくとも一方と比較するステップと、

前記輝度の比較に応答して、前記隣接するブロック間のブロック・トランジションにおける前記第1の画素を含む複数の隣接する画素に対し、条件付きフィルタをかけるステップと、を含み、

前記条件付きフィルタをかけるステップが、

前記第1の画素に隣接し、前記隣接するブロック間のブロック・トランジションに対向する側に位置する第2の画素を受信するステップと、

前記第1の画素と前記第2の画素との間の輝度レベル差を測定するステップと、

前記測定された輝度レベル差に応答して、かけられるデブロッキング・フィルタの強度を選択するステップと、をさらに含み、

前記条件付きフィルタをかけるステップが、トランジションに隣接する各画素に対して別個に行われ、前記トランジションにおける全ての画素が前記上側輝度閾値を超える場合

10

20

か、あるいは、前記トランジションにおける全ての画素が前記下側輝度閾値よりも小さい場合のブロックに対してのみフィルタをかけることが省略される、前記方法。

【請求項 2】

隣接するブロック間の所定のブロック・トランジションのために、4つの第1の画素と4つの第2の画素が受信され、前記画素が、前記隣接するブロック間のブロック・トランジションに交差するラインに沿って位置する、請求項1に記載の方法。

【請求項 3】

前記下側輝度閾値が64であり、前記上側輝度閾値が232である、請求項1に記載の方法。

【請求項 4】

画素データを複数のブロック変換係数としてエンコードするエンコーダであって、当該エンコーダが画素の輝度レベル閾値の条件を満たす隣接するブロック間のブロック・トランジションのみにフィルタをかける条件付きデブロッキング・フィルタを含み、

前記隣接するブロック間のブロック・トランジションに隣接する第1の画素を受信する第1の受信手段と、

前記第1の受信手段に 응답して前記第1の画素の輝度を示す信号を生成する信号生成手段と、

前記信号生成手段に 응답して前記輝度を示す信号を上側輝度閾値と下側輝度閾値の少なくとも一方と比較する比較手段と、

前記比較手段に 응답して前記隣接するブロック間のブロック・トランジションにおける第1の画素を含む複数の隣接する画素に対して条件付きフィルタをかけるフィルタ手段と、を備え、

前記フィルタ手段が、

前記第1の画素に隣接し、前記隣接するブロック間のブロック・トランジションに対向する側に位置する第2の画素を受信する第2の受信手段と、

前記第1の画素と前記第2の画素との間の輝度レベルの差を測定する測定手段と、

前記測定された差に 응답してかけられるデブロッキング・フィルタの強度を選択するフィルタ強度手段と、を含み、

前記条件付きフィルタがけが、トランジションに隣接する各画素に対して別個に行われ、前記トランジションにおける全ての画素が、前記上側輝度閾値を超える場合か、あるいは、前記トランジションにおける全ての画素が、前記下側輝度閾値よりも小さい場合のブロックに対してのみフィルタをかけることが省略される、前記エンコーダ。

【請求項 5】

再構成された画素データを生成するためにエンコードされたブロック変換係数をデコードするデコーダであって、前記デコーダが、少なくとも1つの画素の輝度閾値の条件を満たす隣接するブロック間のブロック・トランジションのみにフィルタをかける条件付きデブロッキング・フィルタを含み、

隣接するブロック間のブロック・トランジションに隣接する少なくとも1つの第1の画素を受信する第1の受信手段と、

前記第1の受信手段に 응답し、前記少なくとも1つの第1の画素の輝度を示す信号を生成する信号手段と、

前記信号手段に 응답し、前記輝度信号を上側輝度閾値と下側輝度閾値の少なくとも一方と比較する比較手段と、

前記比較手段に 응답し、前記隣接するブロック間のブロック・トランジションにおける第1の画素を含む複数の隣接する画素に対して条件付きフィルタをかけるフィルタ手段と、を備え、

前記フィルタ手段が、

前記第1の画素に隣接し、前記隣接するブロック間のブロック・トランジションに対向する側に位置する少なくとも1つの第2の画素を受信する第2の受信手段と、

前記第1の画素と前記第2の画素との間の輝度レベル差を測定する測定手段と、

10

20

30

40

50

測定された差に応答してかけられるデブロッキング・フィルタの強度を選択するフィルタ強度手段と、をさらに含み、

前記条件付きフィルタがけがトランジションに隣接する各画素に対して別個に行われ、前記トランジションにおける全ての画素が、前記上側輝度閾値を超える場合か、あるいは、前記トランジションにおける全ての画素が、前記下側輝度閾値よりも小さい場合のブロックに対してのみフィルタをかけることが省略される、前記デコーダ。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願とのクロスリファレンス)

本出願は、2002年5月1日付で出願された「画素の輝度に基づくデブロッキングの簡略化 (Deblocking Filter Simplification Based On Pixel Brightness)」と題された米国仮出願第60/377061号の利益を主張するものである。

【0002】

本発明は、ビデオ・エンコーダおよびビデオ・デコーダ (エンコーダおよびデコーダをまとめてコーデック (CODEC) と呼ぶ) に関し、特に、デブロッキング・フィルタを有するビデオ・コーデックに関する。

【背景技術】

【0003】

一般に、ビデオ・データは、ビットストリームの形式で処理され、転送される。一般に、ビデオ・エンコーダ (encoder: 符号器) は、生データを圧縮するために、離散コサイン変換 (DCT: Discrete Cosine Transform) 等のブロック変換符号化を行う。一般に、このビデオ・エンコーダに対応するビデオ・デコーダ (decoder: 復号器) は、例えば、逆離散コサイン変換 (IDCT: Inverse DCT) 等を行うことにより、ブロック変換を行ってエンコード (符号化) されたビット・ストリーム・データをデコード (復号化) する。

【0004】

デブロッキング (deblocking: 非ブロック化) フィルタは、ブロックをベースとするデジタル・ビデオ圧縮システムと共に使用されることが多い。デブロッキング・フィルタを圧縮ループ内でかけ、このフィルタをエンコーダとデコーダと双方でかけるようにしてもよい。また、デブロッキング・フィルタを圧縮ループの後、デコーダのみでかけるようにしてもよい。通常、デブロッキング・フィルタは、低域通過フィルタをブロック変換符号化 (例えば、DCT) および量子化が行われたブロックのエッジ・トランジション (edge transition: エッジ遷移) にかけることにより行われる。デブロッキング・フィルタは、伸長された映像に存在する「ブロック歪 (blockiness: 濃淡のむら)」として知られるネガティブな視覚的影響を低減させることができるが、一般に、ビデオ・デコーダおよび/またはビデオ・エンコーダにおいて多量の複雑な計算を行うことが必要となる。

【発明の開示】

【0005】

(発明の概要)

従来技術のこれらの欠点や短所、また、その他の欠点や短所を解決するべく、画素の輝度 (pixel brightness) に基づく条件付きデブロッキング・フィルタのためのシステムおよび方法が提供される。

【0006】

複数のブロック変換係数として画素データをエンコードし、再構成された画素データを生成するためにエンコードされたブロック変換係数をデコードするエンコーダおよびデコーダを提供する。エンコーダおよび/またはデコーダは、予め選択された画素の輝度レベル基準を満たすブロック・トランジションのみにフィルタをかける条件付きデブロッキン

10

20

30

40

50

グ・フィルタを備えている。

【0007】

これらに対応するデブロッキングのための方法は、ブロック・トランジションに隣接する少なくとも1つの第1の画素を受信するステップと、前記少なくとも1つの第1の画素の輝度を示す信号を生成するステップと、前記輝度信号を上側輝度閾値と下側輝度閾値の少なくとも一方と比較するステップと、輝度の比較にตอบสนองして、ブロック・トランジションにおける前記第1の画素を含む隣接する画素に条件付きフィルタをかけるステップとを含んでいる。

【0008】

本発明のこれらの態様、特徴、および利点、また、その他の態様、特徴、および利点は、添付図面を参照しながら例示的な実施の形態についての以下の説明を読むことにより理解できるであろう。

【0009】

本発明は、例示的な図面に従った画素の輝度に基づく条件付きデブロッキング・フィルタを包含し、開示するものである。

【発明を実施するための最良の形態】

【0010】

一般に、デブロッキング・フィルタを実行するためには、ビデオ・デコーダおよび/またはビデオ・エンコーダにおいて、多量の複雑な計算を行うことが必要となる。特定のエッジ・トランジション(edge transition)にフィルタをかけるかどうかを決定すること、また、このフィルタ処理を実行するためにどのような特定のフィルタが使用されるかということは、それぞれ、計算の複雑さや、視覚的に感じられる品質に対して大きな影響を与えるものである。ブロックをベースとするデジタル・ビデオ圧縮システムにおけるデブロッキング・フィルタの実行は、トランジション(transition: 遷移、変化)における画素の輝度レベルに基づいてブロック・トランジションに低域通過(ローパス)フィルタをかけるかどうかを決定することにより簡略化する。従って、トランジションにデブロッキング・フィルタをかけることにより、視覚的に感じられる品質が改善するようなことがないのであれば、このトランジションに対するデブロッキング・フィルタを省略することにより、計算の複雑さを低減させることができる。本発明は、トランジションにおける画素の輝度レベルに基づいて、このトランジションに低域通過フィルタまたはデブロッキング・フィルタをかけるかどうかを決定することにより、視覚的に感じられる品質に大きな影響を与えることなく、デブロッキング・フィルタの計算の複雑さを低減する。

【0011】

ITU-T(国際電気通信連合 電気通信標準化部門)勧告H.263ビデオ圧縮規格では、処理に使用される特定のデブロッキング・フィルタの強度は、所定のマクロブロックをエンコードするのに使用される量子化パラメータに依存している。提案されているITU-T勧告H.264|ISO/IEC(国際標準化機構/国際電気標準会議)14496-10 AVC ビデオ圧縮規格(以下、H.264/AVCと参照する)では、トランジションにフィルタをかけるかどうかや、処理に使用されるフィルタの強度を決定するのに幾つかのファクター(要因)が使用される。これらのファクターとして、ブロックがイントラ符号化(intra-coded)されたものであるのかまたはインター符号化(inter-coded)されたものであるのか、ブロック内にゼロでない係数が存在しているか、エッジ(edge: 端部)にかかる各ブロックにおける動きベクトルの差の度合い、エッジにかかる各画素の値の差の度合いが挙げられる。従来のアプローチでは、画素自体の輝度の値は、トランジションにフィルタをかけるかどうかや処理に使用されるフィルタの強度を決定するのに考慮されなかった。

【0012】

以下の説明は、単に、本発明の原理を示すためだけのものにすぎない。従って、当業者であれば、本願においてはっきりとした説明や図示が存在しない場合であっても、様々な

10

20

30

40

50

変更を施して本発明の原理を実施することが可能であり、このような変更が本発明の精神および範囲に含まれることが理解できるであろう。更に、本明細書中に記載されている例、条件付きの文言の全ては、基本的に、読者が本発明の原理を理解できるようにするための、開示を目的としただけのものであることは明らかであり、また、技術の発展に寄与するような発明者による概念は、このような具体的に記載された例や条件に限定されることなく解釈されるべきである。また、本明細書中の本発明の原理、態様、実施の形態、具体例の記載の全ては、構造的な均等物、機能的な均等物の双方を包含するように意図されている。更に、このような均等物は、現在公知の均等物だけでなく、将来における均等物、つまり、構造に係わらず、同様の機能を果たすように開発されたものであれば、どのような要素をも含むように意図されている。

10

【 0 0 1 3 】

従って、例えば、当業者であれば、本願のブロック図は、本発明の原則を実施する回路を示す概念図であることが理解できるであろう。同様に、フローチャート、流れ図、状態遷移図、擬似コード等は、何れもコンピュータにより読み取り可能な媒体において実質的に表される様々な処理を示すものであり、コンピュータやプロセッサがはっきりと図示されているかどうかに係わらず、コンピュータやプロセッサにより実行されるものである。

【 0 0 1 4 】

図面において示されている様々な要素の機能は、専用のハードウェアにより提供されるものでもよく、適切なソフトウェアに関連付けられ、ソフトウェアを実行することが可能なハードウェアであってもよい。プロセッサにより機能が提供されるような場合には、単一の専用プロセッサにより機能が提供されるものでもよく、単一の共有プロセッサにより機能が提供されるものでもよく、また、複数の別個のプロセッサにより機能が提供されるものでもよく、このうち、幾つかのプロセッサが共有されたものであってもよい。更に、「プロセッサ」や「コントローラ」の用語を明示的に使用している場合であっても、ソフトウェアを実行することが可能なハードウェアのみに限定するように解釈されるべきものではなく、限定するものではないが、ディジタル信号プロセッサ(DSP)ハードウェア、ソフトウェアを記憶するための読み出し専用メモリ(ROM)、ランダム・アクセス・メモリ(RAM)、更に、不揮発性記憶装置を暗示的に含むものとする。また、他のハードウェア、従来型ハードウェアおよび/または一般的なハードウェアも含まれる。同様に、図面に示す各スイッチは、概念的なものにすぎない。これらのスイッチの機能は、プログラム・ロジックの処理により実行されるものでもよく、専用のロジックを介して実行されるものでもよく、プログラム制御と専用のロジックとの連携により実行されるものでもよく、更に、マニュアルで実行されるものであってもよく、本明細書の内容に基づいて具体的な理解を得た発明の実施者が選択的に特定の技術を選択することが可能である。

20

30

【 0 0 1 5 】

本願の請求の範囲において、特定の機能を実行するための手段として示す要素は、何れも、この機能を実行するものであれば、どのような方法で実行するものでも包含するように意図されており、例えば、a)回路要素を組み合わせて機能を実行するもの、また、b)いかなる形態のソフトウェアをも包含するように意図されている。従って、ファームウェア、マイクロコード等、機能を実行するソフトウェアを実行するための適切な回路を組み合わせたものも含まれる。このような請求の範囲により定義される発明は、記載された様々な手段により提供される機能性が組み合わせられ、請求項が要求するようにまとめられるという事実に基づくものである。従って、出願人は、本願に示すものと同様の機能を提供する手段はどのようなものであっても均等物であると見做す。

40

【 0 0 1 6 】

図1において、画素の輝度に基づく条件付きインループ・デブロッキング・フィルタ(in-loop deblocking filter)を有する例示的なエンコーダが、参照符号100により全体的に示されている。エンコーダ100は、ビデオ入力端子112を備え、ビデオ入力端子112は、サミング・ブロック(summing block)114の正の入力と信号通信するように結合されている。また、サミング・ブロック

50

114は、整数変換を実行して各係数を生成する機能ブロック116に結合されている。ブロック116は、エントロピー符号化を実行して出力ビットストリームを生成するエントロピー符号化ブロック118に結合されている。更に、ブロック116は、インループ部120にスケーリング/逆変換ブロック(scaling and inverse transform)122で結合されている。ブロック122は、サミング・ブロック124に結合され、また、サミング・ブロック124は、イントラ・フレーム予測ブロック(intra-frame prediction block)126に結合されている。イントラ・フレーム予測ブロック126は、スイッチ127に切り替え可能に結合され、スイッチ127は、サミング・ブロック124の第2の入力とサミング・ブロック114の反転入力に結合されている。

10

【0017】

サミング・ブロック124の出力は、条件付きデブロッキング・フィルタ(conditional deblocking filter)140に結合されている。デブロッキング・フィルタ140は、フレーム記憶(frame store)128に結合されている。フレーム記憶128は、動き補償ブロック130に結合され、動き補償ブロック130は、スイッチ127の第2の代替入力(alternate input)に結合されている。更に、ビデオ入力端子112は、動きベクトルを生成する動き推定ブロック(motion estimation block)119に結合されている。デブロッキング・フィルタ140は、動き推定ブロック119の第2の入力に結合されている。動き推定ブロック119の出力は、動き補償ブロック130と共に、エントロピー符号化ブロック118の第2の入力に結合されている。

20

【0018】

更に、ビデオ入力端子112は、コード(符号化)制御ブロック160に結合されている。コード制御ブロック160は、各ブロック116、118、119、122、126、130、および140の制御入力に結合され、エンコーダ100の処理を制御するための制御信号を生成する。

【0019】

図2を参照すると、画素の輝度に基づく条件付きインループ・デブロッキング・フィルタを有する例示的なデコーダが、参照符号200により示されている。デコーダ200は、入力ビットストリームを受信するためのエントロピー復号化ブロック210を備えている。復号化ブロック210は、インループ部220にスケーリング/逆変換ブロック222で係数を生成するように結合されている。ブロック222は、サミング・ブロック224に結合され、サミング・ブロック224は、イントラ・フレーム予測ブロック226に結合されている。イントラ・フレーム予測ブロック226は、切り替え可能にスイッチ227に結合され、スイッチ227は、サミング・ブロック224の第2の入力に結合されている。

30

【0020】

サミング・ブロック224の出力は、出力画像を生成する条件付きデブロッキング・フィルタ240に結合されている。デブロッキング・フィルタ240は、フレーム記憶228に結合されている。フレーム記憶228は、動き補償ブロック230に結合され、動き補償ブロック230は、スイッチ227の第2の代替入力に結合されている。更に、エントロピー復号化ブロック210は、動きベクトルを生成するために、動き補償ブロック230の第2の入力に結合されている。

40

【0021】

更に、エントロピー復号化ブロック210は、入力を生成するために、デコーダ制御ブロック262に結合されている。デコーダ制御ブロック262は、各ブロック222、226、230、および240の制御入力に結合され、制御信号の通信を行い、デコーダ200の処理を制御する。

【0022】

図3を参照すると、画素の輝度に基づく条件付き後処理デブロッキング・フィルタを有

50

する例示的なデコーダが、参照符号 300 により概略的に示されている。デコーダ 300 は、入力ビットストリームを受信するためのエン트로ピー復号化ブロック 310 を備えている。復号化ブロック 310 は、インルーブ部 320 にスケールリング/逆変換ブロック 322 で係数を生成するように結合されている。ブロック 322 は、サミング・ブロック 324 に結合され、サミング・ブロック 324 は、イントラ・フレーム予測ブロック 326 に結合されている。イントラ・フレーム予測ブロック 326 は、切り替え可能にスイッチ 327 に結合され、スイッチ 327 は、サミング・ブロック 324 の第 2 の入力に結合されている。

【0023】

サミング・ブロック 324 の出力は、出力画像を生成する条件付きデブロッキング・フィルタ 340 に結合されている。更に、サミング・ブロック 324 は、フレーム記憶 328 に結合されている。フレーム記憶 328 は、動き補償ブロック 330 に結合され、動き補償ブロック 330 は、スイッチ 327 の第 2 の代替入力に結合されている。更に、エン트로ピー復号化ブロック 310 は、動きベクトルを生成するために、動き補償ブロック 330 の第 2 の入力に結合されている。

【0024】

更に、エン트로ピー復号化ブロック 310 は、入力を生成するために、デコーダ制御ブロック 362 に結合されている。デコーダ制御ブロック 362 は、各ブロック 322、326、330、および 340 の制御入力に結合され、制御信号の通信を行い、デコーダ 300 の処理を制御する。

【0025】

図 4 を参照すると、画素の輝度に応じた例示的なデブロッキング・フィルタの処理が参照符号 400 により概略的に示されている。処理 400 は、開始ステップ 410 を含み、制御が次の入力ステップ 412 に進むと、ブロック・トランジションに隣接する少なくとも 1 つの第 1 の画素の受信が行われる。制御が入力ステップ 412 から次のステップ 414 に進むと、前記少なくとも 1 つの第 1 の画素の輝度を示す信号が生成される。制御がステップ 414 から決定ステップ 416 に進むと、輝度信号と上側輝度閾値との比較が行われる。輝度が上側閾値よりも大きい場合には、デブロッキング・フィルタが行われることなく、制御が終了ステップ 428 に進む。輝度が上側閾値よりも大きくない場合には、制御がステップ 416 から決定ステップ 418 に進み、輝度信号と下側輝度閾値との比較が行われる。輝度が下側閾値よりも小さい場合には、デブロッキング・フィルタが行われることなく、制御が終了ステップ 428 に進む。輝度が下側閾値よりも小さくない場合には、ステップ 418 が機能ステップ 420 に進み、第 1 の画素に隣接し、ブロック・トランジションの対向する側に位置する少なくとも 1 つの第 2 の画素の受信が行われる。

【0026】

制御が、420 から機能ステップ 422 に進み、第 1 の画素と第 2 の画素との間の輝度レベルの差の測定が行われる。次に、制御が、ステップ 422 から機能ステップ 424 に進み、測定された差に応答してかけられるデブロッキング・フィルタの強度が選択される。制御がステップ 424 から機能ステップ 426 に進み、輝度比較に応答してブロック・トランジションにおける第 1 の画素を含む複数の隣接する画素に対して条件付きフィルタがかけられる。最後に、制御がステップ 426 から終了ステップ 428 に進む。

【0027】

本発明の実施の形態における処理では、画像やビデオの圧縮システムにおけるデブロッキング・フィルタの計算の複雑さは、デブロッキング・フィルタを行わないことおよび/または所定のブロックの境界のトランジションにおける画素、またはその近傍における輝度の値の測定に適用される条件に応答して、このブロックに対するフィルタ強度を減少させることにより低減する。非常に暗いか、または、非常に明るいため、通常の人間の視覚では簡単に区別することができないような値の範囲にあるトランジションに対しては、デブロッキング・フィルタをかけることが行われないうか、フィルタの強度が減少させられる。つまり、このような領域では、デブロッキング・フィルタをかける場合、追加的な計算

10

20

30

40

50

が必要となるであろうが、人間である視聴者が感じることのできるビデオ品質の十分な改善は得ることができないであろう。

【 0 0 2 8 】

好ましい実施の形態においては、輝度レベルが最小の閾値よりも小さいか、最高の閾値よりも大きい場合にはデブロッキング・フィルタがかけられない。代数的な表記によれば、画素の輝度レベル p が $p < Y_{min}$ または $p > Y_{max}$ である (Y_{min} および Y_{max} の各々は、最小の輝度レベル閾値、最大の輝度レベル閾値を示す) 場合には、デブロッキング・フィルタがかけられない。計算の簡略化のため、 p の値は、個々の画素に基づくようにしてもよいし、トランジションに交差する画素の平均に基づくようにしてもよい。また、閾値の判定は、トランジションにおける各画素に対して別個に適用されるようにして、トランジションにおける全ての画素が Y_{max} を超えているか、トランジションにおける全ての画素が Y_{min} よりも小さいブロックに対してのみデブロッキング・フィルタをかけることを省略するようにしてもよい。

【 0 0 2 9 】

別の実施の形態においては、フィルタをかけるか、フィルタをかけないかを決定することは、例えば、H. 264 / AVC 圧縮規格において使用されているようなデブロッキング・フィルタの決定を行うための他の基準を用いるシステムに組み込まれている。H. 264 / AVC JM 1.9 に準拠するシステムに本発明の原則を適用した場合、例えば、本発明のフィルタの決定は、JM 1.9 デブロッキング・フィルタのラインをベースとしてフィルタをかけるステップに適用される。この場合、トランジションに適用されるデブロッキング・アルゴリズムにおいては、3つのステップが進行する。1つのステップでは、アルゴリズムにより、現在対象となっているトランジションのフィルタを行うかどうか決定される。この決定は、ラインをベースとする基準と共に従前に評価されたブロックをベースとする他のパラメータに基づいて行われる。フィルタを行うことが決定された場合には、別のステップで、かけられるフィルタが選択される。また、別のステップでは、フィルタ処理自体を開始し、ブロック・エッジの周辺の特定の数の画素の値が、このトランジションをスムーズにするために変更される。この例示的な実施の形態におけるトランジションに対してフィルタをかける際に関係する一組 (8つ) の画素を以下の表示により表す。

【表 1】

p_3	p_2	p_1	p_0	q_0	q_1	q_2	q_3
-------	-------	-------	-------	-------	-------	-------	-------

ブロック・エッジは、 p_0 および q_0 の間に位置する。

【 0 0 3 0 】

この実施の形態においては、この基準は、トランジションの周辺の1つの画素が以下の場合であるかを評価するだけのものである。

$$p_0 > Y_{min} \quad \text{且つ} \quad p_0 < Y_{max}$$

基本条件およびこれらの追加の条件を満たすトランジションのみに対してフィルタがかけられる。 $Y_{min} = 64$ と $Y_{max} = 232$ の閾値を用いることにより良い実験結果が得られた。

【 0 0 3 1 】

条件付きデブロッキング・フィルタをかける際のこの新たな基準は、決定プロセスに係わる処理の数を増加させるが、幾つかのライン・トランジションにおいてフィルタをかけないと決定した場合に計算が減らされるため、計算の複雑さが全体として低減されること

になる。実験によれば、処理を減らすことにより、視覚的品質が大幅に低下するようなことがないことが明らかになっている。

【 0 0 3 2 】

本発明のこれらの特徴および利点、更に、その他の特徴および利点は、本明細書の開示内容に基づいて、関連する技術分野の当業者であれば、容易に理解することができるであろう。本発明の開示内容は、ハードウェア、ソフトウェア、ファームウェア、特定用途プロセッサ、またはこれらを組み合わせた様々な形態で実施可能であることが理解できよう。

【 0 0 3 3 】

本発明の実施の形態は、ハードウェアとソフトウェアとを組み合わせることにより行われることが最も好ましい。更に、ソフトウェアは、プログラム記憶装置に具体的な形態に実現されたアプリケーション・プログラムとして実行されることが好ましい。アプリケーション・プログラムは、好ましいアーキテクチャーを有するコンピュータに対してアップロードされ、このコンピュータにより実行可能なものであってもよい。好ましくは、コンピュータは、1つ以上の中央処理装置（CPU）、ランダム・アクセス・メモリ（RAM）、入出力（I/O）インタフェースを備えるコンピュータ・プラットフォーム上で実行される。このコンピュータ・プラットフォームは、オペレーション・システムとマイクロインストラクション・コードを更に備えるものであってもよい。本明細書において記載された様々な処理および機能は、マイクロインストラクション・コードの一部であってもよいし、アプリケーション・プログラムの一部であってもよいし、これらを組み合わせたものであってもよいし、また、CPUにより実行されるものであってもよい。更に、コンピュータ・プラットフォームには、追加のデータ記憶装置や、印刷機等、周辺機器を結合するようにしてもよい。

【 0 0 3 4 】

更に、添付図面に描かれた構成要素としてのシステム構成要素および方法の幾つかは、好ましくはソフトウェアの形態で実行されるため、システム構成要素間、または処理機能ブロック間の実際の結合は、本発明の実施形態のプログラムの仕方により異なるものであることが理解できよう。本明細書の開示内容に基づいて、関連する技術分野の当業者であれば、本発明の構成で実施すること、また、同様の構成で実施することが可能であろう。

【 0 0 3 5 】

添付図面を参照して例示的な実施の形態を説明したが、本発明はこのような具体的な実施の形態に限定されるものではなく、関連する技術分野の当業者であれば、このような実施の形態に対し、本発明の範囲または精神を逸脱することなく、様々な変形、変更が可能であることが理解できるであろう。このような変形、変更は全て、請求の範囲に記載された本発明の範囲に含まれるように意図されたものである。

【図面の簡単な説明】

【 0 0 3 6 】

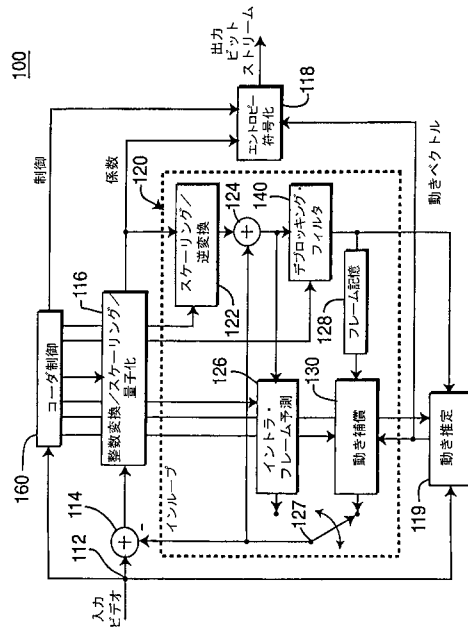
【図 1】図 1 は、画素の輝度に基づく条件付きインループ・デブロッキング・フィルタを有する例示的なエンコーダのブロック図である。

【図 2】図 2 は、図 1 のエンコーダと共に使用することができる画素の輝度に基づく条件付きインループ・デブロッキング・フィルタを有する例示的なデコーダのブロック図である。

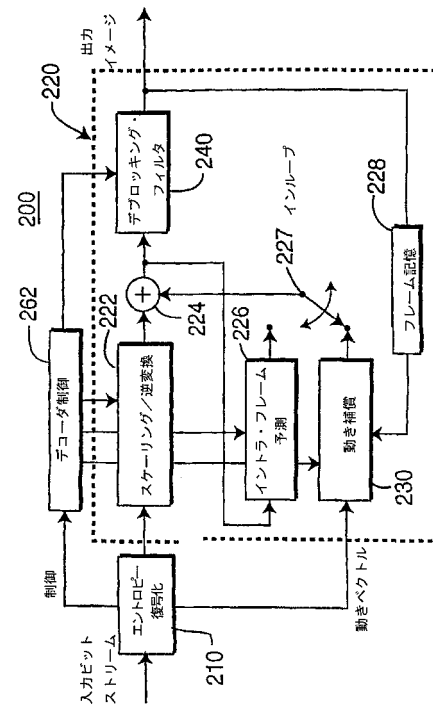
【図 3】図 3 は、画素の輝度に基づく条件付き後処理デブロッキング・フィルタを有する例示的なデコーダのブロック図である。

【図 4】図 4 は、本発明の原理に従った画素の輝度に基づく条件付きインループ・デブロッキング・フィルタの流れ図である。

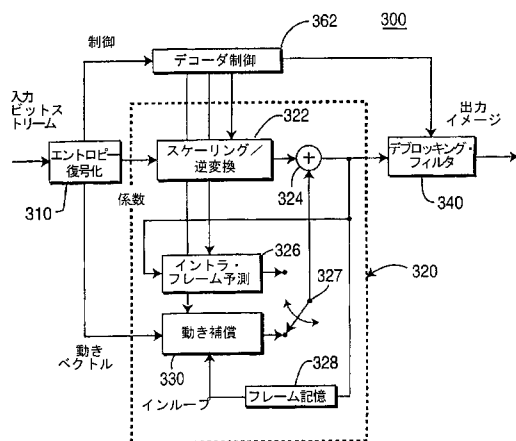
【図 1】



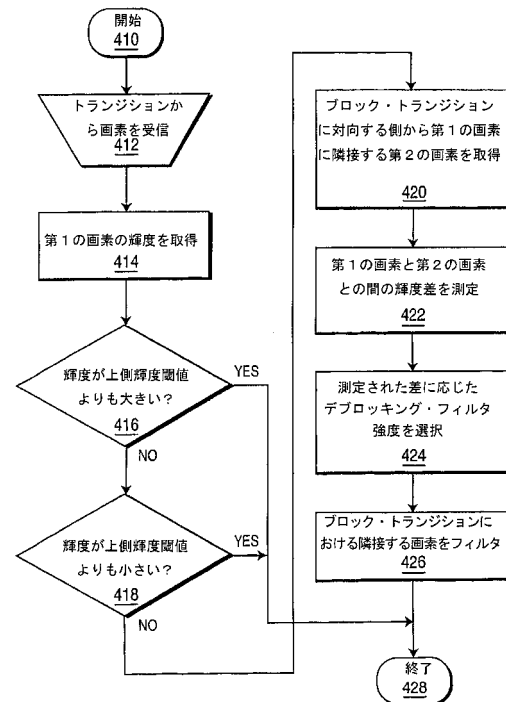
【図 2】



【図 3】



【図 4】



フロントページの続き

- (72)発明者 ゴミラ, クリステイナ
アメリカ合衆国 ニュージャージー州 プリンストン チェストナット・コート 25シー
- (72)発明者 ボイス, ジル マクドナルド
アメリカ合衆国 ニュージャージー州 マナラパン ブランデイワイン・コート 3

審査官 坂本 聡生

- (56)参考文献 特開平09-130648(JP, A)
国際公開第02/005543(WO, A1)
特開2001-231038(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N	1/40	-	1/419
H04N	1/46		
H04N	1/60		
H04N	7/24	-	7/68
G06T	1/00	-	1/40
G06T	3/00	-	5/50
G06T	9/00	-	9/40