



(12) 发明专利

(10) 授权公告号 CN 102355217 B

(45) 授权公告日 2016.01.20

(21) 申请号 201110129731.2

(22) 申请日 2011.05.13

(30) 优先权数据

2010-112012 2010.05.14 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本东京都

(72) 发明人 广田尊则

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H03H 3/02(2006.01)

H03H 9/02(2006.01)

审查员 黄琳

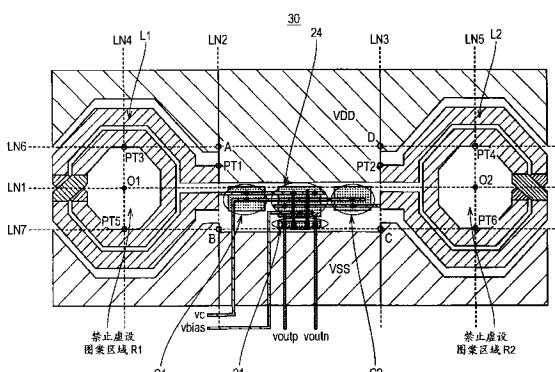
权利要求书5页 说明书8页 附图9页

(54) 发明名称

半导体器件

(57) 摘要

提供一种半导体器件，其可以降低向耦合VCO中所包括的螺旋电感器和MOS变容器的布线添加的寄生电感器和/或寄生电容。LC振荡回路VCO包括第一螺旋电感器和第二螺旋电感器以及第一MOS变容器和第二MOS变容器。当垂直于半导体衬底观看时，第一MOS变容器和第二MOS变容器设置在第一螺旋电感器和第二螺旋电感器之间的区域中。



1. 一种半导体器件，包括：

半导体衬底；以及

在所述半导体衬底之上形成的 LC 振荡回路 VCO，

其中所述 LC 振荡回路 VCO 包括：

第一螺旋电感器，耦合至第一节点；

第二螺旋电感器，耦合至第二节点；以及

第一 MOS 变容器，耦合至所述第一节点；

第二 MOS 变容器，耦合至所述第二节点；并且

第一 MOS 晶体管，具有耦合至所述第一节点的漏极和耦合至所述第二节点的栅极；以及

第二 MOS 晶体管，具有耦合至所述第二节点的漏极和耦合至所述第一节点的栅极；并且

其中，当垂直于所述半导体衬底观看时，所述第一 MOS 变容器和所述第二 MOS 变容器设置在所述第一螺旋电感器和所述第二螺旋电感器之间的区域中，并且所述第一 MOS 晶体管和所述第二 MOS 晶体管被设置在所述第一 MOS 变容器和上述第二 MOS 变容器之间，

其中，当垂直于所述半导体衬底观看时，所述第一 MOS 变容器和所述第二 MOS 变容器设置在夹于第一直线和第二直线之间的区域中的位置，

其中所述第一直线是连接所述第一螺旋电感器的外边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第一螺旋电感器的中心的直线相交的一个点，和所述第二螺旋电感器的外边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第二螺旋电感器的中心的直线相交的一个点的直线，以及

其中所述第二直线是连接所述第一螺旋电感器的外边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第一螺旋电感器的中心的直线相交的另一个点，和所述第二螺旋电感器的外边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第二螺旋电感器的中心的直线相交的另一个点的直线。

2. 根据权利要求 1 的半导体器件，其中由所述第一螺旋电感器和所述第二螺旋电感器中每一个的内边缘划界的区域不包括虚设图案。

3. 根据权利要求 1 的半导体器件，该半导体器件还包括：

多个凸块，设置在所述半导体衬底的主表面上，

其中，当垂直于所述半导体衬底观看时，所述凸块设置在与所述第一螺旋电感器和所述第二螺旋电感器不重叠的区域中。

4. 根据权利要求 1 的半导体器件，该半导体器件还包括：

输出缓冲器，形成于所述半导体衬底之上并且具有耦合至所述第一节点的第一输入端和耦合至所述第二节点的第二输入端，

其中，当垂直于所述半导体衬底观看时，所述输出缓冲器设置在所述第一螺旋电感器和所述第二螺旋电感器之间。

5. 根据权利要求 4 的半导体器件，

其中所述 LC 振荡回路 VCO 还包括：

耦合至所述第一节点和所述第二节点的恒流源；

其中，当垂直于所述半导体衬底观看时，所述恒流源设置在所述第一螺旋电感器和所述第二螺旋电感器之间。

6. 一种半导体器件，包括：

半导体衬底；以及

在所述半导体衬底之上形成的 LC 振荡回路 VCO，

其中所述 LC 振荡回路 VCO 包括：

第一螺旋电感器，耦合至第一节点；

第二螺旋电感器，耦合至第二节点；以及

第一 MOS 变容器，耦合至所述第一节点；

第二 MOS 变容器，耦合至所述第二节点；并且

第一 MOS 晶体管，具有耦合至所述第一节点的漏极和耦合至所述第二节点的栅极；以及

第二 MOS 晶体管，具有耦合至所述第二节点的漏极和耦合至所述第一节点的栅极；并且

其中，当垂直于所述半导体衬底观看时，所述第一 MOS 变容器和所述第二 MOS 变容器设置在所述第一螺旋电感器和所述第二螺旋电感器之间的区域中，并且所述第一 MOS 晶体管和所述第二 MOS 晶体管被设置在所述第一 MOS 变容器和上述第二 MOS 变容器之间，

其中，当垂直于所述半导体衬底观看时，所述第一 MOS 变容器、所述第二 MOS 变容器、所述第一 MOS 晶体管和所述第二 MOS 晶体管设置在夹于第一直线和第二直线之间的区域中的位置，

其中所述第一直线是连接所述第一螺旋电感器的内边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第一螺旋电感器的中心的直线相交的一个点，和所述第二螺旋电感器的内边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第二螺旋电感器的中心的直线相交的一个点的直线，以及

其中所述第二直线是连接所述第一螺旋电感器的内边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第一螺旋电感器的中心的直线相交的另一个点，和所述第二螺旋电感器的内边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第二螺旋电感器的中心的直线相交的另一个点的直线。

7. 根据权利要求 6 的半导体器件，其中由所述第一螺旋电感器和所述第二螺旋电感器中每一个的内边缘划界的区域不包括虚设图案。

8. 根据权利要求 6 的半导体器件，该半导体器件还包括：

多个凸块，设置在所述半导体衬底的主表面上，

其中，当垂直于所述半导体衬底观看时，所述凸块设置在与所述第一螺旋电感器和所述第二螺旋电感器不重叠的区域中。

9. 一种半导体器件，包括：

半导体衬底；以及

在所述半导体衬底之上形成的 LC 振荡回路 VCO，

其中所述 LC 振荡回路 VCO 包括：

第一螺旋电感器，耦合至第一节点；

第二螺旋电感器，耦合至第二节点；以及

第一 MOS 变容器，耦合至所述第一节点；

第二 MOS 变容器，耦合至所述第二节点；并且

第一 MOS 晶体管，具有耦合至所述第一节点的漏极和耦合至所述第二节点的栅极；以
及

第二 MOS 晶体管，具有耦合至所述第二节点的漏极和耦合至所述第一节点的栅极；并
且

其中，当垂直于所述半导体衬底观看时，所述第一 MOS 变容器和所述第二 MOS 变容器设
置在所述第一螺旋电感器和所述第二螺旋电感器之间的区域中，并且所述第一 MOS 晶体管
和所述第二 MOS 晶体管被设置在所述第一 MOS 变容器和上述第二 MOS 变容器之间，

其中，当垂直于所述半导体衬底观看时，所述第一 MOS 变容器、所述第二 MOS 变容器、所
述第一 MOS 晶体管和所述第二 MOS 晶体管设置在由第一直线、第二直线、第三直线和第四直
线划界的区域中的位置，

其中所述第一直线是垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的
中心的直线并且通过所述第一螺旋电感器上的与所述第二螺旋电感器最为接近的点的
直线，

其中所述第二直线是垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的
中心的直线并且通过所述第二螺旋电感器上的与所述第一螺旋电感器最为接近的点的
直线，

其中所述第三直线是连接所述第一螺旋电感器的外边缘上的与垂直于连接所述第一
螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第一螺旋电感器的
中心的直线相交的一个点，和所述第二螺旋电感器的外边缘上的与垂直于连接所述第一螺旋
电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第二螺旋电感器的中心的
直线相交的一个点的直线，以及

其中所述第四直线是连接所述第一螺旋电感器外边缘上的与垂直于连接所述第一螺
旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第一螺旋电感器的中心
的直线相交的另一个点，和所述第二螺旋电感器外边缘上的与垂直于连接所述第一螺旋
电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第二螺旋电感器的中心的
直线相交的另一个点的直线。

10. 根据权利要求 9 的半导体器件，其中由所述第一螺旋电感器和所述第二螺旋电感
器中每一个的内边缘划界的区域不包括虚设图案。

11. 根据权利要求 9 的半导体器件，该半导体器件还包括：

多个凸块，设置在所述半导体衬底的主表面之上，

其中，当垂直于所述半导体衬底观看时，所述凸块设置在与所述第一螺旋电感器和所
述第二螺旋电感器不重叠的区域中。

12. 一种半导体器件，包括：

半导体衬底；以及

在所述半导体衬底之上形成的 LC 振荡回路 VCO，

其中所述 LC 振荡回路 VCO 包括：

第一螺旋电感器，耦合至第一节点；

第二螺旋电感器，耦合至第二节点；以及

第一 MOS 变容器，耦合至所述第一节点；

第二 MOS 变容器，耦合至所述第二节点；并且

第一 MOS 晶体管，具有耦合至所述第一节点的漏极和耦合至所述第二节点的栅极；以及

第二 MOS 晶体管，具有耦合至所述第二节点的漏极和耦合至所述第一节点的栅极；并且

其中，当垂直于所述半导体衬底观看时，所述第一 MOS 变容器和所述第二 MOS 变容器设置在所述第一螺旋电感器和所述第二螺旋电感器之间的区域中，并且所述第一 MOS 晶体管和所述第二 MOS 晶体管被设置在所述第一 MOS 变容器和上述第二 MOS 变容器之间，

其中，当垂直于所述半导体衬底观看时，所述第一 MOS 变容器、所述第二 MOS 变容器、所述第一 MOS 晶体管和所述第二 MOS 晶体管设置在由第一直线、第二直线、第三直线和第四直线划界的区域中的位置，

其中所述第一直线是垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并且通过所述第一螺旋电感器上的与所述第二螺旋电感器最为接近的点的直线，

其中所述第二直线是垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并且通过所述第二螺旋电感器上的与所述第一螺旋电感器最为接近的点的直线，

其中所述第三直线是连接所述第一螺旋电感器的内边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第一螺旋电感器的中心的直线相交的一个点，和所述第二螺旋电感器的内边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第二螺旋电感器的中心的直线相交的一个点的直线，以及

其中所述第四直线是连接所述第一螺旋电感器内边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第一螺旋电感器的中心的直线相交的另一个点，和所述第二螺旋电感器内边缘上的与垂直于连接所述第一螺旋电感器的中心和所述第二螺旋电感器的中心的直线并通过所述第二螺旋电感器的中心的直线相交的另一个点的直线。

13. 根据权利要求 12 的半导体器件，其中由所述第一螺旋电感器和所述第二螺旋电感器中每一个的内边缘划界的区域不包括虚设图案。

14. 根据权利要求 12 的半导体器件，该半导体器件还包括：

多个凸块，设置在所述半导体衬底的主表面之上，

其中，当垂直于所述半导体衬底观看时，所述凸块设置在与所述第一螺旋电感器和所

述第二螺旋电感器不重叠的区域中。

15. 一种半导体器件，包括：

半导体衬底；以及

在所述半导体衬底之上形成的 LC 振荡回路 VCO，

其中所述 LC 振荡回路 VCO 包括：

第一螺旋电感器，耦合至第一节点；

第二螺旋电感器，耦合至第二节点；以及

第一 MOS 变容器，耦合至所述第一节点；

第二 MOS 变容器，耦合至所述第二节点；并且

第一 MOS 晶体管，具有耦合至所述第一节点的漏极和耦合至所述第二节点的栅极；以及

第二 MOS 晶体管，具有耦合至所述第二节点的漏极和耦合至所述第一节点的栅极；并且

其中，当垂直于所述半导体衬底观看时，所述第一 MOS 变容器和所述第二 MOS 变容器设置在所述第一螺旋电感器和所述第二螺旋电感器之间的区域中，并且所述第一 MOS 晶体管和所述第二 MOS 晶体管被设置在所述第一 MOS 变容器和上述第二 MOS 变容器之间，其中所述第一螺旋电感器和所述第二螺旋电感器设置在第一方向上，并且

所述第一 MOS 变容器和所述 MOS 变容器设置在所述第一方向上，

其中所述第一 MOS 晶体管和所述第二 MOS 晶体管设置在上述第一方向上，

其中所述半导体器件还包括第一布线，在所述第一方向上延伸并且耦合至所述第一螺旋电感器、所述第一 MOS 变容器、所述第一 MOS 晶体管的漏极以及所述第二 MOS 晶体管的栅极；以及

第二布线，在所述第一方向上延伸并且耦合至所述第二螺旋电感器、所述第二 MOS 变容器、所述第二 MOS 晶体管的漏极以及所述第一 MOS 晶体管的栅极。

16. 根据权利要求 15 的半导体器件，

其中所述第一 MOS 晶体管和所述第二 MOS 晶体管共享一个扩散区域作为相应的源极。

17. 根据权利要求 15 的半导体器件，

其中所述第一布线和所述第二布线分别具有彼此平行设置的部分。

18. 根据权利要求 15 的半导体器件，还包括

第三布线，耦合于所述第一 MOS 变容器和所述第二 MOS 变容器之间并且具有与所述第一布线和所述第二布线平行设置的部分。

半导体器件

[0001] 相关申请的交叉引用

[0002] 2010 年 5 月 14 日提交的日本专利申请 No. 2010-112012 的包括说明书、权利要求书、附图和摘要在内的公开内容在此通过引用整体并入本文。

技术领域

[0003] 本发明涉及半导体器件，并且更为具体而言涉及在半导体衬底上形成的压控振荡器 (VCO) 的部件的版图。

背景技术

[0004] 随着诸如 PCI EXPRESS 之类的高速接口技术的发展，增加的关注已投向通过使用廉价和紧凑的互补型金属氧化物半导体 (CMOS) 技术在接口电路上安装诸如 VCO 之类的部分。

[0005] 例如，包括单片半导体衬底上的 CMOS 晶体管的 LC 振荡回路 VCO 已在“*A 10-Ghz CMOS LC VCO with Wide Tuning Range Using Capacitive Degeneration*”，TAE-Guen Yu, Seong-IK Cho 和 Hang-Geun Jeong, 半导体技术和科学杂志，第 6 卷，第 4 期，2006 年 12 月中提出。

发明内容

[0006] 然而，根据“*A 10-Ghz CMOS LC VCO with Wide Tuning Range Using Capacitive Degeneration*”中的 LC 振荡回路 VCO 的版图，互相分隔地放置螺旋电感器和 MOS 变容器。因而向耦合这些部件的布线添加了寄生电感器和寄生电容。因此，所测量的 VCO 振荡频率有时偏离由电路模拟获得的理论估算。

[0007] 也即，假设 L 是 LC 振荡回路中所包括的螺旋电感器的电感，并且 C 是 MOS 变容器的电容，则 VCO 的理论振荡频率 f1 由下式给出：

$$f_1 = 1/[2 \times \pi \times \{L \times C\}^{1/2}] \quad (1)$$

[0009] 此外，假设 Lp 是向耦合螺旋电感器和 MOS 变容器的布线添加的寄生电感器的电感，并且假设 Cp 是向布线添加的寄生电容，则所测量的 VCO 的振荡频率 f2 由下式给出：

$$f_2 = 1/[2 \times \pi \times \{(L+L_p) \times (C+C_p)\}^{1/2}] \quad (2)$$

[0011] 由于耦合螺旋电感器和 MOS 变容器的布线在“*A 10-Ghz CMOS LCVCO with Wide Tuning Range Using Capacitive Degeneration*”中的 LC 振荡回路 VCO 中具有长的长度，所以在式 (2) 中的 Lp 和 Cp 的值变大。因此，由式 (2) 给出的频率 f2 明显偏离由式 (1) 给出的理论频率 f1。

[0012] 因此，本发明提供一种半导体器件，该半导体器件可以降低添加至耦合 VCO 中所包括的螺旋电感器和 MOS 变容器的布线的寄生电感器和 / 或寄生电容。

[0013] 依据本发明的实施例的半导体器件包括半导体衬底和在半导体衬底上形成的 LC 振荡回路 VCO。LC 振荡回路 VCO 包括第一螺旋电感器和第二螺旋电感器以及第一 MOS 变容

器和第二 MOS 变容器。当垂直于半导体衬底观看时，第一 MOS 变容器和第二 MOS 变容器被设置在第一螺旋电感器和第二螺旋电感器之间的区域。

[0014] 依据本发明的实施例，可以降低添加至耦合 VCO 中所包括的螺旋电感器和 MOS 变容器的布线的寄生电感器和 / 或寄生电容。

附图说明

- [0015] 图 1 示出了依据本发明实施例的半导体器件的配置；
- [0016] 图 2 示出了图 1 中所示的半导体器件中所包括的 CDR 的配置；
- [0017] 图 3 示出了图 1 中所示的半导体器件中所包括的 PLL 的配置；
- [0018] 图 4 示出了图 2 中所示的 CDR 中所包括的 VCO 和输出缓冲器的配置；
- [0019] 图 5 是垂直于半导体衬底观看的依据第一实施例的 VCO 和输出缓冲器的视图；
- [0020] 图 6 是图 5 中所示的输出缓冲器和第一和第二 MOS 变容器的布置和布线的放大视图；
- [0021] 图 7 示出了依据本发明实施例的半导体器件中凸块的布置；
- [0022] 图 8 是垂直于半导体衬底观看的依据第一实施例的修改形式的输出缓冲器和 VCO 的视图；
- [0023] 图 9 是垂直于半导体衬底观看的依据第二实施例的输出缓冲器和 VCO 的视图；以及
- [0024] 图 10 是垂直于半导体衬底观看的依据第二实施例的修改形式的输出缓冲器和 VCO 的视图。

具体实施方式

- [0025] 下面将参考附图描述本发明的实施例。
- [0026] 第一实施例
- [0027] 图 1 示出了依据本发明实施例的半导体器件的配置。
- [0028] 参见图 1，半导体器件 1 是用于将串行数据和并行数据互相转换的物理层的半导体芯片。半导体器件 1 包括 PHYLogic 2、锁相环 (PLL) 3、解串行器 (DES) 8、串行化器 (SER) 4、时钟数据恢复 (CDR) 7、接收缓冲器 6 和发送缓冲器 5。
- [0029] 接收缓冲器 6 向 CDR 输出通过耦合至串行线的输入 PAD 82 接收的串行信号 IN。
- [0030] CDR 7 根据所接收的串行信号 IN 来恢复时钟信号 CLK1 和数据信号 D0。
- [0031] DES 8 向 PHYLogic 输出从 CDR 7 输出的时钟信号 CLK1。DES8 还将从 CDR 7 输出的串行数据信号 D0 转换成并行数据信号，并向 PHYLogic 2 输出并行数据信号。
- [0032] PHYLogic 2 接收来自 DES 8 的并行数据信号，并向上层输出并行数据信号。PHYLogic 2 还向 SER 4 输出从上层接收的并行数据信号。由 PHYLogic 2 输出的并行数据信号与从 PLL 3 输出的时钟信号 CLK1 同步。
- [0033] PLL 3 向 SER 4 输出与参考时钟信号 RefClk 同步的时钟信号 CLK2。
- [0034] SER 4 将从 PHYLogic 2 输出的并行数据信号以与从 PLL 3 输出的时钟信号 CLK 2 同步的方式转换成串行数据信号。
- [0035] 发送缓冲器 5 接收从 SER 4 输出的串行数据信号，并通过输出 PAD 81 向串行线输

出串行数据信号。

[0036] (CDR 的配置)

[0037] 图 2 示出了图 1 中所示的半导体器件中所包括的 CDR 的配置。

[0038] 参见图 2, CDR 7 具有相位检测器 (PD) 16、相位频率检测器 (PFD) 15、环路滤波器 (LF) 17、VCO 18 和输出缓冲器 21。

[0039] PFD 15 将参考时钟信号 Refclk 的上升沿与从 VCO 18 输出的时钟信号的上升沿进行比较，并基于比较结果来输出信号。

[0040] PD 16 将从接收缓冲器 6 输出的串行信号 IN 的相位与从 VCO 18 输出的时钟信号的相位进行比较，并依据相位差来输出信号。

[0041] LF 17 是将从 PFD 15 和 PD 16 输出的信号平滑的低通滤波器。

[0042] VCO 18 按照从 LF 17 输出的信号 (电压) 的幅度来控制输出频率。

[0043] 输出缓冲器 21 向外部输出从 VCO 18 输出的信号。

[0044] (PLL 的配置)

[0045] 图 3 示出了图 1 所示的半导体器件中所包括的 PLL 的配置。

[0046] 参见图 3, PLL 2 具有 PFD 11、LF 12、VCO 13 和输出缓冲器 14。

[0047] PFD 11 将两个输入信号的相位 / 频率进行比较，并基于比较结果输出信号。

[0048] LF 12 是平滑从 PFD 11 输出的信号的低通滤波器。VCO 13 按照从 LF 12 输出的信号 (电压) 的幅度来控制输出频率。

[0049] 输出缓冲器 14 向外部输出从 VCO 13 输出的信号。

[0050] (VCO 和输出缓冲器的配置)

[0051] 图 4 示出了图 2 所示的 CDR 中所包括的 VCO 和输出缓冲器的配置。图 3 所示的 PLL 3 中所包括的 VCO 13 和输出缓冲器 14 与这些 VCO 和输出缓冲器相同。图 4 中所有的电路元件形成于单片硅半导体衬底上。

[0052] 图 4 中所示的 VCO 是具有 LC 并联谐振电路 (LC 振荡回路电路) 的 CMOS VCO。

[0053] 这个 VCO 包括第一 MOS 变容器 C1、第二 MOS 变容器 C2、第一螺旋电感器 L1、第二螺旋电感器 L2 和稳定电路 24。稳定电路 24 包括差分 MOS 晶体管对 22 和恒流源 23。

[0054] 第一螺旋电感器 L1 的一端耦合至电源 VDD, 而另一端耦合至节点 N1。第二螺旋电感器 L2 的一端耦合至电源 VDD, 而另一端耦合至节点 N2。第一螺旋电感器 L1 和第二螺旋电感器 L2 是芯片上的螺旋电感器。

[0055] 第一 MOS 变容器 C1 的一端耦合至节点 N1, 而另一端耦合至节点 N3。第二 MOS 变容器 C2 的一端耦合至节点 N2, 而另一端耦合至节点 N3。节点 N3 接收用于设定第一 MOS 变容器 C1 和第二 MOS 变容器 C2 中每一个的电容的控制电压 vc (图 3 中所示的输入信号 IN)。

[0056] 差分 MOS 晶体管对 22 包括第一 N 沟道 MOS 晶体管 T1 和第二 N 沟道 MOS 晶体管 T2。提供差分 MOS 晶体管对 22 以维持振荡。

[0057] 第一 N 沟道 MOS 晶体管 T1 具有耦合至节点 N1 的栅极、耦合至节点 N2 的漏极和耦合至节点 N4 的源极。第二 N 沟道 MOS 晶体管 T2 具有耦合至节点 N2 的栅极、耦合至节点 N1 的漏极和耦合至节点 N5 的源极。

[0058] 恒流源 23 包括第三 N 沟道 MOS 晶体管 T3 和第四 N 沟道 MOS 晶体管 T4。第三 N 沟道 MOS 晶体管 T3 具有接收偏置电压 vbias 的栅极、耦合至节点 N4 的漏极和耦合接地的源

极。第四 N 沟道晶体管 T4 具有接收偏置电压 v_{bias} 的栅极、耦合至节点 N5 的漏极和耦合接地的源极。

[0059] 输出缓冲器 21 接收节点 N1 和节点 N2 处的电压并输出第一输出信号 v_{outp} 和第二输出信号 v_{outn} 。输出缓冲器 21 例如由 CMOS 反相器或差分放大器配置而成。

[0060] (版图)

[0061] 图 5 是垂直于半导体衬底观看的依据第一实施例的 VCO 和输出缓冲器的视图。

[0062] 参见图 5,当垂直于半导体衬底观看时,第一 MOS 变容器 C1、第二 MOS 变容器 C2、稳定电路 24 和输出缓冲器 21 设置在由直线 LN2、直线 LN3、直线 LN6 和直线 LN7 划界的区域(也即顶点是点 A、点 B、点 C 和点 D 的方形区域)内。

[0063] 直线 LN2 是垂直于连接第一螺旋电感器 L1 的中点 O1 和第二螺旋电感器 L2 的中点的直线 LN1 的直线,并且直线 LN2 通过第一螺旋电感器 L1 上的最为接近第二螺旋电感器 L2 的点 PT1。

[0064] 直线 LN3 是垂直于连接第一螺旋电感器 L1 的中点 O1 和第二螺旋电感器 L2 的中心 O2 的直线 LN1 的直线,并且直线 LN3 通过第二螺旋电感器 L2 上的最为接近第一螺旋电感器 L1 的点 PT2。

[0065] 直线 LN6 是连接点 PT3 和点 PT4 的直线。点 PT3 是第一螺旋电感器 L1 的内环的边缘上的与直线 LN4 相交的一个点,直线 LN4 垂直于连接第一螺旋电感器 L1 的中心 O1 和第二螺旋电感器 L2 的中心 O2 的直线 LN1,并且直线 LN4 通过第一螺旋电感器 L1 的中心 O1。点 PT4 是第二螺旋电感器 L2 的内环的边缘上的与直线 LN5 相交的一个点,直线 LN5 垂直于连接第一螺旋电感器 L1 的中点 O1 和第二螺旋电感器 L2 的中点 O2 的直线 LN1,并且直线 LN5 通过第二螺旋电感器 L2 的中点 O2。

[0066] 直线 LN7 是连接点 PT5 和点 PT6 的直线。点 PT5 是第一螺旋电感器 L1 的内环的边缘上的与直线 LN4 相交的另一点,直线 LN4 垂直于连接第一螺旋电感器 L1 的中心 O1 和第二螺旋电感器 L2 的中心 O2 的直线 LN1,并且直线 LN4 通过第一螺旋电感器 L1 的中心 O1。点 PT6 是第二螺旋电感器 L2 的内环的边缘上的与直线 LN5 相交的另一个点,直线 LN5 垂直于连接第一螺旋电感器 L1 的中点 O1 和第二螺旋电感器 L2 的中点 O2 的直线 LN1,并且直线 LN5 通过第二螺旋电感器 L2 的中点 O2。

[0067] 电源线 VDD 和接地电源线 VSS 设置在第一螺旋电感器 L1、第二螺旋电感器 L2、第一 MOS 变容器 C1、第二 MOS 变容器 C2、稳定电路 24 和输出缓冲器 21 的上方和下方。

[0068] 由第一螺旋电感器 L1 的内环划界的区域是禁止虚设图案的区域 R1。由第二螺旋电感器 L2 的内环划界的区域是禁止虚设图案的区域 R2。在这些区域中不产生虚设图案。这是为了阻止添加寄生部件。尽管为了便于说明而将螺旋电感器的形状描述为环形,但是螺旋电感器的形状可以是平面方形或是多角形。同样在这样的平面方形或多角形的情形中,点 PT3 至点 PT6 是形状边缘上的点。

[0069] (版图(放大的))

[0070] 图 6 是图 5 中显示的第一和第二 MOS 变容器和输出缓冲器的布置和布线的放大视图。

[0071] 在图 6 中,两个 CMOS 反相器用作输出缓冲器 21。参见图 6,在 P 阵内(图中未示)设置 N 沟道 MOS 晶体管 T1 至 T6,以及 MOS 变容器 C1 和 C2。在 N 阵内(图中未示)设置 P

沟道 MOS 晶体管 T7 和 T8。

[0072] 第一 MOS 变容器 C1 具有成对的 N 型扩散区 FL113 和 FL114 以及设置在这些区域之间的由多晶硅形成的栅极。第二 MOS 变容器 C2 具有成对的 N 型扩散区 FL115 和 FL116 以及设置在这些区域之间的由多晶硅形成的栅极。N 型扩散区 FL113、N 型扩散区 FL114、N 型扩散区 FL115 和 N 型扩散区 FL116 通过接触孔 CT19、接触孔 CT21、接触孔 CT24、接触孔 CT22 和第一层金属线互相耦合并接收控制电压 v_c 。

[0073] 第一 N 沟道 MOS 晶体管 T1 具有成对的 N 型扩散区 FL101(漏极) 和 FL102(源极) 以及设置在这些区域之间的由多晶硅形成的栅极。第二 N 沟道 MOS 晶体管 T2 具有成对的 N 型扩散区 FL103(漏极) 和 FL102(源极) 以及设置在这些区域之间的由多晶硅形成的栅极。

[0074] 第三 N 沟道 MOS 晶体管 T3 具有成对的 N 型扩散区 FL104(漏极) 和 FL105(源极) 以及设置在这些区域之间的由多晶硅形成的栅极。第四 N 沟道 MOS 晶体管 T4 具有成对的 N 型扩散区 FL106(漏极) 和 FL105(源极) 以及设置在这些区域之间的由多晶硅形成的栅极。

[0075] 第五 N 沟道 MOS 晶体管 T5 具有成对的 N 型扩散区 FL107(漏极) 和 FL108(源极) 以及设置在这些区域之间的由多晶硅形成的栅极。第六 N 沟道 MOS 晶体管 T6 具有成对的 N 型扩散区 FL109(漏极) 和 FL108(源极) 以及设置在这些区域之间的由多晶硅形成的栅极。第一 P 沟道 MOS 晶体管 T7 具有成对的 P 型扩散区 FL110(漏极) 和 FL111(源极) 以及设置在这些区域之间的由多晶硅形成的栅极。第二 P 沟道 MOS 晶体管 T8 具有成对的 P 型扩散区 FL112(漏极) 和 FL111(源极) 以及设置在这些区域之间的由多晶硅形成的栅极。

[0076] 第五 N 沟道 MOS 晶体管 T5 和第一 P 沟道 MOS 晶体管 T7 形成 CMOS 反相器。第六 N 沟道 MOS 晶体管 T6 和第二 P 沟道晶体管 T8 形成 CMOS 反相器。

[0077] P 型扩散区 FL111 通过接触孔 CT17 和第一层金属线耦合至电源 VDD。N 型扩散区 FL108 通过接触孔 CT13 和第一层金属线耦合至接地电源 VSS。N 型扩散区 FL104 通过接触孔 CT6 和第一层金属线耦合至接地电源 VSS。N 型扩散区 FL106 通过接触孔 CT10 和第一层金属线耦合至接地电源 VSS。

[0078] P 型扩散区 FL110 通过接触孔 CT16 和第一层金属线耦合至通路孔 VA7。N 型扩散区 FL107 通过接触孔 CT11 和第一层金属线耦合至通路孔 VA7。通路孔 VA7 通过第二层金属线输出输出信号 v_{outp} 。P 型扩散区 FL112 通过接触孔 CT18 和第一层金属线耦合至通路孔 VA8。N 型扩散区 FL109 通过接触孔 CT15 和第一层金属线耦合至通路孔 VA8。通路孔 VA8 通过第二层金属线输出输出信号 v_{outn} 。

[0079] 第三 N 沟道 MOS 晶体管 T3 的多晶硅栅极通过接触孔 CT7 和第一层金属线接收偏置电压 v_{bias} 。第四 N 沟道 MOS 晶体管 T4 的多晶硅栅极通过接触孔 CT9 和第一层金属线接收偏置电压 v_{bias} 。

[0080] N 型扩散区 FL102 通过接触孔 CT3、第一层金属线、通路孔 VA2、第二层金属线、通路孔 VA4 和接触孔 CT8 耦合至 N 型扩散区 FL105。

[0081] 第一变容器 C1 的多晶硅栅极、第一 N 沟道 MOS 晶体管 T1 的多晶硅栅极、N 型扩散区 FL103、第五 N 沟道 MOS 晶体管 T5 的多晶硅栅极、第一 P 沟道 MOS 晶体管 T7 的多晶硅栅极通过接触孔 CT20、接触孔 CT2、接触孔 CT5、通路孔 VA1、通路孔 VA5、接触孔 CT12、第一层

金属线和第二层金属线互相耦合并且耦合至第一螺旋电感器 L1。

[0082] 第二变容器 C2 的多晶硅栅极、第二 N 沟道 MOS 晶体管 T2 的多晶硅栅极、N 型扩散区 FL101、第六 N 沟道 MOS 晶体管 T6 的多晶硅栅极、第二 P 沟道 MOS 晶体管 T8 的多晶硅栅极通过接触孔 CT23、接触孔 CT4、接触孔 CT1、通路孔 VA3、通路孔 VA6、接触孔 CT14、第一层金属线和第二层金属线互相耦合并且耦合至第二螺旋电感器 L2。

[0083] (版图(凸块))

[0084] 依据本发明实施例的半导体器件具有称为晶圆工艺封装 (WPP) 的结构。在 WPP 结构中, 使用 Cu 等从半导体芯片附近的 Al 焊盘电极开始在芯片上执行重布线, 电极在整个芯片区域之上延伸, 并且在这个电极上形成焊料凸块。

[0085] 图 7 示出了依据本发明实施例的半导体器件中凸块的布置。参见图 7, 多个凸块以交错的方式设置在半导体芯片的主表面(前表面)上。

[0086] 当垂直于半导体衬底观看时, 凸块 #1 至凸块 #4 设置在未重叠第一螺旋电感器 L1 和第二螺旋电感器 L2 的区域中。这使得可以阻止添加寄生组件。

[0087] 如上所述, 在依据本发明第一实施例的半导体器件中, 当垂直于半导体衬底观看时, 第一 MOS 变容器 C1、第二 MOS 变容器 C2、稳定电路 24 和输出缓冲器 21 设置在由直线 LN2、直线 LN3、直线 LN6 和直线 LN7 划界的区域中。因此, 耦合螺旋电感器 L1 和 L2、MOS 变容器 C1 和 C2、稳定电路 24 和输出缓冲器 21 的布线长度比相关领域中的布线要短, 从而使得可以降低向耦合这些部件的布线添加的寄生电感器和 / 或寄生电容。

[0088] 第一实施例的修改方式

[0089] 图 8 是当垂直于半导体衬底观看的依据第一实施例修改方式的输出缓冲器和 VCO 的视图。

[0090] 参见图 8, 当垂直于半导体衬底观看时, 第一 MOS 变容器 C1、第二 MOS 变容器 C2、稳定电路 24 和输出缓冲器 21 可以设置在位于直线 LN6 和直线 LN7 之间且位于第一螺旋电感器 L1 和第二螺旋电感器之间的区域中(该区域基于第一和第二螺旋电感器的形状可以不必是方形)。

[0091] 如上所述, 在依据本发明第一实施例修改方式的半导体器件中, 当垂直于半导体衬底观看时, 第一 MOS 变容器 C1、第二 MOS 变容器 C2、稳定电路 24 和输出缓冲器 21 设置在位于直线 LN6 和直线 LN7 之间且位于第一螺旋电感器 L1 和第二螺旋电感器 L2 之间的区域中。因此, 耦合螺旋电感器 L1 和 L2、MOS 变容器 C1 和 C2、稳定电路 24 和输出缓冲器 21 的布线的长度比相关领域中布线的长度要短, 从而使得可以减少向耦合这些部件的布线添加的寄生电感器和 / 或寄生电容。

[0092] 第二实施例

[0093] 图 9 是当垂直于半导体衬底观看的依据第二实施例的输出缓冲器和 VCO 的视图。

[0094] 参见图 9, 当垂直于半导体衬底观看时, 第一 MOS 变容器 C1、第二 MOS 变容器 C2、稳定电路 24 和输出缓冲器 21 设置在由直线 LN2、直线 LN3、直线 LN8 和直线 LN9 划界的区域中, 该区域也即顶点为点 E、点 F、点 G 和点 H 的方形区域。

[0095] 直线 LN2 是垂直于连接第一螺旋电感器 L1 的中点 O1 和第二螺旋电感器 L2 的中点的直线 LN1 的直线, 并且直线 LN2 通过第一螺旋电感器 L1 上的最为接近第二螺旋电感器 L2 的点 PT1。

[0096] 直线 LN3 是垂直于连接第一螺旋电感器 L1 的中点 01 和第二螺旋电感器 L2 的中点 02 的直线 LN1，并且直线 LN3 通过第二螺旋电感器 L2 上的最为接近第一螺旋电感器 L1 的点 PT2。

[0097] 直线 LN8 是连接点 PT7 和点 PT8 的直线。点 PT7 是第一螺旋电感器 L1 的外环边缘上的与直线 LN4 相交的一个点，直线 LN4 垂直于连接第一螺旋电感器 L1 的中点 01 和第二螺旋电感器 L2 的中点 02 的直线 LN1 并通过第一螺旋电感器 L1 的中点 01。点 PT8 是第二螺旋电感器 L2 的外环边缘上的与直线 LN5 相交的一个点，直线 LN5 垂直于连接第一螺旋电感器 L1 的中点 01 和第二螺旋电感器 L2 的中点 02 的直线 LN1 并通过第二螺旋电感器 L2 的中点 02。

[0098] 直线 LN9 是连接点 PT9 和点 PT10 的直线。点 PT9 是第一螺旋电感器 L1 的外环边缘上的与直线 LN4 相交的另一个点，直线 LN4 垂直于连接第一螺旋电感器 L1 的中点 01 和第二螺旋电感器 L2 的中点 02 的直线 LN1 并通过第一螺旋电感器 L1 的中点 01。点 PT10 是第二螺旋电感器 L2 的外环边缘上的与直线 LN5 相交的另一个点，直线 LN5 垂直于连接第一螺旋电感器 L1 的中点 01 和第二螺旋电感器 L2 的中点 02 的直线 LN1 并通过第二螺旋电感器 L2 的中点 02。

[0099] 如上所述，在依据本发明第二实施例的半导体器件中，当垂直于半导体衬底观看时，第一 MOS 变容器 C1、第二 MOS 变容器 C2、稳定电路 24 和输出缓冲器 21 设置在由直线 LN2、直线 LN3、直线 LN8 和直线 LN9 划界的区域中。因此，耦合螺旋电感器 L1 和 L2、MOS 变容器 C1 和 C2、稳定电路 24 和输出缓冲器 21 的布线长度比相关领域中布线长度要短，从而使得可以降低向耦合这些部件的布线添加的寄生电感器和 / 或寄生电容。

[0100] 第二实施例的修改方式

[0101] 图 10 是当垂直于半导体衬底观看的依据第二实施例修改方式的输出缓冲器和 VCO 的视图。

[0102] 参见图 10，当垂直于半导体衬底观看时，第一 MOS 变容器 C1、第二 MOS 变容器 C2、稳定电路 24 和输出缓冲器 21 可以设置在位于直线 LN8 和直线 LN9 之间并位于第一螺旋电感器 L1 和第二螺旋电感器之间的区域中。这个区域包括例如比图 9 中所示点 E 更为接近第一螺旋电感器 L1 的点。

[0103] 如上所述，在依据本发明第二实施例的修改方式的半导体器件中，当垂直于半导体衬底观看时，第一 MOS 变容器 C1、第二 MOS 变容器 C2、稳定电路 24、输出缓冲器 21 设置在位于直线 LN8 和直线 LN9 之间且位于第一螺旋电感器 L1 和第二螺旋电感器 L2 之间的区域中。因此，耦合螺旋电感器 L1 和 L2、MOS 变容器 C1 和 C2、稳定电路 24 和输出缓冲器 21 的布线的长度短于相关领域中的布线长度，从而使得可以降低向耦合这些部件的布线添加的寄生电感器和 / 或寄生电容。

[0104] 本发明不限于上述实施例，而是包括例如下面的修改。

[0105] 尽管在本发明的上述实施例中，通过 N 沟道 MOS 晶体管配置了差分 MOS 晶体管对和恒流源，但是本发明不限于此。还可以通过 P 沟道 MOS 晶体管来配置差分 MOS 晶体管对和恒流源。

[0106] 尽管通过两个 MOS 晶体管配置了恒流源，但是还可以通过单个晶体管来配置恒流源。

[0107] 此处公开的实施例在所有方面仅为示意性的，并不应当被限制性地解释。本发明的范围并非由上面的描述来限定，而是通过所附的权利要求书来限定，并且本发明的范围意于涵盖落入所附权利要求书范围内的所有这类等同方式和变化形式。

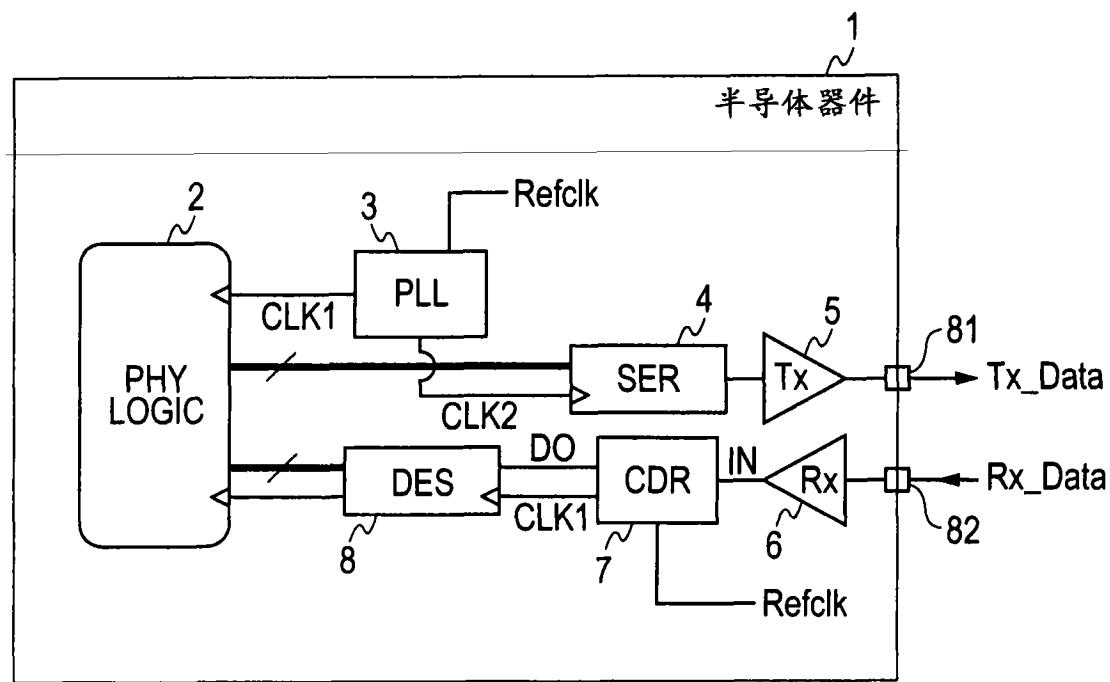


图 1

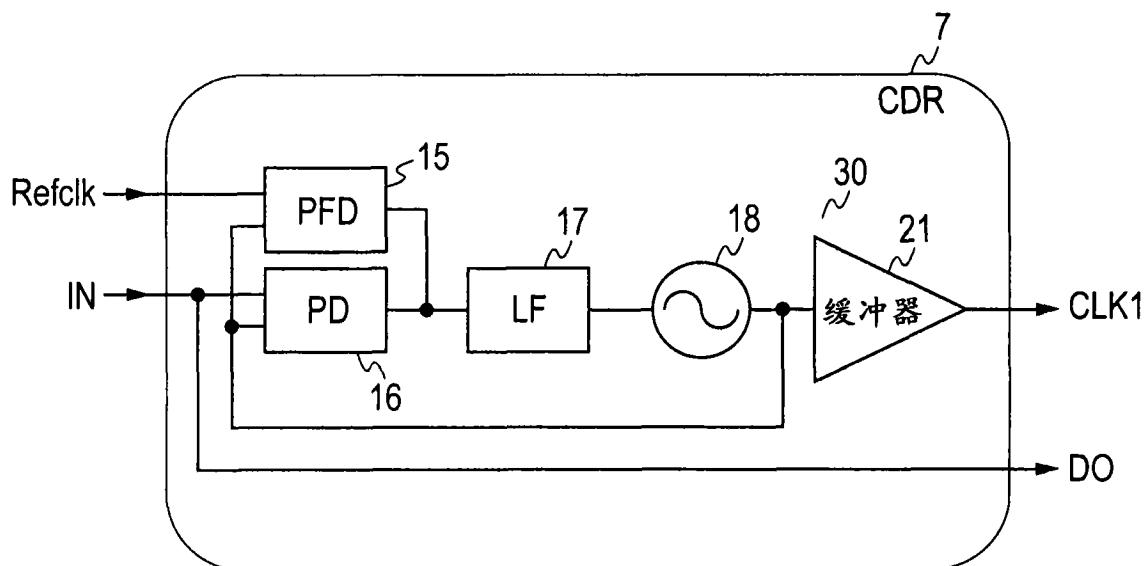


图 2

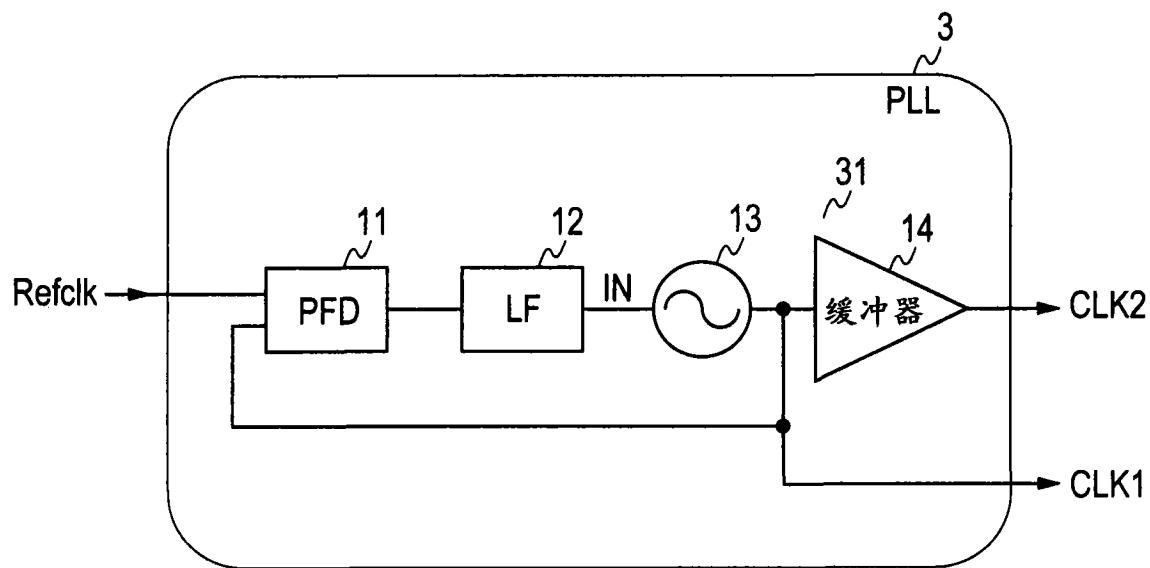


图 3

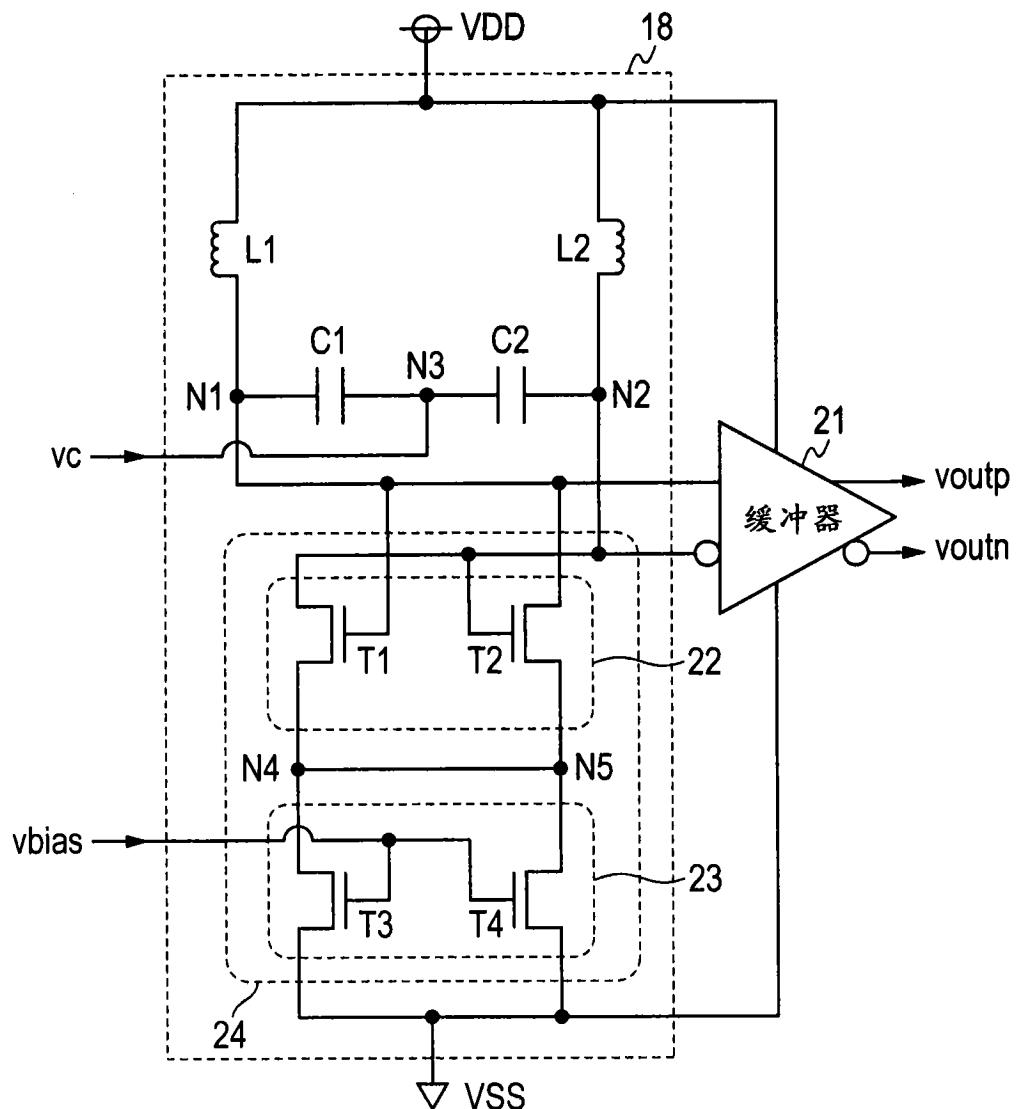
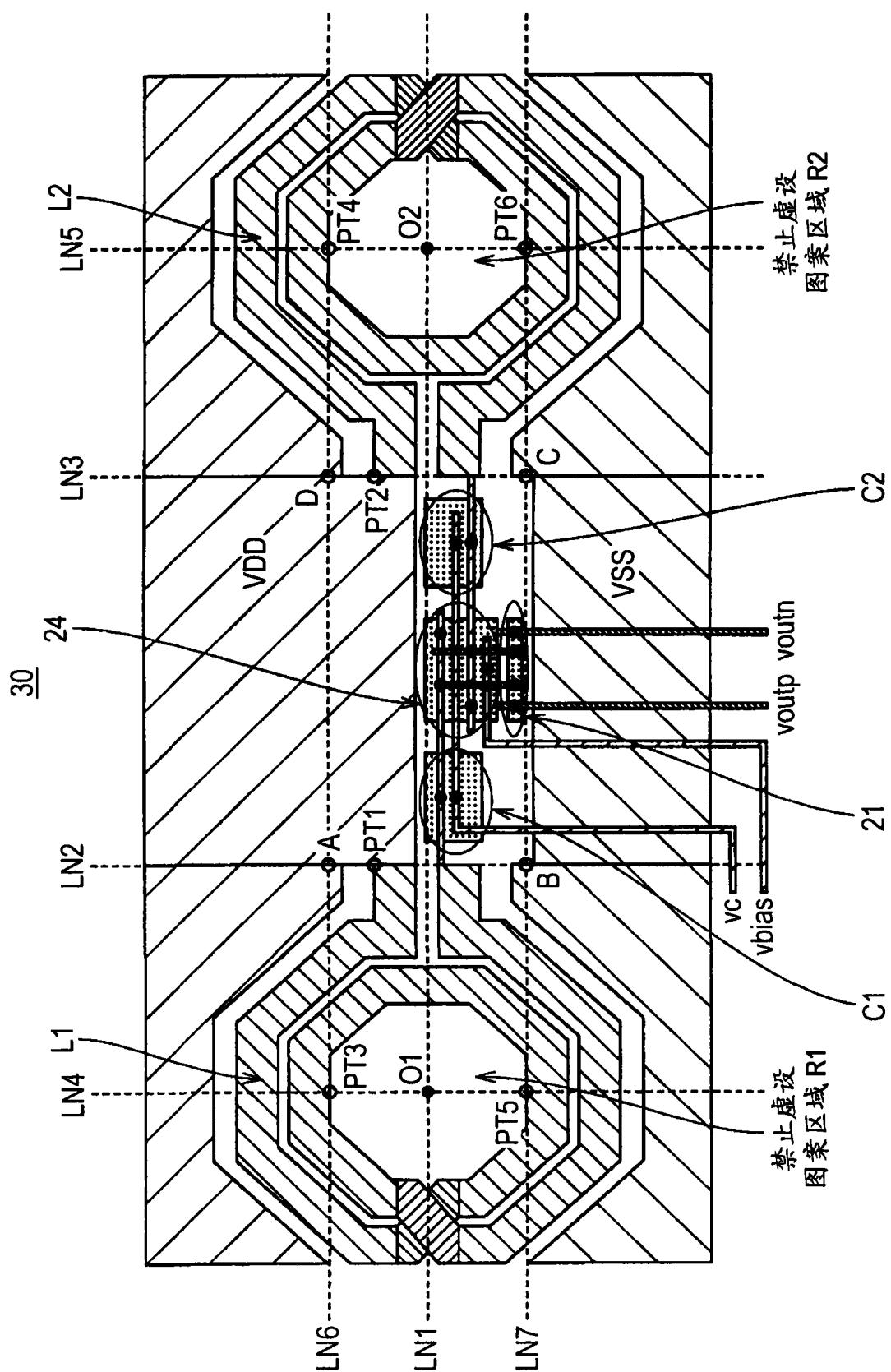


图 4



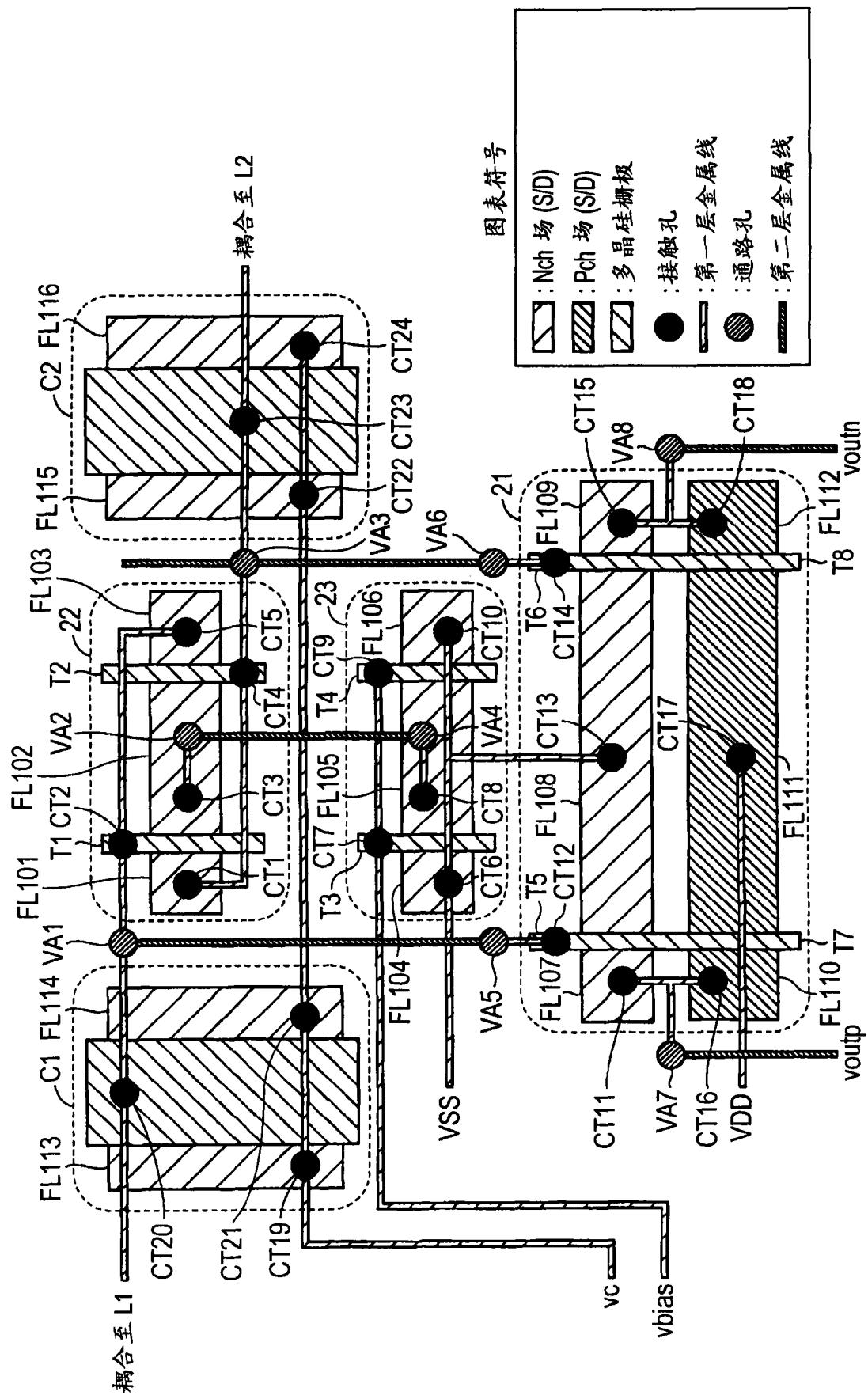


图 6

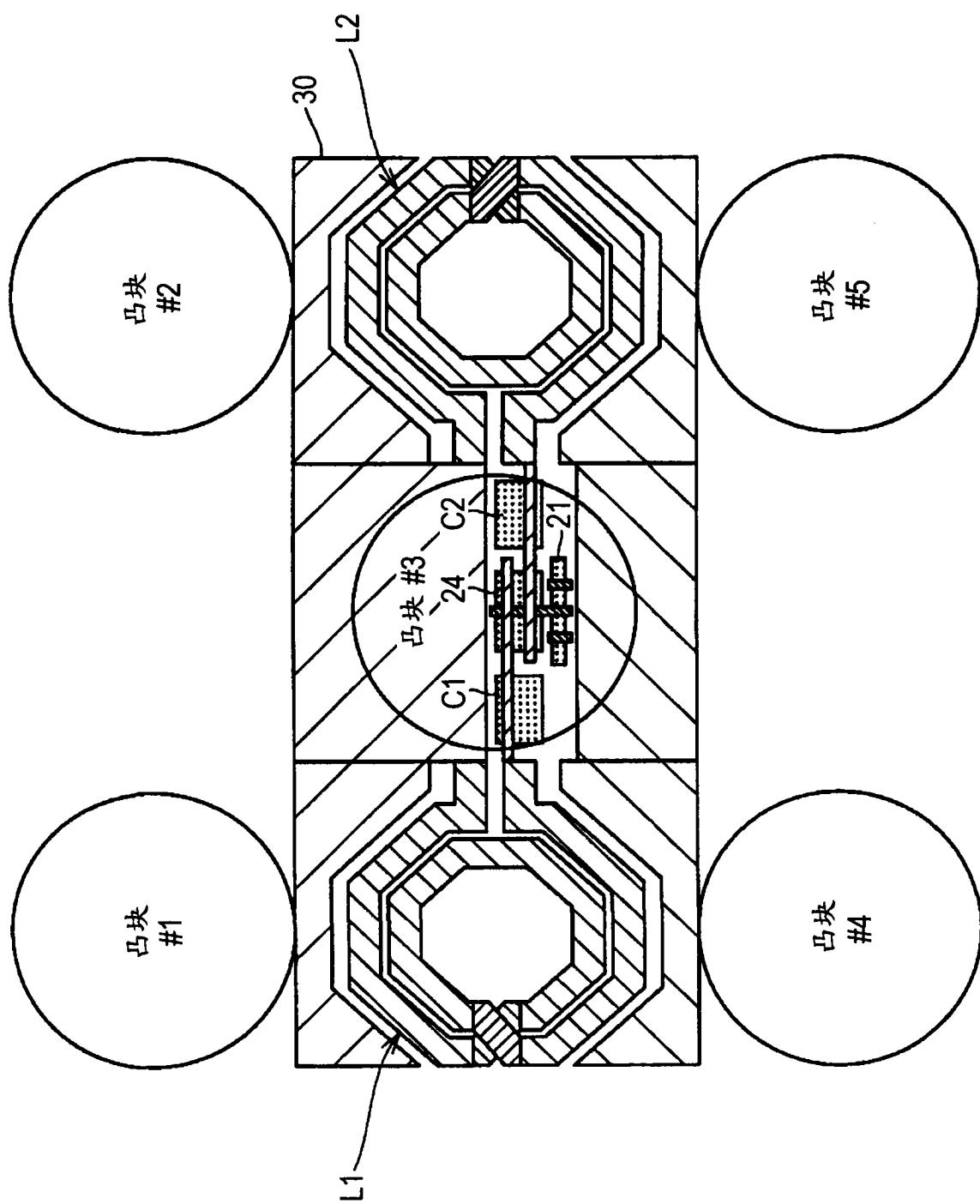


图 7

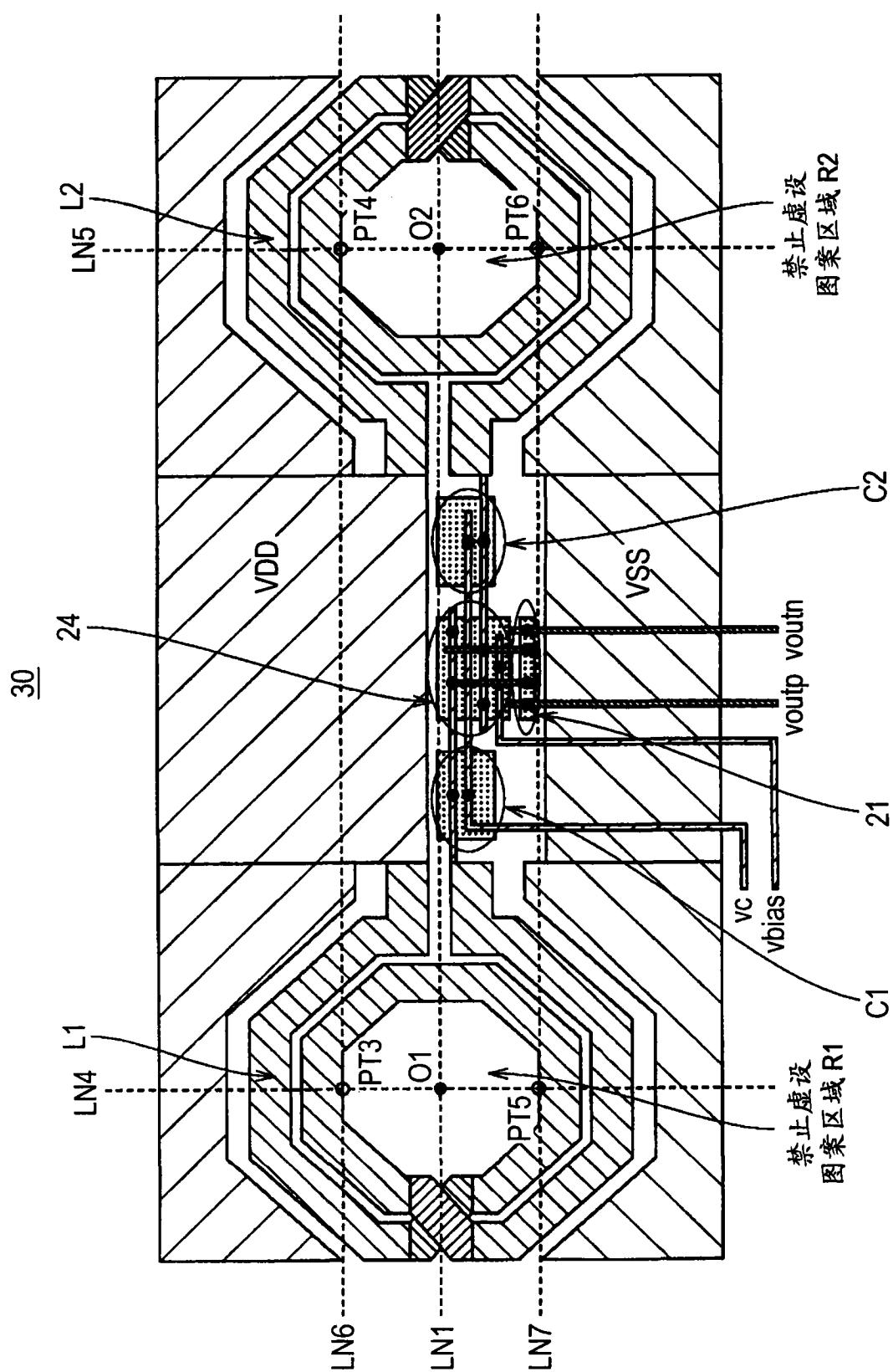


图 8

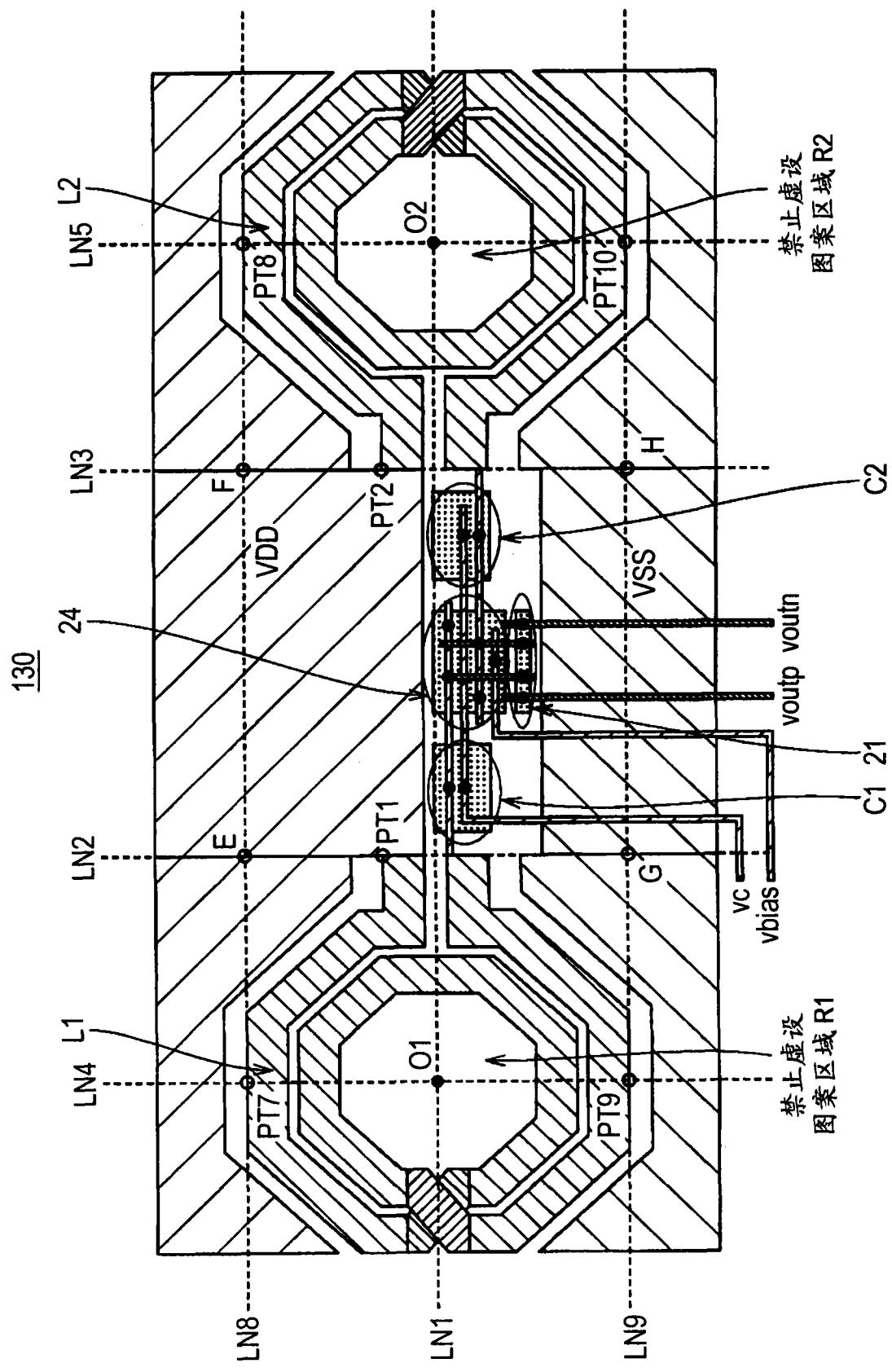


图 9

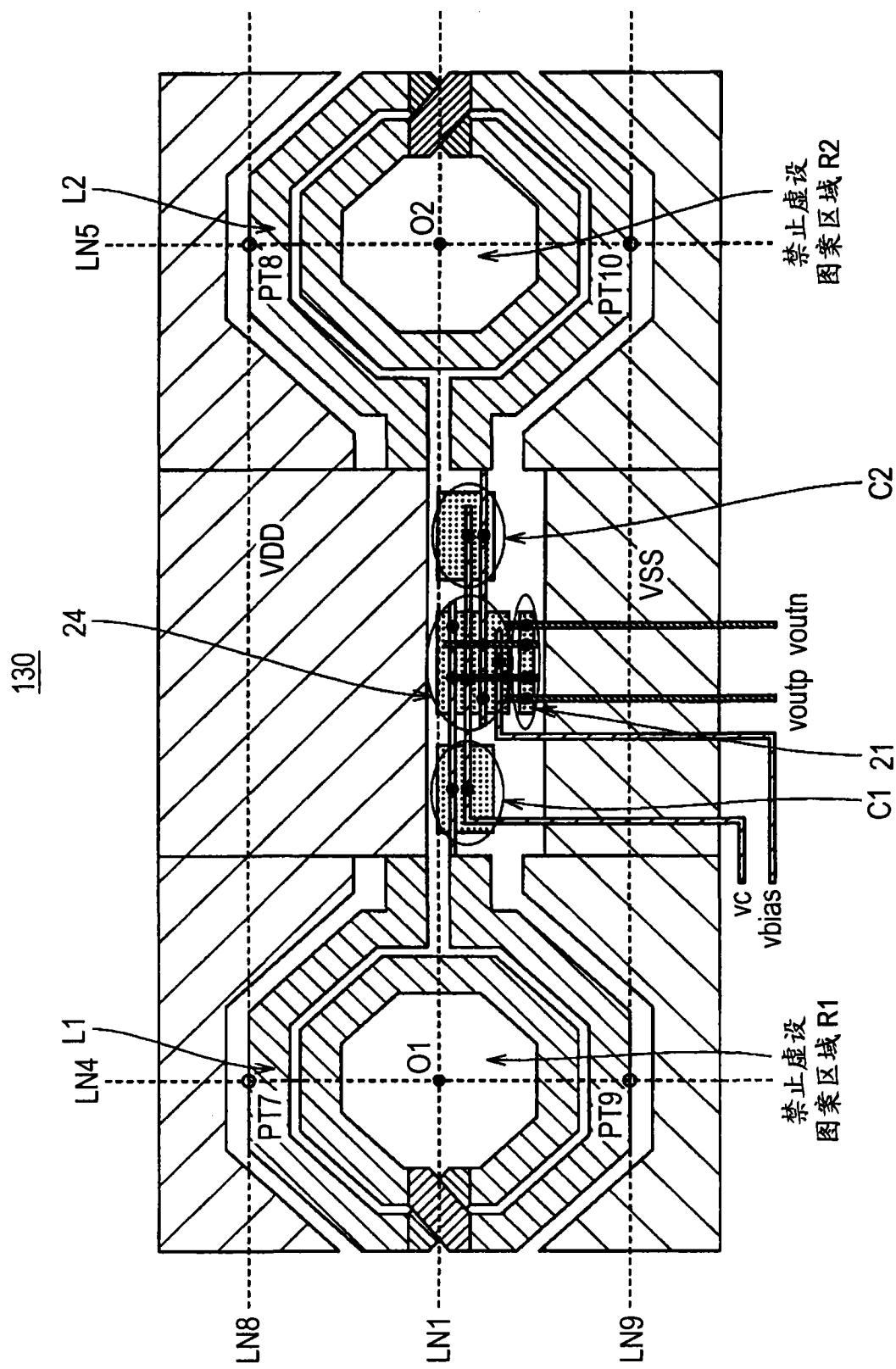


图 10