



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월06일
(11) 등록번호 10-1169920
(24) 등록일자 2012년07월25일

(51) 국제특허분류(Int. Cl.)

H01L 21/00 (2006.01)

(21) 출원번호 10-2007-7015260

(22) 출원일자(국제) 2005년11월30일

심사청구일자 2010년11월30일

(85) 번역문제출일자 2007년07월03일

(65) 공개번호 10-2007-0094616

(43) 공개일자 2007년09월20일

(86) 국제출원번호 PCT/US2005/043208

(87) 국제공개번호 WO 2006/073624

국제공개일자 2006년07월13일

(30) 우선권주장

11/028,811 2005년01월03일 미국(US)

(56) 선행기술조사문헌

KR100331523 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

프리스케일 세미컨덕터, 인크.

미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄
캐논 드라이브 웨스트 6501

(72) 발명자

딘, 분-예우

미국, 텍사스 78750, 오스틴, 락레븐 코브 10201

굴스비, 브라이언, 제이.

미국, 텍사스 78749, 오스틴, 폰차 패스 6830

(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 20 항

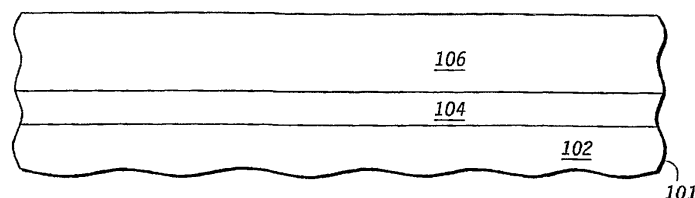
심사관 : 박문철

(54) 발명의 명칭 S O I 웨이퍼에 리세스된 소스/드레인 영역들을 포함한 반도체 제조 공정

(57) 요약

실리콘-온-인슐레이터(SOI) 웨이퍼(10)에 리세스된 소스/드레인들을 구비한 트랜지스터를 형성하는 방법은 웨이퍼의 활성층 내 분리 구조들(110)을 형성하는 단계를 포함하며, 분리 구조들은 바람직하게는 활성층을 통하여 웨이퍼의 BOX층(104)까지 확장한다. 활성층의 상부 부분은 제거되어 트랜지스터 채널 구조를 형성한다. 게이트 유전체(120)는 채널 구조(143, 145) 상에 형성되며, 게이트 구조(140)는 게이트 유전체 상에 형성된다. 게이트 유전체, 채널 구조 및 BOX층의 노출된 부분들을 통한 에칭이 수행되고, 이어서 소스/드레인 구조들(160)이 웨이퍼 벌크(102)의 노출된 부분들로부터 에피택셜 성장된다. 분리 구조 및 BOX층은 모두가 주로 산화 실리콘으로 구성되고, 분리 구조의 두께는 BOX층의 부분들이 에칭되는 것을 방지한다.

대표도 - 도1



(72) 발명자

엔구옌, 비치-옌

미국, 텍사스 78733, 오스틴, 로렐 드라이브 110

엔구옌, 디옌 티.

미국, 텍사스 78748, 오스틴, 군파이트 레인 11512

스테판스, 탭, 에이.

미국, 텍사스 78759, 오스틴, 앰버리 플레이스
6102

특허청구의 범위

청구항 1

반도체 제조 공정에 있어서:

실리콘-온-인슐레이터(Silicon-On-Insulator; SOI) 웨이퍼의 활성층(active layer)에 분리 구조들(isolation structures)을 형성하는 단계;

상기 분리 구조들을 제외하고 상기 활성층을 에칭함으로써 채널 구조를 형성하기 위해 상기 활성층을 씌닝(thinning)하는 단계;

상기 채널 구조 위에 놓이는 게이트 유전체를 형성하는 단계;

상기 게이트 유전체 위에 놓이는 게이트 구조를 형성하는 단계;

상기 게이트 구조를 마스크로서 이용하고, 상기 게이트 유전체 및 채널 구조의 노출된 부분들을 제거하여, 상기 SOI 웨이퍼의 매립 산화(buried oxide; BOX)층의 부분들을 노출시키는 단계;

상기 BOX층의 노출된 부분들을 통해서 상기 SOI 웨이퍼의 웨이퍼 벌크의 노출된 부분들까지 에칭하는 단계로서, 상기 BOX의 분리 부분들 위에 놓이는 상기 분리 구조들의 존재는 상기 BOX의 상기 분리 부분들이 상기 BOX층의 노출된 부분들의 에칭 동안 제거되는 것을 방지하는, 상기 에칭 단계; 및

상기 웨이퍼 벌크의 노출된 부분들로부터 반도체 소스/드레인 구조들을 에피택셜 성장시키는 단계로서, 이웃한 반도체 소스/드레인 구조들은 상기 BOX층의 상기 분리 부분들에 의해 서로 분리되는, 상기 에피택셜 성장 단계를 포함하는, 반도체 제조 공정.

청구항 2

제 1 항에 있어서, 상기 게이트 유전체 형성 단계는 산화 실리콘 게이트 유전체를 열적으로 형성하는 단계를 포함하는, 반도체 제조 공정.

청구항 3

제 1 항에 있어서, 상기 게이트 유전체 형성 단계는 고유전 상수(high dielectric constant) 게이트 유전체를 증착하는 단계를 포함하는, 반도체 제조 공정.

청구항 4

제 1 항에 있어서, 상기 게이트 구조 형성 단계는:

상기 게이트 유전체 위에 놓이는 도전층을 형성하고,

상기 도전층 위에 놓이는 반사 방지 코팅(Antireflective Coating; ARC)을 형성하고,

게이트 전극을 형성하도록 상기 도전층 및 상기 ARC를 패터닝함으로써 게이트 전극을 형성하는 단계를 포함하는, 반도체 제조 공정.

청구항 5

제 4 항에 있어서, 상기 ARC는 질화 실리콘을 포함하는, 반도체 제조 공정.

청구항 6

제 5 항에 있어서, 상기 도전층은 다결정성 실리콘을 포함하는, 반도체 제조 공정.

청구항 7

제 5 항에 있어서, 상기 도전층은 금속을 포함하는, 반도체 제조 공정.

청구항 8

제 4 항에 있어서, 상기 게이트 전극의 측벽들 상에 유전체 스페이서 구조들을 형성하는 단계를 더 포함하는,

반도체 제조 공정.

청구항 9

제 1 항에 있어서, 상기 반도체 소스/드레인 구조들을 에피택셜 성장시키는 단계는 실리콘 소스/드레인 구조들을 에피택셜 성장시키는 단계를 포함하는, 반도체 제조 공정.

청구항 10

제 1 항에 있어서, 상기 반도체 소스/드레인 구조들을 에피택셜 성장시키는 단계는 실리콘 게르마늄 소스/드레인 구조들을 에피택셜 성장시키는 단계를 포함하는, 반도체 제조 공정.

청구항 11

실리콘-온-인슐레이터(SOI) 웨이퍼의 매립 산화(BOX) 층을 패터닝하는 방법에 있어서:

상기 SOI 웨이퍼의 활성층에 유전체 분리 구조들을 형성하는 단계로서, 상기 유전체 분리 구조들은 상기 BOX층의 분리 부분들 위에 놓이는, 상기 유전체 분리 구조 형성 단계;

상기 분리 구조들을 제외하고 상기 활성층을 씨닝함으로써 상기 BOX층 위에 놓이는 트랜지스터 채널 구조를 형성하고 상기 채널 구조 위에 놓이는 게이트 유전체를 형성하는 단계;

상기 게이트 유전체 위에 놓이는 게이트 구조를 형성하는 단계;

상기 트랜지스터 채널 구조의 부분들을 통해서 게이트 유전체 및 상기 게이트 구조에 의해 마스크되지 않는 BOX층을 에칭하는 단계로서, 상기 에칭 동안 상기 분리 구조들의 존재는 상기 에칭이 상기 BOX층의 상기 분리 부분들을 제거하는 것을 방지하는, 상기 에칭 단계를 포함하는, 매립 산화층 패터닝 방법.

청구항 12

제 11 항에 있어서, 상기 유전체 분리 구조들의 두께는 상기 BOX층의 두께를 초과하는, 매립 산화층 패터닝 방법.

청구항 13

제 11 항에 있어서, 상기 트랜지스터 채널 구조 형성 단계는 상기 활성층을 에칭하는 단계를 포함하는, 매립 산화층 패터닝 방법.

청구항 14

제 11 항에 있어서, 상기 게이트 유전체는 열적으로 형성된 이산화 실리콘 및 고유전 상수 재료로 구성된 그룹에서 선택되는, 매립 산화층 패터닝 방법.

청구항 15

제 11 항에 있어서, 상기 게이트 구조 형성 단계는 도전층을 증착하는 단계, 상기 도전층 위에 놓이는 유전체 캡핑층(capping layer)을 증착하는 단계, 게이트 전극을 형성하기 위해 상기 도전층 및 상기 유전체 캡핑층을 에칭하는 단계, 및 상기 게이트 전극의 측벽들 상에 유전체 스페이서들을 형성하는 단계를 포함하는, 매립 산화층 패터닝 방법.

청구항 16

웨이퍼 벌크 위에 놓이는 매립 산화(BOX)층 위에 놓이는 활성층을 포함하는 실리콘-온-인슐레이터(SOI) 웨이퍼를 이용하여 리세스된 소스/드레인들(recessed source/drains)을 갖는 트랜지스터를 형성하는 방법에 있어서:

상기 SOI 웨이퍼의 상기 활성층에 분리 구조들을 형성하는 단계로서, 상기 분리 구조들은 상기 활성층을 통해 상기 BOX층으로 확장하는, 상기 분리 구조 형성 단계;

트랜지스터 채널 구조를 형성하기 위해 이웃한 분리 구조들 사이에 상기 활성층의 상부 부분을 제거하는 단계;

상기 채널 구조 상에 게이트 유전체를 형성하는 단계;

상기 게이트 유전체 상에 게이트 구조를 형성하는 단계;

상기 게이트 유전체의 부분들을 통해, 상기 게이트 구조 또는 상기 분리 구조들에 의해 마스크되지 않는 BOX층 및 채널 구조를 에칭하는 단계; 및

상기 에칭에 의해 노출된 상기 웨이퍼 벌크의 부분들로부터 소스/드레인 구조들을 에피택셜 성장시키는 단계를 포함하는, 트랜지스터 형성 방법.

청구항 17

제 16 항에 있어서, 상기 소스/드레인 구조들은 제 1 도전형을 갖고, 제 2 도전형의 불순물을 이용하여 상기 웨이퍼 벌크에 딥 주입(deep implant)을 수행하는 단계를 더 포함하고, 상기 제 1 도전형은 상기 제 2 도전형과는 반대인, 트랜지스터 형성 방법.

청구항 18

제 16 항에 있어서, 상기 활성층의 상부 부분 제거 단계는 상기 활성층을 에칭하는 단계를 포함하는, 트랜지스터 형성 방법.

청구항 19

제 16 항에 있어서, 상기 게이트 구조 형성 단계는, 게이트 전극을 형성하고, 상기 게이트 전극의 측벽들 상에 유전체 스페이서들을 형성하는 단계를 포함하는, 트랜지스터 형성 방법.

청구항 20

제 16 항에 있어서, 상기 분리 구조 및 상기 BOX층은 둘 다 산화 실리콘으로 구성되고, 상기 분리 구조의 두께는 상기 에칭 동안 상기 BOX층의 상기 분리 부분들이 에칭되는 것을 방지하는, 트랜지스터 형성 방법.

명세서

기술 분야

[0001] 본 발명은 반도체 제조 공정들의 분야에 관한 것이며, 보다 상세하게는 실리콘-온-인슐레이터 출발 물질(silicon-on-insulator starting material)을 사용하는 제조 공정들에 관한 것이다.

배경 기술

[0002] 반도체 제조 공정 분야에서, 실리콘-온-인슐레이터(SOI) 웨이퍼들은, 디바이스 성능을 저하시킬 수 있는 접합 용량(junction capacitance)을 감소시키는데 사용되었다. SOI 웨이퍼는 하지 산화층(underlying oxide layer) 상에 얇은 실리콘 상 층을 포함한다. 트랜지스터들은 얇은 상층에 형성되어 소스/드레인 영역들이 매우 얇아지게 된다. 얇은 소스/드레인 영역들은 접합 용량을 줄이는 것이 바람직하지만, 이들은 트랜지스터와 직렬의 외부 저항으로서 특징지어지는 바람직하지 못한 증가된 임피던스 효과를 나타낼 수 있다. 소스/드레인 구조들이 실질적으로 원 웨이퍼 표면 위에 형성되는 고양된(elevated) 소스/드레인 영역들은 이러한 후자의 문제를 해결하기 위해 사용되었다. 그러나, 고양된 소스/드레인 영역들은 트랜지스터 게이트와 중첩용량을 증가시켜 전류 밀집(crowding) 효과들을 야기할 수 있다. 그러므로, 고양된 소스/드레인 영역들의 부정적 효과들을 받지 않고 실질적으로 공정의 복잡성을 증가시키지 않고 상대적으로 두꺼운 소스/드레인 영역들과 조합하여 SOI 웨이퍼들의 이점들을 획득하는 것이 바람직할 것이다.

발명의 상세한 설명

[0003] 일반적으로, 본 발명은 리세스된 소스/드레인 구조들 및 SOI 출발 물질을 채용하는 반도체 제조 공정들을 고찰한다. 리세스된 소스/드레인은 SOI 매립 산화물(buried oxide; BOX)층의 부분의 제거를 요구한다. BOX층의 나머지 부분은 이웃한 디바이스 간에 분리를 제공한다. BOX층의 이러한 선택적 제거는 본 발명에 따라 전용의 포토 리소그래피(즉, 마스크) 단계를 요구하지 않는다.

실시예

[0017] 본 발명은 예로서 예시되고 본 발명은 동일 구성요소에 동일 참조부호를 사용한 첨부한 도면에 의해 한정되지

않는다.

- [0018] 당업자들은 도면들에 구성요소들이 단일성 및 명료성을 위해 예시되고 반드시 일정한 비율로 도시될 필요는 없음을 안다. 예를 들면, 도면들에서 일부 구성요소들의 치수들은 본 발명의 실시예들의 이해를 향상시키는데 도움을 주기 위해 다른 구성요소들에 비해 확대되어 있을 수 있다.
- [0019] 도면들을 참조하면, 도 1은 본 발명의 출발 물질로서 사용되는 SOI 웨이퍼(101)의 부분 단면도이다. 웨이퍼(101)는 웨이퍼 벌크(102), 벌크(102) 위에 놓인 BOX층(104), 및 활성층(106)(상층(106)이라고도 함)을 포함한다. 웨이퍼 벌크(102)는 바람직하게는 실리콘과 같은 반도체 물질이다. BOX층(104)은 바람직하게는 약 50nm의 두께를 가진 이산화 실리콘층이다. 활성층(106)은 바람직하게는 실리콘 또는 실리콘 게르마늄과 같은 반도체이다. 활성층(106)은 바람직하게는 에피택셜층이고 바람직하게는 대략 100nm의 두께를 갖는다.
- [0020] 도 2를 참조하면, 분리 구조들(isolation structure; 110)이 활성층(106) 내 형성된다. 분리 구조들의 도시된 실시예는 산화 실리콘과 같은 적합한 유전체로 형성된 얇은 트랜지 분리 구조들이다. 바람직한 실시예에서, 분리 구조들(110)은 BOX층(104)과 접촉하기 위해 전체적으로 활성층(106)을 통해 확장한다. 분리 구조들(110)은 BOX층(104)의 다른 부분들이 리세스된 소스/드레인 형성공정의 일부로서 에칭될 때 BOX층(104)의 하지 부분들을 마스크링 또는 보호한다. 분리 구조들(110) 및 BOX층(104)이 동일 물질(예를 들면, 산화 실리콘)인 실시예들에서, 분리 구조들(110)과 BOX층(104)의 에칭 비율들은 대략적으로 비슷하다. 이러한 실시예들에서, 분리 구조들(110)의 두께가 BOX층(104)의 하지 부분들을 확실히 보호할 만큼 충분하도록, 분리 구조들(110)의 두께는 바람직하게는 상당한 마진만큼 BOX층(104)의 두께를 초과하는 것이 바람직하다. 바람직한 실시예에서, 분리 구조들(110)은 BOX층(104) 두께에 적어도 2배이다.
- [0021] 도 3을 참조하면, 트랜지스터 채널 구조(107)는 한 쌍의 분리 구조들(110) 사이에 BOX층(104) 위에 형성된다. 도시된 실시예에서, 트랜지스터 채널 구조(107)는 대부분의 상층(106)을 에칭하거나 제거함으로써 상층(106)으로부터 형성된다. 트랜지스터 채널 구조(107)를 형성하는데 사용되는 에칭 공정은 바람직하게는 트랜지스터 채널 구조(107)가 형성된 후에 대부분의 분리 구조들(110)이 잔류하도록 분리 구조들(110)에 매우 선택적인 것이 바람직하다. 일 실시예에서, 도 3에 도시한 바와 같은 트랜지스터 채널 구조(107)는 대략 50nm의 두께를 갖는다.
- [0022] 도 4를 참조하면, 희생막(112)이 트랜지스터 채널 구조(107) 위에 형성된다. 트랜지스터 채널 구조(107)가 실리콘인 실시예에서, 희생막(112)은 바람직하게는 열적으로 형성된 이산화 실리콘이다. 이 실시예에서, 희생막은 형성시 트랜지스터 채널 구조(107)의 부분을 소모함을 알 것이다. 희생막(112)은 반도체 제조 공정 분야에서 공지된 바와 같이 트랜지스터 채널 구조(107)의 상부면에 결정 구조에 결함을 소모하는 이점이 있다.
- [0023] 도 5를 참조하면, 희생막(112)이 제거된다. 희생막(112)이 산화 실리콘인 실시예에서, 막의 제거는 HF 용액에 웨이퍼(101)를 담그는 것과 같은 습식 에칭 공정을 사용하여 달성될 수 있다. 이 실시예에서, 분리 구조들(110)의 부분들이 희생막 제거 동안 제거되어 결과적인 트랜지스터 채널 구조(107)는 이의 양끝에서 분리 구조들(110)과 더 이상 접촉하지 않음을 알 것이다.
- [0024] 도 6을 참조하면, 게이트 유전체(120)가 트랜지스터 채널 구조(107) 상에 형성된다. 일 실시예에서, 게이트 유전체(120)는 대략 30nm 미만의 두께를 갖는 열적으로 형성된 산화 실리콘(예를 들면, 이산화 실리콘)이다. 또 다른 실시예에서, 게이트 유전체(120)는 본 개시의 목적상 이산화 실리콘의 유전 상수(대략 3.9)보다 큰 유전 상수를 갖는 임의의 유전체인 고유전 상수의 유전체이다. 적합한 고유전 상수의 유전체 후보들은 HfO_2 와 같은 산화 금속 화합물들을 포함한다. 고유전 상수 실시예에서, 게이트 유전체(120)의 유효 산화물 두께(EOT)는 대략 30nm 미만인 것이 바람직하다. 도 6에 도시된 실시예와 같은 일부 실시예들에서, 게이트 유전체(120)는 트랜지스터 채널 구조(107)의 측벽들 위 및 이들을 따라, 트랜지스터 채널 구조(107)의 모든 노출된 표면들 상에 형성된다.
- [0025] 도 7을 참조하면, 도전층(130)이 게이트 유전체(120) 상에 형성되고 캡핑층(135)이 도전층(130) 상에 형성된다. 일 실시예에 따라, 도전층(130)은 실란의 열분해와 같은 통상의 방법으로 형성된 다결정성 실리콘이다. 이 실시예에서, 도전층(130)은 인 시투로 또는 공지의 공정들에 따른 후속되는 이온 주입 공정으로 고농도로 도핑될 수 있다. 다른 실시예들에서, 도전층(130)은 티탄, 텅스텐, 탄탈 및 합금들과 같은 금속물질, 및 이들의 화합물들로서 이를테면 질화 티탄, 실리콘 탄탈, 실리콘 질화 탄탈로 구성될 수 있다.
- [0026] 일 실시예에서, 캡핑층(135)은 하지 도전층(130)을 보호하고 도전층(130) 상에 반사 방지 코팅(ARC)층을 보호하는 작용을 한다(캡핑층(135)은 ARC층(135)이라고도 칭한다). ARC층들은 후속하여 증착되는 포토레지스트(도시

생략)가 방사에 노출될 때 발생하는 정재파 패턴들을 감소시킨다. 도전층(130)을 보호하고 ARC층을 제공하는데 적합한 일 실시예에서, 캡핑층(135)은 바람직하게는 대략 10 내지 25nm의 두께를 갖는 질화실리콘막이다.

[0027] 도 8을 참조하면, 도전층(130) 및 캡핑층(135)은 게이트 전극(140)을 형성하게 패터닝된다. 도전층(130) 및 캡핑층(135)의 패터닝은 종래의 포토리소그래피 및 에칭 공정을 사용하여 달성된다. 게이트 전극(140)의 측벽들은 제 1 채널 영역의 경계, 또는 게이트 전극(140) 밑의 트랜지스터 채널 구조(107) 내 작성된 채널 영역(143)의 경계를 정의한다. 작성된 채널 영역(143)의 측방향 치수(길이)는 바람직하게는 200nm 미만이다.

[0028] 도 9를 참조하면, 스페이서 구조들(150)이 게이트 전극(140)의 측벽들 상에 형성된다. 스페이서 구조들(150)의 형성은 웨이퍼(101) 위에 놓이는 콘포멀(conformal) 막을 증착하고 이어서 공지된 바와 같이 이방성 에칭에 의해 달성된다. 게이트 전극(140)과 측벽 스페이서들(150)의 조합을 여기에서는 게이트 전극 구조(155), 또는 간단하게 게이트 구조(155)라 칭한다. 게이트 구조(155)의 측면의 경계들은 작성된 채널 영역(143)보다 약간 넓은 제 2 또는 유효 채널 영역(145)을 정의한다. 유효 채널 영역(145)은 후속하여 형성될 소스/드레인 구조들의 경계들을 정의한다. 게이트 구조(155)의 형성은 게이트 유전체(120)의 부분들과, 유효 채널 영역(145)에 외부에 트랜지스터 채널 구조(107)를 노출시킨다. 일부 실시예들에서, 어떤 형태의 이온주입이 스페이서들(150)을 형성하기 전에 수행될 수도 있다. 이러한 주입들은 반도체 제조 공정들에서 당업자들이 아는 바와 같이 확장 주입들(extension implants), 할로 주입들(halo implants), 등을 포함할 수도 있을 것이다.

[0029] 도 10을 참조하면, 게이트 유전체(120) 및 채널 트랜지스터 채널 구조(107)의 노출된 부분들(즉, 게이트 유전체(120)의 부분과, 게이트 전극(140) 또는 스페이서들(150) 밑에 있지 않은 트랜지스터 채널 구조(107)의 부분)이 제거된다. 게이트 유전체(120)의 노출된 부분과 트랜지스터 채널 구조(107)의 노출된 부분의 제거는 게이트 구조(155) 밑에 없는 BOX층(104)의 부분들을 노출시킨다(당업자는 제거시 게이트 유전체(120) 및 트랜지스터 채널 구조(107)가 일부 언더컷 됨을 안다). 종래의 불소 또는 염소 기반의, 플라즈마 이용 건식 에칭 공정이 도 10에 도시된 에칭을 수행하기 위해 사용된다. 도 10과 도 9의 비교는 도 10의 에칭 공정이 분리 구조들(100)을 침식함을 드러낸다. 바람직한 실시예에서, 분리 구조들의 남은 부분의 두께는 BOX층(104)의 두께보다 크므로 분리 구조들(110)은 BOX층(104)의 후속되는 에칭 동안에 분리 구조들(110) 밑의 BOX층(104)의 부분에 대한 효과적인 마스크를 제공할 것이다. 도 10은 BOX층(104)의 분리 부분들(105)을 도시한다. BOX층(104)의 분리 부분들은 분리 구조들(110) 밑의 BOX층(105)의 부분들을 포함한다. 분리 부분들(105)은 후속되는 유전체 에칭(후술함) 후 잔류할 BOX층(104)의 부분들을 나타낸다. 분리 부분들(105)의 측방향 치수들은 새도우 효과들에 기인하여 분리 구조들(110)의 측방향 치수들보다 다소 클 수 있다.

[0030] 도 11을 참조하면, BOX층(104)의 노출된 부분들은 웨이퍼 벌크(102)의 하지 부분들을 노출하기 위해 에칭된다. 도 10에 도시된 에칭 동안 분리 구조들(110)의 잔류 부분들의 존재는 에칭으로부터 BOX층(104)의 분리 부분들(105)을 보호한다. BOX층(104)의 노출된 부분들의 에칭에 이어, 분리 구조들(110)이 제거되나, BOX층(104)의 분리 부분들은 잔류한다. BOX층(104)의 분리 부분들(105)은 후속하여 형성될 이웃한 소스/드레인 구조들에 대한 물리적 및 전기적 분리를 제공할 것이다. BOX층(104)의 분리 부분들(105)을 보호하기 위해 분리 구조들(110)을 사용함으로써, 기술한 가공은 제어할 BOX층(104)의 영역들을 정의하기 위해 포토리소그래피 공정을 요구하지 않는 BOX층을 패터닝하는 방법을 제공한다. 분리 유전체(110)의 형성이 마스킹 단계를 요구하나, 이 마스킹 단계는 게이트 전극들(140)의 형성에 앞서 수행되고, 따라서 이의 정렬 요건들 면에서 훨씬 덜 요구하고 있다. 트랜지스터 게이트 및 소스/드레인 영역들의 정의 후에 형성되는 마스크들은 트랜지스터 영역들의 의도되지 않은 에칭을 방지하기 위해 정밀하게 정렬되어야 한다. 이러한 정렬 문제는 예를 들면 메모리 어레이들에서 전형인 밀접하게 이격되는 설계들에서 특히 중요할 수 있다.

[0031] 게이트 유전체(120) 및 트랜지스터 채널 구조(107)의 노출된 부분들의 에칭이 BOX층(104)의 노출된 부분들의 에칭과는 구별되는 가공단계로서 도시되었을지라도, 이들 에칭 공정들은 에칭 공정이 게이트 유전체(120)를 제거하는 제 1 단계, 트랜지스터 채널 구조(107)를 에칭하는 제 2 단계, 및 BOX층(104)을 제거하는 제 3 단계와 같이 복수의 단계들을 가질 수 있는 단일 에칭 공정으로 조합될 수 있다.

[0032] 도 12를 참조하면, 리세스된 소스/드레인 구조의 형성에 예비의 클리닝 단계가 수행된다. 바람직한 실시예에서, 클리닝 단계는 웨이퍼 벌크(102)의 상부면 상의 임의의 잔류 산화물을 제거하기 위해 HF 딥핑을 포함한다. HF 딥핑은 BOX층의 분리 부분들(105)의 작은 부분을 제거하는 것으로서 보여졌다.

[0033] 도 13을 참조하면, 리세스된 소스/드레인 구조들(160)이 형성된다. 리세스된 소스/드레인 구조들(160)은 바람직하게는 종자로서 웨이퍼 벌크(102)를 사용하여 열적으로 형성되는(성장되는) 에피택셜 구조들이다. 리세스된 소스/드레인 구조들은 구조들의 상당 부분이 원 BOX층(104)의 상부면 밑에 수직으로 변위(리세스)되어 있기 때문

에, 그와 같이 명명되었다. 소스/드레인 구조들을 리세스시키는 것은 전류 밀집과, 일부 SOI 기술들에서 사용되는 고양된 소스/드레인 구조들에 연관된 중첩용량을 감소시켜 잇점이 있다.

[0034] 리세스된 소스/드레인 구조들(160)은 일 실시예에서 실리콘 구조들이다. PMOS 트랜지스터들의 형성에서 사용에 적합한 또 다른 실시예에서, 리세스된 소스/드레인 구조들(160)은 실리콘 게르마늄, 실리콘 카바이드, 실리콘 게르마늄 카본, 인 시투로 도핑된 실리콘 게르마늄, 또는 또 다른 적합한 반도체 물질이다. 리세스된 소스/드레인 구조들(160)과 이들의 하지 웨이퍼 벌크(102) 간의 분리는 하나 이상의 딥(deep) 주입들을 사용하여 달성될 수 있다. 이 실시예에서, 딥 주입은 소스/드레인 구조들(160)의 도전형과는 반대인 웨이퍼 벌크(102)의 도전형을 만들 것이다. 일부 구현들에서, 웨이퍼의 PMOS 영역들에 대해 이러한 접합 분리를 달성하기 위해 제 1 딥 주입과 웨이퍼의 NMOS 영역을 위한 접합 분리를 달성하기 위해 제 2 딥 주입을 사용하는 것이 바람직할 수 있다. 다른 실시예들에서, 웨이퍼 벌크(102)의 비교적 높은 저항은 유효 전기적 분리를 달성하기에 충분할 수 있다. 여하튼, 리세스된 소스/드레인 구조들(160)의 형성으로 웨이퍼(101)에 형성된 다른 이러한 트랜지스터에 적합히 연결될 때 집적회로를 만드는 트랜지스터(100)를 형성하게 된다.

[0035] 전술한 명세서에서, 발명은 특정의 실시예들을 참조하여 기술되었다. 그러나, 당업자는 이하 청구항들에 개시된 본 발명의 범위 내에서 다양한 수정들 및 변경들이 행해질 수 있음을 안다. 예를 들면, 웨이퍼 벌크(102)가 실리콘을 포함하는 것으로서 기술되었을지라도, 갈륨비소 및 실리콘 게르마늄을 포함하는 다른 반도체 물질들이 벌크에 사용될 수도 있을 것이다. 유사하게, 활성층(106)은 실리콘에 대한 대안으로서, 실리콘 게르마늄 등을 포함할 수도 있다. 스페이서 구조들(150)은 질화실리콘으로서 기술되었을지라도 질화실리콘과 게이트 전극 사이에 얇은 산화층과 같은 추가의 물질들을 포함할 수도 있을 것이다. 따라서, 명세서 및 도면들은 제한적인 의미가 아니라 예시하는 것으로 간주되어야 하며 모든 이러한 수정예들은 본 발명의 범위 내에 포함된다.

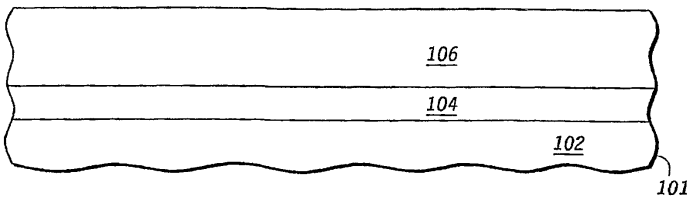
[0036] 이익들, 다른 이점들, 및 문제들에 대한 해결책들이 특정의 실시예들에 관하여 위에 기술되었다. 그러나, 이익들, 이점들, 및 문제들에 대한 해결책, 및 어떤 이익, 이점 또는 해결책이 일어나게 하거나 보다 명료해지게 할 수 있는 어떠한 요소(들)이든, 임의의 또는 모든 청구항들의 결정적이거나, 요구되는, 또는 필수적 특징 또는 요소로서 파악되지 않는다. 여기에서 사용되는, "포함하다"라는 용어는 비배타적 포함을 포괄하는 것으로, 따라서 열거된 요소들을 포함하는 공정, 방법, 물품 또는 장치는 이들 요소들만을 포함하는 것이 아니라 명시적으로 열거되지 않은 또는 이러한 공정, 방법, 물품, 또는 장치에 본질적인 다른 요소들을 포함할 수 있다.

도면의 간단한 설명

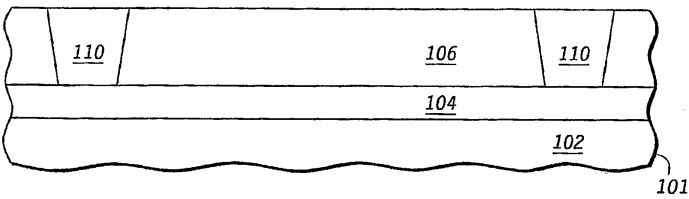
- [0004] 도 1은 실리콘-온-인슐레이터 웨이퍼의 부분 단면도.
- [0005] 도 2는 SOI 웨이퍼의 활성층에 분리 구조들이 형성된 본 발명의 실시예에 따른 도 1의 웨이퍼 상에 수행된 제조 공정을 도시한 도면.
- [0006] 도 3은 활성층으로부터 트랜지스터 채널 구조가 형성되는 도 2에 이은 공정을 도시한 도면.
- [0007] 도 4는 트랜지스터 채널 구조 상에 희생 산화물이 형성되는 도 3에 이은 공정을 도시한 도면.
- [0008] 도 5는 희생 산화물이 제거되는 도 4에 이은 공정을 도시한 도면.
- [0009] 도 6은 트랜지스터 채널 구조 상에 게이트 유전체가 형성되는 도 5에 이은 공정을 도시한 도면.
- [0010] 도 7은 게이트 유전체 상에 도전층 및 캡핑층이 형성되는 도 6에 이은 공정을 도시한 도면.
- [0011] 도 8은 도전층 및 캡핑층이 에칭되어 게이트 전극을 형성하는 도 7에 이은 공정을 도시한 도면.
- [0012] 도 9는 스페이서들이 게이트 전극 측벽들 상에 형성되는 도 8에 이은 공정을 도시한 도면.
- [0013] 도 10은 게이트 유전체 및 트랜지스터 채널의 노출된 부분들이 에칭되는 도 9에 이은 공정을 도시한 도면.
- [0014] 도 11은 매립 산화물층의 노출된 부분들이 제거되는 도 10에 이은 공정을 도시한 도면.
- [0015] 도 12는 웨이퍼 벌크 및 트랜지스터 채널의 노출된 부분들을 세정하기 위해 HF 딥이 수행되는 도 11에 이은 공정을 도시한 도면.
- [0016] 도 13은 에피택셜 성장 공정을 사용하여 리세스된 소스/드레인 구조들이 형성되는 도 12에 이은 공정을 도시한 도면.

도면

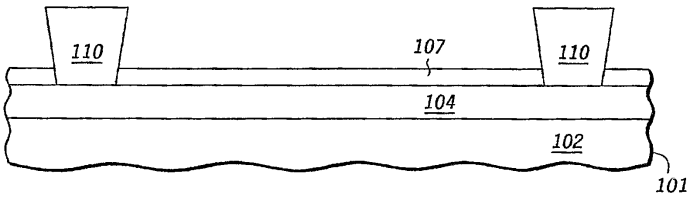
도면1



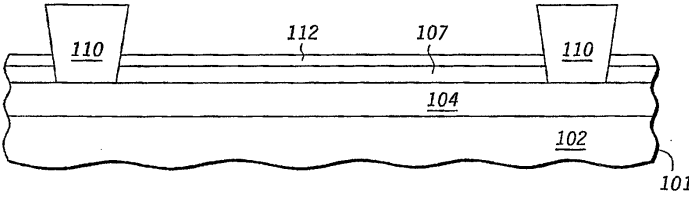
도면2



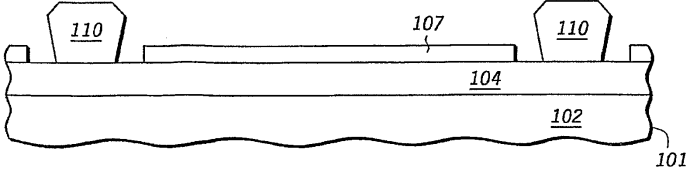
도면3



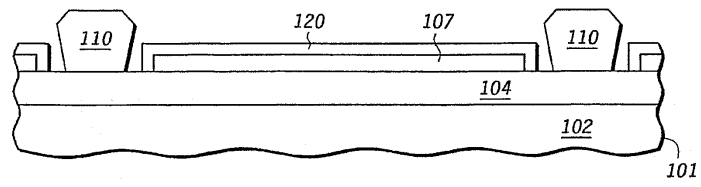
도면4



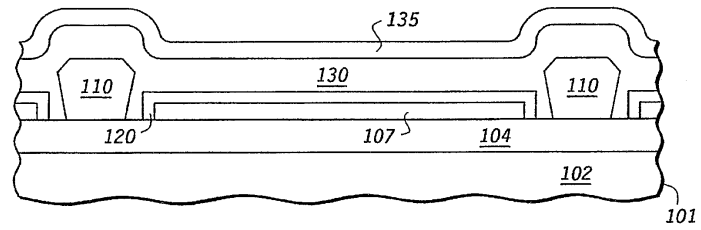
도면5



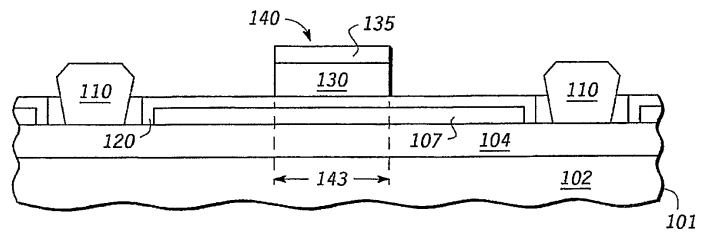
도면6



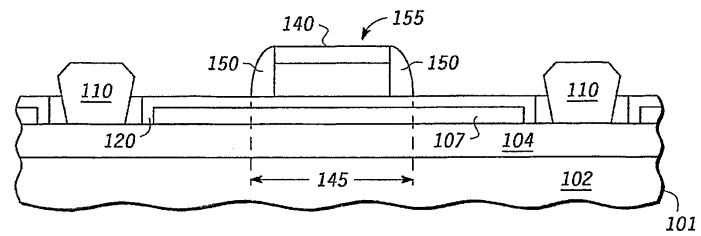
도면7



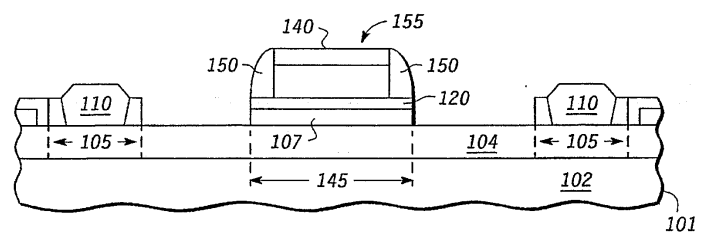
도면8



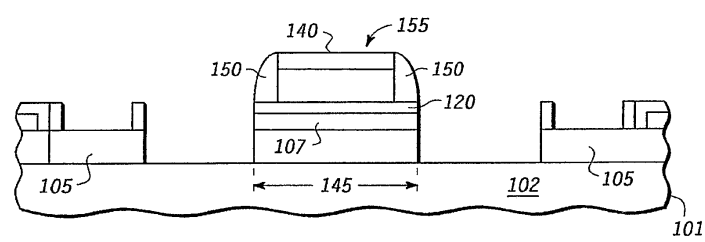
도면9



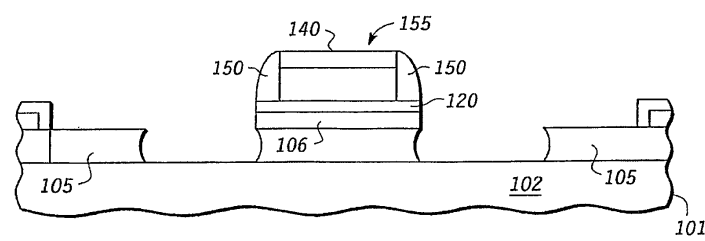
도면10



도면11



도면12



도면13

