

公告本

申請日期	90.12.13
案號	90130907
類別	H03M 9/00

A4
C4

530466

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	半導體裝置
	英文	SEMICONDUCTOR DEVICE
二、發明人	姓名	內田敏也
	國籍	日本
	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓名 (名稱)	日商·富士通股份有限公司
	國籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代表人姓名	秋草直之

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期：2001,02,16 案號：特願2001-039299，有 無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關一種半導體裝置，特別係有關一種與時鐘信號同步地輸入指令之半導體裝置。

【習知技藝】

半導體裝置中，具有多次分割並讀入指令之構造。

第13圖係例示習知之半導體裝置之一例之圖。

該圖中，輸入電路1係由輸入放大器1a構成，且，將業已輸入之指令與基準電壓Vref作一比較並進行波形整形(Waveform Shaping)後，再將之輸出。

時鐘緩衝器(Clock Buffer)2於進行業已輸入之時鐘信號之波形整形與信號位準(Signal Level)之調整後，再將之輸出。

1st門鎖3於由輸入電路1供給之指令為1st指令時，將之門鎖並作為1st指令輸出。

2nd門鎖4於由輸入電路1供給之指令為2nd指令時，將之門鎖並作為2nd指令輸出。

第14圖係說明第13圖所示之習知電路之動作的時間圖(Timing Chart)。

若於電路輸入電源，則於第14圖(A)所示之第0個時鐘之上升邊緣中重設1st門鎖3，並為監視業已輸入之指令之狀態。

接著，於第1個時鐘信號之上升邊緣部分中，若輸入(B)所示之1st指令，則輸入電路1於對該指令進行波形整形後，將之分別供給於1st門鎖3及2nd門鎖4。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

1st門鎖3判斷所供給之指令是否為1st指令，且，是否為正常，當滿足該等條件時，如第14圖(D)所示，令輸出於2nd門鎖4之enable(賦能)#2信號為活性(Active State)“H”)之狀態。

2nd門鎖4接收enable#2信號為活性之訊息，並於第2個上升邊緣中取得所供給之2nd指令。且，2nd門鎖4判斷所供給之指令是否為2nd指令，且，是否為正常，當滿足該等條件時，如第14圖(C)所示，令輸出於1st門鎖3之enable#1信號為活性之狀態。

於第4個時鐘信號之上升邊緣輸入1st指令，1st門鎖3則藉由進行與前述相同之動作輸入1st指令並進行處理。

藉由反覆進行前述動作而分離1st指令與2nd指令，並將之供給於後段電路。

第15圖係用以說明前述動作之概略之圖。如該圖所示，經由輸入電路1而輸入之指令將供給於1st門鎖3及2nd門鎖4雙方。1st門鎖3於所供給之指令為1st指令且正常時，除取得該指令並將之輸出外，並使enable#2信號為活性之狀態。另一方面，2nd門鎖4於由1st門鎖3供給enable#2信號時，將下一輸入之指令門鎖，且，該指令為2nd指令且正常時，令enable#1信號為活性之狀態。

【發明欲解決之課題】

然而，前述所說明之電路中，1st門鎖3及2nd門鎖4係於指令輸入後，才判斷所給予之指令是否適切且是否為正常，因此必須生成enable#1、#2信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

因此，由於每次輸入指令時皆需進行判斷，故，若時鐘信號之頻率增高，便無法充分確保進行判斷所必要之時間，而有無法期望正常動作之問題點。

本發明係有鑑於此點而作出者，目的在於提供一種可高速讀入指令之半導體裝置。

【用以解決課題之手段】

本發明為解決前述課題，提供一種如第1圖所示之半導體裝置，係具有：時鐘信號輸入機構11，係用以接收時鐘信號之輸入者；指令輸入機構10，係用以接收指令之輸入者；第1指令取得機構12，係用以因應前述時鐘信號之上升邊緣或下降邊緣中任一者，即第1邊緣，而由前述指令輸入機構10取得第1指令者；第2指令取得機構13，係用以因應與前述第1邊緣相異之第2邊緣，而由前述指令輸入機構10取得第2指令者；及，處理機構14，係用以因應前述第1及第2指令而進行處理者。

在此，時鐘信號輸入機構11係用以接收時鐘信號之輸入。指令輸入機構10係用以接收指令之輸入。第1指令取得機構12係用以因應與時鐘信號之上升邊緣或下降邊緣中任一者，即第1邊緣，而由指令輸入機構10取得第1指令。第2指令取得機構13係用以因應與第1邊緣相異之第2邊緣，而由指令輸入機構10取得第2指令。處理機構14係用以因應第1及第2指令而進行處理。

又，提供一種半導體裝置，係具有：時鐘信號輸入機構，係用以接收相位相異之 $n(n>1)$ 種類之時鐘信號的輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

者；指令輸入機構，係用以接收指令之輸入者；第1乃至第m指令取得機構，係用以分別因應前述n種類之時鐘信號具有之至少 $m(m>1)$ 種類之邊緣，而取得第1乃至第m指令者；及，處理機構，係用以因應前述第1乃至第m指令而進行處理者。

在此，時鐘信號輸入機構係用以接收相位相異之 $n(n>1)$ 種類之時鐘信號的輸入。指令輸入機構係用以接收指令之輸入。第1乃至第m指令取得機構，係用以分別因應n種類之時鐘信號具有之至少 $m(m>1)$ 種類之邊緣，而取得第1乃至第m指令。處理機構係用以因應第1乃至第m指令而進行處理。

【簡單之圖示說明】

第1圖：說明本發明之動作原理之原理圖。

第2圖：例示本發明第1實施型態之構造之圖。

第3圖：用以說明第2圖所示之第1實施型態之概要的時間圖。

第4圖：用以說明第2圖所示之第1實施型態之動作概要的時間圖。

第5圖：用以說明第2圖所示之第1實施型態之動作的時間圖。

第6圖：用以說明因本發明第1實施型態而減少消耗電力之圖。

第7圖：例示本發明第2實施型態之構造之圖。

第8圖：用以說明第7圖所示之第2實施型態之動作的時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

間圖。

第9圖：例示本發明第3實施型態之構造之圖。

第10圖：例示第9圖所示之時鐘緩衝器之構造之圖。

第11圖：用以說明第10圖所示之時鐘緩衝器之動作的時間圖。

第12圖：例示本發明第4實施型態之構造之圖。

第13圖：例示一習知之半導體裝置之圖。

第14圖：用以說明第13圖所示之半導體裝置之動作概要的時間圖。

第15圖：用以說明第13圖所示之半導體裝置之動作概要之圖。

【發明之實施型態】

以下，參照附圖說明本發明之實施型態。

第1圖係說明本發明之動作原理之原理圖。如該圖所示，本發明之半導體裝置係由指令輸入機構10、時鐘信號輸入機構11、第1指令取得機構12、第2指令取得機構13及處理機構14構成。

在此，指令輸入機構10係用以由外部接收指令之輸入。

時鐘信號輸入機構11同樣地由外部接收時鐘信號之輸入。

第1指令取得機構12因應時鐘信號之上升邊緣或下降邊緣中任一者，即第1邊緣，而由指令輸入機構10取得第1指令。

第2指令取得機構13因應與第1邊緣相異之第2邊緣，而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

由指令輸入機構10取得第2指令。

其次，說明有關前述原理圖之動作。此外，下述中，第1指令取得機構12與時鐘信號之上升邊緣同步地取得第1指令，第2指令取得機構13則與時鐘信號之下降邊緣同步地取得第2指令。

指令輸入機構10與時鐘信號之上升邊緣同步地取得第1指令，又，與下降邊緣同步地供給第2指令。

第1指令取得機構12與由時鐘信號輸入機構11供給之時鐘信號之上升邊緣同步地取得由指令輸入機構10供給之指令。如前述，因第1指令與時鐘信號之上升邊緣同步地輸入，故，必然地，第1指令取得機構12將取得第1指令。

第2指令取得機構13與由時鐘信號輸入機構11供給之時鐘信號之下降邊緣同步地取得由指令輸入機構10供給之指令。如前述，因第2指令與時鐘信號之下降邊緣同步地輸入，故，必然地，第2指令取得機構13將取得第2指令。

藉第1指令取得機構12及第2指令取得機構13取得之第1及第2指令，將供給於處理機構14。處理機構14於判斷第1及第2指令是否為正常後，於正常時執行對應之處理。

如此，由於令時鐘信號之上升邊緣及下降邊緣與第1及第2指令對應，故，第13圖所示之1st門鎖3及2nd門鎖4執行之動作，即「指令之門鎖」、「1st指令或2nd指令之判斷」、「指令是否為正常之判斷」及「enable信號之產生」中，因可省略「1st指令或2nd指令之判斷」及「enable信號之產生」，故可使處理速度高速化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

又，因「指令之門鎖」係由第1指令取得機構12及第2指令取得機構13負責，又，「指令是否為正常之判斷」係由處理機構14負責，故，可藉分擔處理而提升電路整體之處理速度。

接著，說明有關本發明之實施型態。

第2圖係例示本發明實施型態之構造之圖。如該圖所示，本發明之半導體裝置係由時鐘緩衝器50、指令輸入區塊60及位址輸入區塊70構成。

指令輸入區塊60係由輸入電路61、1st門鎖62、2nd門鎖63、1st指令解碼器64及2nd指令解碼器65構成，且，接收由外部供給之指令之輸入，並於嚴格區別1st內部指令與2nd內部指令後，再將之供給於後段電路。

在此，輸入電路61具有一輸入放大器61a，且，比較業已輸入之指令信號與基準電壓Vref，於對波形進行整形後再將之輸出。

1st門鎖62因應時鐘信號#1而取得1st指令。

2nd門鎖63因應時鐘信號#2而取得2nd指令。

1st指令解碼器64將由1st門鎖62供給之1st指令解碼，除將之作為1st內部指令輸出外，並供給於2nd指令解碼器65及1st位址門鎖74。

2nd指令解碼器65將由2nd門鎖63供給之2nd指令與1st內部指令解碼，除將之作為2nd內部指令輸出外，並供給於2nd位址門鎖75。

又，位址輸入區塊70係由輸入電路71、1st門鎖72、2nd

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

門鎖 73、1st 位址門鎖 74 及 2nd 位址門鎖 75 構成，且，因應 1st 內部指令及 2nd 內部指令而分別提取 1st 位址及 2nd 位址，並作為 1st 內部位址及 2nd 內部位址而供給於後段電路。

在此，輸入電路 71 具有一輸入放大器 71a，且，比較業已輸入之位址信號與基準電壓 V_{ref} ，於對波形進行整形後再將之輸出。

1st 門鎖 72 因應時鐘信號 # 1 而取得 1st 位址。

2nd 門鎖 73 因應時鐘信號 # 2 而取得 2nd 位址。

1st 位址門鎖 74 因應由 1st 指令解碼器 64 供給之 1st 內部指令，而將由 1st 門鎖 72 供給之 1st 位址門鎖，並作為 1st 內部位址輸出。

2nd 位址 75 因應由 2nd 指令解碼器 65 供給之 2nd 內部指令，而將由 2nd 門鎖 73 供給之 2nd 位址門鎖，並作為 2nd 內部位址輸出。

其次，說明前述實施型態之動作。此外，下述中，參照第 3 圖及第 4 圖，於說明本發明之動作概略後，再參照第 5 圖說明詳細之動作。

本實施型態中，時鐘緩衝器 50 輸入第 3 圖 (A) 所示之時鐘信號，並生成與該時鐘信號相同之時鐘信號 # 1 (參照第 3 圖 (C))，以及反相 (Antiphase) 之時鐘信號 # 2 (參照第 3 圖 (D))，且，如第 3 圖 (B) 所示，1st 指令係與時鐘信號 # 1 同步讀入，又，2nd 指令係與時鐘信號 # 2 同步讀入。

由該結果，不需判別 1st 指令與 2nd 指令，故可省略此時之判斷。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

又，即使1st指令不為正常時，因不需於輸入2nd指令前判斷該指令之適當與否，故可確保迄至2nd指令輸入之動作邊際(Power Margin)。

即，如第4圖所示，本實施型態與第15圖所示之習知電路動相較，因不需於1st門鎖62及2nd門鎖63進行1st指令或2nd指令之判別，又，不需生成enable信號，故，可使處理高速化。

第5圖係一時間圖，用以顯示第2圖所示之實施型態之各部信號的時間變化。

若由外部供給如第5圖(A)所示之時鐘信號，時鐘緩衝器50將生成如第5圖(C)所示之時鐘信號#1與第5圖(D)所示之時鐘信號#2，並將之供給於電路各部。

如第5圖(B)所示，與時鐘信號之上升邊緣同步地供給1st指令於輸入電路61，又，與時鐘信號之下降邊緣同步地供給2nd指令於輸入電路61。

輸入電路61對輸入之指令信號之波形進行整形，並將之供給於1st門鎖62及2nd門鎖63。

如第5圖(E)所示，1st門鎖62與時鐘信號#1之上升邊緣同步地取得由輸入電路61供給之指令(1st指令)。

如第5圖(F)所示，2nd門鎖63與時鐘信號#2之上升邊緣同步地取得由輸入電路61供給之指令(2nd指令)。

1st指令解碼器64將由1st門鎖62供給之1st指令解碼，並生成1st內部指令(參照第5圖(G))，除將之輸出於後段電路外，並供給於2nd指令解碼器65及1st位址門鎖74。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

2nd指令解碼器65將由1st指令解碼器64供給之內部1st指令與由2nd門鎖63供給之2nd指令解碼，並判斷該等之組合是否為正常，正常時，除生成2nd內部指令(參照第5圖(H))且將之輸出於後段電路外，並供給於2nd位址門鎖75。

另一方面，位址輸入區塊70中，分別與時鐘信號#1與時鐘信號#2之上升邊緣同步地藉由1st門鎖72及2nd門鎖73門鎖1st位址與2nd位址。

1st位址門鎖74因應由1st指令解碼器64供給之1st內部指令而門鎖1st位址，並作為1st內部位址而供給於後段電路。

2nd位址門鎖75因應由2nd指令解碼器65供給之2nd內部指令而門鎖2nd位址，並作為2nd內部指令而供給於後段電路。

無圖示之後段電路中，由發行1st內部指令之時點開始如第5圖(I)所示之動作，且，適宜地修正因應2nd內部指令而開始之動作繼續。此外，1st指令或2nd指令不為正常時便中斷先前開始之動作。

且，於後段電路中執行預定之處理，並於取得作為目的之資料時，作為第5圖(J)所示之裝置輸出(Device Output)而輸出於半導體裝置之外部。

如前述，依本發明之實施型態，令時鐘信號之上升邊緣及下降邊緣分別對應於1st指令及2nd指令，因對應各邊緣而輸入輸入指令，故，可省略指令解碼器中之判斷，實現高速之動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

又，因於取得1st指令之時點開始指令之執行，故，藉由確保處理之邊際，高速動作時亦可安定地進行動作。

進而，因與時鐘信號之上升邊緣與下降邊緣同步地取得指令，故，亦可期待減少消耗電力之效果。第6圖係用以說明消耗電力減少之圖。該圖之(A)、(B)係顯示本實施型態中之時鐘信號與所取得之指令之關係。又，(C)、(D)係顯示習知之時鐘信號與所取得之指令之關係。

如該圖所示，以相同之速度取得指令時，本實施型態之時鐘信號的頻率為習知電路之時鐘信號的頻率的1/2。因此，由於有關電路之指令處理的部分係以1/2頻率之時鐘信號進行動作，故可減少所消耗之電力。

此外，前述之實施型態中，雖由外部供給時鐘信號，但亦可於內部生成時鐘信號。

又，前述實施型態中，雖與上升邊緣及下降邊緣同步地取得指令，但有關資料，利用DDR(雙數據率Double Data Rate)方式亦可進而提升處理速度。

進而，譬如將本發明適應於半導體記憶體時，藉由賦予1st指令至少可判定Non-operation、Read、Write等之邏輯，Read、Write等基本動作便可由讀入1st指令之時點開始執行。輸入2nd指令時，判斷係以與1st指令之組合而繼續Read、Write動作，或變換為其他動作模式。此外，以2nd指令變換之其他動作模式係指附帶之動作，譬如更新動作等。如此，關於作為記憶體所要求之基本動作，若由1st指令執行，則即使將指令分為兩次輸入，亦不會產生存取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

損耗 (Access Loss)。又，因使用同樣之輸入端子兩次 (1st 指令與 2nd 指令等兩次) 而讀入指令，故可削減輸入端子數。

其次，說明有關本發明之第 2 實施型態。

第 7 圖係例示本發明第 2 實施型態之構造之圖。此外，該圖中，因賦予對應第 2 圖之部分相同之元件標號，故省略其說明。

第 2 實施型態中，與第 2 圖相較，輸入區塊 80 之構造一部份相異。即，第 2 圖中，1st 指令解碼器 64 之輸出，即 1st 內部指令雖供給於 2nd 指令解碼器 65，但此實施型態中，1st 指令則直接供給於 2nd 指令解碼器 85。此外，其他部分均與第 2 圖相同。

1st 指令解碼器 84 將由 1st 門鎖 62 供給之 1st 指令解碼，除將之作為 1st 內部指令而供給於後段電路外，並供給於 1st 位址門鎖 74。

2nd 指令解碼器 85 將由 1st 門鎖 62 供給之 1st 指令，與由 2nd 門鎖 63 供給之 2nd 指令解碼，除生成 2nd 內部指令且將之供給於後段電路外，並供給於 2nd 位址門鎖 75。

接著，參照第 8 圖說明有關前述實施型態之動作。

若由外部供給第 8 圖 (A) 所示之時鐘信號，時鐘緩衝器 50 將生成如第 8 圖 (C) 所示之時鐘信號 # 1 與第 8 圖 (D) 所示之時鐘信號 # 2，並將之供給於電路各部。

如第 8 圖 (B) 所示，與時鐘信號之上升邊緣同步地，或，與時鐘信號之下降邊緣同步地供給 2nd 指令於輸入電路 61。

輸入電路 61 對輸入之指令信號之波形進行整形，並將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

之供給於1st門鎖62及2nd門鎖63。

如第8圖(E)所示，1st門鎖62與時鐘信號#1之上升同步地取得由輸入電路61供給之指令(1st指令)。

如第8圖(F)所示，2nd門鎖63與時鐘信號#2之上升同步地取得由輸入電路61供給之指令(2nd指令)。

1st指令解碼器84將由1st門鎖62供給之1st指令解碼且生成1st內部指令(參照第8圖(G))，並將之供給於後段電路與1st位址門鎖74。

2nd指令解碼器85將由1st門鎖62供給之1st指令，與由2nd門鎖63供給之2nd指令解碼，並判斷該等之組合是否為正常，正常時，生成2nd內部指令(參照第8圖(G))，並將之供給於後段電路與2nd位址門鎖75。

另一方面，位址輸入區塊70中，分別與時鐘信號#1與時鐘信號#2之上升邊緣同步地藉由1st門鎖72及2nd門鎖73門鎖1st位址與2nd位址。

1st位址門鎖74因應由1st指令解碼器84所供給之1st內部指令而取得1st位址，並將之作為1st內部位址而供給於後段電路。

2nd位址門鎖75因應由2nd指令解碼器85所供給之2nd內部指令而取得2nd位址，並將之作為2nd內部位址而供給於後段電路。

於無圖示之後段電路中，由發行1st內部指令之時點開始第8圖(I)所示之動作，且適宜地修正因應2nd內部指令而開始之動作繼續。此外，1st指令或2nd指令不為正常

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

時，中斷先前開始之動作。

且，於後段電路中執行預定之處理，且於取得作為目的之資料時，將之作為第8圖(J)所示之裝置輸出而輸出於半導體裝置之外部。

依前述實施型態，與第2圖之例示相同地，可實現高速之動作。

其次，說明有關本發明之第3實施型態。

第9圖係例示本發明第3實施型態之構造之圖。如該圖所示，本發明之第3實施型態係由時鐘緩衝器100、指令輸入區塊110及位址輸入區塊120構成。

如後述，時鐘緩衝器100輸入相位相異之時鐘信號#1及時鐘信號#2，並輸出內部時鐘#1~#4。

第10圖係例示時鐘緩衝器100之詳細構造之圖。該圖之例中，時鐘緩衝器100係由反相器100a及100b、NAND元件100c~100f及反相器100g~100j構成。

反相器100a將時鐘信號#1反相並將之供給於NAND元件100d。反相器100b將時鐘信號#2反相並將之供給於NAND元件100f。

NAND元件100c輸出將時鐘信號#1與時鐘信號#2之與運算(AND Operation)反相之結果。

NAND元件100e輸出將反相器100a之輸出與反相器100b之輸出的與運算反相之結果。

NAND元件100f輸出將時鐘信號#1與反相器100b之輸出的與運算反相之結果。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

反相器 100g~100j 輸出將 NAND 元件 100c~100f 的輸出反相之結果。

返回第 9 圖，指令輸入區塊 110 係由輸入電路 111、1st 閘鎖 112~4th 閘鎖 115、1st 指令解碼器 116~4th 指令解碼器 119 構成，且，由輸入之指令擷取 (Extract) 1st 指令~4th 指令，並將之作為 1st 內部指令~4th 內部指令而輸出。

在此，輸入電路 111 具有一輸入放大器 111a，且，對輸入之指令信號之波形進行整形並將之輸出。

1st 閘鎖 112~4th 閘鎖 115 與內部時鐘信號 # 1~# 4 同步地由輸入電路 111 輸入之指令，分別擷取 1st 內部指令~4th 內部指令並將之輸出。

1st 指令解碼器 116 將由 1st 閘鎖 112 輸出之 1st 指令解碼並生成 1st 內部指令，除將之供給於後段電路外，並供給於 2nd 指令解碼器 117~4th 指令解碼器 119 及 1st 位址閘鎖 126。

2nd 指令解碼器 117~4th 指令解碼器 119 分別輸入 1st 指令解碼器 116 之輸出與 2nd 閘鎖 113~4th 閘鎖 115 之輸出，除生成 2nd 內部指令~4th 內部指令且將之供給於後段電路外，並分別供給於 2nd 位址閘鎖 127~4th 位址閘鎖 129。

另一方面，位址輸入區塊 120 係由輸入電路 121、1st 閘鎖 122~4 閘鎖 125、1st 位址閘鎖 126~4th 位址閘鎖 129 構成，且，由輸入之位址擷取 1st 位址~4th 位址，並將之供給於後段電路。

在此，輸入電路 121 具有一輸入放大器 121a，且，對輸入之位址信號之波形進行整形並將之輸出。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

1st門鎖122~4門鎖125由輸入電路121輸入之位址，分別擷取1st位址~4th位址並將之輸出。

1st位址門鎖126~4th位址門鎖129因應1st內部指令~4th內部指令而門鎖1st位址~4th位址，並將之作為1st內部位址~4th內部位址而供給於後段電路。

接著，說明有關前述實施型態之動作。

若供給如第11圖(A)、(B)所示之相位錯開90度之時鐘信號#1及時鐘信號#2於時鐘緩衝器100，則NAND元件100c輸出將時鐘信號#1及時鐘信號#2之邏輯和反相之結果，且，反相器100g進而將該反相之結果作為內部時鐘信號#1而輸出。因此，由於內部時鐘信號#1相等於演算時鐘信號#1與時鐘信號#2之與運算之結果，故，時鐘信號#1及時鐘信號#2雙方均為“H”時，將為“H”狀態之信號(參照第11圖(C))。

同樣地，因內部時鐘信號#2相等於反相時鐘信號#1之結果與時鐘信號#2之邏輯和，故，該等信號雙方均為“H”時，將為“H”狀態之信號(參照第11圖(D))。

內部時鐘信號#3相等於時鐘信號#1反相之結果與時鐘信號#2反相之結果之邏輯和，故，該等信號雙方均為“H”時，將為“H”狀態之信號(參照第11圖(E))。

內部時鐘信號#4相等於時鐘信號#1與時鐘信號#2之反相結果之邏輯和，故，該等信號雙方均為“H”時，將為“H”狀態之信號(參照第11圖(F))。

藉前述處理，生成對應時鐘信號#2之上升邊緣之內部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

時鐘信號 # 1、對應時鐘信號 # 1 之下降邊緣之內部時鐘信號 # 2、對應時鐘信號 # 2 之下降邊緣之內部時鐘信號 # 3、及對應時鐘信號 # 1 之上升邊緣之內部時鐘信號 # 4。

此種內部時鐘信號 # 1~# 4，分別供給於 1st 門鎖 112~4th 門鎖 115 及 1st 門鎖 122~4th 門鎖 125。

指令輸入時鐘 110 之 1st 門鎖 112~4th 門鎖 115 輸入藉輸入電路 111 進行波形整形之指令，並分別與內部時鐘信號 # 1~# 4 之上升邊緣同步地分別門鎖 1st 指令~4th 指令。

1st 指令解碼器 116 將藉由 1st 門鎖 112 而門鎖之 1st 指令解碼並生成 1st 內部指令，除將之供給於後段電路外，並供給於 2nd 指令解碼器 117~4th 指令解碼器 119 及 1st 位址門鎖 126。

2nd 指令解碼器 117 將由 2nd 門鎖 113 供給之 2nd 指令，與由 1st 指令解碼器 116 供給之 1st 內部指令解碼，並判斷該等之組合是否為正常，正常時，除生成 2nd 內部指令且將之供給於後段電路外，並供給於 2nd 位址門鎖 127。

3rd 指令解碼器 118 將由 3rd 門鎖 114 供給之 3rd 指令，與由 1st 指令解碼器 116 供給之 1st 內部指令解碼，並判斷該等之組合是否為正常，正常時，除生成 3rd 內部指令且將之供給於後段電路外，並供給於 3rd 位址門鎖 128。

4th 指令解碼器 119 將由 4th 門鎖 115 供給之 4th 指令，與由 1st 指令解碼器 116 供給之 1st 內部指令解碼，並判斷該等之組合是否為正常，正常時，除生成 4th 內部指令並將之供給於後段電路外，並供給於 4th 位址門鎖 129。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

另一方面，位址輸入區塊120之1st門鎖122~4th門鎖125，輸入藉由輸入電路121進行波形整形之位址，並與內部區塊信號#1~內部區塊信號#4之上升邊緣同步地，分別門鎖1st位址~4th位址。

1st位址門鎖126~4th位址門鎖129，分別因應由1st指令解碼器116~4th位址門鎖119供給之1st內部指令~4th內部指令而取得1st位址~4th位址，並作為1st內部位址~4th內部位址而輸出於後段電路。

於無圖示之後段電路中，由發行1st內部指令之時點開始進行動作，發行2nd內部指令~4th內部指令，並因應該等指令而邊修正方向邊繼續動作。此外，2nd指令以後之指令不為正常時，中斷先前開始之動作。

前述實施型態中，因生成分別對應相位相異之2種類之時鐘信號#1及時鐘信號#2之上升邊緣及下降邊緣的內部時鐘信號#1~#4，且與該等時鐘信號同步地讀入指令及位址，故可省略指令解碼器中之判斷，並實現高速之動作。

此外，前述實施型態中，雖與2種類之時鐘信號#1、#2之邊緣對應地讀入指令及位址，但亦可與3種類以上之時鐘信號之邊緣對應地讀入位址。又，亦可與多數時鐘信號之一部分邊緣對應地讀入指令及位址。

其次，說明有關本發明之第4實施型態。

第12圖係例示本發明第4實施型態之構造之圖。此外，該圖中，因賦予與第9圖對應之部分同樣之元件標號，故省略該說明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

第12圖所示之實施型態與第9圖之例示相較，指令輸入區塊130之構造一部分相異。其他部分則與第9圖相同。

指令輸入區塊130係由輸入電路111、1st閘鎖112~4th閘鎖115、1st指令解碼器136~4th指令解碼器139構成，且，由輸入之指令擷取1st指令~4th指令，並將之作為1st內部指令~4th內部指令而輸出。

在此，輸入電路111具有一輸入放大器111a，且，對輸入之指令信號之波形進行整形並將之輸出。

1st閘鎖112~4th閘鎖115由輸入電路111輸出之指令，分別擷取1st指令~4th指令並將之輸出。

1st指令解碼器136將由1st閘鎖112輸出之1st指令解碼且生成1st內部指令，除將之供給於後段電路外，並供給於2nd指令解碼器137及1st位址閘鎖126。

2nd指令解碼器137將2nd閘鎖113之輸出與1st指令解碼器136之輸出解碼，且，該等之組合為正常時，除生成2nd內部指令並將之供給於後段電路外，並供給於3rd指令解碼器138及2nd位址閘鎖127。

3rd指令解碼器138將3rd閘鎖114之輸出與2nd指令解碼器137之輸出解碼，且，該等之組合為正常時，除生成3rd內部指令且將之供給於後段電路外，並供給於4th指令解碼器139及3rd位址閘鎖128。

4th指令解碼器139將4th閘鎖115之輸出與3rd指令解碼器138之輸出解碼，且，該等之組合為正常時，除生成4th內部指令且將之供給於後段電路外，並供給於4th位址閘鎖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

129。

另一方面，位址輸入區塊120係藉輸入電路121、1st門鎖122~4th門鎖125、1st位址門鎖126~4th位址門鎖129構成，且，由輸入之位址擷取1st指令~4th指令，並作為1st內部指令~4th內部指令而供給於後段電路。

在此，輸入電路121具有一輸入放大器121a，且，對輸入之位址信號之波形進行整形並將之輸出。

1st門鎖122~4th門鎖125由輸入電路121輸出之位址分別擷取1st位址~4th位址，並將之輸出。

1st位址門鎖126~4th位址門鎖129因應1st內部指令~4th內部指令而門鎖1st位址~4th位址，並將之供給於後段電路。

接著，說明有關前述實施型態之動作。

若供給如第11圖(A)、(B)所示之相位錯開90度之時鐘信號#1及時鐘信號#2於時鐘緩衝器100，則藉由與前述例示相同之動作，生成與時鐘信號#2之上升邊緣對應之內部時鐘信號#1、與時鐘信號#1之下降邊緣對應之內部時鐘信號#2、與時鐘信號#2之下降邊緣對應之內部時鐘信號#3，及與時鐘信號#1之上升邊緣對應之內部時鐘信號#4。此種內部時鐘信號#1~#4分別供給於1st門鎖112~4th門鎖115及1st門鎖122~4th門鎖125。

指令輸入區塊130之1st門鎖112~4th門鎖115，輸入藉由輸入電路111進行波形整形之指令，並分別與內部時鐘信號#1~#4之上升邊緣同步地，分別將1st指令~4th指令門

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

鎖。

1st指令解碼器136將藉由1st門鎖112而門鎖之1st指令解碼且生成1st內部指令，除將之供給於後段電路外，並供給於2nd指令解碼器137及1st位址門鎖126。

2nd指令解碼器137將由2nd門鎖113供給之2nd指令，與由1st指令解碼器136供給之1st內部指令解碼，並判斷該等之組合是否為正常，正常時，除生成2nd內部指令且將之供給於後段電路外，並供給於3rd指令解碼器138及2nd位址門鎖127。

3rd指令解碼器138將由3rd門鎖114供給之3rd指令，與由2nd指令解碼器137供給之2nd內部指令解碼，並判斷該等之組合是否為正常，正常時，除生成3rd內部指令且將之供給於後段電路外，並供給於4th指令解碼器139及3rd位址門鎖128。

4th指令解碼器139將由4th門鎖115供給之4th指令，與由3rd指令解碼器138供給之3rd內部指令解碼，並判斷該等之組合是否為正常，正常時，除生成4th內部指令且將之供給於後段電路外，並供給於4th位址門鎖129。

另一方面，位址輸入區塊120之1st門鎖122~4th門鎖125輸入藉輸入電路121進行波形整形之位址，並與內部時鐘信號#1~內部時鐘信號#4之上升邊緣同步地分別門鎖1st位址~4th位址。

1st位址門鎖126~4th位址門鎖129，分別因應由1st指令解碼器136~4th指令解碼器139所供給之1st內部指令~4th內

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

部指令而取得1st位址~4th位址，並作為1st內部位址~4th內部位址而輸出於後段電路。

於無圖示之後段電路中，若由發行1st內部指令之時點開始進行動作，且發行2nd內部指令~4th內部指令，將邊因應該等指令而適宜地修正方向，邊執行所要求之動作。此外，2nd指令後之指令不為正常時，中斷先前開始之動作。

前述實施型態中，因生成分別因應相位相異之2種類之時鐘信號#1及時鐘信號#2之上升邊緣及下降邊緣的內部時鐘信號#1~#4，且與該等信號同步地讀入指令及位址，故，可省略指令解碼器中之判斷，且實現高速之動作。

此外，前述實施型態中，雖對應於2種類之時鐘信號#1、#2之邊緣而讀入指令及位址，但亦可對應於3種類以上之時鐘信號之邊緣而讀入位址。又，亦可對應於多數時鐘信號之一部分邊緣而讀入指令及位址。

(附記1)

一種半導體裝置，係具有：

時鐘信號輸入機構，係用以接收時鐘信號之輸入者；

指令輸入機構，係用以接收指令之輸入者；

第1指令取得機構，係用以因應前述時鐘信號之上升邊緣或下降邊緣中任一者，即第1邊緣，而由前述指令輸入機構取得第1指令者；

第2指令取得機構，係用以因應與前述第1邊緣相異之第2邊緣，而由前述指令輸入機構取得第2指令者；及

處理機構，係用以因應前述第1及第2指令而進行處理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

者。

(附記2)

如附記1之半導體裝置，其中該處理機構係，於輸入前述第1指令之時點開始進行處理。

(附記3)

如附記2之半導體裝置，其中該處理機構係，於輸入前述第1指令之時點開始進行處理，且，於前述第2指令不為正常時，中止業已開始之處理。

(附記4)

如附記2之半導體裝置，其中該處理機構係，於輸入前述第2指令之時點轉換為因應該指令之預定動作模式。

(附記5)

如附記1之半導體裝置，該半導體裝置並具有：

位址輸入機構，係用以接收位址之輸入者；

第1位址取得機構，係用以因應前述時鐘信號之上升邊緣或下降邊緣中任一者，即第1邊緣，而由前述位址輸入機構取得第1位址者；及

第2位址取得機構，係用以因應與前述第1邊緣相異之第2邊緣，而由前述位址輸入機構取得第2位址者。

(附記6)

如附記1之半導體裝置，該半導體裝置並具有一資料輸入及輸出機構，其係用以分別因應前述時鐘信號之上升邊緣或下降邊緣而輸入及輸出資料者。

(附記7)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

一種半導體裝置，係具有：

時鐘信號輸入機構，係用以接收相位相異之 $n(n>1)$ 種類之時鐘信號的輸入者；

指令輸入機構，係用以接收指令之輸入者；

第1乃至第 m 指令取得機構，係用以分別因應前述 n 種類之時鐘信號具有之至少 $m(m>1)$ 種類之邊緣，而取得第1乃至第 m 指令者；及

處理機構，係用以因應前述第1乃至第 m 指令而進行處理者。

(附記8)

如附記7之半導體裝置，其中該處理機構係，於輸入前述第1指令之時點開始進行處理。

(附記9)

如附記8之半導體裝置，其中該處理機構係，於輸入前述第1指令之時點開始進行處理，且，於前述第2乃至第 m 指令中任一者不為正常時，中止業已開始之處理。

(附記10)

如附記8之半導體裝置，其中該處理機構係，於輸入前述第2乃至第 m 指令中任一者之時點，轉換為因應該指令之預定動作模式。

(附記11)

如附記7之半導體裝置，其中該第1指令係，具有至少顯示Non-operation、Read、Write中任一者之邏輯；

前述處理機構係，於前述第1指令為Read或Write時，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

由輸入前述第1指令之時點開始進行處理，且，於輸入前述第2乃至第m指令中至少1部時，判斷是否為與前述第1指令之配合而繼續Read、Write處理，或為轉換成其他動作模式。

(附記12)

如附記7之半導體裝置，該半導體裝置並具有：

位址輸入機構，係用以接收位址之輸入者；及

第1乃至第p位址取得機構，係用以分別因應前述n種類之時鐘信號具有之至少p($p>1$)種類之邊緣而取得位址者。

(附記13)

如附記7之半導體裝置，該半導體裝置並具有一資料輸入及輸出機構，其係用以輸入及輸出分別因應前述n種類之時鐘信號具有之至少j($j>1$)種類之邊緣而輸入及輸出資料者。

【發明之效果】

如前述，本發明因設有以下機構，故可確保令時鐘信號之頻率增加時之動作邊際，該等機構係：時鐘信號輸入機構，係用以接收時鐘信號之輸入者；指令輸入機構，係用以接收指令之輸入者；第1指令取得機構，係用以因應前述時鐘信號之上升邊緣或下降邊緣中任一者，即第1邊緣，而由前述指令輸入機構取得第1指令者；第2指令取得機構，係用以因應與前述第1邊緣相異之第2邊緣，而由前述指令輸入機構取得第2指令者；及，處理機構，係用以因應前述第1及第2指令而進行處理者。

又，因設有如下之機構，故可減低消耗電力，該等機

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

構係：時鐘信號輸入機構，係用以接收相位相異之 $n(n>1)$ 種類之時鐘信號的輸入者；指令輸入機構，係用以接收指令之輸入者；第1乃至第 m 指令取得機構，係用以分別因應前述 n 種類之時鐘信號具有之至少 $m(m>1)$ 種類之邊緣，而取得第1乃至第 m 指令者；及，處理機構，係用以因應前述第1乃至第 m 指令而進行處理者。

【元件標號對照表】

Vref...基準電壓	64...1st指令解碼器
1...輸入電路	65...2nd指令解碼器
1a...輸入放大器	70...位址輸入區塊
2...時鐘緩衝器	71...輸入電路
3...1st門鎖	71a...輸入放大器
4...2nd門鎖	72...1st門鎖
10...指令輸入機構	73...2nd門鎖
11...時鐘信號輸入機構	74...1st位址門鎖
12...第1指令取得機構	75...2nd位址門鎖
13...第2指令取得機構	80...輸入區塊
14...處理機構	84...1st指令解碼器
50...時鐘緩衝器	85...2nd指令解碼器
60...指令輸入區塊	100...時鐘緩衝器
61...輸入電路	100a、100b...反相器
61a...輸入放大器	100c~100f...NAND元件
62...1st門鎖	100g~100j...反相器
63...2nd門鎖	110...指令輸入區塊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

111...輸入電路

111a...輸入放大器

112~115...1st閘鎖~4th閘鎖

116~119...1st指令解碼器
~4th指令解碼器

120...位址輸入區塊

121...輸入電路

121a...輸入放大器

122~125...1st閘鎖~4th閘鎖

126~129...1st位址閘鎖~4th
位址閘鎖

130...指令輸入區塊

136~139...1st指令解碼器
~4th指令解碼器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：半導體裝置)

本發明係一種半導體裝置，該半導體裝置係具有：時鐘信號輸入機構，係用以接收時鐘信號之輸入者；指令輸入機構，係用以接收指令之輸入者；第 1 指令取得機構，係用以因應前述時鐘信號之上升邊緣或下降邊緣中任一者，即第 1 邊緣，而由前述指令輸入機構取得第 1 指令者；第 2 指令取得機構，係用以因應與前述第 1 邊緣相異之第 2 邊緣，而由前述指令輸入機構取得第 2 指令者；及，處理機構，係用以因應前述第 1 及第 2 指令而進行處理者。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE)

[Objective] To secure a sufficient margin for processing when the frequency of a clock signal is increased in a semiconductor device.

[Means for Achieving]

In the semiconductor device, a clock signal input unit 11 which receives a clock signal. A command input unit 10 which receives commands. A first command acquisition unit 12 which acquires from the command input unit 10 a first command in response to a first edge of the clock signal, where the first edge is one of a rising edge and a falling edge of the clock signal. A second command acquisition unit 13 which acquires from the command input unit 10 a second command in response to a second edge of the clock signal, where the second edge is a different edge from the first edge. A processing unit 14 which performs processing in accordance with the first and second commands.

訂

線

六、申請專利範圍

1. 一種半導體裝置，係具有：

時鐘信號輸入機構，係用以接收時鐘信號之輸入者；

指令輸入機構，係用以接收指令之輸入者；

第1指令取得機構，係用以因應前述時鐘信號之上升邊緣或下降邊緣中任一者，即第1邊緣，而由前述指令輸入機構取得第1指令者；

第2指令取得機構，係用以因應與前述第1邊緣相異之第2邊緣，而由前述指令輸入機構取得第2指令者；及

處理機構，係用以因應前述第1及第2指令而進行處理者。

2. 如申請專利範圍第1項之半導體裝置，其中該處理機構係，於輸入前述第1指令之時點開始進行處理。

3. 如申請專利範圍第2項之半導體裝置，其中該處理機構係，於輸入前述第1指令之時點開始進行處理，且，於前述第2指令不為正常時，中止業已開始之處理。

4. 如申請專利範圍第2項之半導體裝置，其中該處理機構係，於輸入前述第2指令之時點轉換為因應該指令之預定動作模式。

5. 如申請專利範圍第1項之半導體裝置，該半導體裝置並具有：

位址輸入機構，係用以接收位址之輸入者；

第1位址取得機構，係用以因應前述時鐘信號之上升邊緣或下降邊緣中任一者，即第1邊緣，而由前述位址輸入機構取得第1位址者；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第2位址取得機構，係用以因應與前述第1邊緣相異之第2邊緣，而由前述位址輸入機構取得第2位址者。

6. 一種半導體裝置，係具有：

時鐘信號輸入機構，係用以接收相位相異之 $n(n>1)$ 種類之時鐘信號的輸入者；

指令輸入機構，係用以接收指令之輸入者；

第1乃至第 m 指令取得機構，係用以分別因應前述 n 種類之時鐘信號具有之至少 $m(m>1)$ 種類之邊緣，而取得第1乃至第 m 指令者；及

處理機構，係用以因應前述第1乃至第 m 指令而進行處理者。

7. 如申請專利範圍第6項之半導體裝置，其中該處理機構係，於輸入前述第1指令之時點開始進行處理。

8. 如申請專利範圍第7項之半導體裝置，其中該處理機構係，於輸入前述第1指令之時點開始進行處理，且，於前述第2乃至第 m 指令中任一者不為正常時，中止業已開始之處理。

9. 如申請專利範圍第7項之半導體裝置，其中該處理機構係，於輸入前述第2乃至第 m 指令中任一者之時點，轉換為因應該指令之預定動作模式。

10. 如申請專利範圍第6項之半導體裝置，其中該第1指令係，具有至少顯示Non-operation、Read、Write中任一者之邏輯；

前述處理機構係，於前述第1指令為Read或Write

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

時，由輸入前述第1指令之時點開始進行處理，且，於輸入前述第2乃至第m指令中至少1部時，判斷是否為與前述第1指令之配合而繼續Read、Write處理，或為轉換成其他動作模式。

(請先閱讀背面之注意事項再填寫本頁)

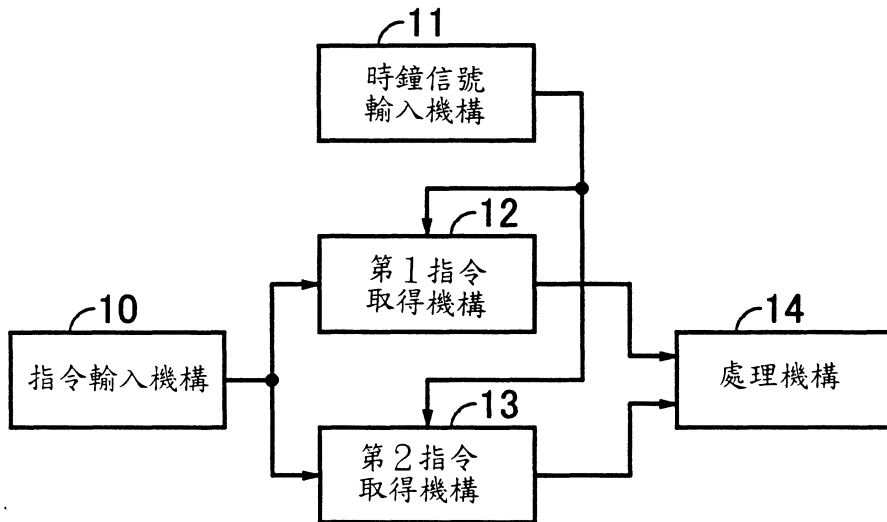
裝

訂

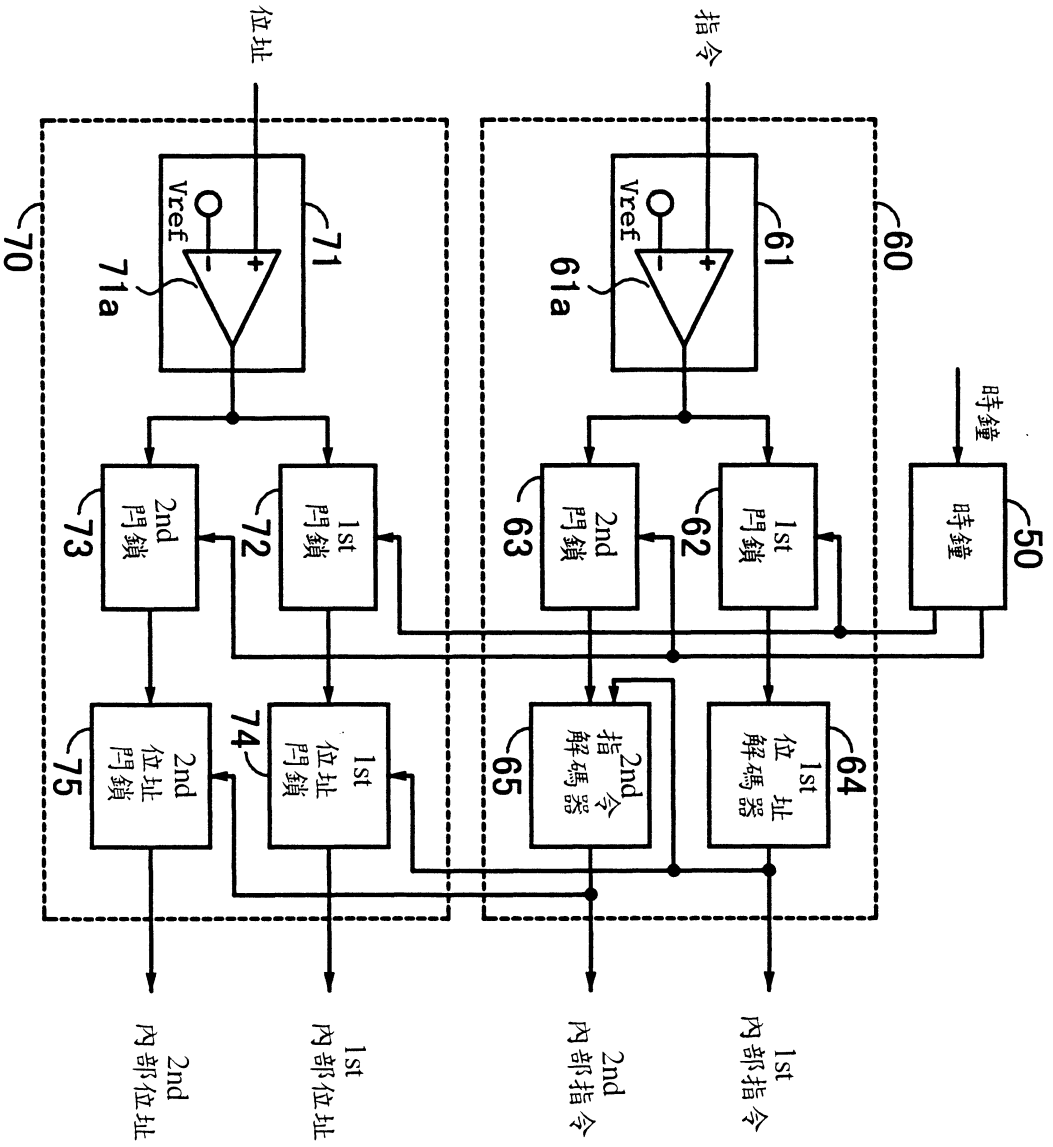
線

90130907

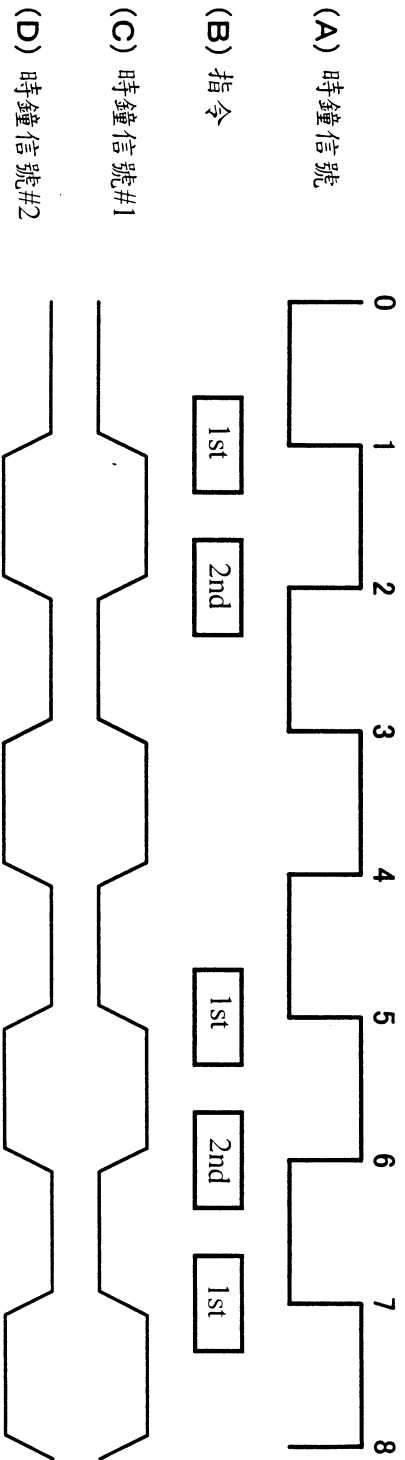
第 1 圖



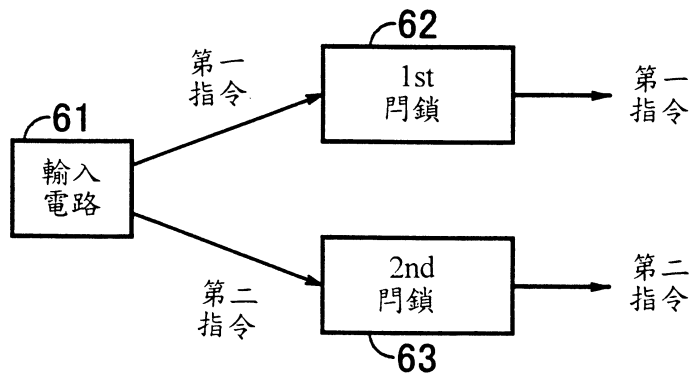
第 2 圖



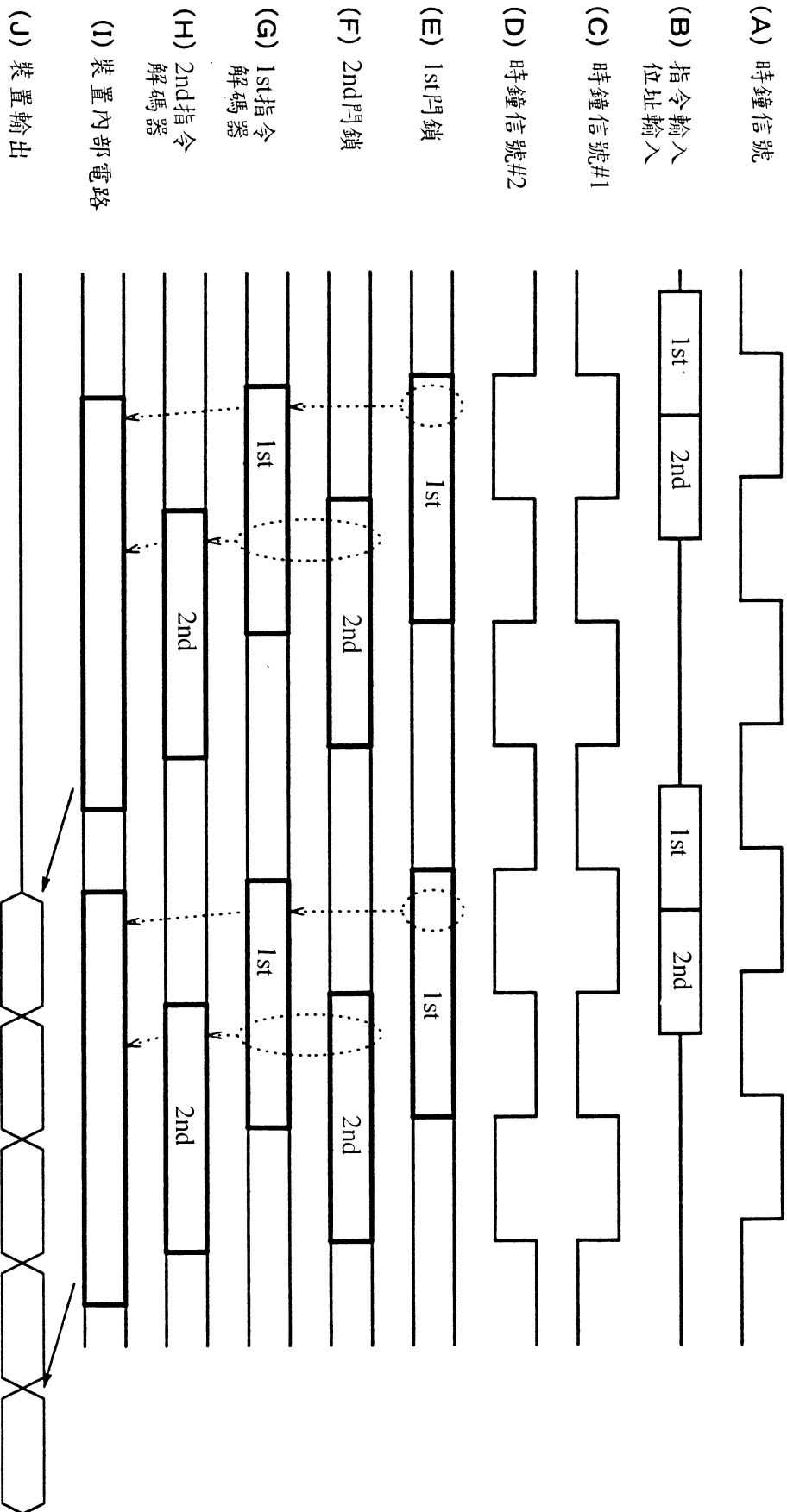
第 3 圖



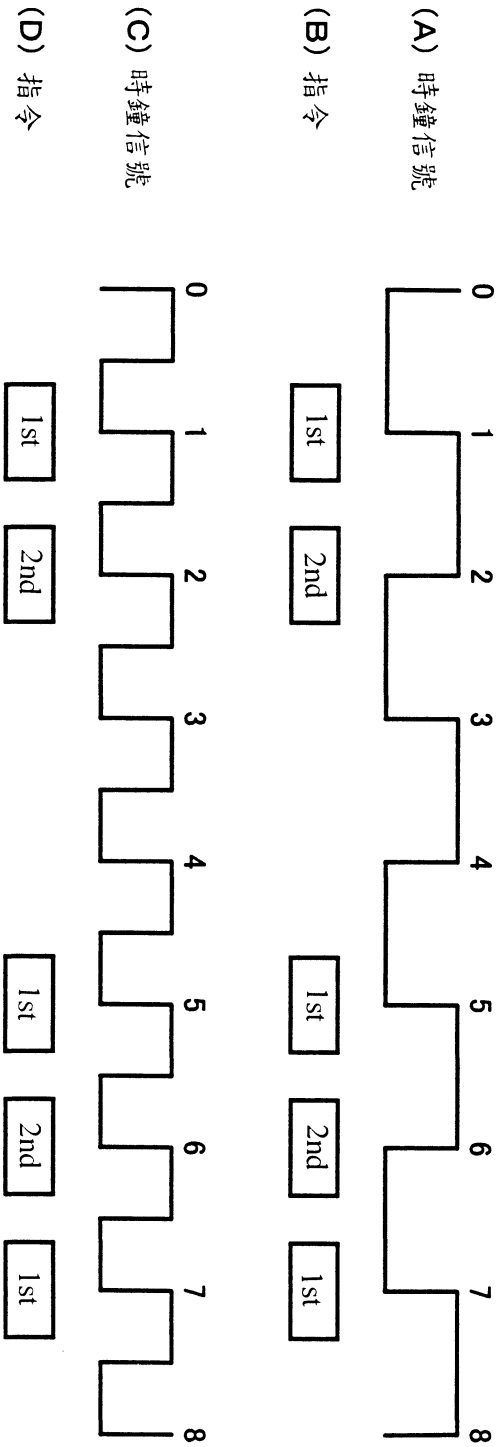
第 4 圖



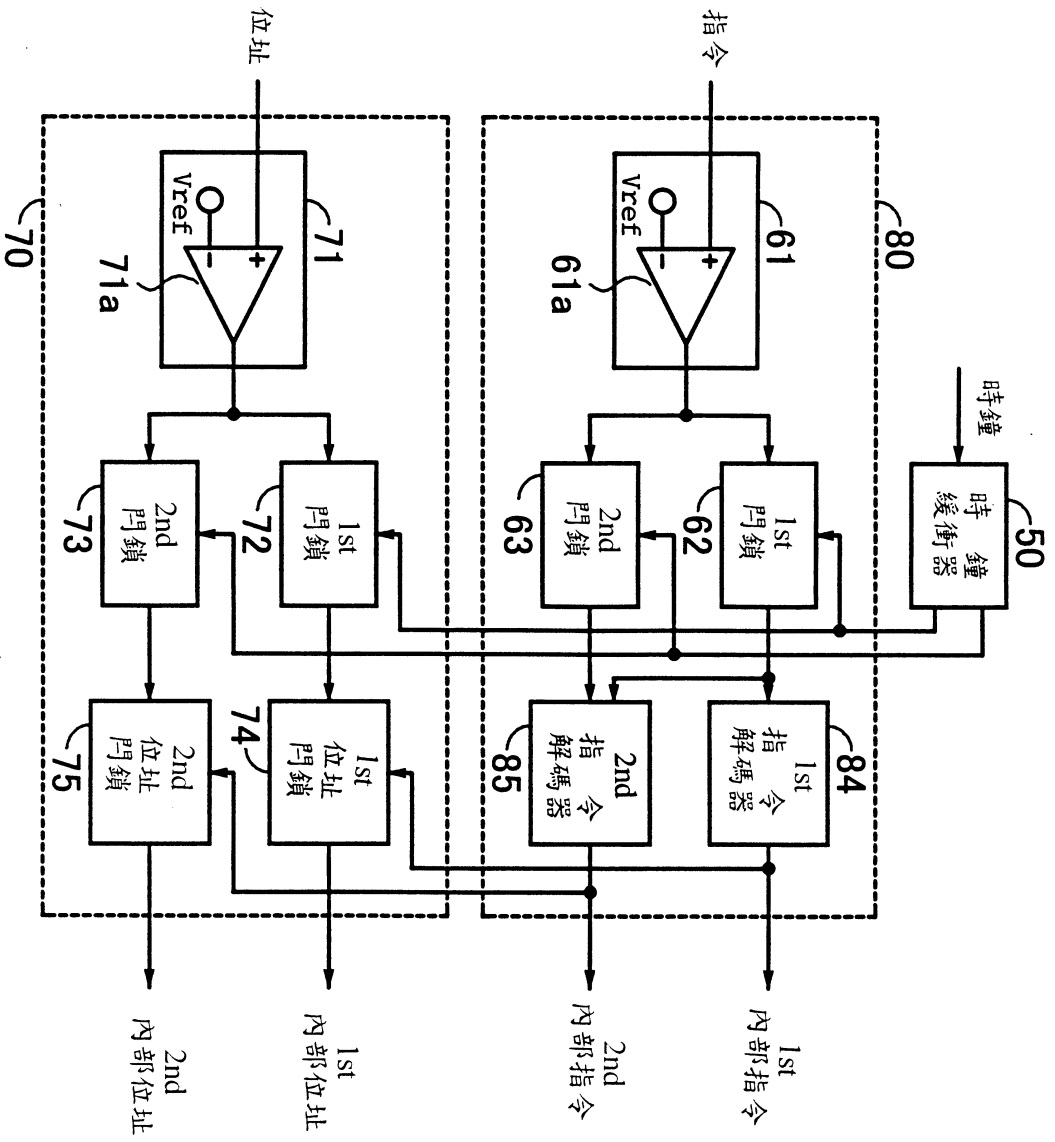
第 5 圖



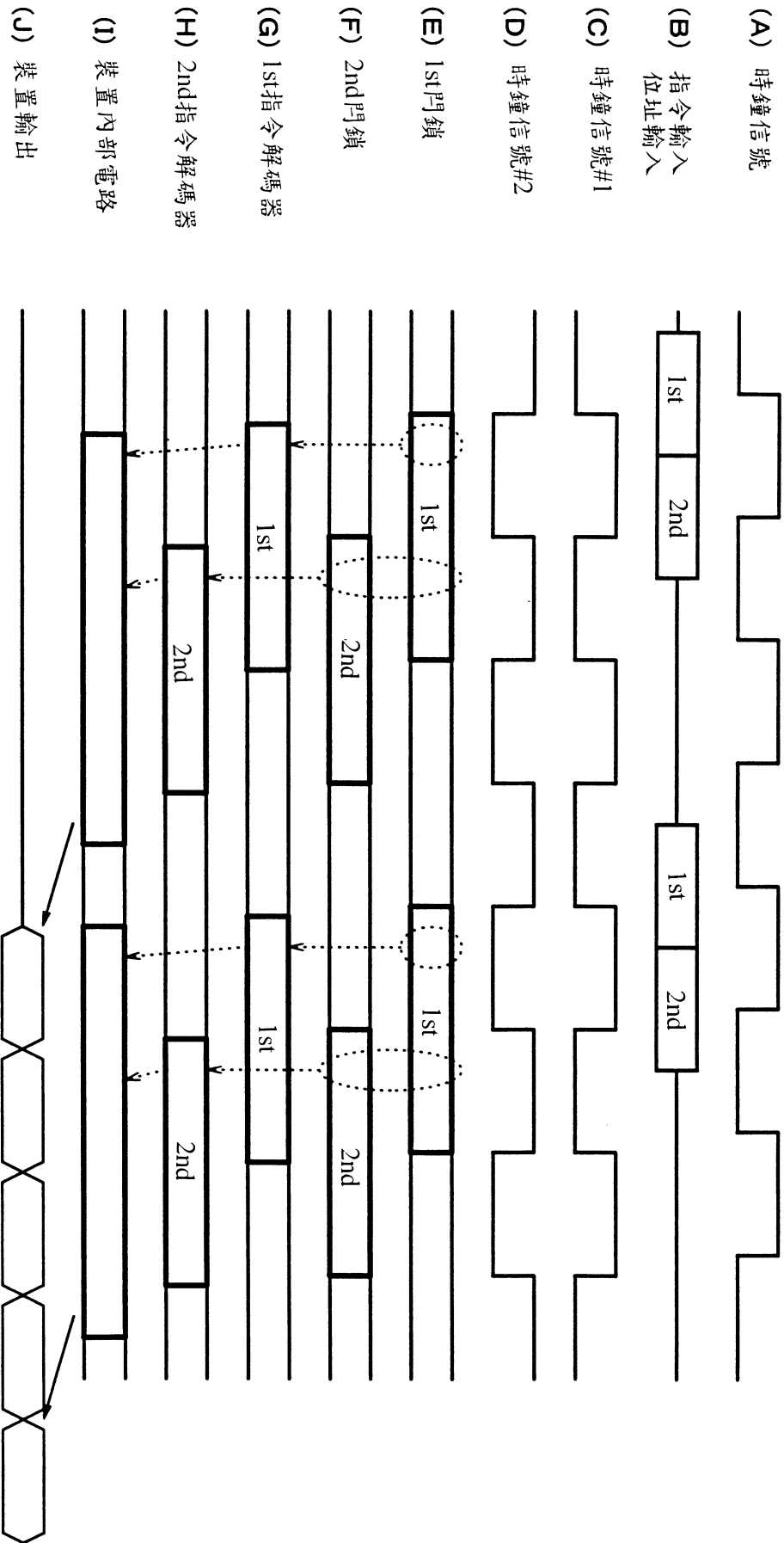
第 6 圖



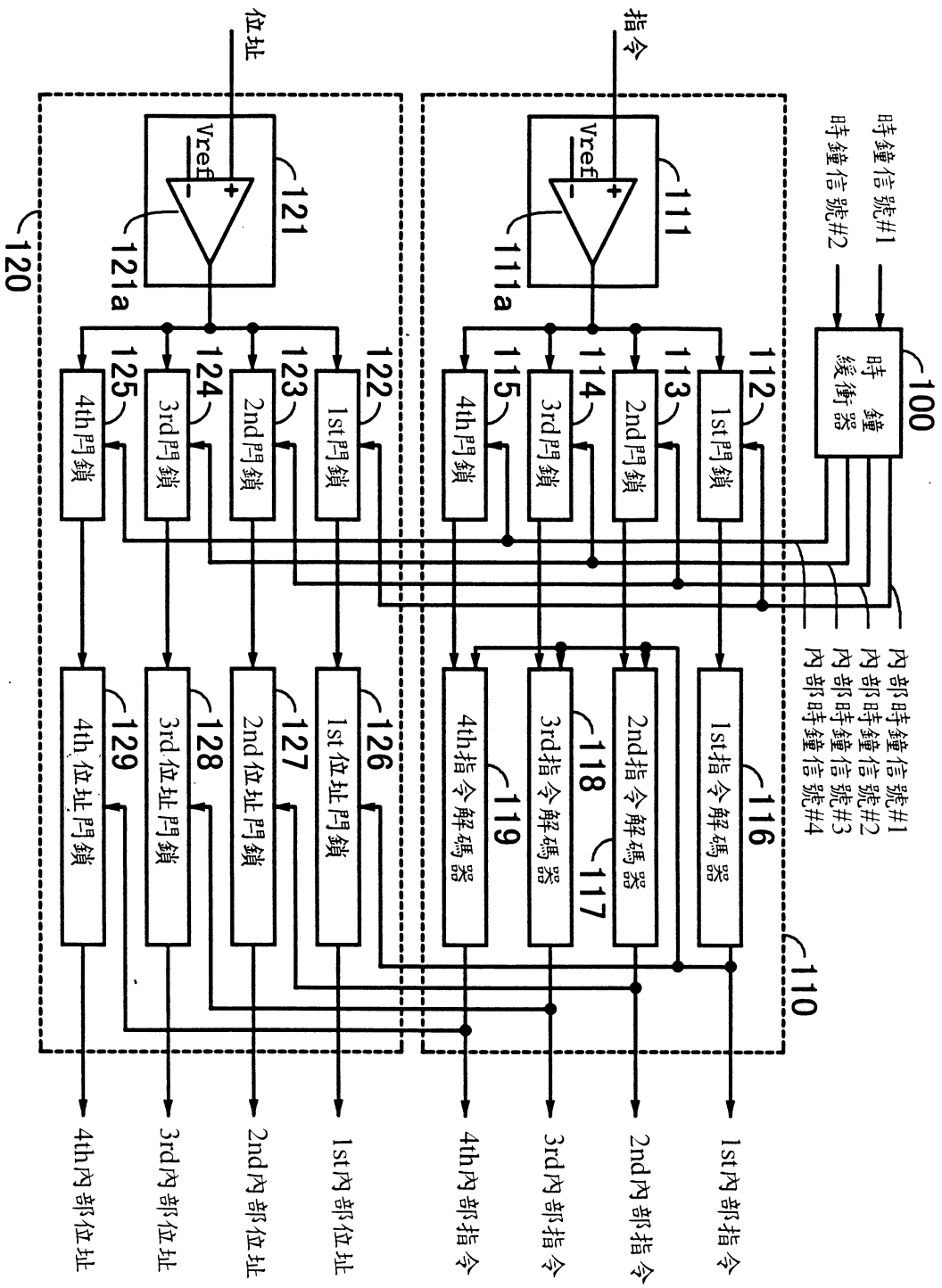
第 7 圖



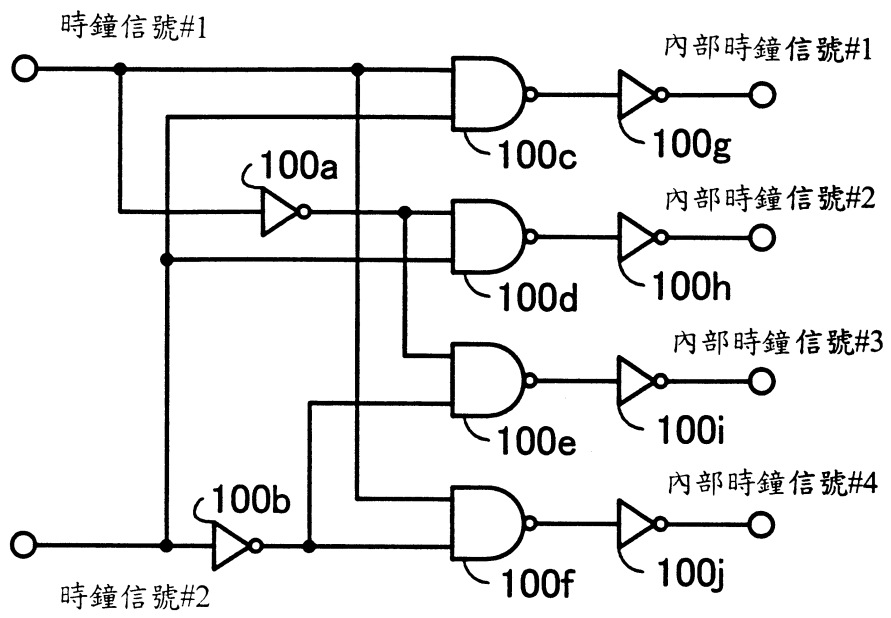
第 8 圖



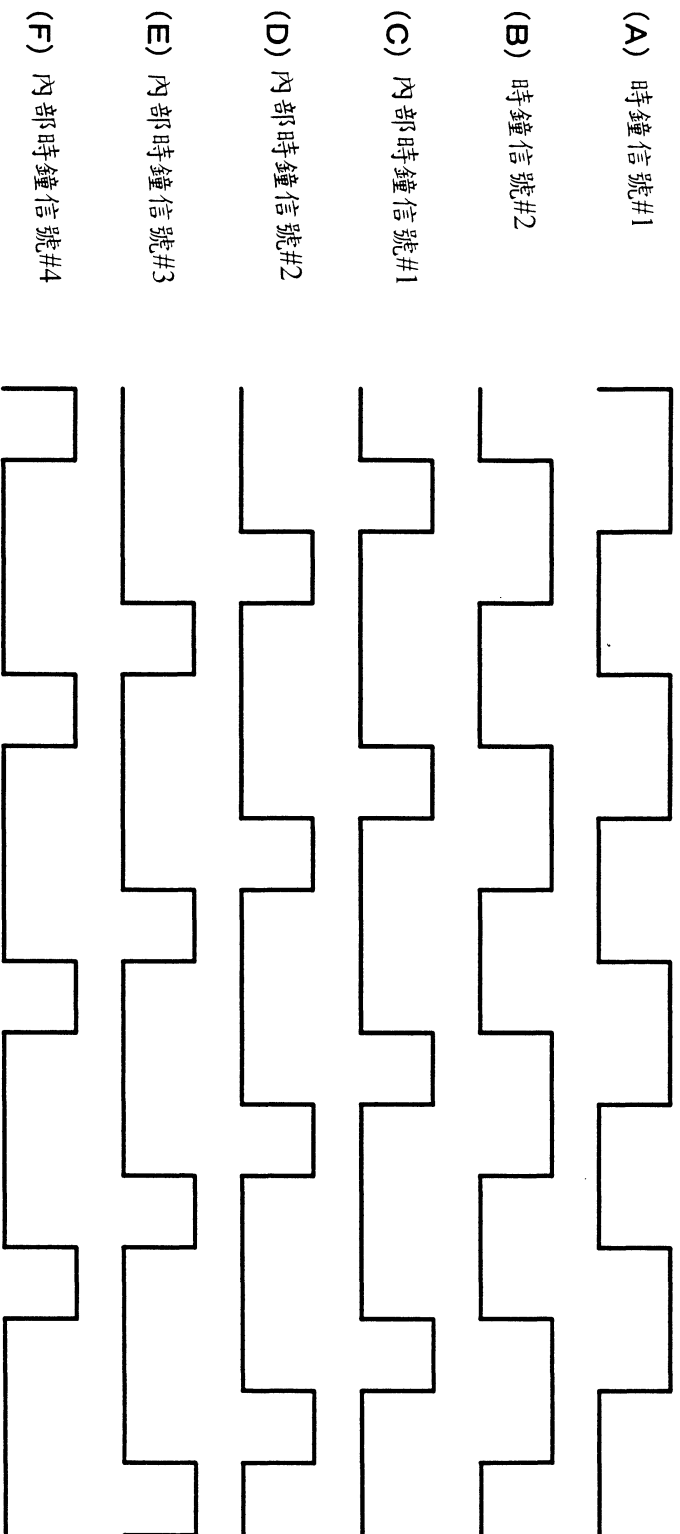
第 9 圖



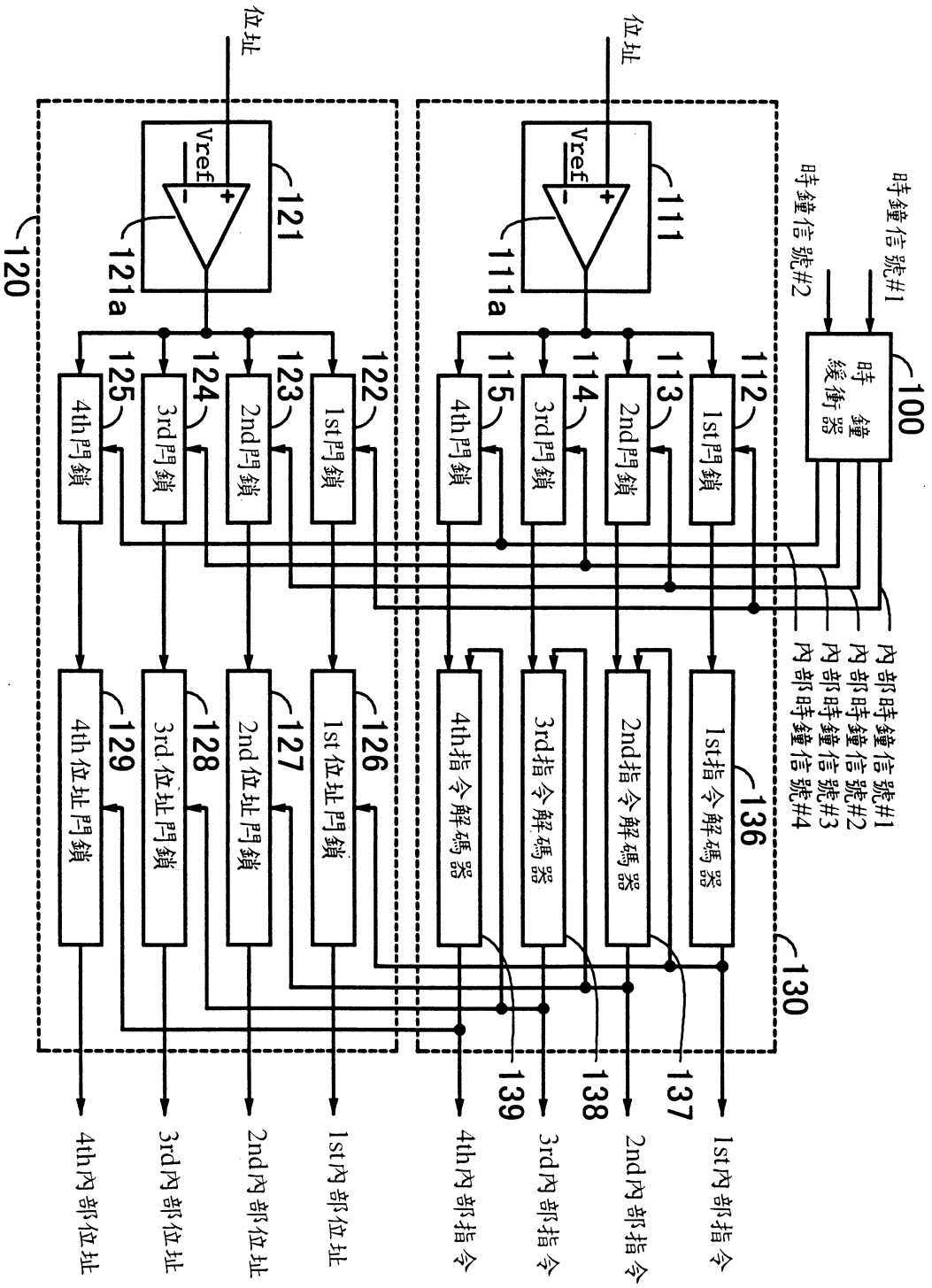
第 10 圖



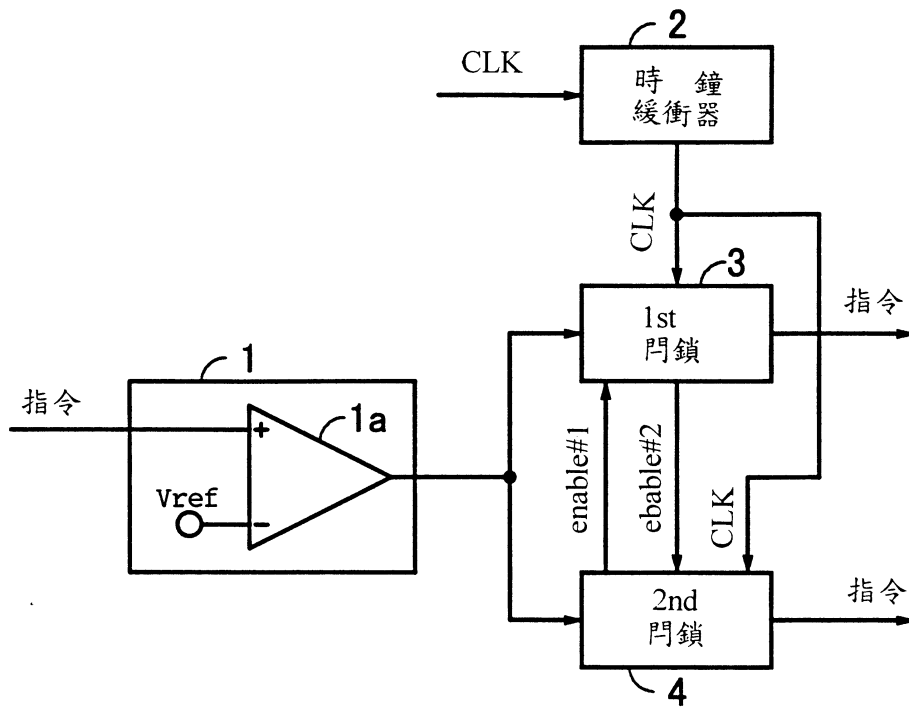
第 11 圖



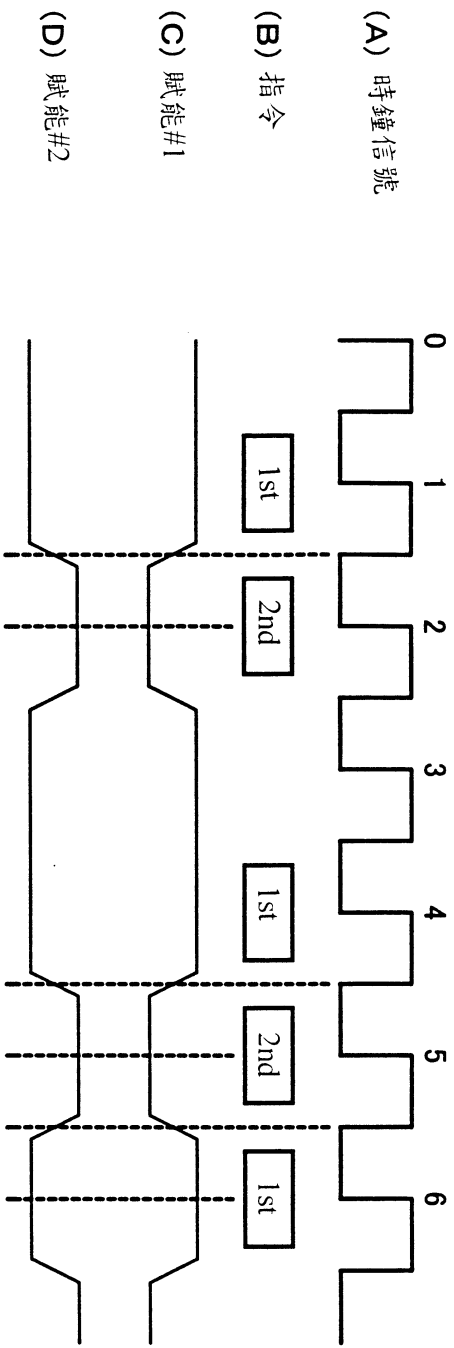
第 12 圖



第 13 圖



第 14 圖



第 15 圖

