

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 24 日(24.12.2014)



(10) 国際公開番号
WO 2014/203304 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2013/066559
- (22) 国際出願日: 2013 年 6 月 17 日(17.06.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド (UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人 (米国についてのみ): 舩岡 富士雄 (MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北 1-15-2 九段坂パークビル 4F S
emicon Consulting 株式会
社内 Tokyo (JP). 中村 広記 (NAKAMURA Hiroki)
[JP/JP]; 〒1020073 東京都千代田区九段北 1-1

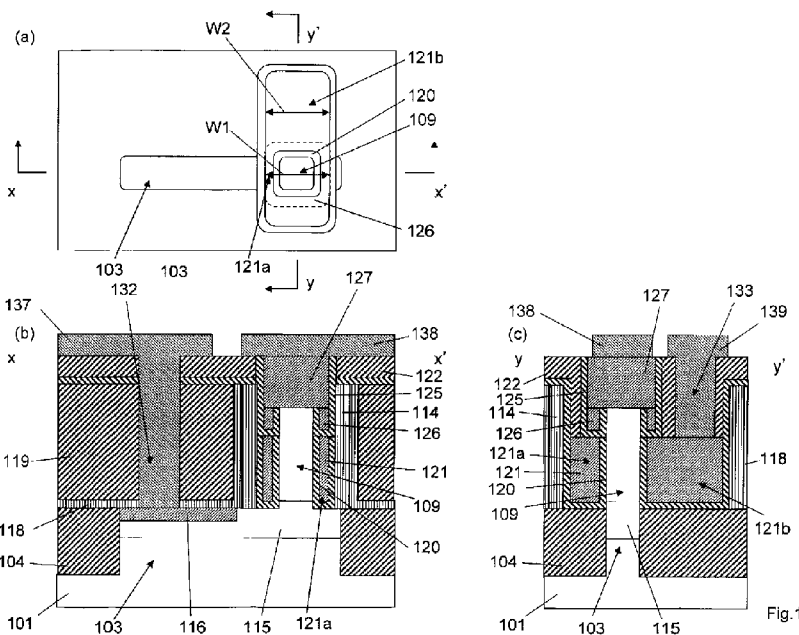
5-2 九段坂パークビル 4F S emicon
Consulting 株式会社内 Tokyo
(JP).

- (74) 代理人: 辻居 幸一, 外 (TSUJII Koichi et al.); 〒
1008355 東京都千代田区丸の内 3 丁目 3 番 1 号
新東京ビル 中村合同特許法律事務所 Tokyo
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、及び、半導体装置



(57) Abstract: The present invention ad-
dresses the problem of providing: a manu-
facturing method for a SGT having a struc-
ture in which the upper section of a colum-
nar semiconductor layer is made to function
as an n-type semiconductor layer or a p-
type semiconductor layer by the work func-
tion difference between a metal and a semi-
conductor, said manufacturing method be-
ing a gate-last process in which two masks
are used to form a fin-shaped semiconduct-
or layer, the columnar semiconductor layer,
a gate electrode, and gate wiring; and a
SGT structure that is obtained as a result of
the manufacturing method. The abovementioned problem is solved by including: a
step in which the fin-shaped semiconductor
layer is formed on a semiconductor sub-
strate and a first insulating film is formed
therearound; a step in which a first dummy
gate is formed; a step in which a second
dummy gate is formed; a step in which a
side wall comprising the insulating film is
formed, a diffusion layer is formed, and a
compound of a metal and a semiconductor
is formed on the diffusion layer; a step in

which the gate electrode and the gate wiring are formed; and a step in which a contact that connects the upper section of a metal side wall and the upper section of the columnar semiconductor layer is formed by forming a contact hole in the upper section of the columnar semiconductor layer, forming a metal side wall on a side wall of the upper section of the columnar semiconductor layer, and depositing a third metal.

(57) 要約:

[続葉有]

WO 2014/203304 A1



(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

2 個のマスクで、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を形成し、ゲートラストプロセスであり、柱状半導体層上部を金属と半導体との仕事関数差によって n 型半導体層もしくは p 型半導体層として機能させる構造を持つ SGT の製造方法と、その結果得られる SGT の構造を提供することを課題とする。半導体基板上にフィン状半導体層を形成し、周囲に第 1 の絶縁膜を形成する工程と、第 1 のダミーゲートを形成する工程と、第 2 のダミーゲートを形成する工程と、絶縁膜からなるサイドウォールを形成し、拡散層を形成し、拡散層上に金属と半導体の化合物を形成する工程と、ゲート電極及びゲート配線を形成する工程と、柱状半導体層上部にコンタクト孔を形成し、柱状半導体層上部側壁に金属サイドウォールを形成し、第 3 の金属を堆積することにより、金属サイドウォール上部と柱状半導体層上部を接続するコンタクトを形成する工程とを有することにより、上記課題を解決する。

明 細 書

発明の名称：半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 半導体集積回路、特にMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。このようなMOSトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「SGT」という。）が提案されている（例えば、特許文献1、特許文献2、特許文献3を参照）。

[0003] 従来のSGTの製造方法では、シリコン柱を描画するためのマスクを用いて窒化膜ハードマスクが柱状に形成されたシリコン柱を形成し、平面状シリコン層を描画するためのマスクを用いてシリコン柱底部に平面状シリコン層を形成し、ゲート配線を描画するためのマスクを用いてゲート配線を形成している（例えば特許文献4を参照）。

すなわち、3つのマスクを用いてシリコン柱、平面状シリコン層、ゲート配線を形成している。

[0004] また、従来のMOSトランジスタにおいて、メタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスが実際の製品で用いられている（非特許文献1）。ポリシリコンでゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲートを露出し、ポリシリコンゲートをエッチング後、メタルを堆積している。そのためSGTにおいてもメタルゲートプロセス

と高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスを用いる必要がある。

[0005] メタルゲートラストプロセスでは、ポリシリコンゲートを形成後、イオン注入により拡散層を形成している。SGTでは、柱状シリコン層上部がポリシリコンゲートに覆われるため工夫が必要である。

[0006] シリコン柱が細くなると、シリコンの密度は 5×10^{22} 個/cm³であるから、シリコン柱内に不純物を存在させることが難しくなってくる。

[0007] 従来のSGTでは、チャネル濃度を 10^{17} cm⁻³以下と低不純物濃度とし、ゲート材料の仕事関数を変えることによってしきい値電圧を決定することが提案されている（例えば、特許文献5を参照）。

[0008] 平面型MOSトランジスタにおいて、LDD領域のサイドウォールが低濃度層と同一の導電型を有する多結晶シリコンにより形成され、LDD領域の表面キャリアがその仕事関数差によって誘起され、酸化膜サイドウォールLDD型MOSトランジスタに比してLDD領域のインピーダンスが低減できることが示されている（例えば、特許文献6を参照）。その多結晶シリコンサイドウォールは電氣的にゲート電極と絶縁されていることが示されている。また図中には多結晶シリコンサイドウォールとソース・ドレインとは層間絶縁膜により絶縁していることが示されている。

[0009] また、ゲート配線と基板間の寄生容量を低減するために、従来のMOSトランジスタでは、第1の絶縁膜を用いている。例えばFINFET（非特許文献2）では、1つのフィン状半導体層の周囲に第1の絶縁膜を形成し、第1の絶縁膜をエッチバックし、フィン状半導体層を露出し、ゲート配線と基板間の寄生容量を低減している。そのためSGTにおいてもゲート配線と基板間の寄生容量を低減するために第1の絶縁膜を用いる必要がある。SGTではフィン状半導体層に加えて、柱状半導体層があるため、柱状半導体層を形成するための工夫が必要である。

先行技術文献

特許文献

[0010] 特許文献1：特開平2－7 1 5 5 6号公報

特許文献2：特開平2－1 8 8 9 6 6号公報

特許文献3：特開平3－1 4 5 7 6 1号公報

特許文献4：特開2 0 0 9－1 8 2 3 1 7号公報

特許文献5：特開2 0 0 4－3 5 6 3 1 4号公報

特許文献6：特開平1 1－2 9 7 9 8 4号公報

非特許文献

[0011] 非特許文献1：IEDM2007 K.Mistry et.al, pp 247-250

非特許文献2：IEDM2010 CC.Wu, et. al, 27.1.1-27.1.4.

発明の概要

発明が解決しようとする課題

[0012] そこで、2個のマスクで、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を形成し、ゲートラストッププロセスであり、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させる構造を持つSGTの製造方法と、その結果得られるSGTの構造を提供することを目的とする。

課題を解決するための手段

[0013] 本発明の半導体装置の製造方法は、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、前記第1工程の後、柱状半導体層と第1のポリシリコンによる第1のダミーゲートを形成する第2工程と、前記第2工程の後、前記第1のダミーゲートと前記柱状半導体層の側壁に第2のダミーゲートを形成する第3工程と、前記第3工程の後、前記第2のダミーゲートの周囲に、サイドウォール状に残存させ、第5の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に第2の拡散層を形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程と、前記第4の工程の後、ゲート電極及びゲート配線を形成する第5工程と、前記第5の工程の後、第

6の絶縁膜を堆積し、前記柱状半導体層上部に形成するコンタクト孔のための第3のレジストを形成し、前記第6の絶縁膜をエッチングすることにより前記柱状半導体層上部にコンタクト孔を形成し、前記第3のレジストを除去し、第2のゲート絶縁膜を堆積し、第2の金属を堆積し、エッチバックを行い、前記柱状半導体層上の前記第2のゲート絶縁膜を除去することにより、前記柱状半導体層上部側壁に金属サイドウォールを形成し、第3の金属を堆積することにより、前記金属サイドウォール上部と前記柱状半導体層上部を接続するコンタクトを形成する第6工程と、を有することを特徴とする。

[0014] また、前記第2工程は、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に前記第1のポリシリコンを堆積し平坦化し、前記ゲート配線と前記柱状半導体層を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、前記柱状半導体層と前記第1のポリシリコンによる前記第1のダミーゲートを形成することを特徴とする。

[0015] また、前記第3工程は、前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記柱状半導体層の側壁に残存させ、前記第2のダミーゲートを形成することを特徴とする。

[0016] また、前記第4工程は、前記第2のダミーゲートの周囲に、前記第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に前記第2の拡散層を形成し、前記第2の拡散層上に前記金属と半導体の化合物を形成することを特徴とする。

[0017] また、前記第5工程は、層間絶縁膜を堆積し化学機械研磨し、前記第2のダミーゲートと前記第1のダミーゲートの上部を露出し、前記第2のダミーゲートと前記第1のダミーゲートを除去し、前記第2の絶縁膜と前記第4の

絶縁膜を除去し、第1のゲート絶縁膜を前記柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、第1の金属を堆積し、エッチバックを行い、前記ゲート電極及び前記ゲート配線を形成することを特徴とする。

[0018] また、前記第2の絶縁膜の上に前記第1のポリシリコンを堆積し平坦化後、前記第1のポリシリコン上に第3の絶縁膜を形成することをさらに含むことを特徴とする。

[0019] また、前記第4の工程の後、コンタクトストッパ膜を堆積することをさらに有することを特徴とする。

[0020] また、前記第5工程の後、前記第1のゲート絶縁膜を除去する工程をさらに有することを特徴とする。

[0021] また、前記金属サイドウォールの金属の仕事関数は、 4.0 eV から 4.2 eV の間であることを特徴とする。

[0022] また、前記金属サイドウォールの金属の仕事関数は、 5.0 eV から 5.2 eV の間であることを特徴とする。

[0023] また、本発明の半導体装置は、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層上に形成された柱状半導体層と、ここで、前記柱状半導体層のフィン状半導体層に直交する方向の幅は前記フィン状半導体層自身に直交する方向の幅と同じであり、前記柱状半導体層の周囲に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜の周囲に形成された金属からなるゲート電極と、前記ゲート電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるゲート配線と、ここで、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記第1のゲート絶縁膜と、前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであり、前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された第2の拡散層と、前記柱状半導体層の上部側壁の周囲に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜の周囲に形成された金属サイドウォールと、前記金属サイドウォールの上部と前記柱状半導体層上部とを接続するコンタクトと、を有するこ

とを特徴とする。

[0024] また、前記金属サイドウォールの周囲と底部に形成された前記第2のゲート絶縁膜をさらに有することを特徴とする。

[0025] また、前記金属サイドウォールの金属の仕事関数は、 4.0 eV から 4.2 eV の間であることを特徴とする。

[0026] また、前記金属サイドウォールの金属の仕事関数は、 5.0 eV から 5.2 eV の間であることを特徴とする。

発明の効果

[0027] 本発明によれば、2個のマスクで、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を形成し、ゲートラストプロセスであり、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させる構造を持つSGTの製造方法と、その結果得られるSGTの構造を提供することができる。

[0028] 半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、ゲート配線と柱状半導体層を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートを形成する第2工程と、前記第2工程の後、前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記柱状半導体層の側壁に残存させ、第2のダミーゲートを形成する第3工程と、前記第2のダミーゲートの周囲に、第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に第2の拡散層を形成し、前記第2の拡散層上に金属

と半導体の化合物を形成する第4工程と、前記第4の工程の後、層間絶縁膜を堆積し化学機械研磨し、前記第2のダミーゲートと前記第1のダミーゲートの上部を露出し、前記第2のダミーゲートと前記第1のダミーゲートを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去し、第1のゲート絶縁膜を前記柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、第1の金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線を形成する第5工程と、により、2個のマスクで、フィン状半導体層、柱状半導体層、後にゲート電極とゲート配線となる第1のダミーゲート及び第2のダミーゲートを形成することができ、工程数を削減することができる。

[0029] 柱状半導体層と、ゲート配線との合わせずれをなくすることができる。

[0030] また、ポリシリコンで第1のダミーゲートと第2のダミーゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨により第1のダミーゲートと第2のダミーゲートを露出し、ポリシリコンゲートをエッチング後、金属を堆積する従来のメタルゲートラストの製造方法を用いることができるため、メタルゲートSGTを容易に形成できる。

[0031] また、前記第5の工程の後、第6の絶縁膜を堆積し、前記柱状半導体層上部に形成するコンタクト孔のための第3のレジストを形成し、前記第6の絶縁膜をエッチングすることにより前記柱状半導体層上部にコンタクト孔を形成し、前記第3のレジストを除去し、第2のゲート絶縁膜を堆積し、第2の金属を堆積し、エッチバックを行い、前記柱状半導体層上の前記第2のゲート絶縁膜を除去することにより、前記柱状半導体層上部側壁に金属サイドウォールを形成し、第3の金属を堆積することにより、前記金属サイドウォール上部と前記柱状半導体層上部を接続するコンタクトを形成する第6工程と、を有することにより、柱状半導体層上部に拡散層を形成することが不要となる。

[0032] メタルゲートラストプロセスをSGTに適用しようとする、柱状半導体層上部がポリシリコンゲートに覆われるため、柱状半導体層上部に拡散層を形成することが難しい。従って、ポリシリコンゲート形成前に柱状半導体層

上部に拡散層を形成することとなる。一方、本発明では、柱状半導体層上部に拡散層を形成せず、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させることができる。従って、柱状半導体層上部に拡散層を形成する工程を削減することができる。

[0033] また、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記第1のゲート絶縁膜により、ゲート電極とゲート配線とは、柱状半導体層とフィン状半導体層とから絶縁をすることができる。

[0034] また、前記金属サイドウォールの周囲と底部に形成された前記第2のゲート絶縁膜をさらに有することにより、コンタクト孔エッチング後にゲート電極とゲート配線が露出していたとしても、その後に第2のゲート絶縁膜が形成されることから、金属サイドウォールは、ゲート電極とゲート配線と絶縁することができる。

図面の簡単な説明

[0035] [図1] (a) は本発明に係る半導体装置の平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図2] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図3] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図4] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図5] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図6] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図7] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図8] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図9] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図10] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図11] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図12] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図13] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図14] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図15] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(

b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図16] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図17] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図18] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図19] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図20] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図21] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図22] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図23] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図24] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線

での断面図である。

[図25] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図26] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図27] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図28] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図29] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図30] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図31] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図32] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図33] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図34] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図35] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図36] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図37] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図38] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図39] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図40] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図41] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図42] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

発明を実施するための形態

[0036] 以下に、本発明の実施形態に係るSGTの構造を形成するための製造工程を、図2～図42を参照して説明する。

[0037] まず、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程を示す。本実施例では、シリコン基板としたが、他の半導体からなる基板とすることもできる。

[0038] 図2に示すように、シリコン基板101上にフィン状シリコン層を形成するための第1のレジスト102を形成する。

[0039] 図3に示すように、シリコン基板101をエッチングし、フィン状シリコン層103を形成する。今回はレジストをマスクとしてフィン状シリコン層を形成したが、酸化膜や窒化膜といったハードマスクを用いてもよい。

[0040] 図4に示すように、第1のレジスト102を除去する。

[0041] 図5に示すように、フィン状シリコン層103の周囲に第1の絶縁膜104を堆積する。第1の絶縁膜として高密度プラズマによる酸化膜や低圧CVD(Chemical Vapor Deposition)による酸化膜を用いてもよい。

[0042] 図6に示すように、第1の絶縁膜104をエッチバックし、フィン状シリコン層103の上部を露出する。ここまでは、非特許文献2のフィン状シリコン層の製法と同じである。

[0043] 以上によりシリコン基板101上にフィン状シリコン層103を形成し、前記フィン状シリコン層103の周囲に第1の絶縁膜104を形成する第1工程が示された。

[0044] 次に、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、ゲート配線と柱状半導体層を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートを形成する第2工程を示す。

[0045] 図7に示すように、前記フィン状シリコン層103の周囲に第2の絶縁膜105を形成する。第2の絶縁膜105は、酸化膜が好ましい。

- [0046] 図8に示すように、前記第2の絶縁膜105の上に第1のポリシリコン106を堆積し平坦化する。
- [0047] 図9に示すように、前記第1のポリシリコン106上に第3の絶縁膜107を形成する。第3の絶縁膜107は、窒化膜が好ましい。
- [0048] 図10に示すように、ゲート配線と柱状シリコン層を形成するための第2のレジスト108を、前記フィン状シリコン層103の方向に対して垂直の方向に形成する。
- [0049] 図11に示すように、前記第3の絶縁膜107と前記第1のポリシリコン106と前記第2の絶縁膜105と前記フィン状シリコン層103をエッチングすることにより、柱状シリコン層109と前記第1のポリシリコンによる第1のダミーゲート106を形成する。このとき、第2のレジストがエッチング中に除去された場合、第3の絶縁膜107がハードマスクとして機能する。第2のレジストがエッチング中に除去されないとき、第3の絶縁膜を使用しなくてもよい。
- [0050] 図12に示すように、第2のレジスト108を除去する。
- [0051] 以上により、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、ゲート配線と柱状半導体層を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートを形成する第2工程が示された。
- [0052] 次に、前記第2工程の後、前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記柱状半導体層の側壁に残存させ、第2のダミーゲートを形成する第3工程を示す。
- [0053] 図13に示すように、前記柱状シリコン層109と前記第1のダミーゲート

ト 1 0 6 の周囲に第 4 の絶縁膜 1 1 0 を形成する。第 4 の絶縁膜 1 1 0 は、酸化膜が好ましい。

[0054] 図 1 4 に示すように、前記第 4 の絶縁膜 1 1 0 の周囲に第 2 のポリシリコン 1 1 3 を堆積する。

[0055] 図 1 5 に示すように、第 2 のポリシリコン 1 1 3 をエッチングすることにより、前記第 1 のダミーゲート 1 0 6 と前記柱状シリコン層 1 0 9 の側壁に残存させ、第 2 のダミーゲート 1 1 3 を形成する

[0056] 以上により、前記第 2 工程の後、前記柱状半導体層と前記第 1 のダミーゲートの周囲に第 4 の絶縁膜を形成し、前記第 4 の絶縁膜の周囲に第 2 のポリシリコンを堆積し、エッチングをすることにより、前記第 1 のダミーゲートと前記柱状半導体層の側壁に残存させ、第 2 のダミーゲートを形成する第 3 工程が示された。

[0057] 次に、前記第 2 のダミーゲートの周囲に、第 5 の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第 5 の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に第 2 の拡散層を形成し、前記第 2 の拡散層上に金属と半導体の化合物を形成する第 4 工程を示す。

[0058] 図 1 6 に示すように、前記第 2 のダミーゲート 1 1 3 の周囲に、第 5 の絶縁膜 1 1 4 を形成する。第 5 の絶縁膜 1 1 4 は、窒化膜が好ましい。

[0059] 図 1 7 に示すように、第 5 の絶縁膜 1 1 4 をエッチングし、サイドウォール状に残存させ、前記第 5 の絶縁膜からなるサイドウォール 1 1 4 を形成する。

[0060] 図 1 8 に示すように、不純物を導入し、前記フィン状シリコン層 1 0 3 上部と前記柱状シリコン層 1 0 9 下部に第 2 の拡散層 1 1 5 を形成する。n 型拡散層のときは、砒素やリンを導入することが好ましい。p 型拡散層のときは、ボロンを導入することが好ましい。不純物導入は、第 5 の絶縁膜を形成する前に行ってもよい。

[0061] 図 1 9 に示すように、前記第 2 の拡散層 1 1 5 上に金属と半導体の化合物

116を形成する。このとき、第2のダミーゲート113上部にも金属と半導体の化合物117が形成される。

[0062] 以上により、前記第2のダミーゲートの周囲に、第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に第2の拡散層を形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程が示された。

[0063] 次に、前記第4の工程の後、層間絶縁膜を堆積し化学機械研磨し、前記第2のダミーゲートと前記第1のダミーゲートの上部を露出し、前記第2のダミーゲートと前記第1のダミーゲートを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去し、第1のゲート絶縁膜を前記柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、第1の金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線を形成する第5工程を示す。

[0064] 図20に示すように、コンタクトストッパ膜118を堆積し、層間絶縁膜119を堆積する。コンタクトストッパ膜118として、窒化膜が好ましい。なお、コンタクト孔エッチングの制御ができるときは、コンタクトストッパ膜を用いなくてもよい。

[0065] 図21に示すように、化学機械研磨し、前記第2のダミーゲートと前記第1のダミーゲートの上部を露出する。このとき、第2のダミーゲート113上部に形成された金属と半導体の化合物117を除去する。

[0066] 図22に示すように、前記第2のダミーゲート113と前記第1のダミーゲート106を除去する。

[0067] 図23に示すように、前記第2の絶縁膜105と前記第4の絶縁膜110を除去する。

[0068] 図24に示すように、第1のゲート絶縁膜120を前記柱状シリコン層109の周囲と前記第5の絶縁膜114の内側に形成し、第1の金属121を堆積する。柱状シリコン層109の周囲にゲート電極121aが形成される。また、ゲート配線121bが形成される。前記ゲート電極121aと前記

ゲート配線 1 2 1 b の周囲と底部に形成された前記第 1 のゲート絶縁膜 1 2 0 により、ゲート電極 1 2 1 a とゲート配線 1 2 1 b とは、柱状シリコン層 1 0 9 とフィン状シリコン層 1 0 3 とから絶縁をすることができる。

[0069] 図 2 5 に示すように、第 1 の金属 1 2 1 のエッチバックを行い、柱状シリコン層 1 0 9 上部を露出する。

[0070] 以上により、前記第 4 の工程の後、層間絶縁膜を堆積し化学機械研磨し、前記第 2 のダミーゲートと前記第 1 のダミーゲートの上部を露出し、前記第 2 のダミーゲートと前記第 1 のダミーゲートを除去し、前記第 2 の絶縁膜と前記第 4 の絶縁膜を除去し、第 1 のゲート絶縁膜を前記柱状半導体層の周囲と前記第 5 の絶縁膜の内側に形成し、第 1 の金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線を形成する第 5 工程が示された。

[0071] 次に、前記第 5 の工程の後、第 6 の絶縁膜を堆積し、前記柱状半導体層上部に形成するコンタクト孔のための第 3 のレジストを形成し、前記第 6 の絶縁膜をエッチングすることにより前記柱状半導体層上部にコンタクト孔を形成し、前記第 3 のレジストを除去し、第 2 のゲート絶縁膜を堆積し、第 2 の金属を堆積し、エッチバックを行い、前記柱状半導体層上の前記第 2 のゲート絶縁膜を除去することにより、前記柱状半導体層上部側壁に金属サイドウォールを形成し、第 3 の金属を堆積することにより、前記金属サイドウォール上部と前記柱状半導体層上部を接続するコンタクトを形成する第 6 工程を示す。

[0072] 図 2 6 に示すように、第 6 の絶縁膜 1 2 2 を堆積する。第 6 の絶縁膜 1 2 2 として酸化膜が好ましい。

[0073] 図 2 7 に示すように、前記柱状シリコン層 1 0 6 上部に形成するコンタクト孔 1 2 4 のための第 3 のレジスト 1 2 3 を形成する。

[0074] 図 2 8 に示すように、前記第 6 の絶縁膜 1 2 2 をエッチングすることにより前記柱状シリコン層 1 0 9 上部にコンタクト孔 1 2 4 を形成する。

[0075] 図 2 9 に示すように、第 3 のレジスト 1 2 3 を除去する。

[0076] 図 3 0 に示すように、露出した第 1 のゲート絶縁膜 1 2 0 を除去する。

- [0077] 図31に示すように、第2のゲート絶縁膜125を堆積する。
- [0078] 図32に示すように、第2の金属126を堆積する。コンタクト孔エッチング後にゲート電極とゲート配線が露出していたとしても、第2のゲート絶縁膜125により、第2の金属126はゲート電極121aとゲート配線121bと絶縁される。第2の金属126の金属の仕事関数は、トランジスタがn型のときは、4.0 eVから4.2 eVの間であることが好ましい。また、第2の金属126の仕事関数は、トランジスタがp型のときは、5.0 eVから5.2 eVの間であることが好ましい。
- [0079] 図33に示すように、第2の金属126のエッチバックを行い柱状シリコン層の上部を露出する。
- [0080] 図34に示すように、柱状シリコン層109上の第2のゲート絶縁膜125を除去することにより、柱状シリコン層109上部側壁に金属サイドウォール126を形成する。
- [0081] 図35に示すように、第3の金属127を堆積することにより、金属サイドウォール126上部と柱状シリコン層109上部を接続するコンタクト127を形成する。柱状シリコン層109上部に拡散層を形成せず、柱状シリコン層上部を第2の金属とシリコンとの仕事関数差によってn型シリコン層もしくはp型シリコン層として機能させることができる。従って、柱状シリコン層上部に拡散層を形成する工程を削減することができる。
- [0082] 以上により、前記第5の工程の後、第6の絶縁膜を堆積し、前記柱状半導体層上部に形成するコンタクト孔のための第3のレジストを形成し、前記第6の絶縁膜をエッチングすることにより前記柱状半導体層上部にコンタクト孔を形成し、前記第3のレジストを除去し、第2のゲート絶縁膜を堆積し、第2の金属を堆積し、エッチバックを行い、前記柱状半導体層上の前記第2のゲート絶縁膜を除去することにより、前記柱状半導体層上部側壁に金属サイドウォールを形成し、第3の金属を堆積することにより、前記金属サイドウォール上部と前記柱状半導体層上部を接続するコンタクトを形成する第6工程が示された。

- [0083] 図36に示すように、コンタクト孔を形成するための第4のレジスト128を形成する。
- [0084] 図37に示すように、第6の絶縁膜122、第1のゲート絶縁膜120、層間絶縁膜119、コンタクトストッパ膜118をエッチングすることにより、コンタクト孔129、130を形成する。
- [0085] 図38に示すように、第4のレジスト128を除去する。
- [0086] 図39に示すように、金属131を堆積し、コンタクト132、133を形成する。
- [0087] 図40に示すように、金属配線を形成するため第5のレジスト134、135、136を形成する。
- [0088] 図41に示すように、金属131をエッチングし、金属配線137、138、139を形成する。
- [0089] 図42に示すように、第5のレジスト134、135、136を除去する。
- [0090] 以上により、2個のマスクで、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を形成し、ゲートラストプロセスであり、柱状半導体層上部を金属と半導体との仕事関数差によってn型半導体層もしくはp型半導体層として機能させる構造を持つSGTの製造方法が示された。
- [0091] 上記製造方法によって得られる半導体装置の構造を図1に示す。

この半導体装置は、シリコン基板101上に形成されたフィン状シリコン層103と、前記フィン状シリコン層103の周囲に形成された第1の絶縁膜104と、前記フィン状シリコン層103上に形成された柱状シリコン層109と、ここで、前記柱状シリコン層109のフィン状シリコン層と直交する方向の幅は前記フィン状シリコン層103自身に直交する方向の幅と同じであり、前記柱状シリコン層109の周囲に形成された第1のゲート絶縁膜120と、前記第1のゲート絶縁膜120の周囲に形成された金属からなるゲート電極121aと、前記ゲート電極121aに接続された前記フィン状シリコン層103に直交する方向に延在する金属からなるゲート配線12

1 b と、前記ゲート電極 1 2 1 a と前記ゲート配線 1 2 1 b の周囲と底部に形成された前記第 1 のゲート絶縁膜 1 2 0 と、ここで、前記ゲート電極 1 2 1 a の外側の幅と前記ゲート配線 1 2 1 b の幅は同じであり、前記フィン状シリコン層 1 0 3 の上部と前記柱状シリコン層 1 0 9 の下部に形成された第 2 の拡散層 1 1 5 と、前記柱状シリコン層 1 0 9 の上部側壁の周囲に形成された第 2 のゲート絶縁膜 1 2 5 と、前記第 2 のゲート絶縁膜 1 2 5 の周囲に形成された金属サイドウォール 1 2 6 と、前記金属サイドウォール 1 2 6 の上部と前記柱状シリコン層 1 0 9 上部とを接続するコンタクト 1 2 7 と、を有する。

[0092] 本発明では、柱状シリコン層 1 0 9 上部に拡散層を形成せず、柱状シリコン層 1 0 9 上部を第 2 の金属 1 2 6 とシリコンとの仕事関数差によって n 型シリコン層もしくは p 型シリコン層として機能させることができる。従って、柱状シリコン層上部に拡散層を形成する工程を削減することができる。

[0093] 前記第 2 の金属 1 2 6 の仕事関数が 4. 0 e V から 4. 2 e V の間であるとき、n 型シリコンの仕事関数 4. 0 5 e V の近傍であるため、柱状シリコン層 1 0 9 上部は、n 型シリコンとして機能する。金属 1 2 6 としては、例えば、タンタルとチタンの化合物 (TaTi) や窒化タンタル (Ta₃N₅) が好ましい。

[0094] 前記第 2 の金属 1 2 6 の仕事関数が 5. 0 e V から 5. 2 e V の間であるとき、p 型シリコンの仕事関数 5. 1 5 e V の近傍であるため、柱状シリコン層 1 0 6 上部は、p 型シリコンとして機能する。金属 1 2 6 としては、例えば、ルテニウム (Ru) や窒化チタン (TiN) が好ましい。

[0095] また、前記ゲート電極 1 2 1 a と前記ゲート配線 1 2 1 b の周囲と底部に形成された前記第 1 のゲート絶縁膜 1 2 0 により、ゲート電極 1 2 1 a とゲート配線 1 2 1 b とは、柱状シリコン層 1 0 9 とフィン状シリコン層 1 0 3 とから絶縁をすることができる。

[0096] また、前記金属サイドウォール 1 2 6 の周囲と底部に形成された前記第 2 のゲート絶縁膜 1 2 5 をさらに有することにより、コンタクト孔エッチング

後にゲート電極 1 2 1 a とゲート配線 1 2 1 b が露出していたとしても、その後第 2 のゲート絶縁膜 1 2 5 が形成されることから、金属サイドウォール 1 2 6 は、ゲート電極 1 2 1 a とゲート配線 1 2 1 b と絶縁することができる。

[0097] さらに、セルフアラインで形成されるので、柱状シリコン層 1 0 9 と、ゲート配線 1 2 1 b との合わせずれをなくすることができる。

[0098] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0099] 例えば、上記実施例において、p 型（p⁺型を含む。）と n 型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

- [0100] 1 0 1. シリコン基板
1 0 2. 第 1 のレジスト
1 0 3. フィン状シリコン層
1 0 4. 第 1 の絶縁膜
1 0 5. 第 2 の絶縁膜
1 0 6. 第 1 のポリシリコン、第 1 のダミーゲート
1 0 7. 第 3 の絶縁膜
1 0 8. 第 2 のレジスト
1 0 9. 柱状シリコン層
1 1 0. 第 4 の絶縁膜
1 1 3. 第 2 のポリシリコン、第 2 のダミーゲート
1 1 4. 第 5 の絶縁膜、第 5 の絶縁膜からなるサイドウォール
1 1 5. 第 2 の拡散層
1 1 6. 金属と半導体の化合物

- 1 1 7. 金属と半導体の化合物
- 1 1 8. コンタクトストッパ膜
- 1 1 9. 層間絶縁膜
- 1 2 0. 第1のゲート絶縁膜
- 1 2 1. 第1の金属
 - 1 2 1 a. ゲート電極
 - 1 2 1 b. ゲート配線
- 1 2 2. 第6の絶縁膜
- 1 2 3. 第3のレジスト
- 1 2 4. コンタクト孔
- 1 2 5. 第2のゲート絶縁膜
- 1 2 6. 第2の金属、金属サイドウォール
- 1 2 7. 第3の金属、コンタクト
- 1 2 8. 第4のレジスト
- 1 2 9. コンタクト孔
- 1 3 0. コンタクト孔
- 1 3 1. 金属
- 1 3 2. コンタクト
- 1 3 3. コンタクト
- 1 3 4. 第5のレジスト
- 1 3 5. 第5のレジスト
- 1 3 6. 第5のレジスト
- 1 3 7. 金属配線
- 1 3 8. 金属配線
- 1 3 9. 金属配線

請求の範囲

[請求項1]

半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、

前記第1工程の後、柱状半導体層と第1のポリシリコンによる第1のダミーゲートを形成する第2工程と、

前記第2工程の後、前記第1のダミーゲートと前記柱状半導体層の側壁に第2のダミーゲートを形成する第3工程と、

前記第3工程の後、前記第2のダミーゲートの周囲に、サイドウォール状に残存させ、第5の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に第2の拡散層を形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程と、

前記第4の工程の後、ゲート電極及びゲート配線を形成する第5工程と、

前記第5の工程の後、第6の絶縁膜を堆積し、前記柱状半導体層上部に形成するコンタクト孔のための第3のレジストを形成し、前記第6の絶縁膜をエッチングすることにより前記柱状半導体層上部にコンタクト孔を形成し、前記第3のレジストを除去し、第2のゲート絶縁膜を堆積し、第2の金属を堆積し、エッチバックを行い、前記柱状半導体層上の前記第2のゲート絶縁膜を除去することにより、前記柱状半導体層上部側壁に金属サイドウォールを形成し、第3の金属を堆積することにより、前記金属サイドウォール上部と前記柱状半導体層上部を接続するコンタクトを形成する第6工程と、を有することを特徴とする半導体装置の製造方法。

[請求項2]

前記第2工程は、

前記フィン状半導体層の周囲に第2の絶縁膜を形成し、

前記第2の絶縁膜の上に前記第1のポリシリコンを堆積し平坦化し、

、

前記ゲート配線と前記柱状半導体層を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、

前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、前記柱状半導体層と前記第1のポリシリコンによる前記第1のダミーゲートを形成することを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項3] 前記第3工程は、前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記柱状半導体層の側壁に残存させ、前記第2のダミーゲートを形成することを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項4] 前記第4工程は、前記第2のダミーゲートの周囲に、前記第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に前記第2の拡散層を形成し、前記第2の拡散層上に前記金属と半導体の化合物を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項5] 前記第5工程は、層間絶縁膜を堆積し化学機械研磨し、前記第2のダミーゲートと前記第1のダミーゲートの上部を露出し、前記第2のダミーゲートと前記第1のダミーゲートを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去し、第1のゲート絶縁膜を前記柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、第1の金属を堆積し、エッチバックを行い、前記ゲート電極及び前記ゲート配線を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項6] 前記第2の絶縁膜の上に前記第1のポリシリコンを堆積し平坦化後、前記第1のポリシリコン上に第3の絶縁膜を形成することをさらに含むことを特徴とする請求項2に記載の半導体装置の製造方法。

- [請求項7] 前記第4の工程の後、コンタクトストッパ膜を堆積することをさらに有することを特徴とする請求項5に記載の半導体装置の製造方法。
- [請求項8] 前記第5工程の後、前記第1のゲート絶縁膜を除去する工程をさらに有することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項9] 前記金属サイドウォールの金属の仕事関数は、 4.0 eV から 4.2 eV の間であることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項10] 前記金属サイドウォールの金属の仕事関数は、 5.0 eV から 5.2 eV の間であることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項11] 半導体基板上に形成されたフィン状半導体層と、
前記フィン状半導体層の周囲に形成された第1の絶縁膜と、
前記フィン状半導体層上に形成された柱状半導体層と、ここで、前記柱状半導体層の前記フィン状半導体層に直交する方向の幅は前記フィン状半導体層自身に直交する方向の幅と同じであり、
前記柱状半導体層の周囲に形成された第1のゲート絶縁膜と、
前記第1のゲート絶縁膜の周囲に形成された金属からなるゲート電極と、
前記ゲート電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるゲート配線と、
前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記第1のゲート絶縁膜と、ここで、前記ゲート電極の外側の幅と前記ゲート配線の幅は同じであり、
前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された第2の拡散層と、
前記柱状半導体層の上部側壁の周囲に形成された第2のゲート絶縁膜と、
前記第2のゲート絶縁膜の周囲に形成された金属サイドウォールと、

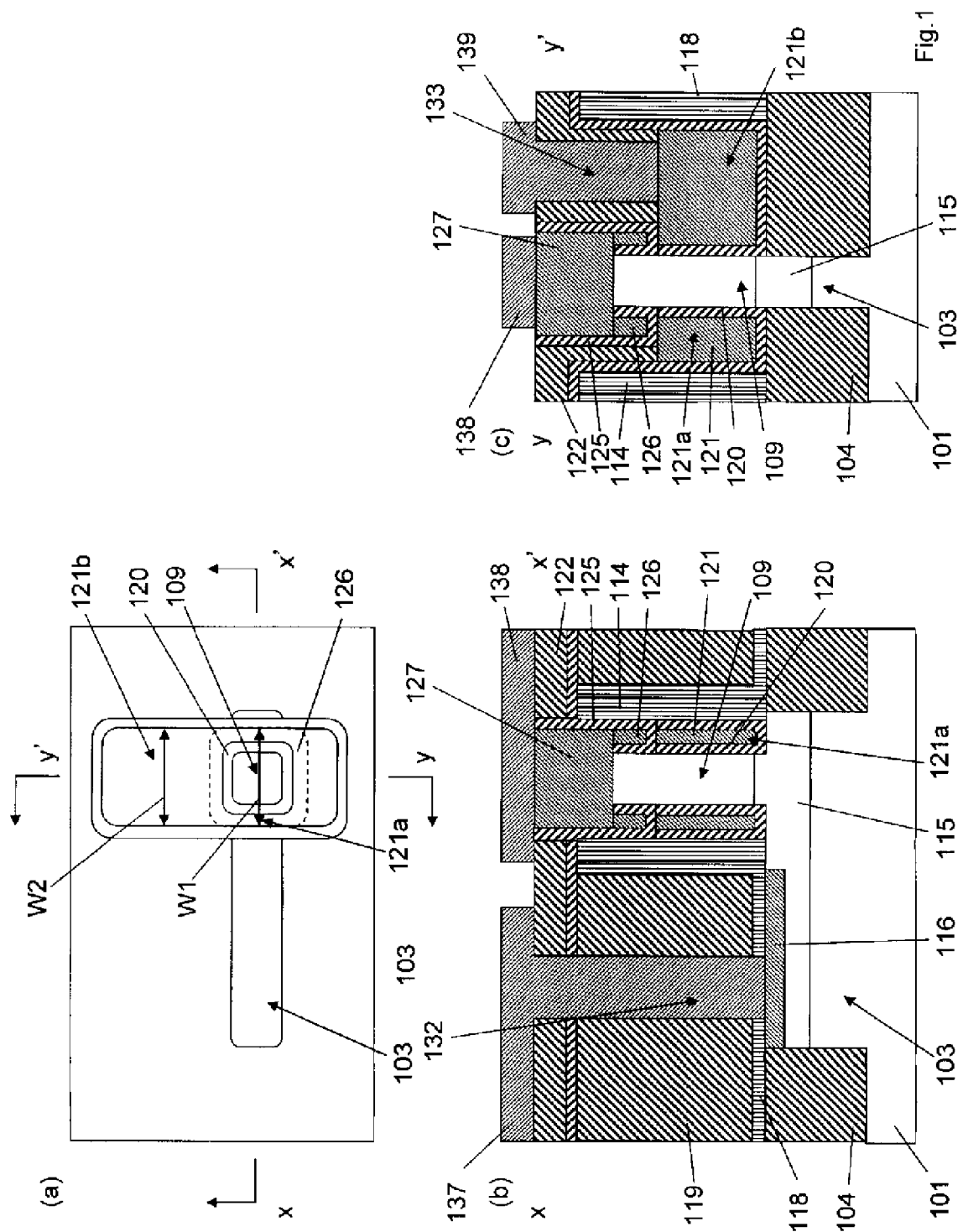
前記金属サイドウォールの上部と前記柱状半導体層上部とを接続するコンタクトと、
を有することを特徴とする半導体装置。

[請求項12] 前記金属サイドウォールの周囲と底部に形成された前記第2のゲート絶縁膜をさらに有することを特徴とする請求項11に記載の半導体装置。

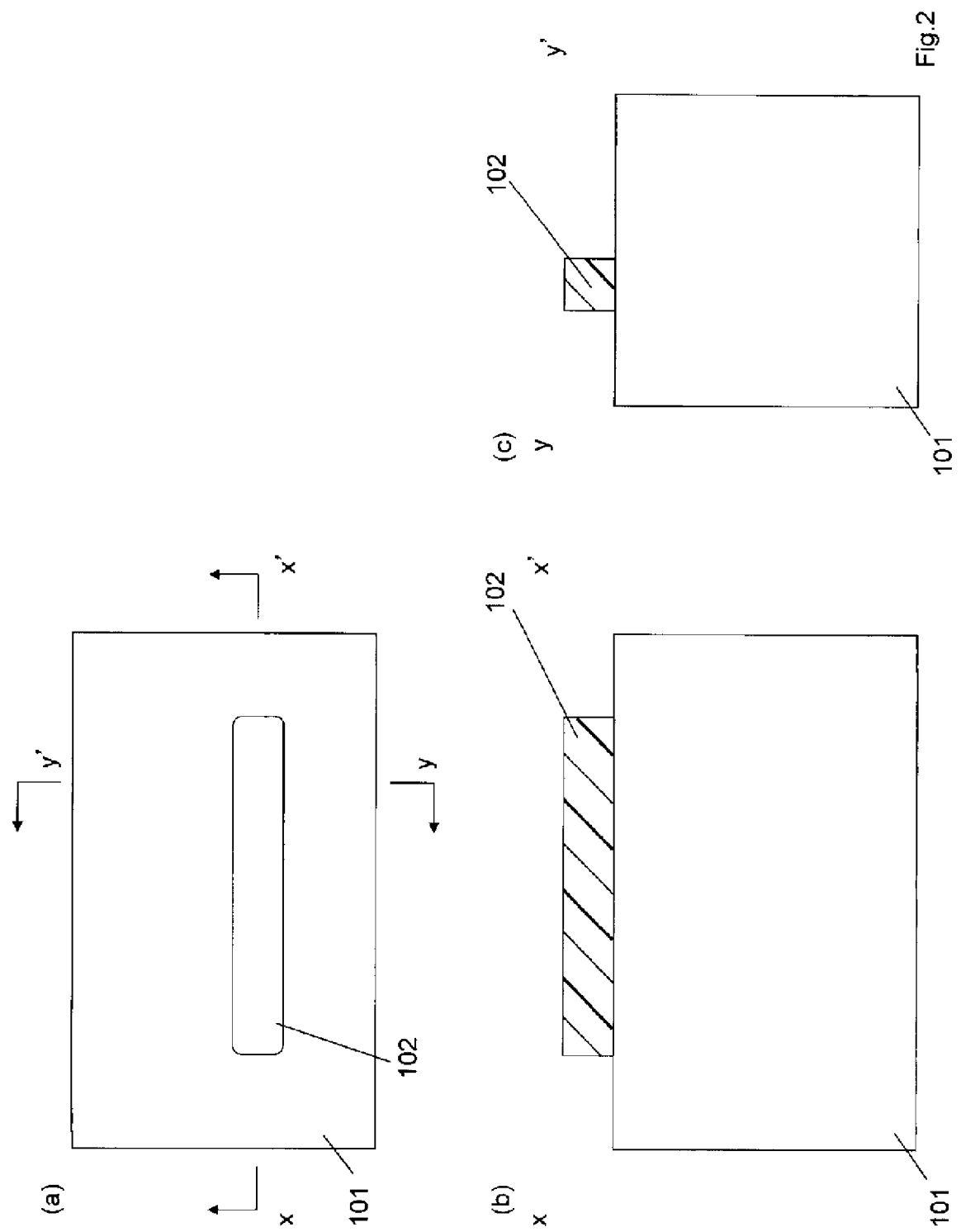
[請求項13] 前記金属サイドウォールの金属の仕事関数は、4.0 eVから4.2 eVの間であることを特徴とする請求項11に記載の半導体装置。

[請求項14] 前記金属サイドウォールの金属の仕事関数は、5.0 eVから5.2 eVの間であることを特徴とする請求項11に記載の半導体装置。

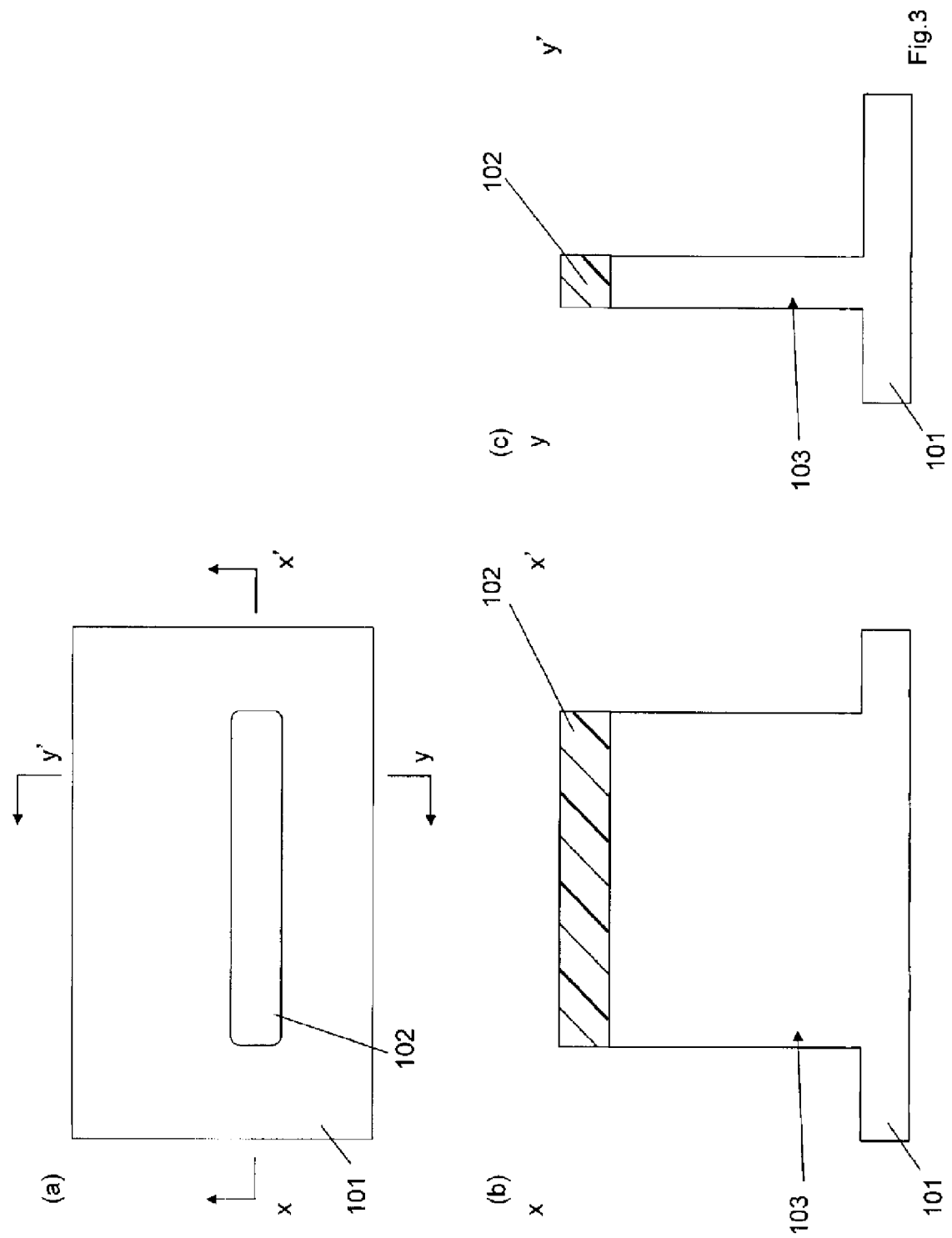
[図1]



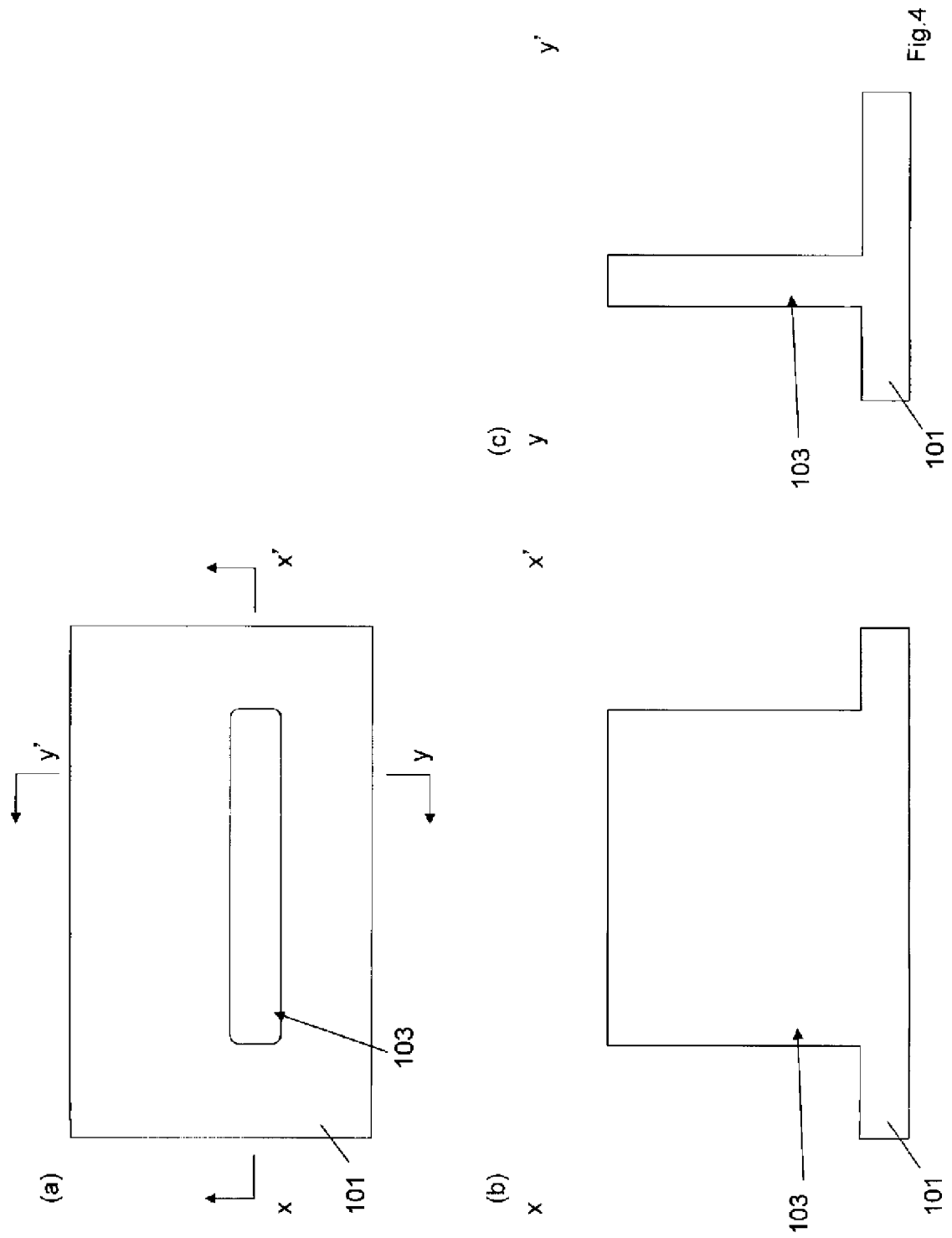
[図2]



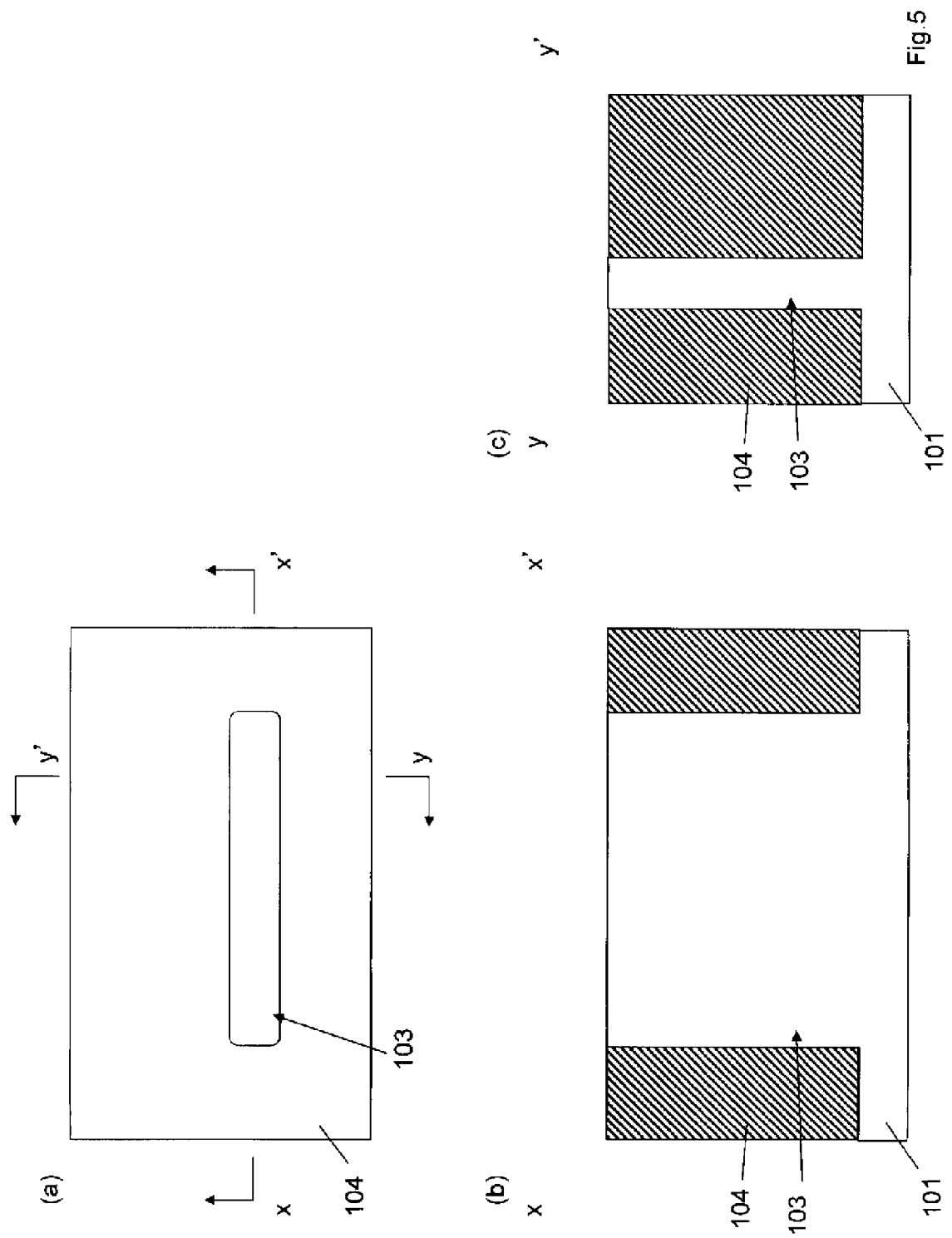
[図3]



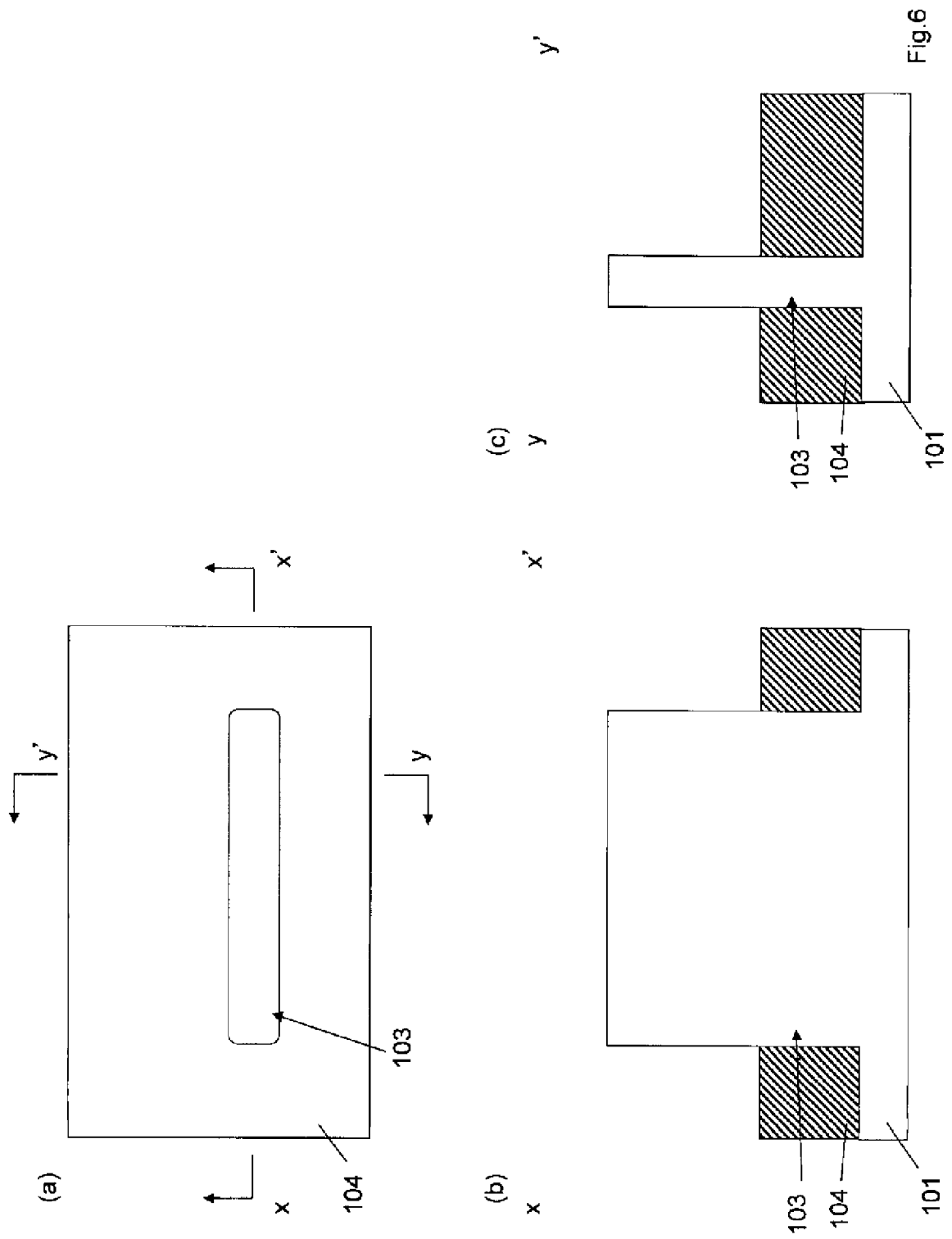
[図4]



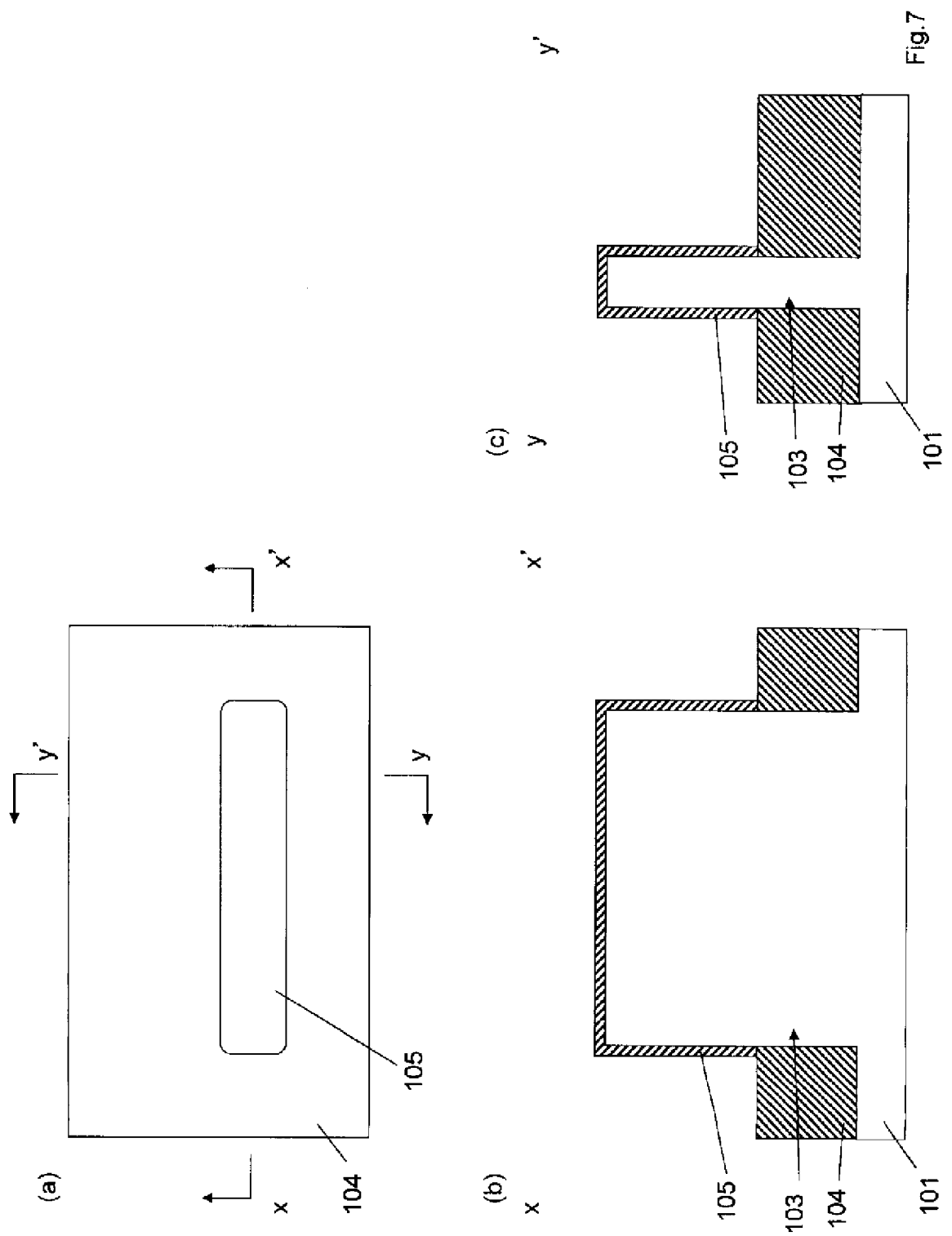
[図5]



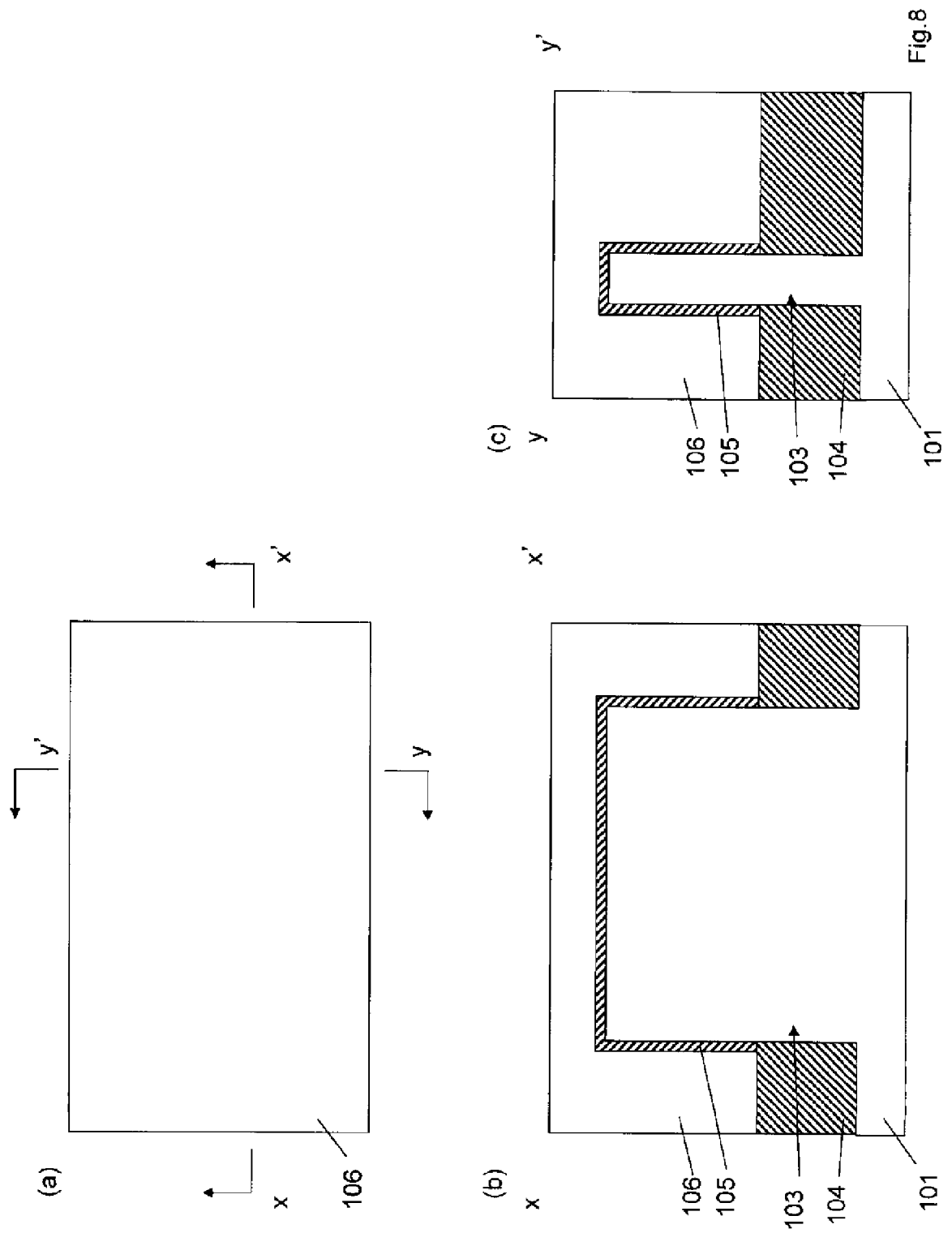
[図6]



[図7]



[図8]



[図9]

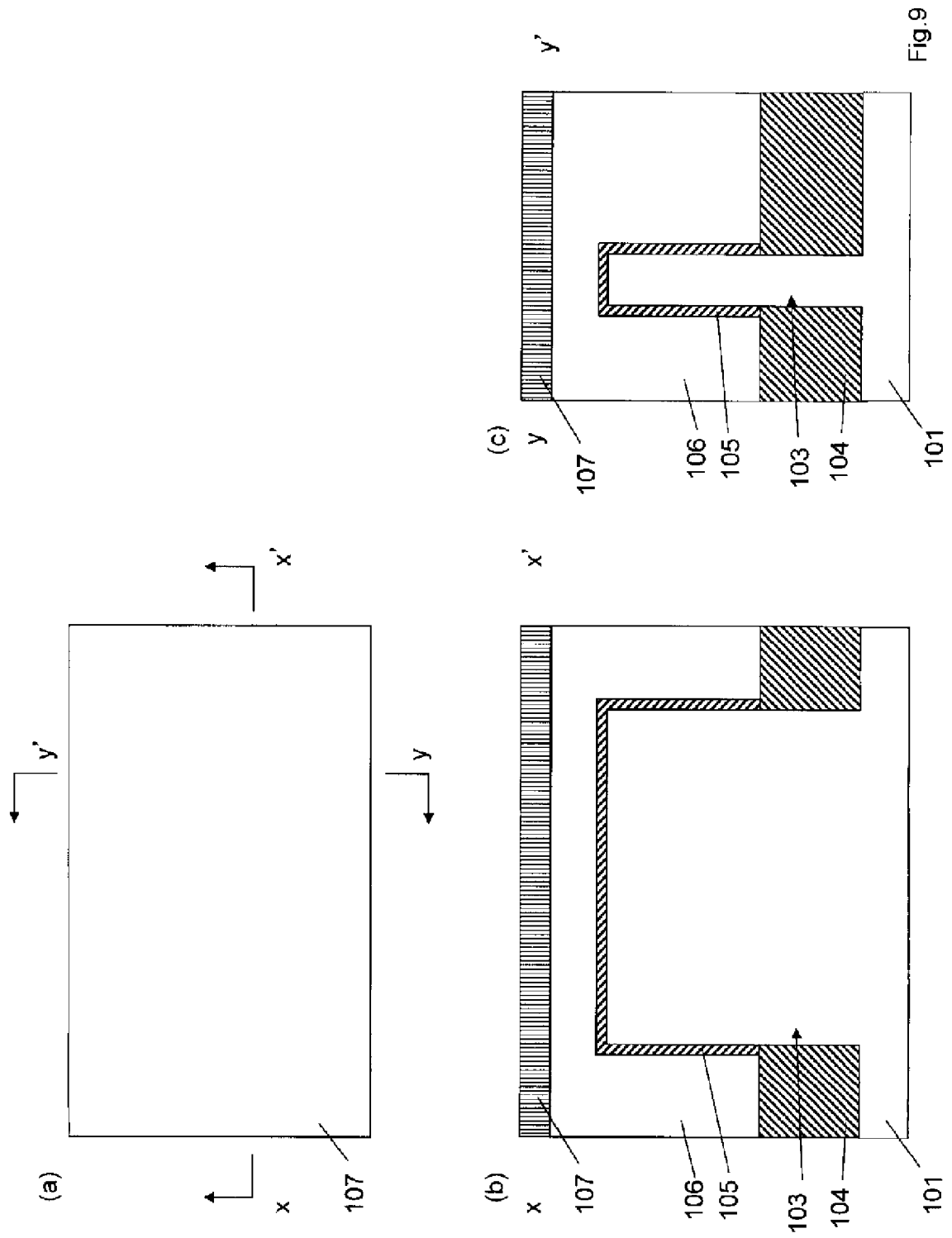
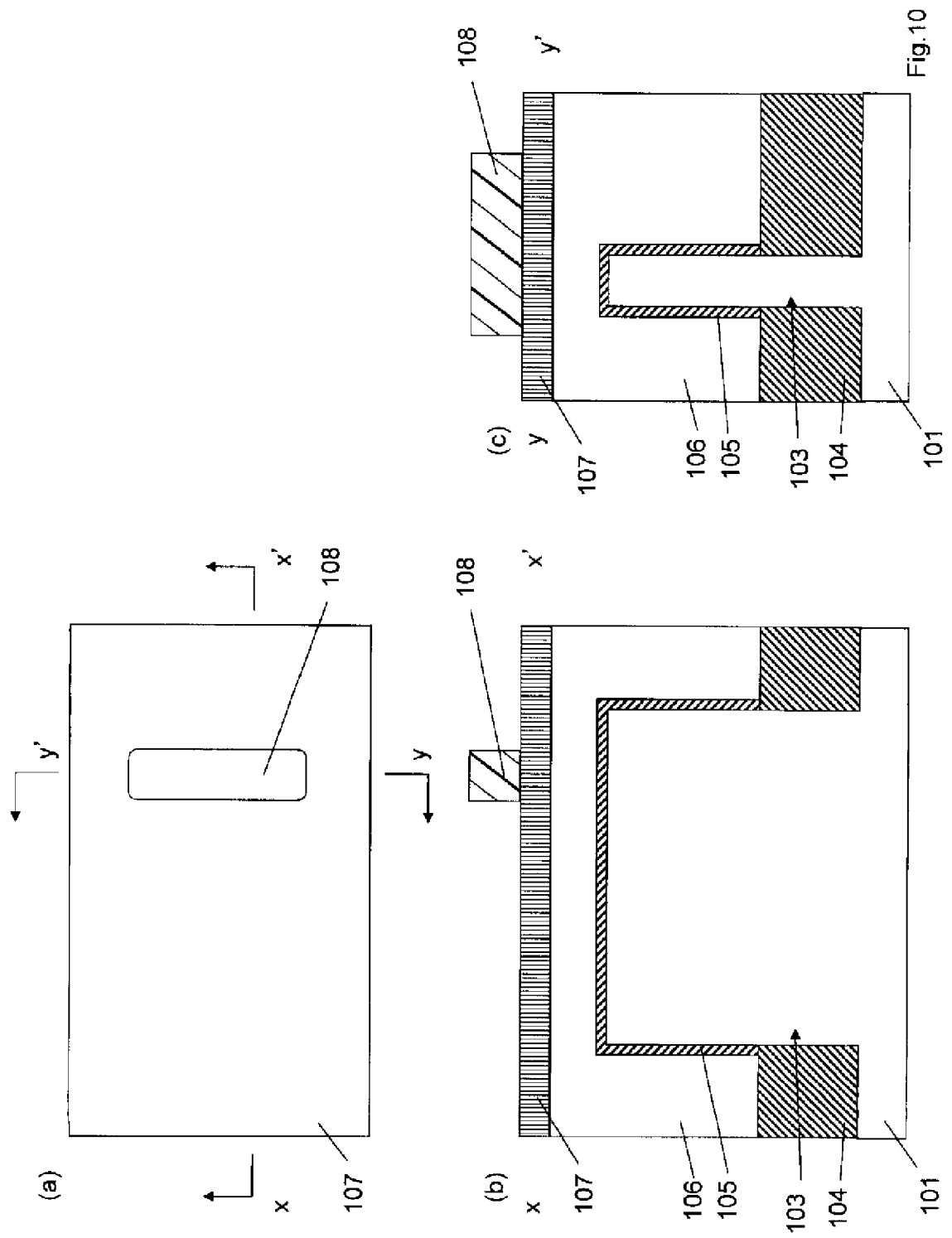
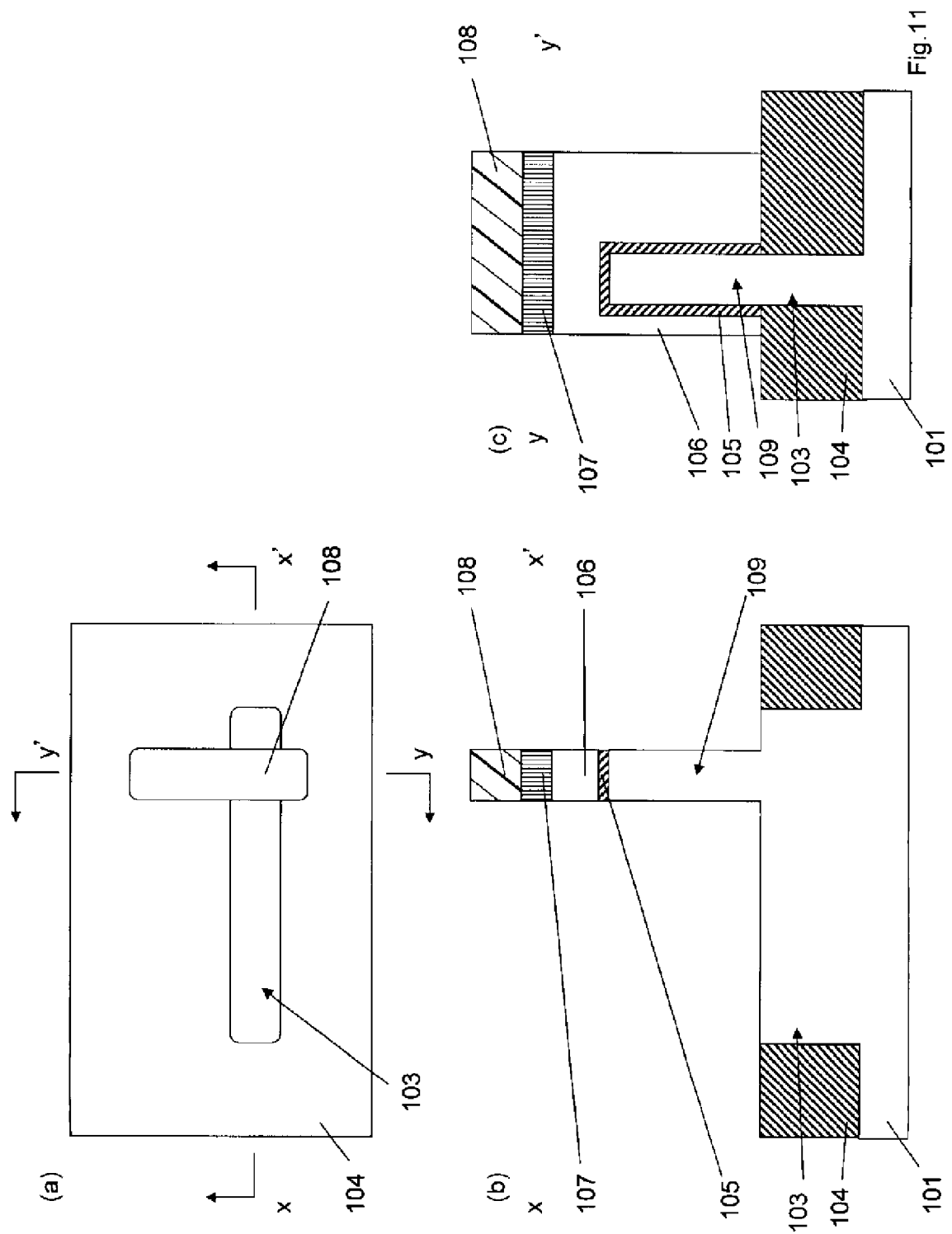


Fig.9

[図10]



[図11]



[図12]

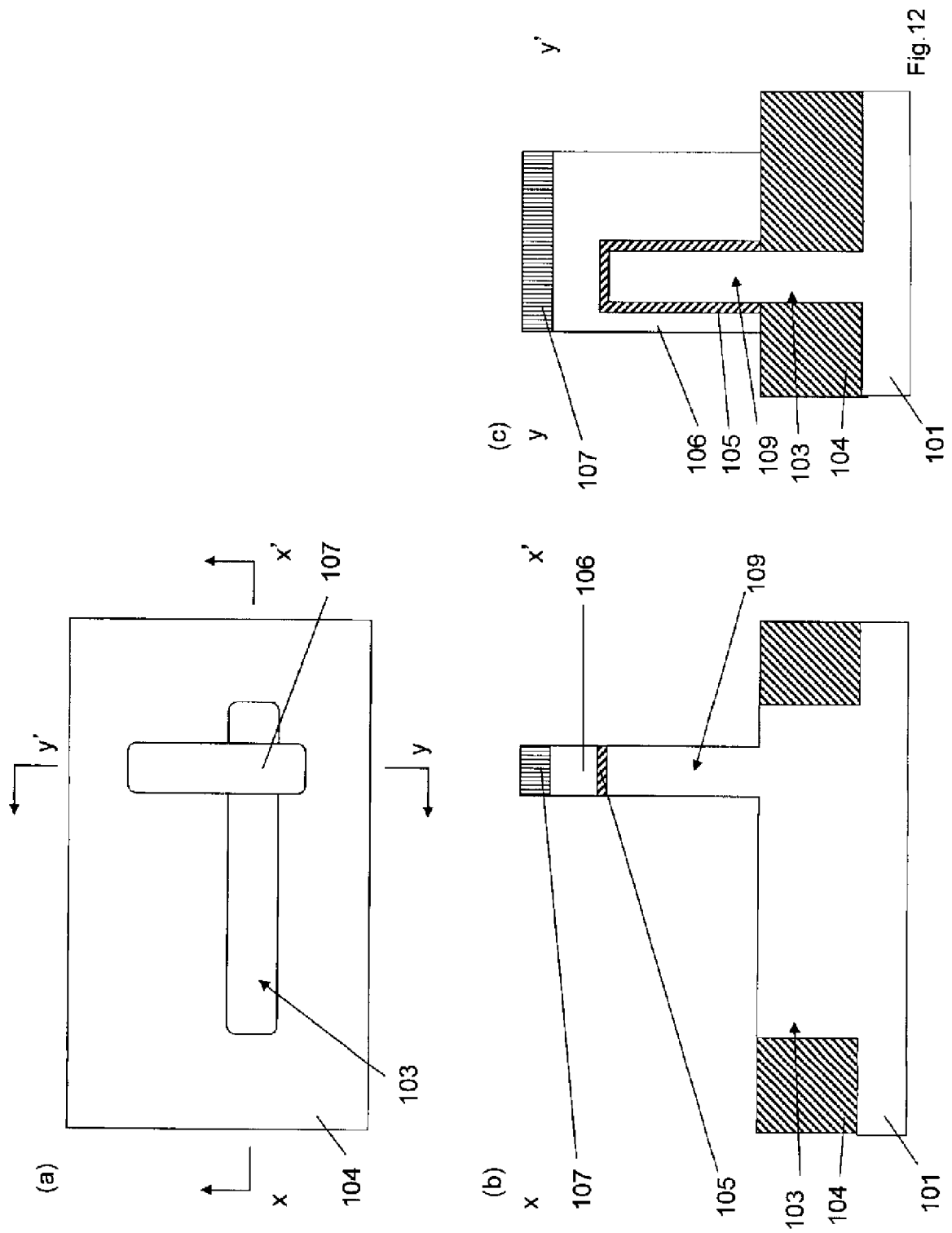
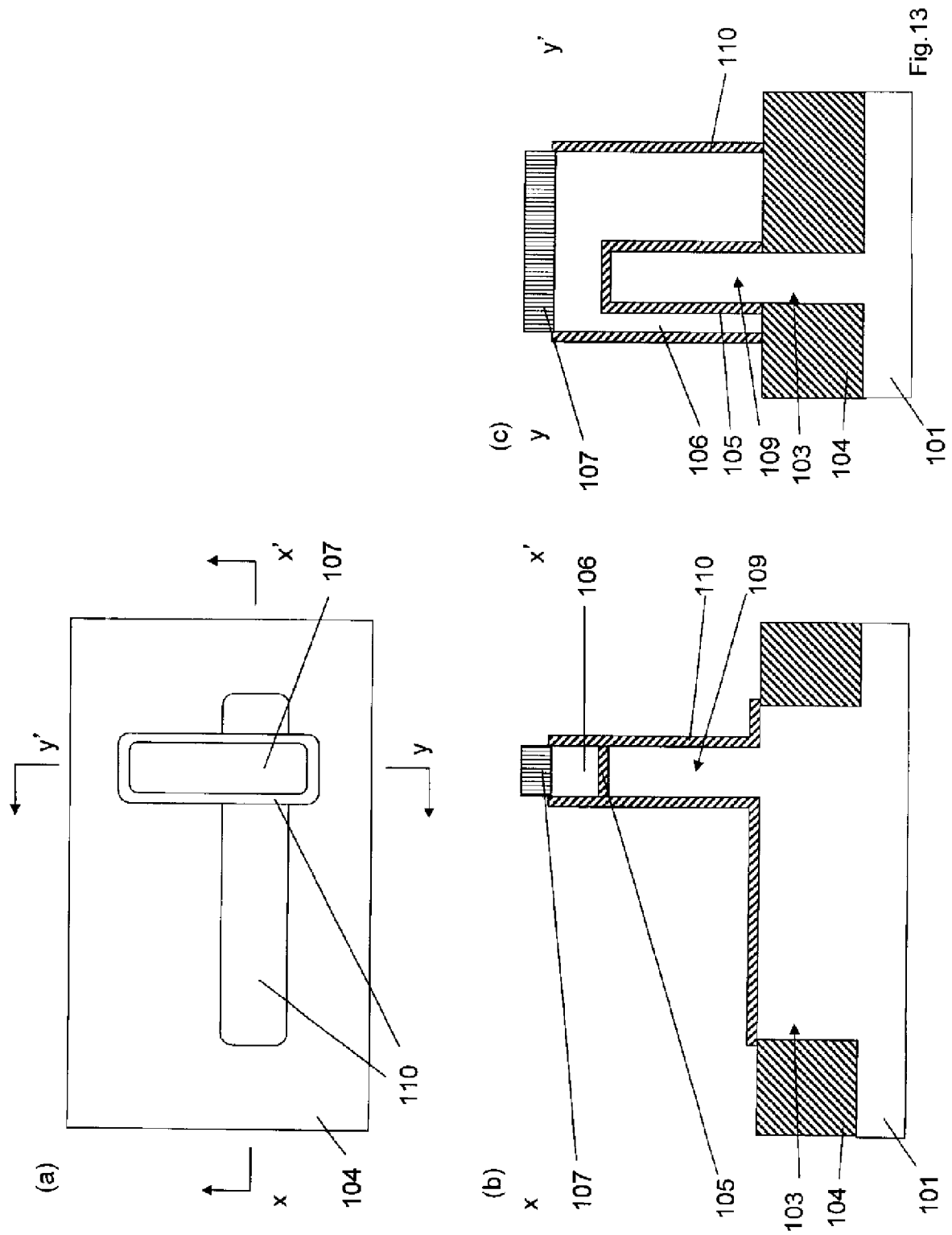
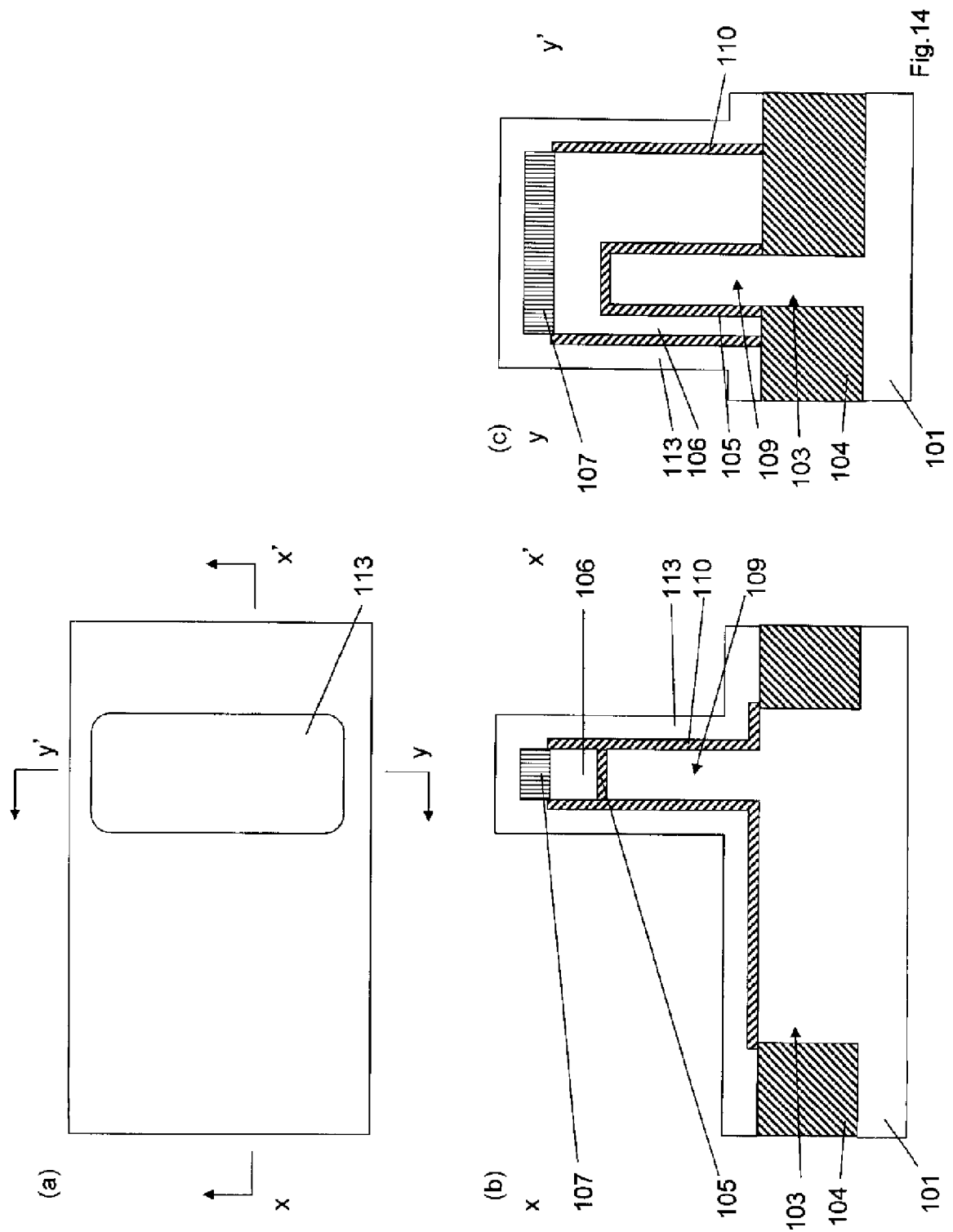


Fig. 12

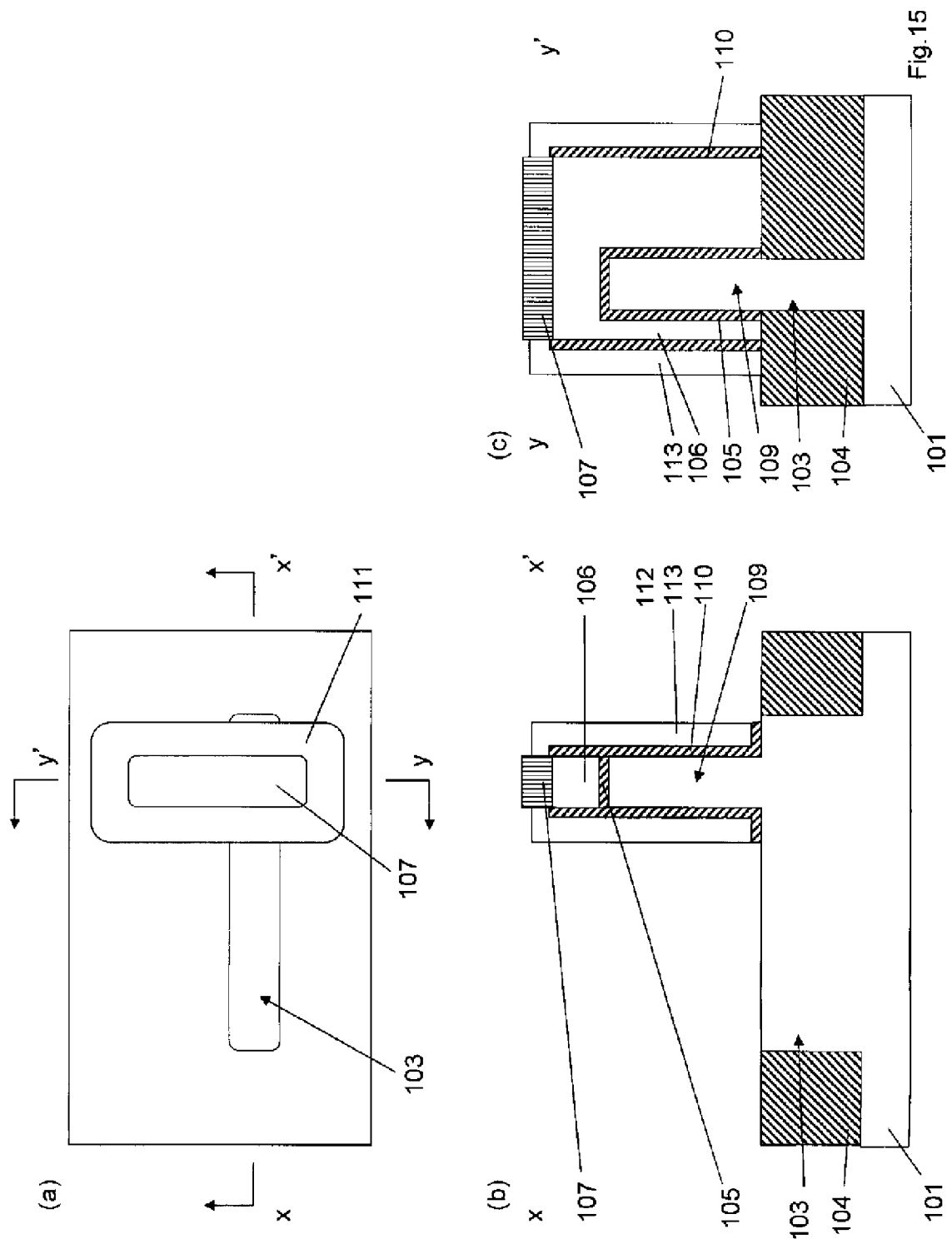
[図13]



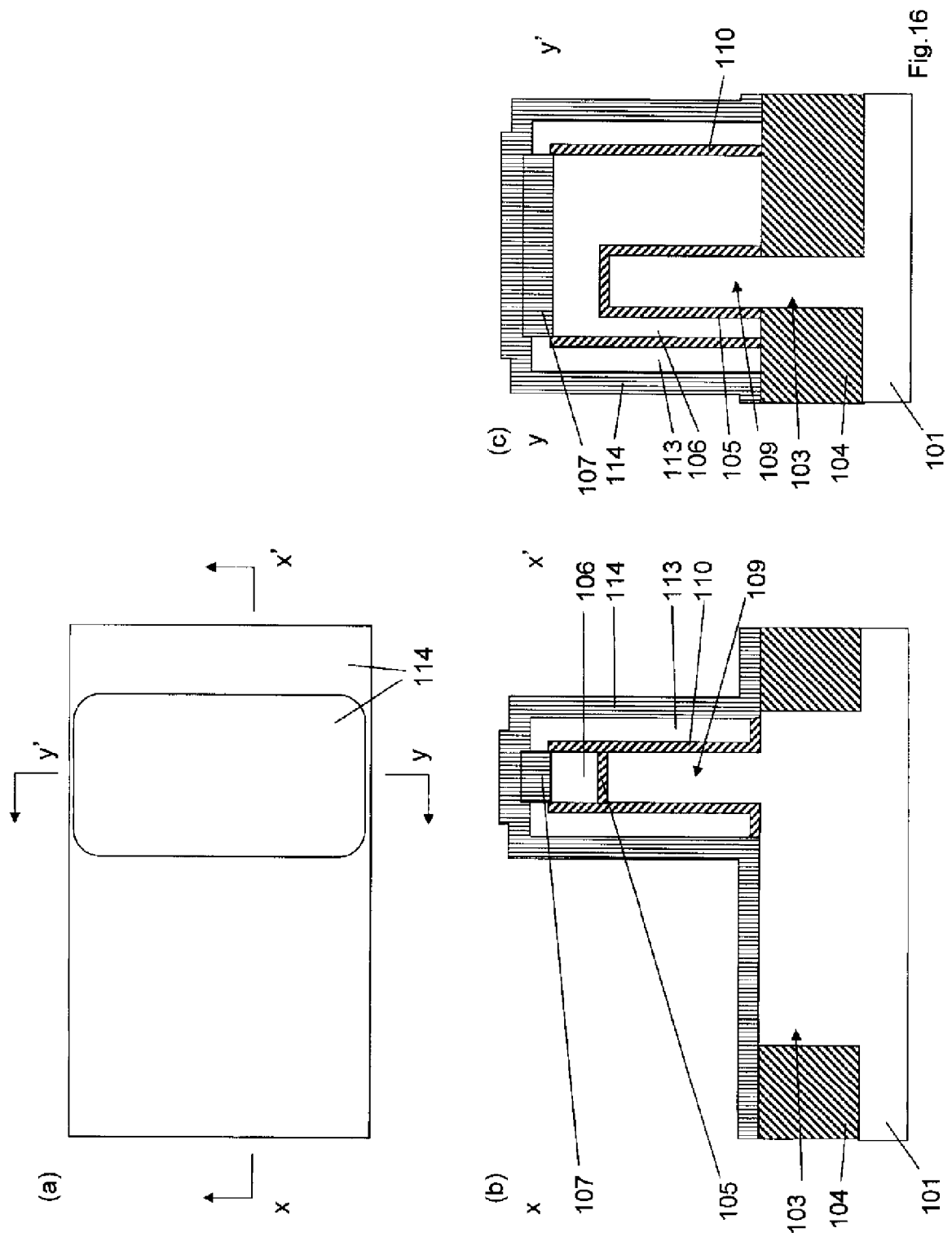
[図14]



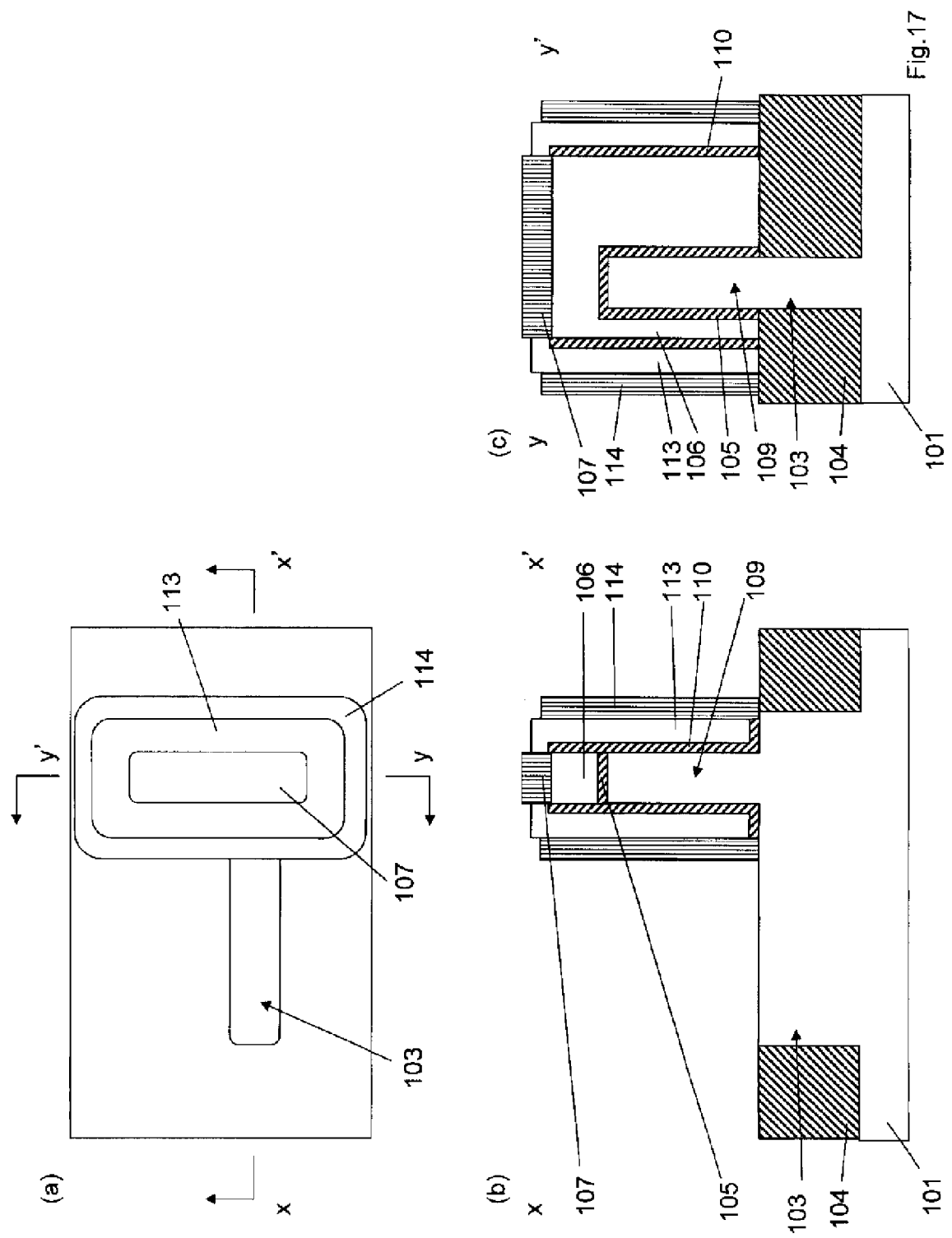
[図15]



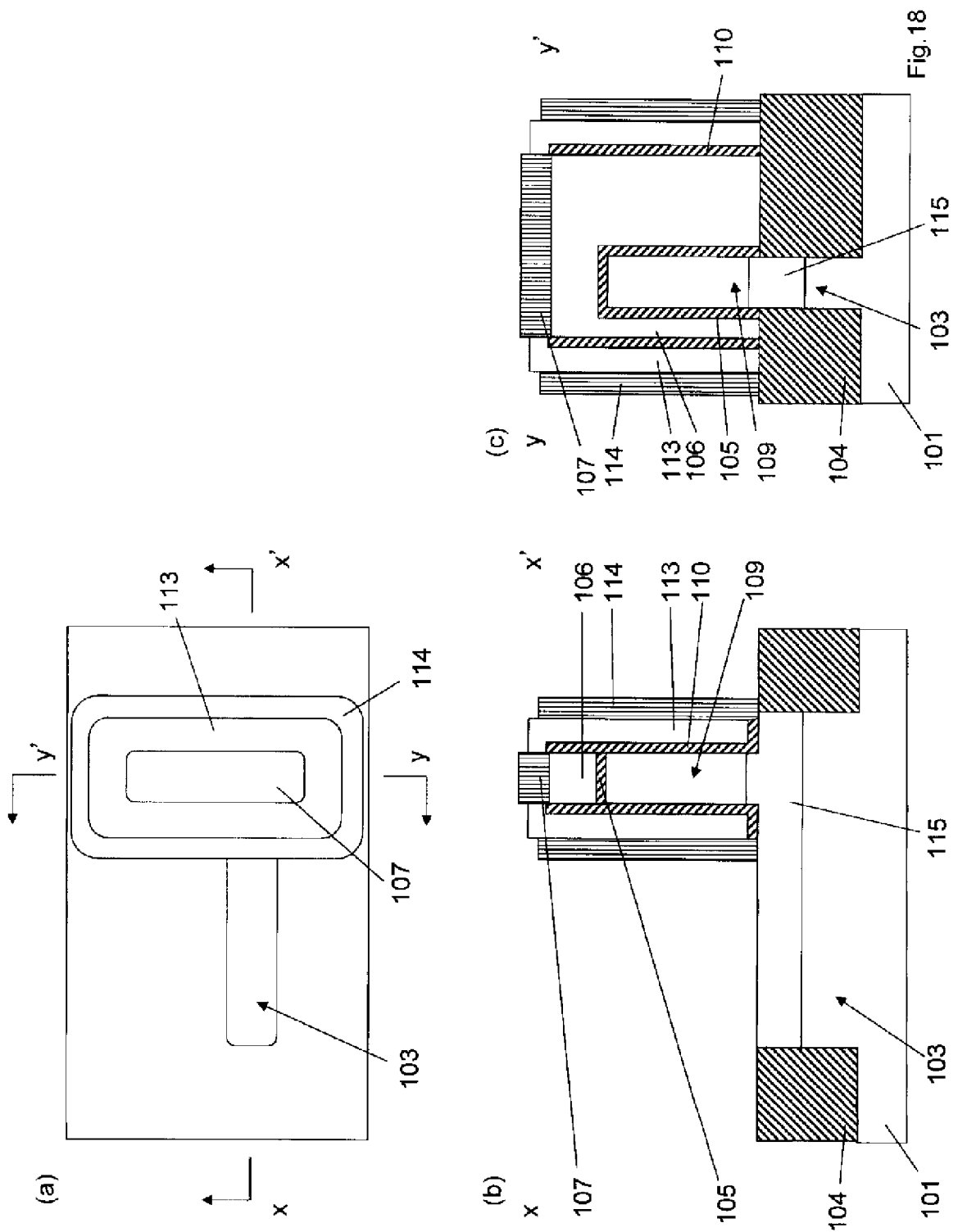
[図16]



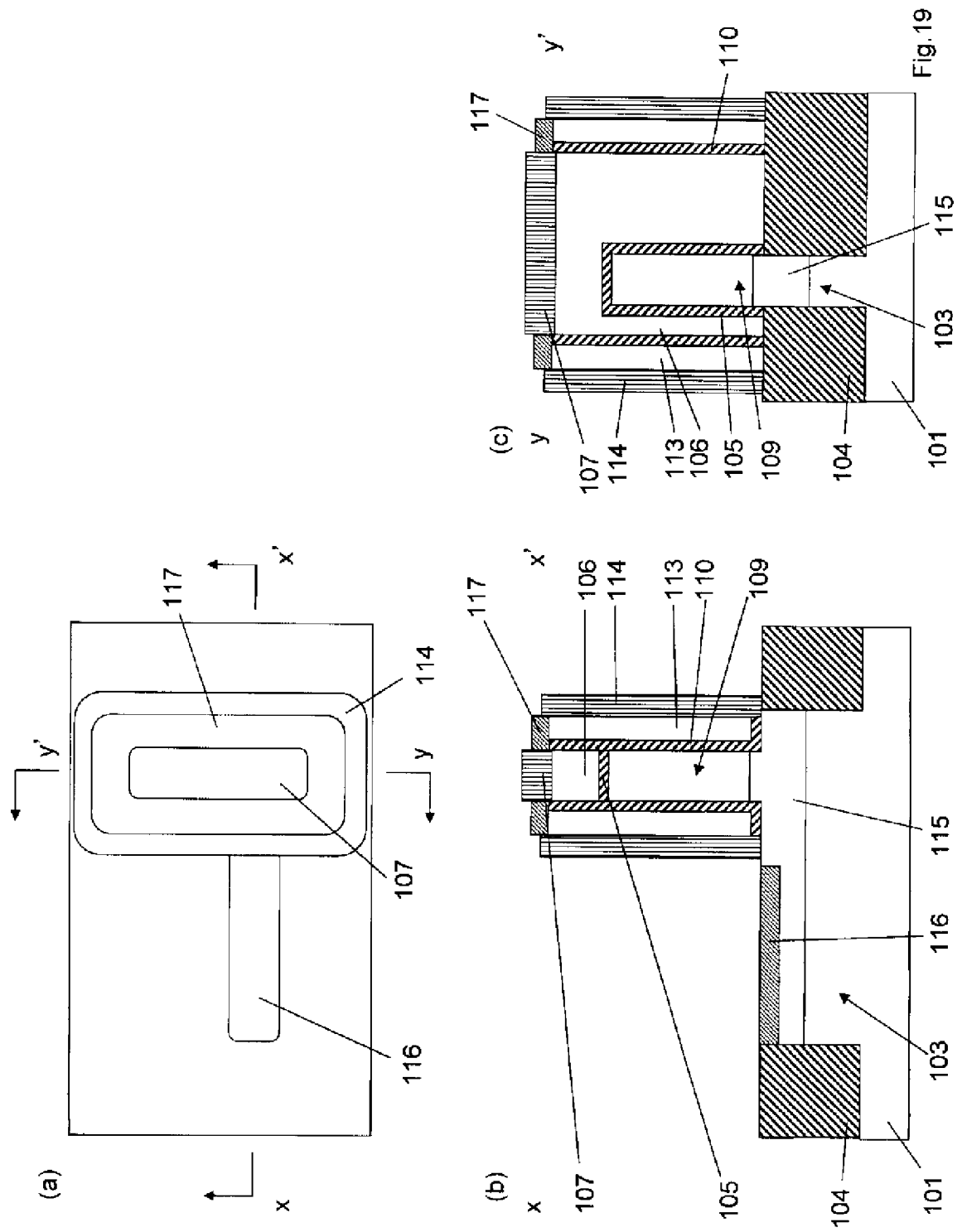
[図17]



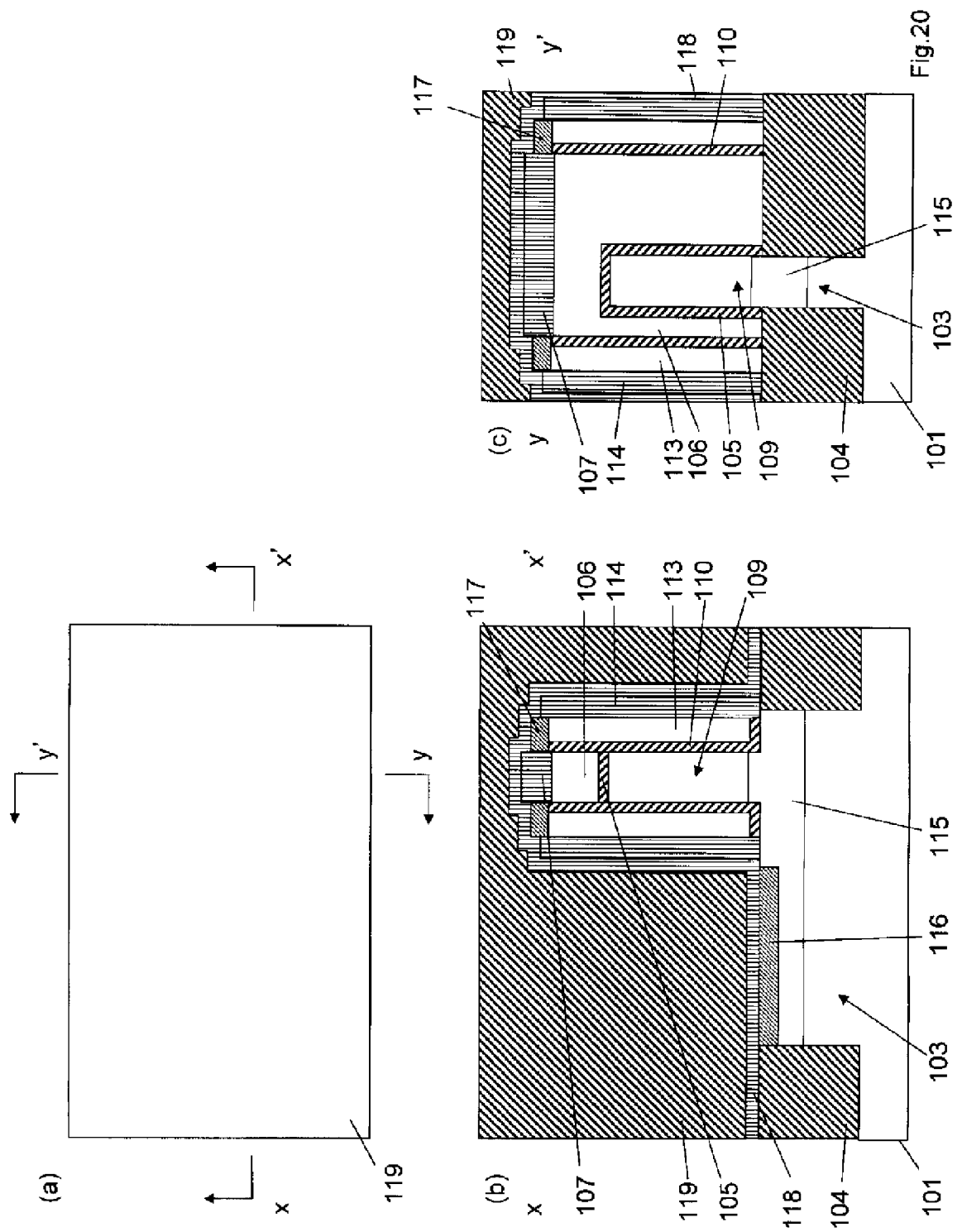
[図18]



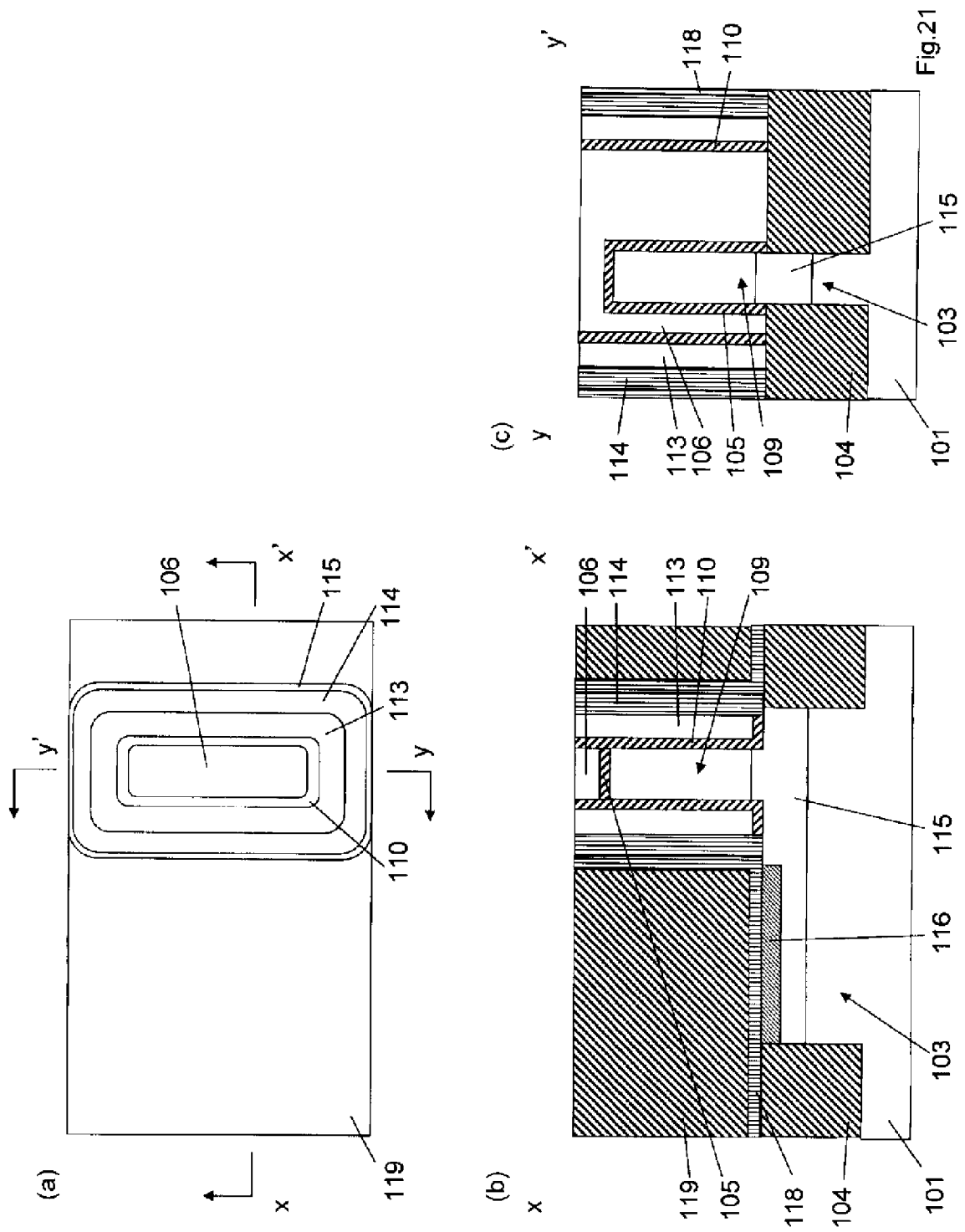
[図19]



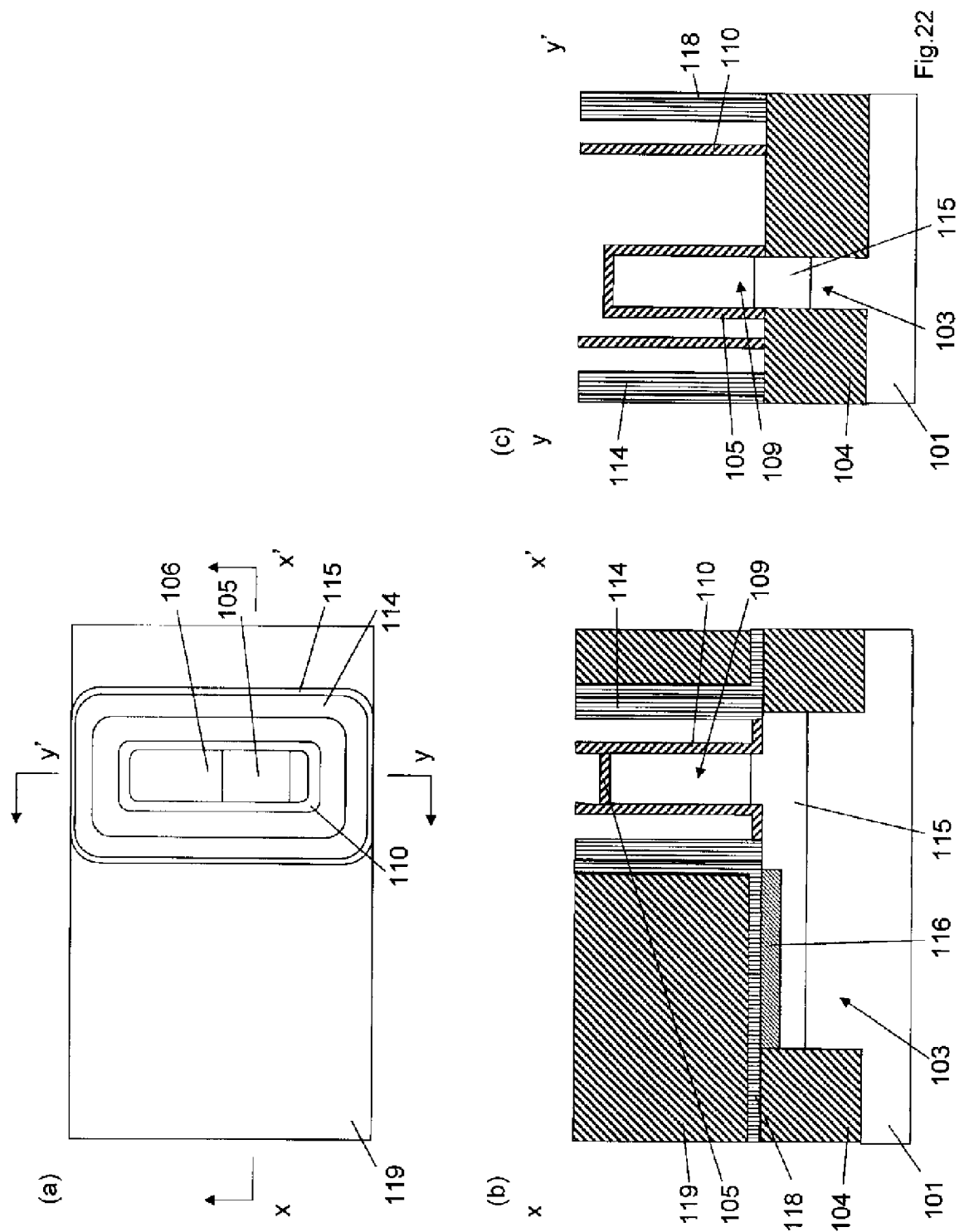
[図20]



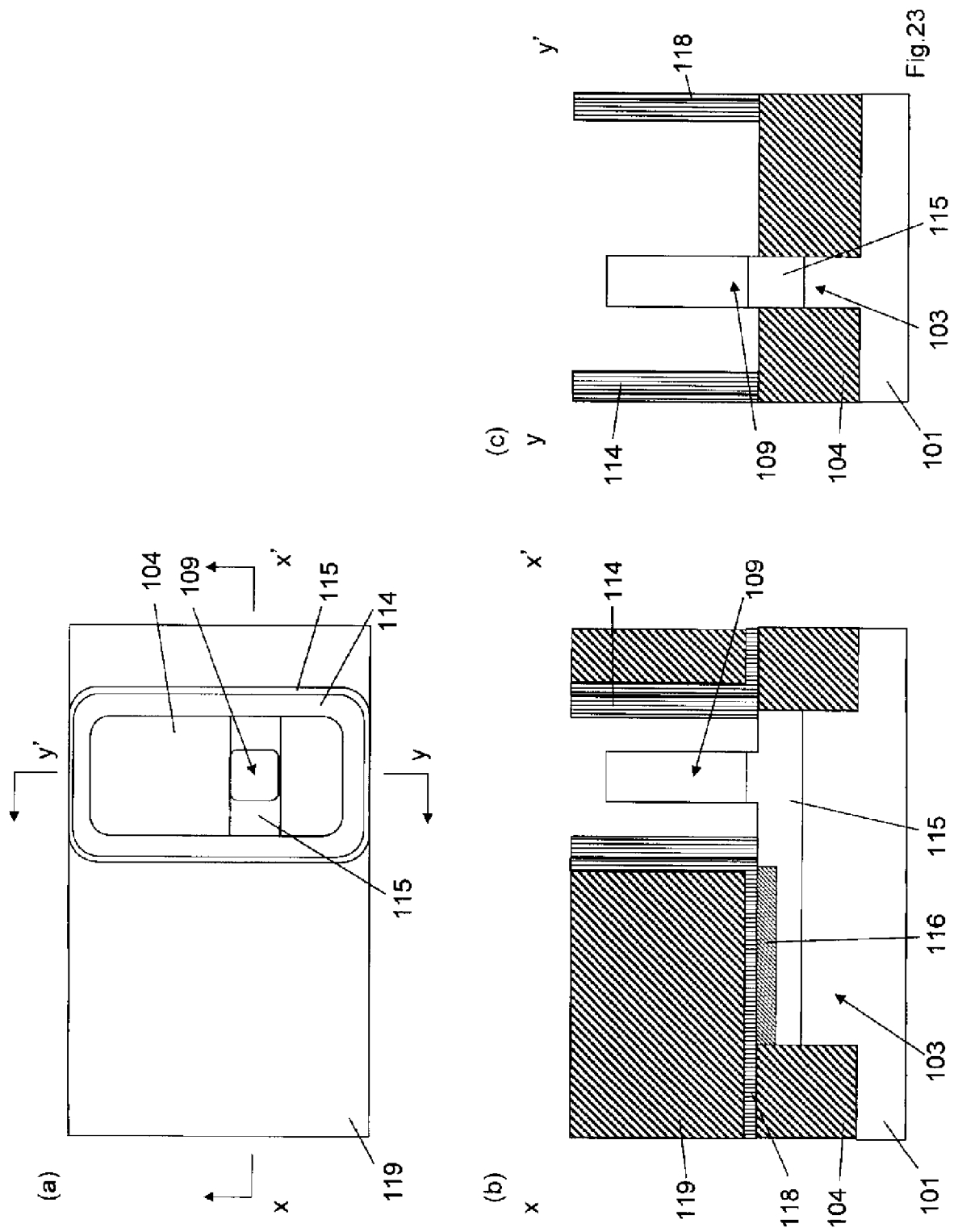
[図21]



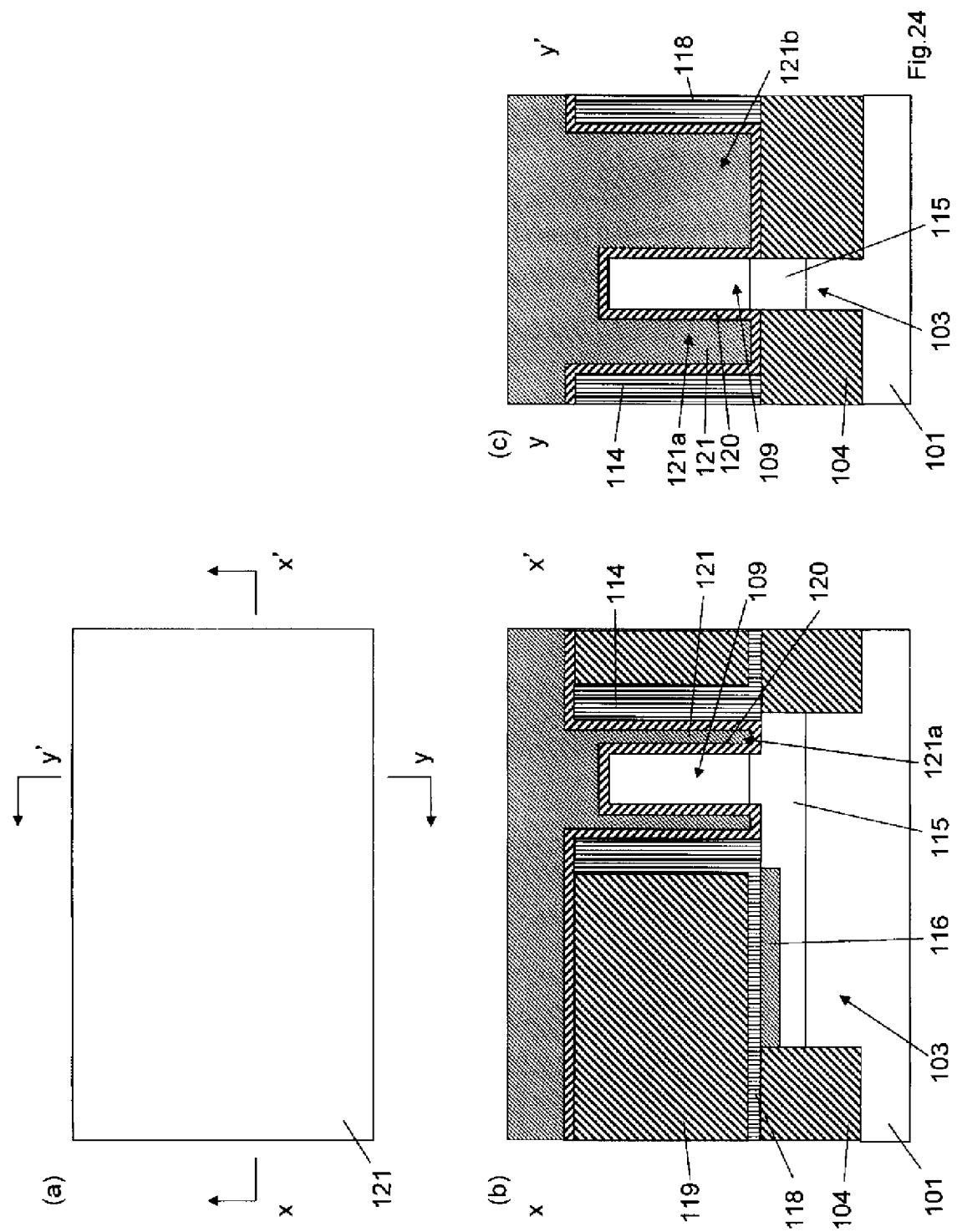
[図22]



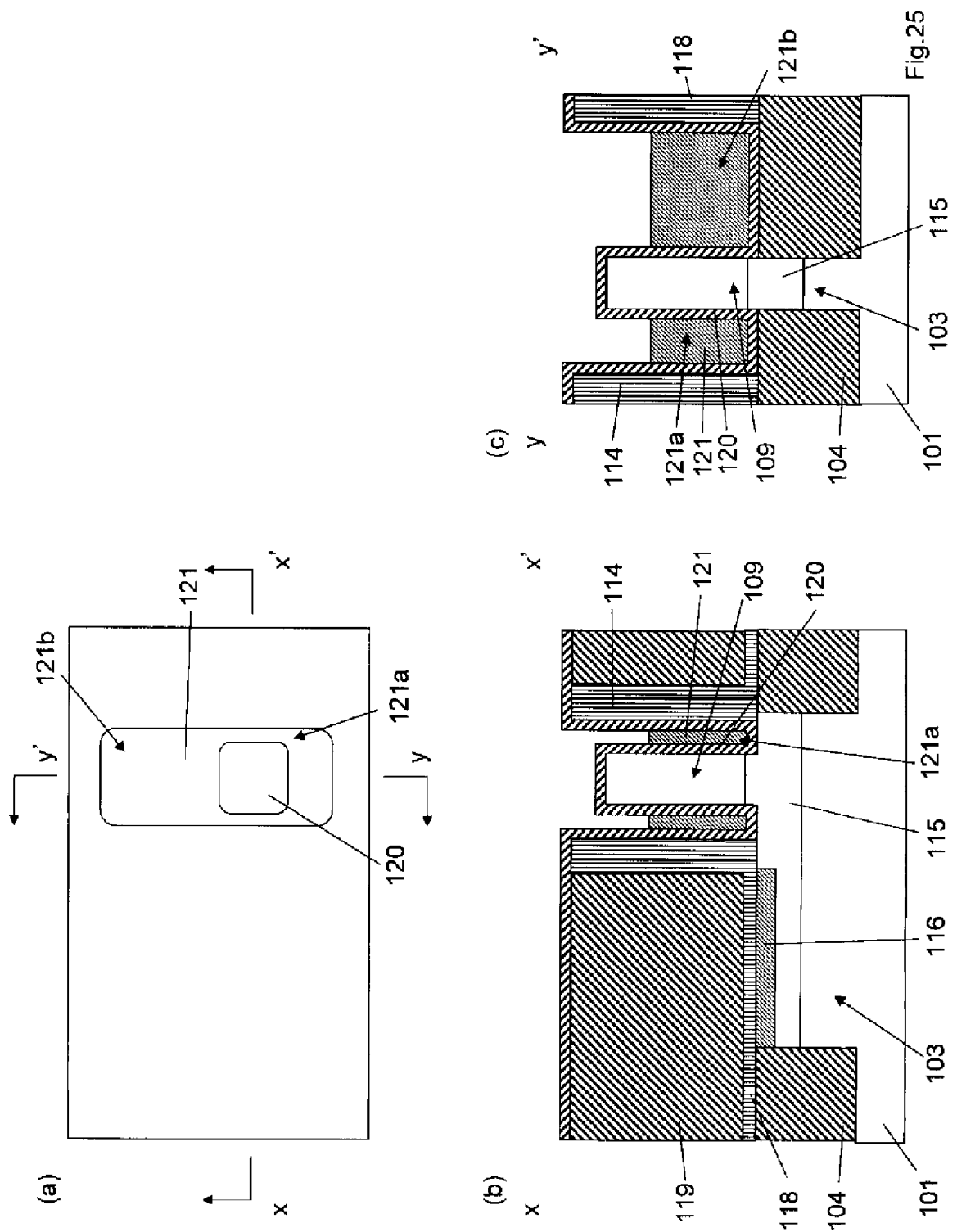
[図23]



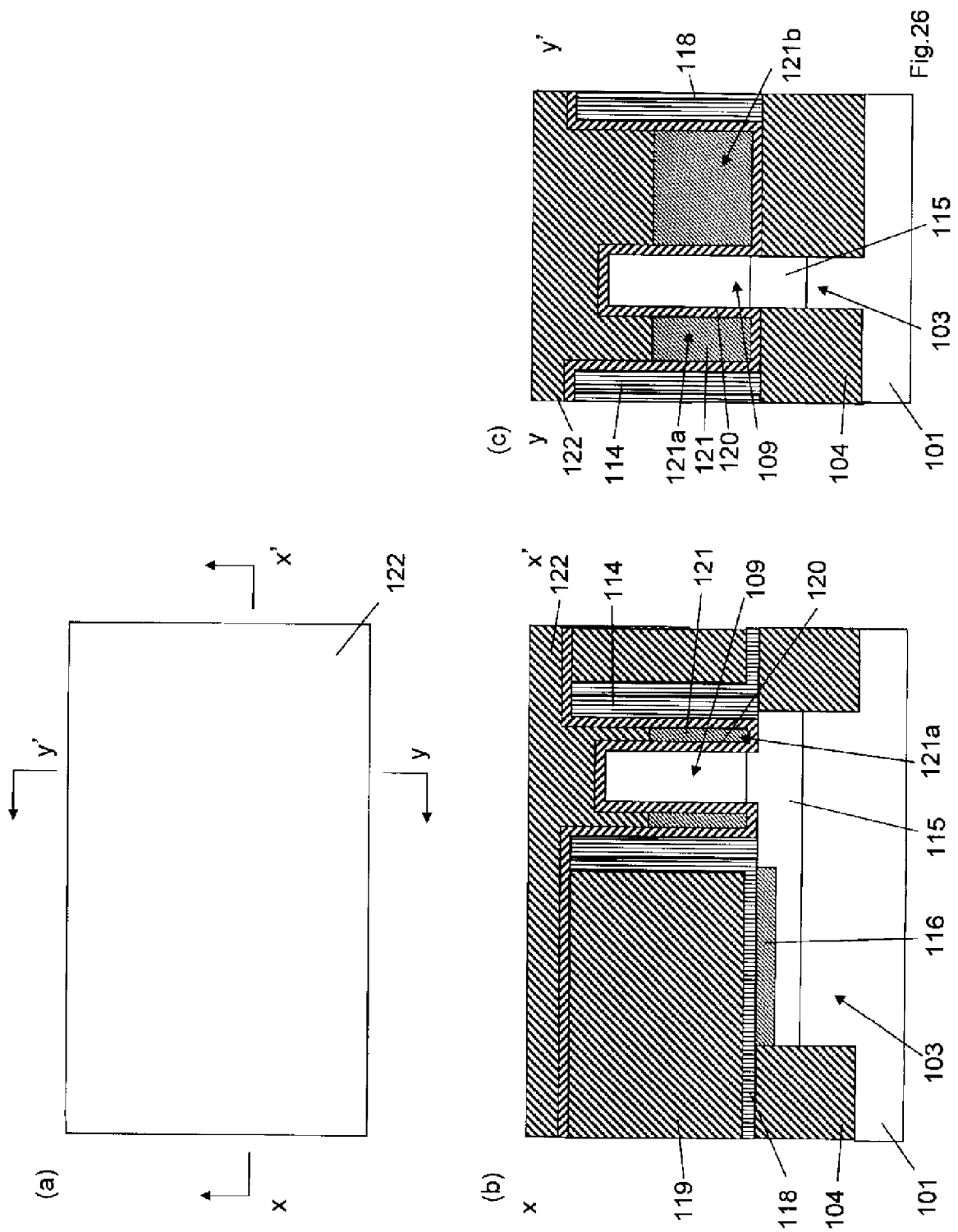
[図24]



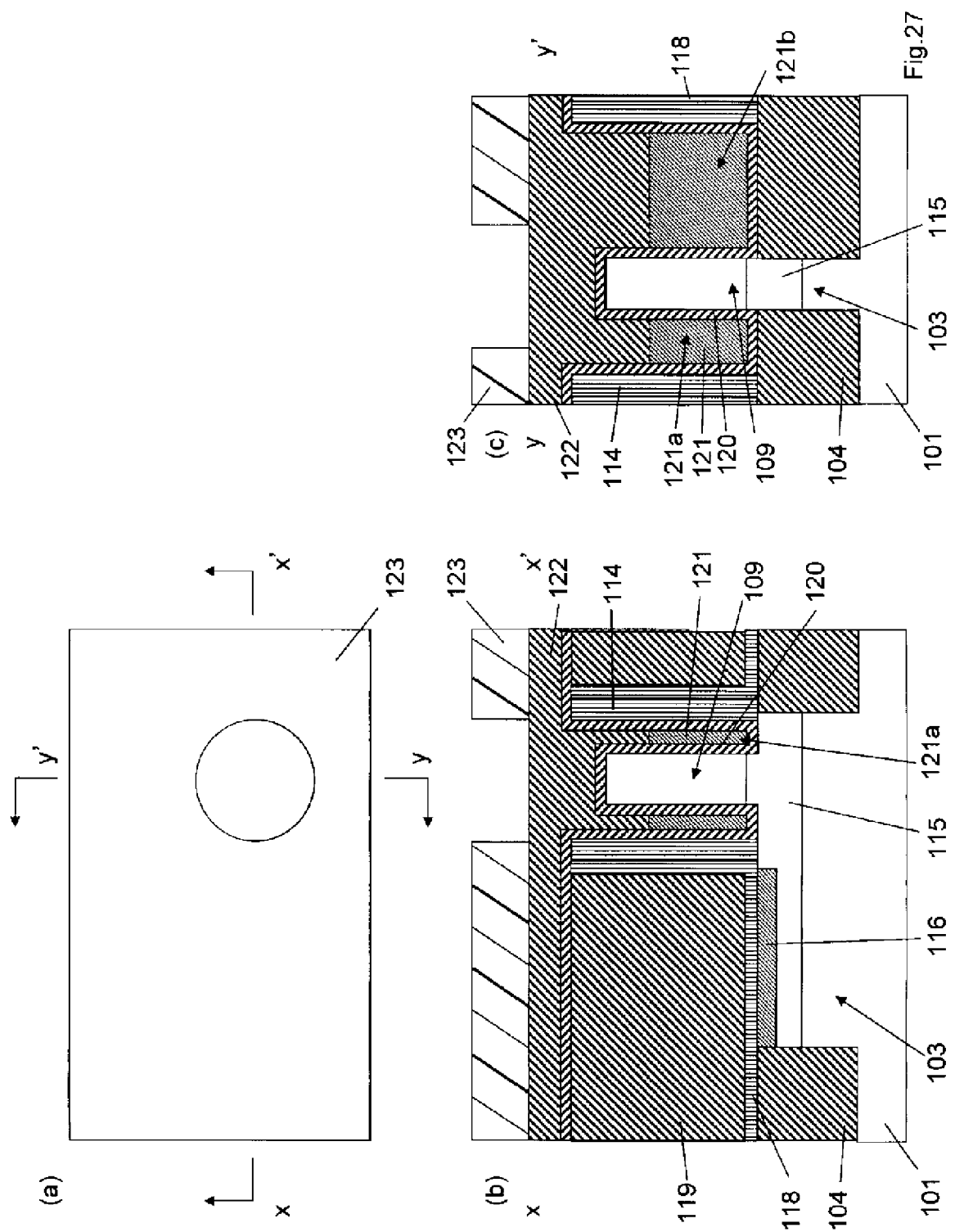
[図25]



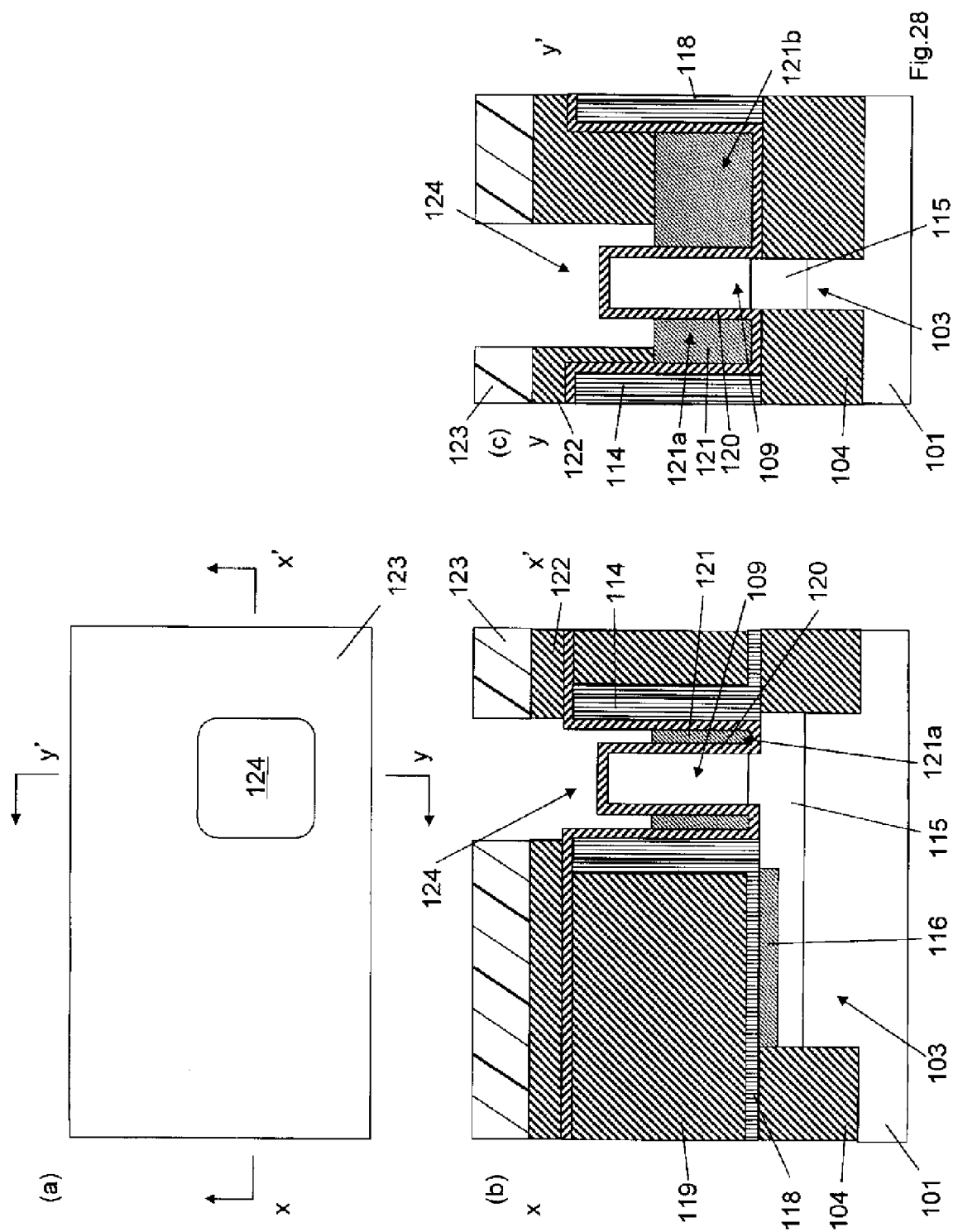
[図26]



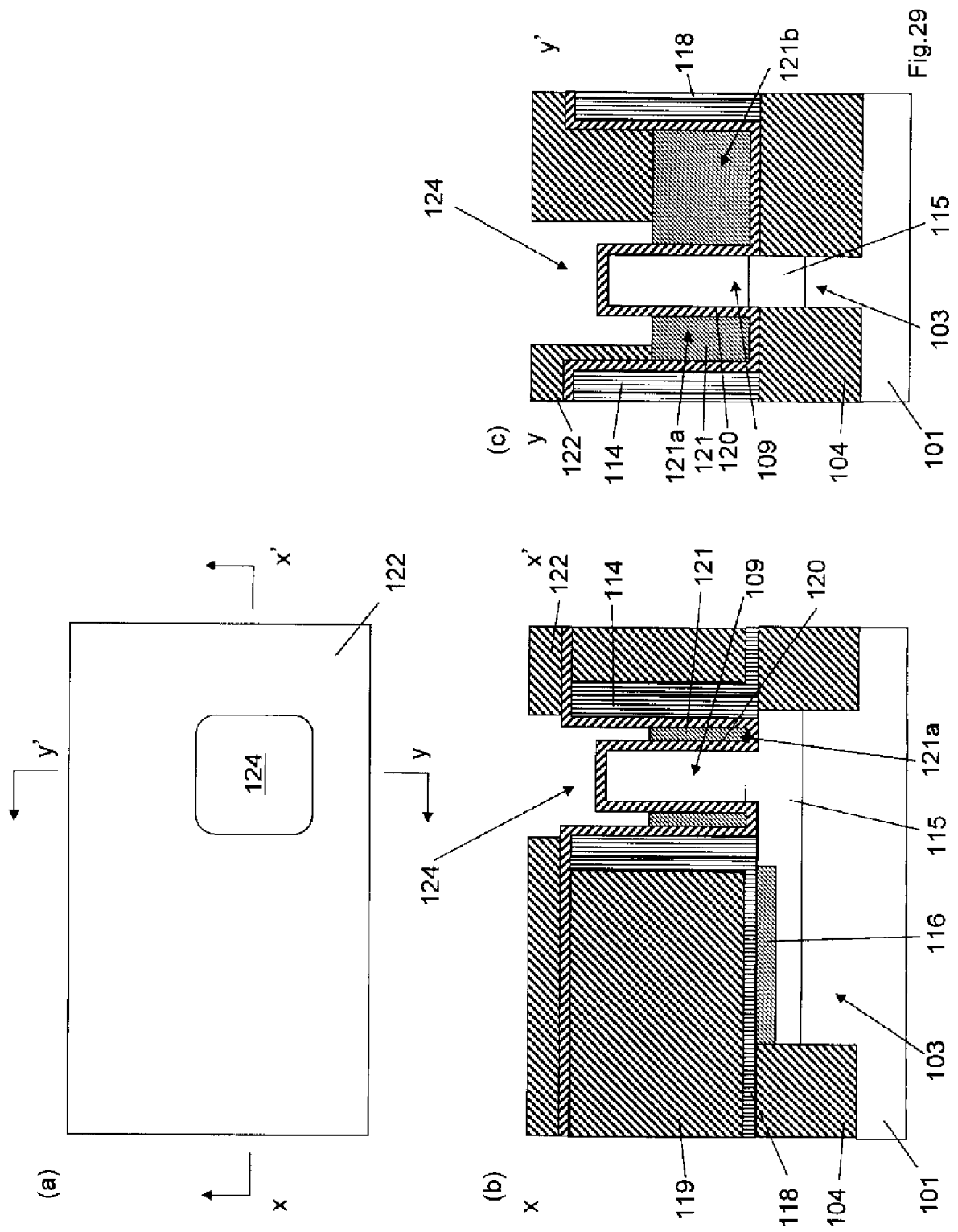
[図27]



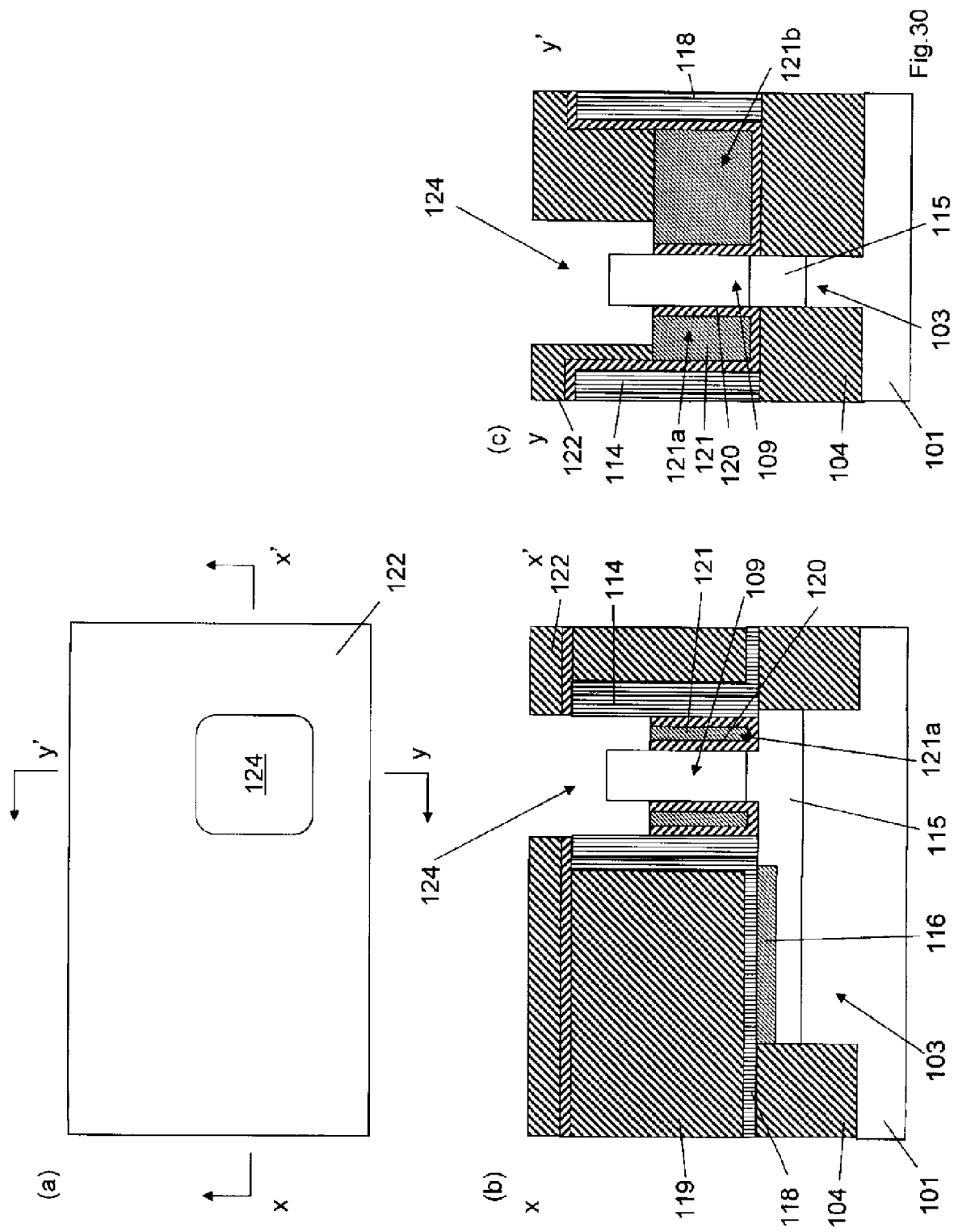
[図28]



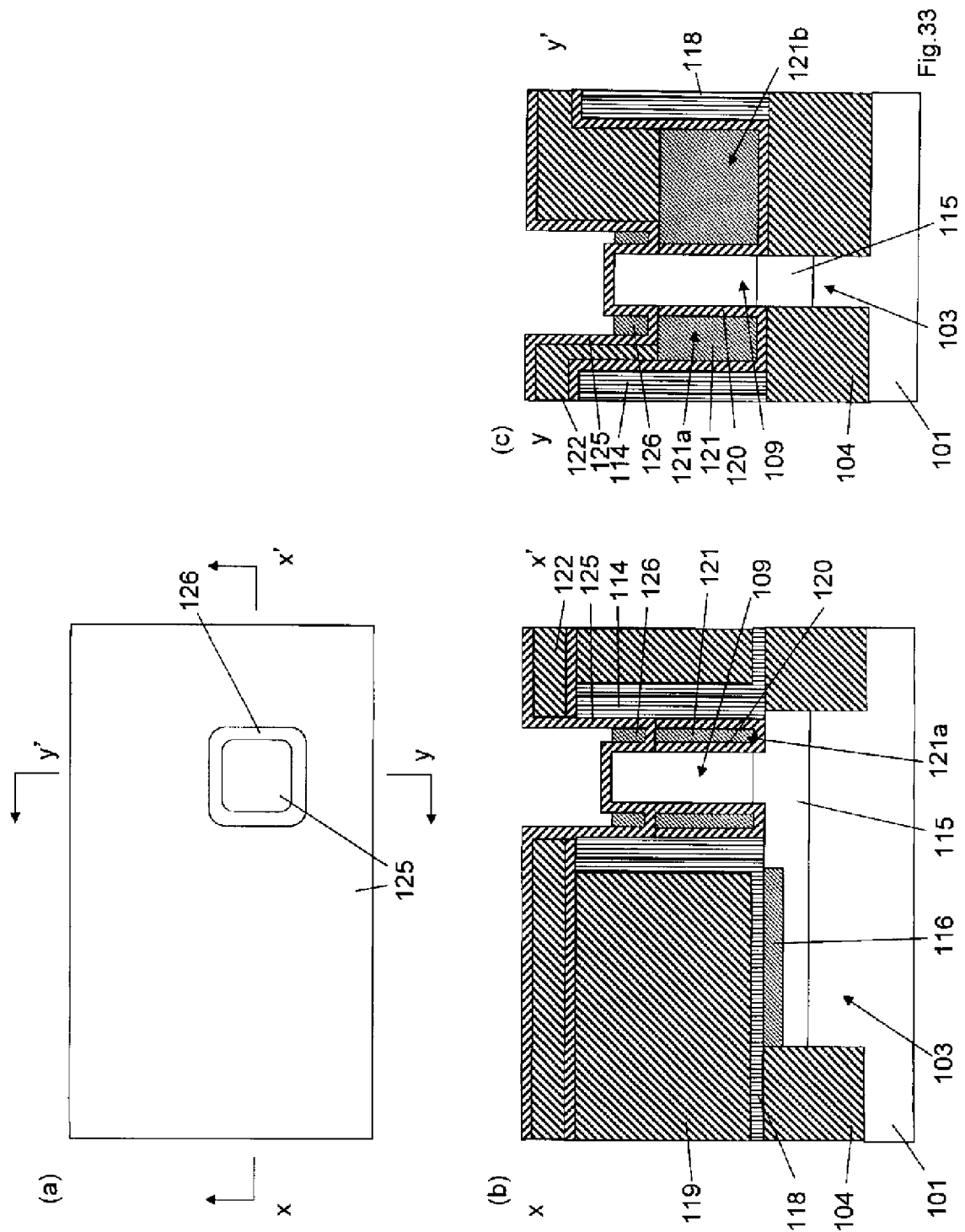
[図29]



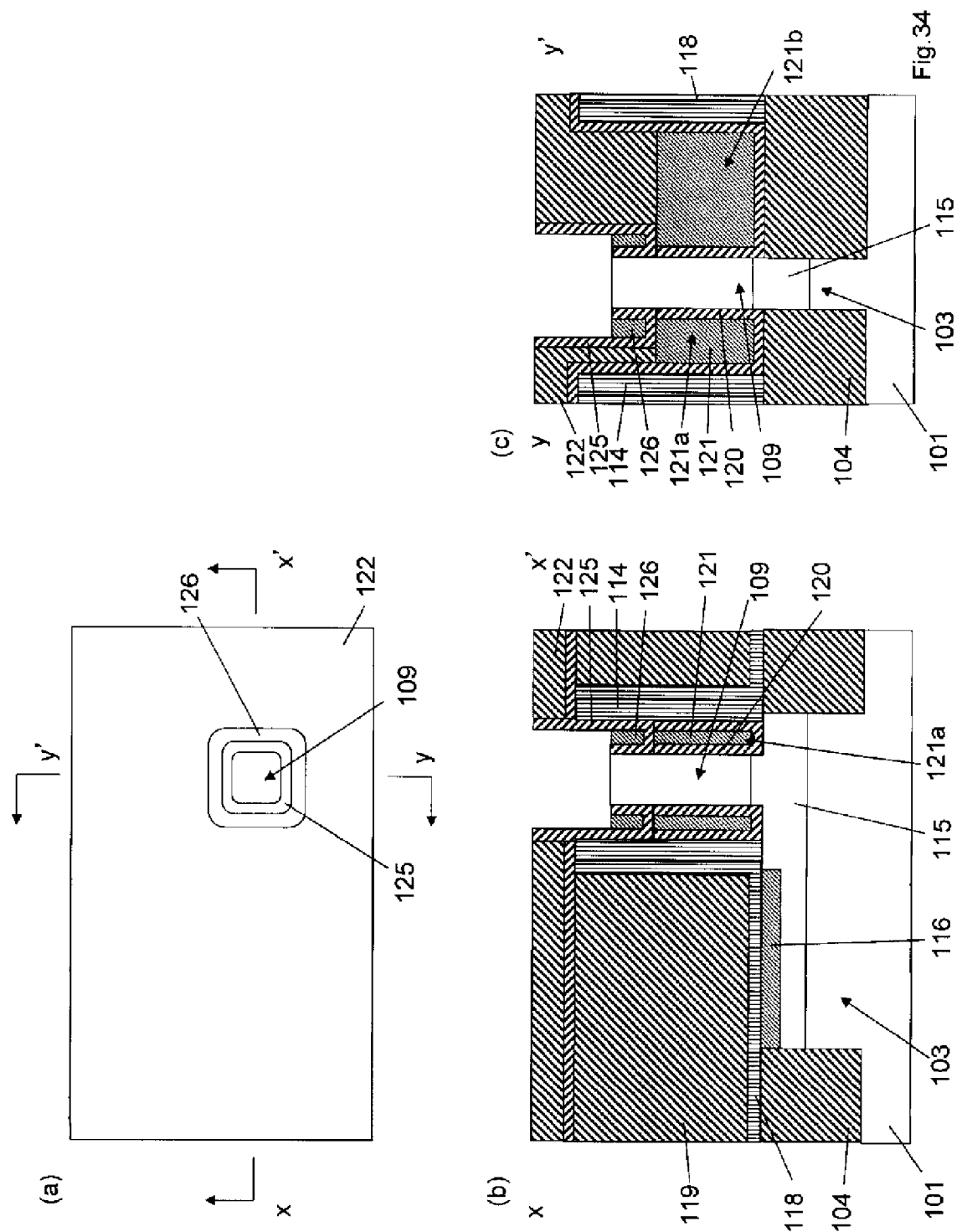
[図30]



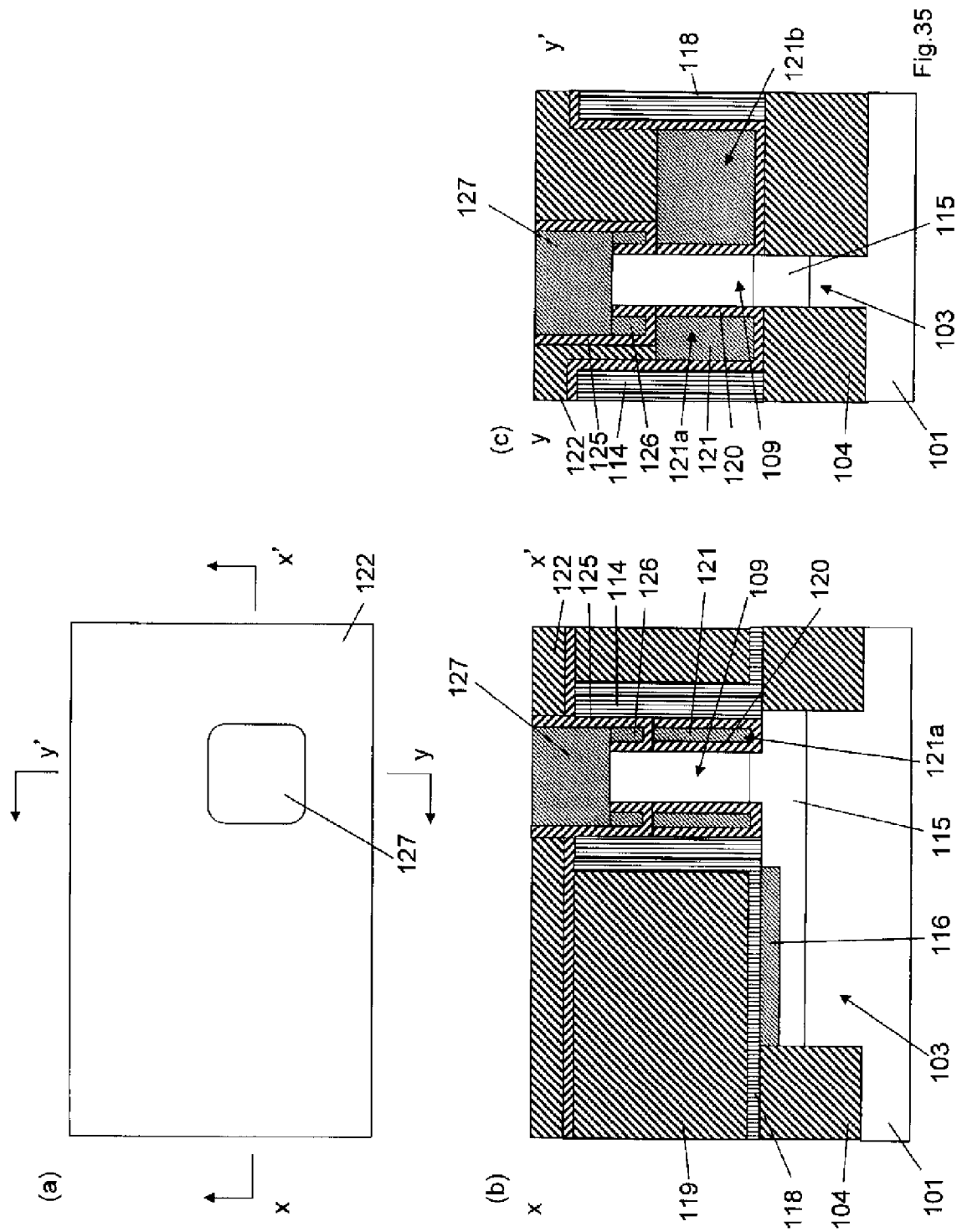
[図33]



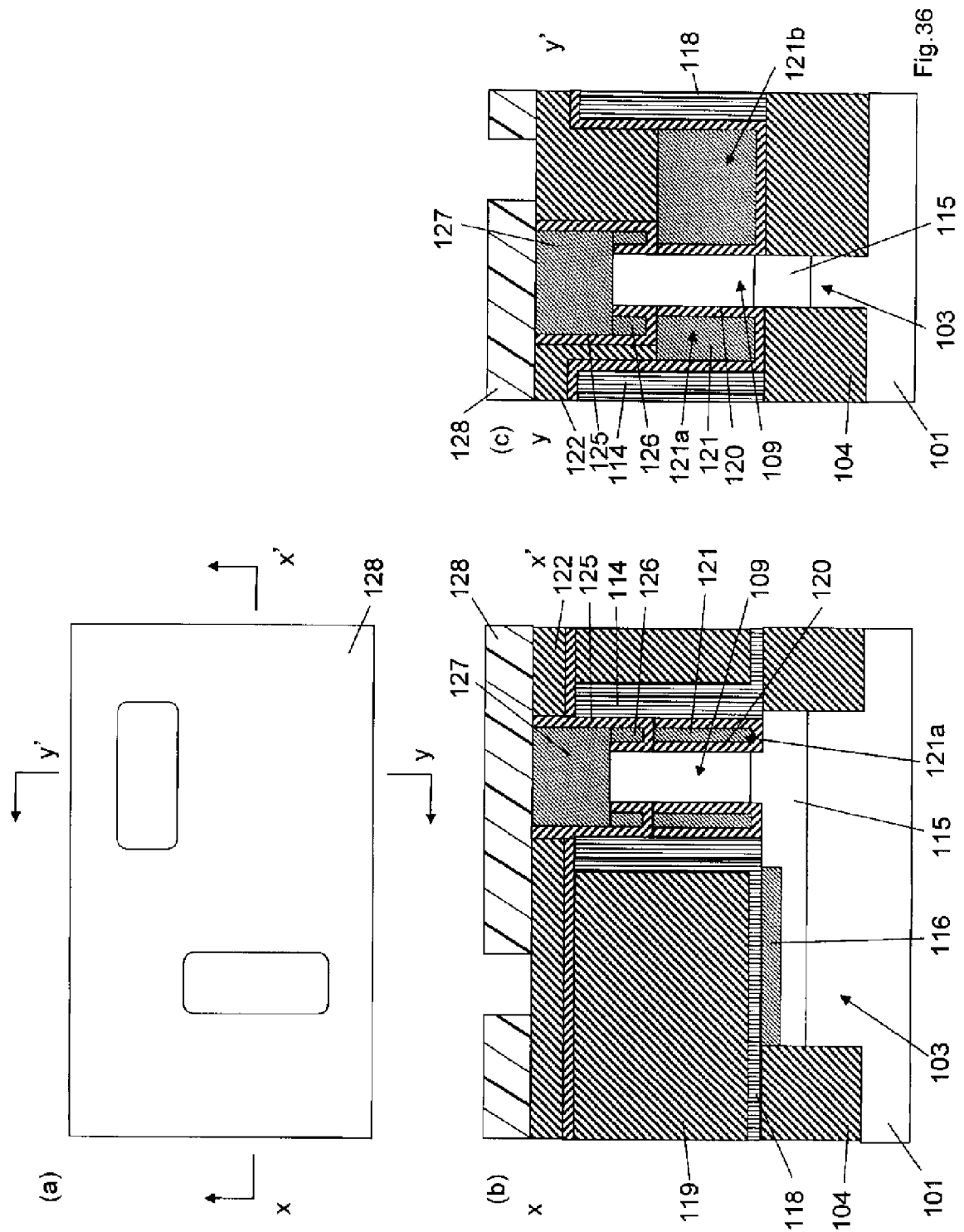
[図34]



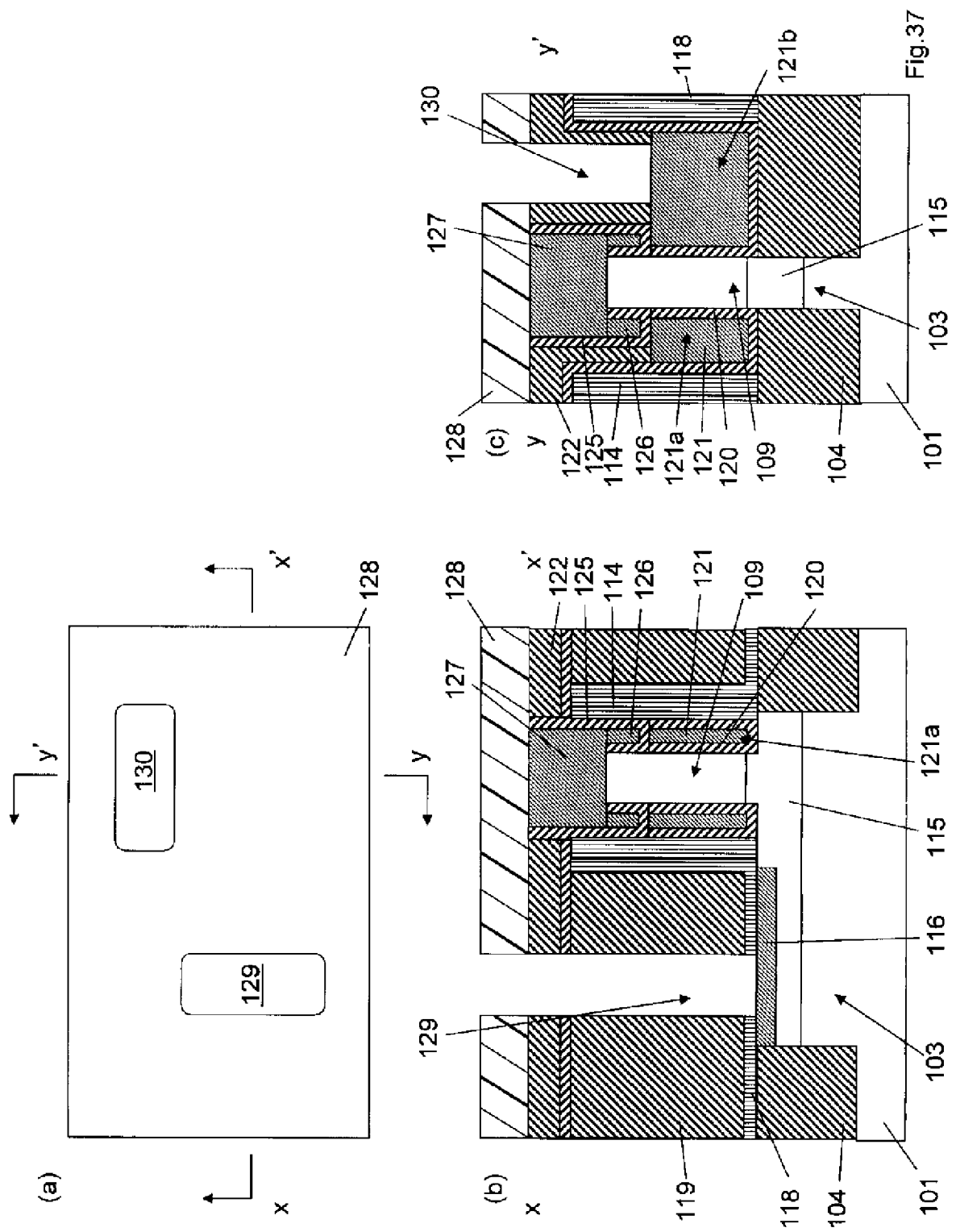
[図35]



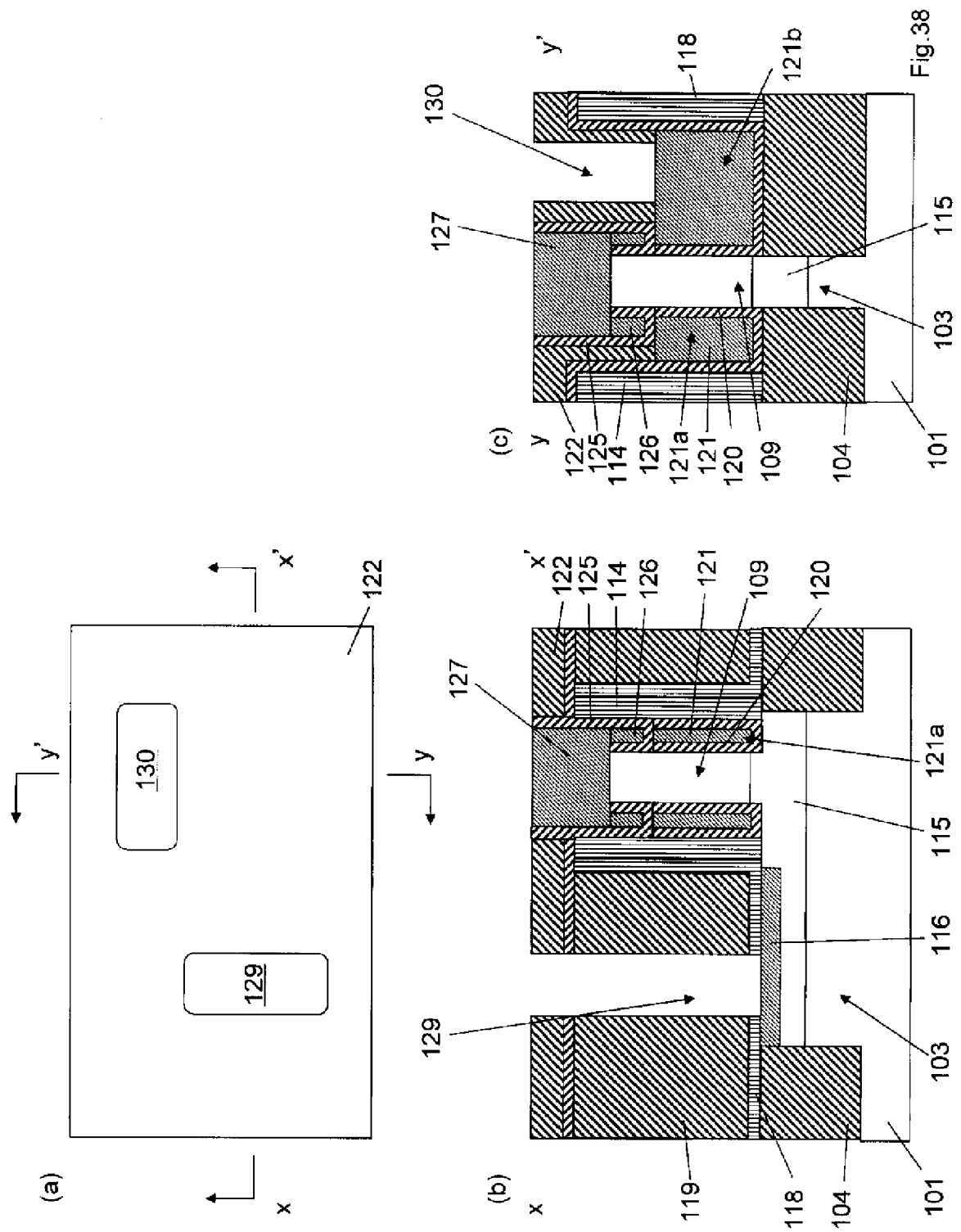
[図36]



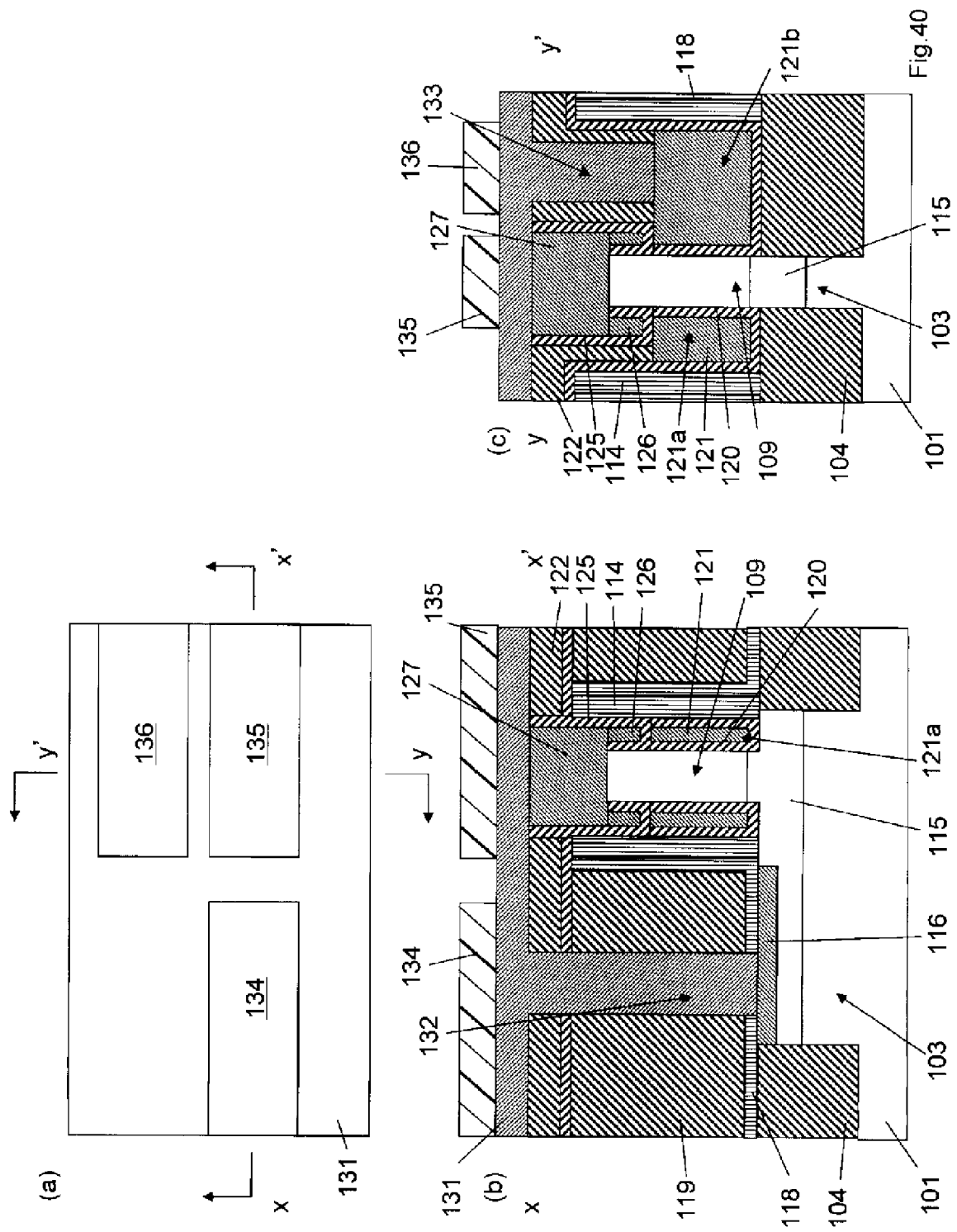
[図37]



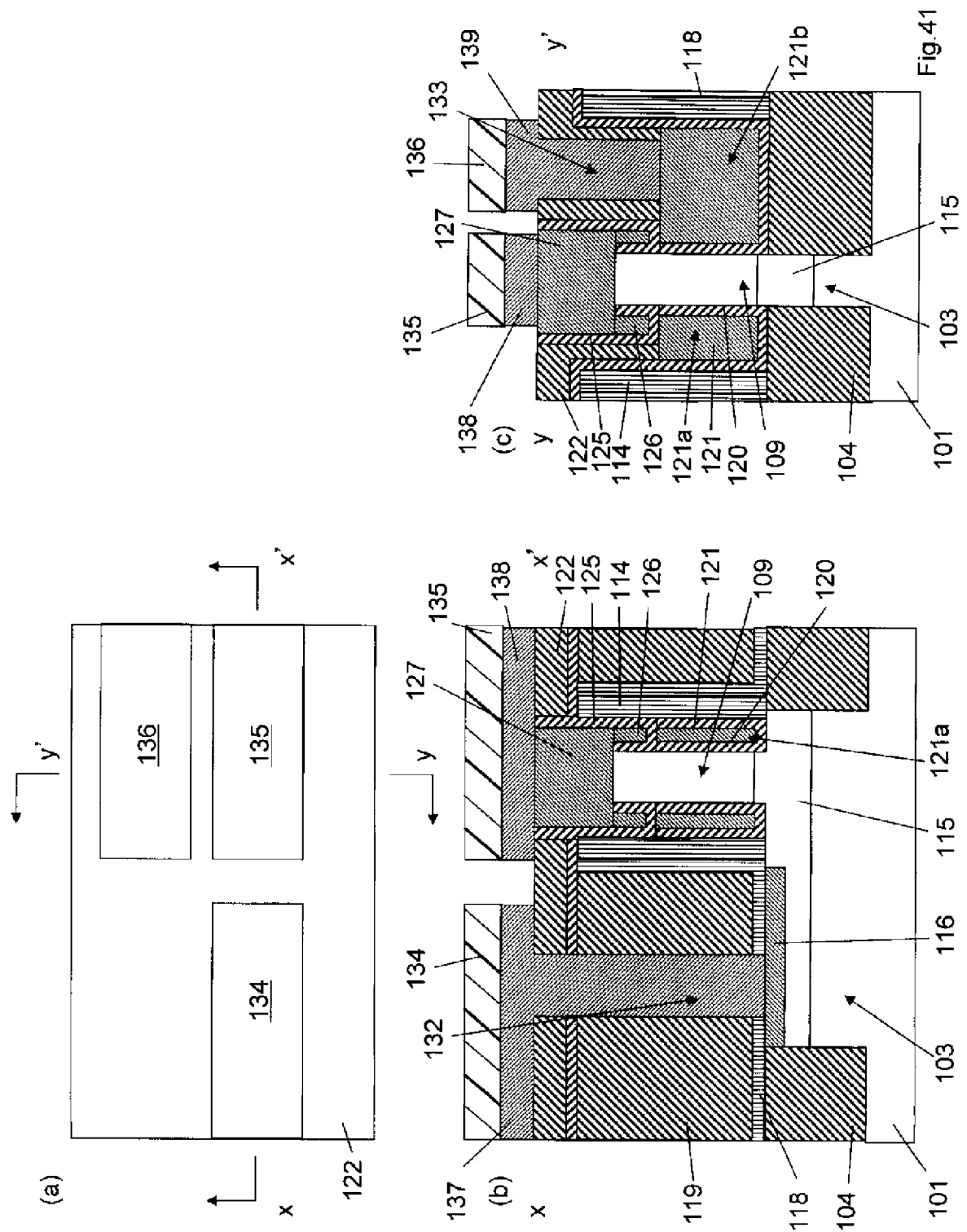
[図38]



[図40]



[図41]



[図42]

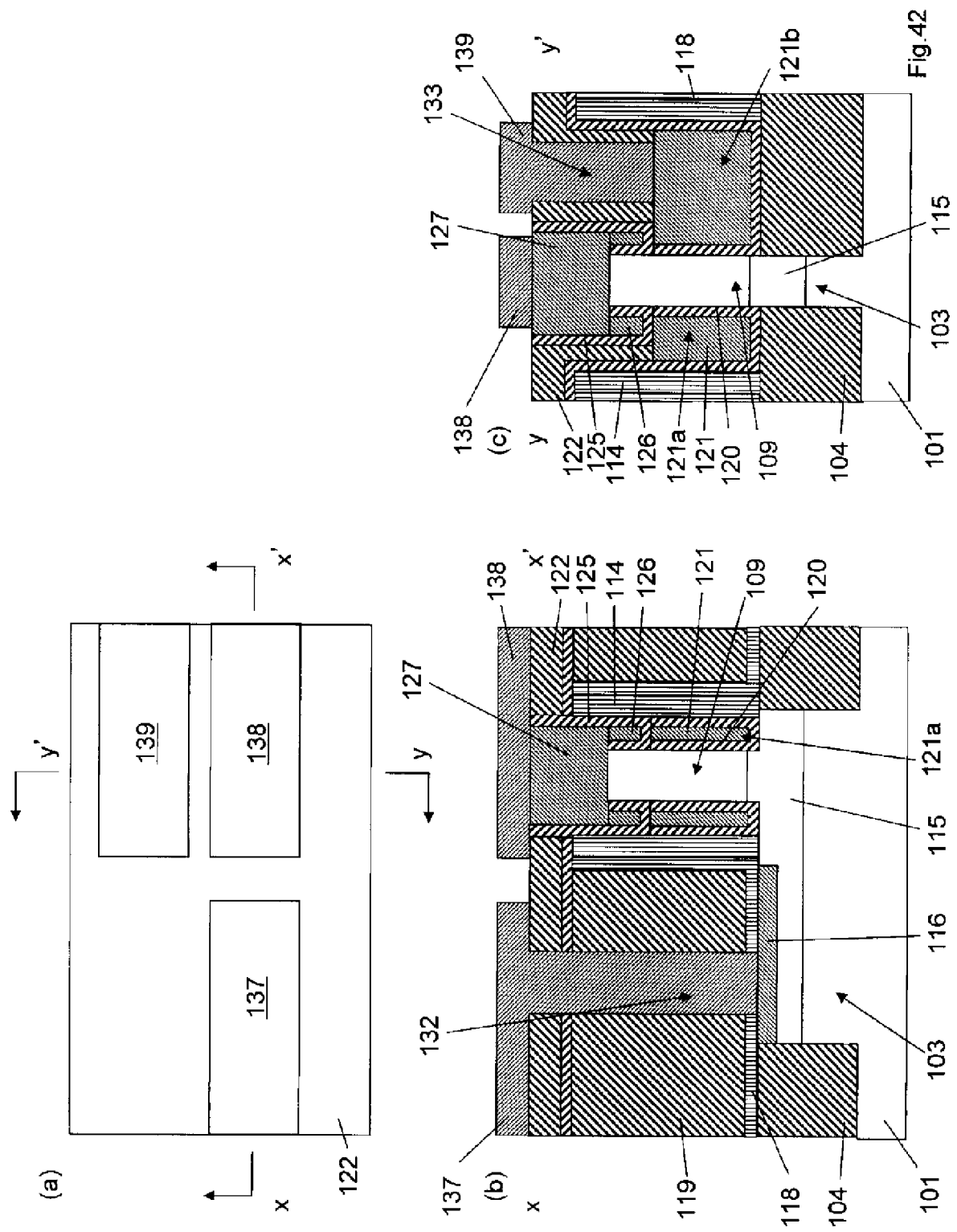


Fig.42

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/066559

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/8234, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-251678 A (Unisantis Electronics Japan Ltd.), 04 November 2010 (04.11.2010), paragraphs [0056] to [0062]; fig. 41, 42 & US 2010/0264484 A1 & US 2012/0049252 A1 & EP 2244298 A2 & CN 101866857 A	1-14
A	WO 2009/110050 A1 (Unisantis Electronics Japan Ltd.), 11 September 2009 (11.09.2009), paragraphs [0011] to [0030]; fig. 1 to 42 & US 2010/0210079 A1 & EP 2244301 A1 & KR 10-2010-0120206 A & CN 101946330 A	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
09 July, 2013 (09.07.13)

Date of mailing of the international search report
23 July, 2013 (23.07.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/066559

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-179132 A (Mitsubishi Electric Corp.), 27 June 2003 (27.06.2003), paragraphs [0063] to [0072]; fig. 11 to 18 & US 2003/0107133 A1 & DE 010236682 A & KR 10-2003-0047693 A & CN 1426106 A	1-14
A	WO 2013/093988 A1 (Unisantis Electronics Singapore Pte Ltd.), 27 June 2013 (27.06.2013), entire text; all drawings (Family: none)	1-14

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/336, H01L21/8234, H01L27/088, H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 3 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 3 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 3 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2010-251678 A（日本ユニサンティスエレクトロニクス株式会社） 2010.11.04, 第0056段落—第0062段落、第41図、第42図 & US 2010/0264484 A1 & US 2012/0049252 A1 & EP 2244298 A2 & CN 101866857 A	1-14	
A	WO 2009/110050 A1（日本ユニサンティスエレクトロニクス株式会社） 2009.09.11, 第0011段落—第0030段落、第1図—第42図 & US 2010/0210079 A1 & EP 2244301 A1 & KR 10-2010-0120206 A & CN 101946330 A	1-14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 0 9 . 0 7 . 2 0 1 3		国際調査報告の発送日 2 3 . 0 7 . 2 0 1 3	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 井上 弘亘	5 0 3 2 4 8
		電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-179132 A (三菱電機株式会社) 2003. 06. 27, 第 0 0 6 3 段落—第 0 0 7 2 段落、第 1 1 図—第 1 8 図 & US 2003/0107133 A1 & DE 010236682 A & KR 10-2003-0047693 A & CN 1426106 A	1-14
A	WO 2013/093988 A1 (ユニサンティス エレクトロニクス シンガポ ール プライベート リミテッド) 2013. 06. 27, 全文、全図 (ファミリーなし)	1-14