

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4249131号
(P4249131)

(45) 発行日 平成21年4月2日 (2009.4.2)

(24) 登録日 平成21年1月23日 (2009.1.23)

(51) Int. Cl. F I
G 1 1 C 16/02 (2006.01)
 G 1 1 C 17/00 6 1 2 B
 G 1 1 C 17/00 6 1 2 E
 G 1 1 C 17/00 6 1 2 F

請求項の数 10 (全 16 頁)

(21) 出願番号	特願2004-525963 (P2004-525963)	(73) 特許権者	504378124
(86) (22) 出願日	平成15年3月11日 (2003.3.11)		スパンション エルエルシー
(65) 公表番号	特表2006-500705 (P2006-500705A)		アメリカ合衆国 カリフォルニア州 94
(43) 公表日	平成18年1月5日 (2006.1.5)		088-3453 サニーベイル デグウ
(86) 国際出願番号	PCT/US2003/007639		イン ドライブ 915
(87) 国際公開番号	W02004/013864	(74) 代理人	100099324
(87) 国際公開日	平成16年2月12日 (2004.2.12)		弁理士 鈴木 正剛
審査請求日	平成18年3月1日 (2006.3.1)	(74) 代理人	100111615
(31) 優先権主張番号	10/210,378		弁理士 佐野 良太
(32) 優先日	平成14年7月31日 (2002.7.31)	(74) 代理人	100108604
(33) 優先権主張国	米国 (US)		弁理士 村松 義人

最終頁に続く

(54) 【発明の名称】 フラッシュメモリデバイスの多重セクタの消去中に消去電圧をコントロールするためのシステム及び方法

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセクタに分割されるフラッシュメモリを消去するための方法であって、

a) 前記複数のメモリセクタの、消去される第1部分を選択し (910)、この第1部分には第1セクタ、第2セクタ、第3セクタ及び第4セクタが含まれ、

b) 前記第1セクタの消去をベリファイし (915)、

c) 前記第1セクタが消去されない場合は前記第1セクタ、前記第2セクタ、前記第3セクタ及び前記第4セクタ (920) に消去パルスを押加し、前記消去パルスの前記電圧レベルのランピングを実行し (925)、かつ、前記第1セクタが消去されるまで b) 及び c) を繰り返し、

d) 前記第2セクタの消去をベリファイし (930)、

e) 前記第2セクタが消去されない場合は前記消去パルスを前記第2セクタ及び前記第4セクタに押加し (935)、前記消去パルスの前記電圧レベルのランピングを実行し (940)、かつ、前記第2セクタが消去されるまで d) 及び e) を繰り返し、

f) 前記第3セクタの消去をベリファイし (945)、

g) 前記第3セクタが消去されない場合は、前記消去パルスを前記第3セクタに押加し (950)、前記消去パルスの前記電圧レベルのランピングを行い (955)、かつ、前記第3セクタが消去されるまで f) 及び g) を繰り返し、

h) 前記第4セクタの消去をベリファイし (960)、

i) 前記第4セクタが消去されない場合は、前記第4セクタに前記消去パルスを押加し

10

20

(9 6 5)、前記消去パルスの前記電圧レベルのランピングを行い (9 7 0)、かつ、前記第 4 セクタが消去されるまで h) 及び i) を繰り返し、

j) 前記第 1 部分が消去された後に前記伝達レベルのリセットを行う (8 4 0)、
を順次行う方法。

【請求項 2】

前記消去パルスは、メモリセルのソースポテンシャルに関して負のゲートポテンシャルを含む (2 0 0)、

請求項 1 記載の方法。

【請求項 3】

前記電圧レベルのランピングでは、前記ソースに関して前記ゲートポテンシャルがより負の値となるようにされる、

請求項 2 記載の方法。

【請求項 4】

前記方法は、前記フラッシュメモリ内で実行される (6 0 0)、

請求項 1 記載の方法。

【請求項 5】

更に、消去後自動割り込みプログラム (A P D E : Automatic Program Disturb after Erase) パルスを印加する過程を含む (7 3 5)、

請求項 1 記載の方法。

【請求項 6】

前記電圧レベルは、前記フラッシュメモリデバイスの外部ソースから得られる、

請求項 1 記載の方法。

【請求項 7】

更に、プリプログラムパルスを印加する過程 (7 0 5) を含む、

請求項 1 記載の方法。

【請求項 8】

フラッシュメモリデバイスであって、

複数のメモリセクタ (6 1 0 , 6 1 5) と、

前記フラッシュメモリデバイスを消去するための埋め込みロジック (6 0 5) を有し、この埋め込みロジックは、

a) 前記複数のメモリセクタの、消去される第 1 部分を選択し (9 1 0)、この第 1 部分には第 1 セクタ、第 2 セクタ、第 3 セクタ及び第 4 セクタが含まれ、

b) 前記第 1 セクタの消去をベリファイし (9 1 5)、

c) 前記第 1 セクタが消去されない場合は前記第 1 セクタ、前記第 2 セクタ、前記第 3 セクタ及び前記第 4 セクタ (9 2 0) に消去パルスを印加し、前記消去パルスの前記電圧レベルのランピングを実行し (9 2 5)、かつ、前記第 1 セクタが消去されるまで b) 及び c) を繰り返し、

d) 前記第 2 セクタの消去をベリファイし (9 3 0)、

e) 前記第 2 セクタが消去されない場合は前記消去パルスを前記第 2 セクタ及び前記第 4 セクタに印加し (9 3 5)、前記消去パルスの前記電圧レベルのランピングを実行し (9 4 0)、かつ、前記第 2 セクタが消去されるまで d) 及び e) を繰り返し、

f) 前記第 3 セクタの消去をベリファイし (9 4 5)、

g) 前記第 3 セクタが消去されない場合は、前記消去パルスを前記第 3 セクタに印加し (9 5 0)、前記消去パルスの前記電圧レベルのランピングを行い (9 5 5)、かつ、前記第 3 セクタが消去されるまで f) 及び g) を繰り返し、

h) 前記第 4 セクタの消去をベリファイし (9 6 0)、

i) 前記第 4 セクタが消去されない場合は、前記第 4 セクタに前記消去パルスを印加し (9 6 5)、前記消去パルスの前記電圧レベルのランピングを行い (9 7 0)、かつ、前記第 4 セクタが消去されるまで h) 及び i) を繰り返し、

j) 前記第 1 部分が消去された後に前記伝達レベルのリセットを行う (8 4 0)、

10

20

30

40

50

を順次実行するためのものである、フラッシュメモリデバイス。

【請求項 9】

前記電圧レベルがランピングされる毎に、前記電圧レベルが所定の量でより負の値とされる、

請求項 8 記載のフラッシュメモリデバイス。

【請求項 10】

前記ランピングは、前記電圧レベルが所定の最大の負の値に達すると、中断される、

請求項 9 記載のフラッシュメモリデバイス。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、不揮発性メモリに関する。具体的に、本発明は、フラッシュメモリデバイスの消去中、印加されるゲート電圧をコントロールするための方法に関する。

【背景技術】

【0002】

コンピュータ、パーソナルデジタルアシスタンス、携帯電話、デジタルカメラ、又、同様のシステム及びデバイスのような多くの電子デバイスは、プロセッサとメモリを含む。デバイスの機能性を満たすためにデバイスによって実行され、及び／又はプロセッサによって動作されるコンピュータプログラムを記録するために、このメモリが、用いられる。多くのデバイス及びシステムは、電源を落としても、データ及びコンピュータプログラムを失わないように、情報が永久記録装置／不揮発性媒体に保存されることが求められる。

20

【0003】

記録されたデータを保存するために周囲の電源を必要としない半導体メモリデバイスが、開発されている。これらのデバイスは、“不揮発性”半導体メモリデバイスと称されている。不揮発性半導体メモリデバイスの通常の設計において、データは、セクタと呼ばれるメモリユニット内で消去され、バイトレベルにおいては消去され得ない。各セクタは、ページと称されるセグメントに区分される。このセクタ全体を消去するためにアクセスされる際、データは、ページごとに読み出し及びプログラミングのためにアクセスされる。

【0004】

フラッシュメモリ（又は、フラッシュRAM）は、不揮発性メモリデバイスの一例である。フラッシュメモリデバイスは、フローティングゲート構造を備えたメモリセルトランジスタを用いる。フラッシュメモリデバイスにおける一般的なメモリセルは、フローティングゲートのようなアクセストランジスタと記録素子を含む。フラッシュメモリデバイスにおけるデータは、基板とフローティングゲート間における絶縁体薄膜における電荷の蓄積によってプログラムされるか、又は電荷の空乏によって消去されるかである。メモリセルのプログラミングは、フローティングゲートに過剰電子の蓄積を起こすための十分な電位差を、トランジスタに与えることによって生じる。フローティングゲートにおける付加電子の蓄積は、ゲートの電荷とトランジスタの閾値電圧を引き上げる。このトランジスタの閾値電圧は、トランジスタが読み出しサイクル中にターンオンしないように、印加される電圧より十分に引き上げられる。従って、プログラムされたメモリセルは電流を搬送せず、ロジック値“0”を表す。各トランジスタのフローティングゲートの過剰電子を前述の薄膜から排出させるように電位差がセクタの各メモリセルのトランジスタに与えられるプロセスによって、データセクタの消去が引き起こされる。その結果、トランジスタの閾値電圧は、データを読み出すためにトランジスタに印加される電圧ポテンシャルよりも低くされる。消去状態では、電流はトランジスタを通じて流れる。読み出し電圧ポテンシャルが印加されると、電流がメモリセルのトランジスタを通じて流れ、メモリセルに記録されたロジック値は“1”を表す。

30

40

【0005】

従来技術に係る図1は、SA01、SA1、SA2、．．．．．SA63、及びSS0、SS1、SS2、．．．．．SS7のブロックによって示される複数のメモリセクタ

50

を含む、不揮発性メモリデバイスの一例の概略図を示す。メモリセクタSA01、SA1、SA2、．．．．．SA63、及びSS0、SS1、SS2、．．．．．SS7は、複数の行と列に配置され、各行は、4メモリセクタを含む。これらのメモリセクタの行は、Z4(0)からZ4(17)まで連続して番号が付され、列は、Z3(0)からZ3(3)まで連続して番号が付される。SS0、SS1、SS2、．．．．．SS7とラベルが付されたセクタは、コードストレージ用にリザーブされるが、SA01、SA1、SA2、．．．．．SA63とラベルが付されたセクタは、データ記録装置又はコード記録装置のために用いられてよい。各セクタは、複数の列と行に配置されたメモリセル配列を含む。複数のワード線は、それぞれの行に結合され、複数のビット線は、メモリセルのそれぞれの列に結合される。例えば、SA01、SA1、SA2、．．．．．SA63のラベルが付された各セクタは、64キロバイトのメモリを有し、各セクタは、512ワード線と1,024ビット線を含むアレイを包含し得る。

10

【0006】

低電圧フラッシュメモリデバイスの一形式において、プログラミング及び消去用に要する電圧は、電流特性が制限された電荷ポンプによって生成されなければならない。例えば、デバイスは、1.8ボルト又は3ボルトの外部の印加電圧で動作してよいし、約10ボルトの内部電圧を利用してよい。消去用の電荷ポンプとプログラム電圧に依存するデバイスに関して、同時にプログラムされ又は消去され得るメモリセルの数は、制限される。

【0007】

従来技術の図2Aは、プログラム時にメモリセルに印加される一般的な電圧を示す。メモリセル200のドレインDには、約5Vの電圧が印加され、ゲートGには、約9Vの電圧が印加され、メモリセル44のソースSは接地される。

20

【0008】

従来技術の図2Bは、ネガティブゲート消去を用いた消去時にメモリセル200のソースとゲートに印加される一般的な電圧を示す。メモリセル200のソースSには、約5Vの電圧が印加され、ゲートGには、約-9Vの電圧が印加される。他の態様の消去方法では、接地されたゲートとポジティブでバイアスがかけられたソースを利用する。接地されたゲートのコンテキストでは、増えたゲート消去電圧とは、ゲートとソース間における電圧の増加を指す。

【0009】

図2Bの構成に加えて、チャネル消去のような他の消去技術が実行されてよい。チャネル消去に関する記載は、米国特許第6,188,609号(Ramped or stepped gate channel erase for flash memory application)に見出せるが、この特許の記載内容の全体は、参照として本明細書に包含される。

30

【0010】

従来技術の図2Cは、「弱く」プログラムされる(weakly programmed)ときのメモリセル200のドレイン、ソース及びゲートに印加される一般的な電圧を示す。メモリセル200のドレインDは、約5Vの電圧が印加され、ゲートCとソースSは接地される。「弱く」プログラムすることは、消去後の自動プログラム割り込み(APDE:Automatic Program Disturb after Erase)とも称され、過消去されたメモリセルに実行され得る自己制御式の修正である。

40

【0011】

例えば、16ビットワードをプログラムするために、16ビット線のメモリセルの16列が、4セットにグループ分けされ、各セットは4列を有する。メモリセルが従来の埋め込まれたプログラムモードでプログラムされると、従来の内部ポンプは、メモリセル1セットの列を一度にプログラムするためにそれぞれのビット線を通じてポンプ電流を印加する。例えば、0~15のビット番号が付された一般的な16ビットワードは、0~3, 4~7, 8~11, 及び12~15のビット番号が付された4セットにグループ分けされ得る。4ビットセットの何れかが、4つの0にまでプログラムされると、この配置は、それぞれのビット線を通じて各メモリセルのドレインに十分なポンプ電流が供給されることを

50

確実にする。メモリセルが従来型のチップに埋め込まれた消去モードであるとき、従来の内部ポンプは、いずれも同様の制限がある。即ち、一度につきメモリセル1セットのみのソースにソース電流を供給することによって、メモリセルの消去を行うことができる、という制限である。

【発明の開示】

【発明が解決しようとする課題】

【0012】

従来の内部ポンプは、制限された電流供給を有し、一般的にビット線のメモリセルを一度に1セットのみがプログラム可能、又は消去可能であるために、各ワード線に沿った各ワードのプログラミング又は消去中には、内部ポンプによって生成されてそれぞれ異なるビット線のセットに供給される複数のパルスが必要とする。更に、各ワードをプログラミング又は消去中、内部ポンプの電源は、ビット線の異なるセットに切り替えられなければならない。従って、メモリセルのセクタ全体をプログラミング又は消去することは、従来の埋め込まれたプログラムと消去モードでは、時間がかかり得る。

【0013】

フラッシュメモリデバイスの別の形式において、電荷ポンプによって生成された内部電圧の代わりに選択可能な、より高い電圧を更に加えるというオプション入力を実現することによって、電荷ポンプの内部の制限は回避される。このデバイス形式は、比較的大きな電流送電容量を有するために比較的高速のプログラミングと消去を可能にする。このオプションの高い電圧の入力は、複数のセクタに同時に消去パルスを配布する特性を提供する。消去パルスは、本質的にある期間、実行される電圧である。しかし、消去パルスが印加され得るセクタの数は増えたとしても、パルスを印加するための基本的なプロセスは、依然として、シングルセクタを消去するために用いられるプロセスと大部分は同じである。

【0014】

一般的なシングルセクタの消去プロセスにおいて、消去電圧は、消去／ベリファイプロセスにおける精密なコントロールを維持するために連続して増やされてよい。セクタが消去され、ベリファイされた後、この消去電圧は、最初の値にリセットされる。多重のセクタ消去において、消去パルスは複数のセクタに印加され、セクタは個々にベリファイされる。個々のセクタがベリファイされた後、1つ又はそれ以上の残りのセクタが追加のパルスを要求し得る。シングルセクタをベリファイした後、消去電圧をリセットすることに悪影響はないが、残りのセクタ用に求められる後続のパルス全部がリセット電圧で開始する。この電圧は通常、予め印加された電圧より比較的小さい。リセット後、残りのセクタに印加された電圧における実際の増加を満たすために、多くのパルスが求められる。この求められる剰余パルスは、結果として全消去時間を、より長く生じさせるものとなる。それ故、多重セクタの消去中、パルス数の増加を求めないリセットを実行する消去電圧コントロール方法のが求められている。

【課題を解決するための手段】

【0015】

本発明は、フラッシュメモリの多重セクタを同時に消去中、印加される消去電圧をコントロールするための方法を提供する。この方法は、メモリセクタグループのサブセットの様々な変化する過程が、一連の消去／ベリファイサイクルに影響されるとき、改善された消去パフォーマンスを提供する。消去プロセス中、所定のセクタ又は複数のセクタに印加される各消去パルスは、先行するパルスと等しいか、又はそれより大きい。

【0016】

フラッシュメモリを消去するための方法が開示される。多重セクタを有するフラッシュメモリデバイスにおいて、セクタのサブセットが選択され、消去パルスがサブセット内の全てのセクタに同時に印加される。最初の電圧値を有する消去パルスの印加後、サブセットの少なくとも1セクタが、ベリファイされる。このベリファイされたセクタに未消去のセルが少なくとも1つあれば、消去電圧が調整され、別の消去パルスがセクタのサブセッ

トに印加される。この消去電圧の調整とは、サブセットに印加される消去パルスの回数の関数であり得る。このサイクルは、選択されたセクタが消去されたものとしてベリファイされるまで、サブセットにおいて反復される。セクタがベリファイされた後、残りの各セクタが消去されたものとしてベリファイされるまで、消去／ベリファイサイクルが、サブセットにおいて1又はそれ以上の残りのセクタに実行される。サブセットにおける全てのセクタが消去された後、消去電圧は最初の値にリセットされ、セクタの別のサブセットが、上述したように消去／ベリファイのために選択される。このプロセスは、デバイス内の全てのメモリセクタが消去されるまで反復される。

【0017】

本発明の実施形態では、複数のメモリセクタを有するフラッシュメモリデバイスにおいて、4つのセクタが選択される。最初の消去電圧を有する消去パルスが、この4つのセクタに与えられ、第1セクタはベリファイされる。このパルス実行、ベリフィケーションは、第1セクタが消去されたものとしてベリファイされるまで反復される。この消去／ベリファイサイクルの反復中、ランプ関数が消去パルス電圧値に与えられる。第1セクタが消去されたものとしてベリファイされると即、第2セクタに実行されているベリフィケーションで、消去／ベリファイサイクルが第2セクタと第4セクタに実行される。第2セクタが消去されたものとベリファイされると即、消去／ベリファイサイクルが第3セクタに実行される。第3セクタが消去されたものとベリファイされると即、消去／ベリファイサイクルが、第4セクタに実行される。第4セクタが消去されたものとしてベリファイされた後、消去パルス電圧値は、最初の値にリセットされる。

【0018】

更なる実施形態において、フラッシュメモリデバイスは、複数セクタの選択と実行されるゲート消去電圧を判断するために埋め込まれるロジックを有してよい。この埋め込まれるロジックは、又、プリプログラム、「弱い」プログラミング(weak programming) (APDE) とベリファイ機能をも提供し得る。

【発明を実施するための最良の形態】

【0019】

好適な実施形態の詳細を参照して、本発明、即ち、フラッシュメモリデバイスの複数セクタの消去中、消去電圧をコントロールするためのシステムと方法を説明する。好適な実施形態に従って本発明は記載されるが、これらの実施形態に制限されることを意図したものでないことが理解されよう。それ以上に本発明は、添付された請求項に限定された本発明の趣旨の範囲内における全ての代替例、修正、及び均等物を含めるものである。

【0020】

更に、本発明の明細書において以下に記載された多くの特定の詳細は、本発明が完全に理解されることを目的としたものである。しかし、当業者であれば、これらの詳細な説明なしに本発明が実施可能であることを認識するだろう。他の実施例において、周知の方法、手続、コンポーネント、及び回路は、本発明を無用にあいまいにすることのないよう、記載を省略した。

【0021】

図3は、本願請求項に係る発明の実施形態に従った、アクセラレーション回路の概略図を示す。

図3は、本発明に従ったメモリセルの高速プログラミングと高速チップ消去のためのアクセラレーション回路305のブロック概略図である。アクセラレーション回路305の詳細な記載は、2001年3月27日に発行された米国特許番号第6,208,558号に見出され得る。この開示の全ては、参照として本文に援用される。アクセラレーション回路305は、概して、アクセラレーション入力330を含み、この入力高速プログラムモードで一度にビット線の全てのセットに、メモリセルをプログラムするための電流を供給するためのアクセラレーション電圧 V_{acc} を印加することを可能にする。更に、このアクセラレーション回路305は、アクセラレーション入力330に結合され、内部電圧の供給ポンプ405を無効化可能にし(図4と図5に示される)、アクセラレーション入

力330においてアクセラレーション電圧 V_{acc} が存在することに応じて、全てのセットにおけるビット線にアクセラレーション電圧 V_{acc} を一度に印加することをイネーブルにするトリガー回路310を含む。アクセラレーション電圧 V_{acc} は、アクセラレーション入力330として利用され、不揮発性メモリの集積回路チップの外部のソースからアクセラレーション電圧 V_{acc} を受信可能なアクセラレーションピン（図6に示す630）から印加され得る。

【0022】

図3に示す実施形態において、トリガー回路310は、約7V～約10Vまでの範囲における実施例であるアクセラレーション電圧 V_{acc} を受信するために、アクセラレーション入力330に結合される高電圧ディテクタ315を含む。この高電圧ディテクタ315は、アクセラレーション入力330にてアクセラレーション電圧 V_{acc} を検出すると即、アクセラレーション電圧インジケータ信号ACCHを生成し、アクセラレーション電圧インジケータ信号ACCHをロジック回路320に与える。

【0023】

ロジック回路320は、高電圧ディテクタ6からアクセラレーション電圧インジケータ信号ACCHを受信するために結合される入力有し、又、高速オペレーションモードで不揮発性メモリアレイを設定するために少なくとも1つのコマンド書き込み入力325を有する。不揮発性メモリアレイが高速プログラムモードで設定される実施形態において、このコマンド書き込み入力325は、プログラムコマンドを受信可能にするプログラムコマンド書き込み入力を含む。不揮発性メモリアレイが高速チップ消去モードで設定されるという追加の実施形態において、コマンド書き込み入力325は、更に、消去コマンドを受信可能な消去コマンド書き込み入力を含む。

【0024】

ロジック回路320は、高電圧ディテクタ315によって生成されたアクセラレーション電圧インジケータ信号ACCHとプログラムコマンド書き込み入力325においてプログラムコマンドが存在することに応じ、不揮発性メモリアレイを高速プログラムモードに設定するために、高速プログラムコマンドFPGM（Fast program command）340を生成可能な出力を含む。追加の実施形態において、ロジック回路320は、高速消去チップモードで不揮発性メモリアレイを設定するための高速チップ消去FCER（Fast Chip Erase Command）335を生成可能な第2出力を有する。このロジック回路320は、高電圧ディテクタ315からのアクセラレーション電圧インジケータ信号ACCHと、消去コマンド書き込み入力325において消去コマンドと、が存在することに応じ、高速チップ消去FCER335を生成する。

【0025】

図4は、本発明に従った、高速チップ消去モードで高速消去動作中のメモリアレイ460の実施形態の回路の概略図を示す。この実施形態では、一実施例において約7V～約10Vの範囲であるアクセラレーション電圧 V_{acc} を、“1”ビットのメモリセルを消去するための通常約5Vとなっているソース電圧 V_s にまで小さくするために、レギュレータ415が、アクセラレーション入力330に結合される。

【0026】

図4に示されるようにレギュレートされた電圧 V_s が、メモリセル435a、435b、440a及び440bを含むメモリセルのソースにソース消去回路425を通じて印加される。このソース消去回路は、一実施形態においてレギュレートされた電圧 V_s をメモリセル435a、435b、440a、440b、...に配布するために、当業者にとって周知である従来型のソース消去回路であってよい。図4を参照すると、電圧 V_s が、ソース線430aを通じてメモリセル435a、440aに、及び430bを通じて435b、440b、435bそれぞれに印加される。高速チップ消去モードでメモリセルに高速消去オペレーションを実行するステップの最中、ゲート電圧（通常は約-9Vである）が、メモリセルのゲートの接続されるワード線に印加される。メモリセル435a、440aと435b、440bのドレインは、高速消去オペレーションを実行するステップ

の最中、フロート状態となっている。

【0027】

高速チップ消去モードで高速消去オペレーション中のソース電圧 V_S は、高速プリプログラミングと高速の「弱い」プログラミング（APDE）動作中、典型的なデュアルゲートNOR用の一般的には約5Vであるメモリセル高速ドレイン電圧 V_D と同じである。それ故、一実施形態において約7V～約10Vの範囲であるアクセラレーション電圧 V_{acc} を、約5Vのレギュレートされた電圧にまで低くするために、高速プリプログラミング及び高速APDEプログラミングのドレイン電圧、又、高速消去動作のソース電圧の双方として、同一のレギュレータ415が実装される。更に、この同じレギュレータ415は、高速プログラムモードで約5Vのドレイン電圧 V_D を生成するために利用される。

10

【0028】

図5に、メモリアレイ460、Xデコーダ420とも呼ばれる行デコーダ、Yデコーダとも呼ばれる列デコーダ、トリガー回路310を含み、及び前述のメモリアレイ460が高速プログラムモードであるときアクセラレーション入力330を含むメモリセクタの回路の概略図を示される。この実施形態において、トリガー回路によって生成される高速コマンド信号FPGMは、ドレイン電圧 V_D を生成するためにアクセラレーション入力330が電源を供給することを可能にする。アクセラレーション電圧 V_{acc} が約7V～約10Vの範囲である一実施形態において、デュアルゲートNORデバイスを含む従来のフラッシュメモリセルに関して一実施例における約5Vの、求められるドレイン電圧 V_D にアクセラレーション電圧 V_{acc} にまで低くするために、レギュレータ415がアクセラレーション

20

【0029】

図5に示される実施例において、高速プログラミングスイッチ540が、ドレイン電圧 V_D をYデコーダ410に印加することが可能な従来のMOSトランジスタを含むことが示される。一実施形態において、Yデコーダ410は、ドレイン電圧 V_D によって生成された電流を、メモリアレイにおけるビット線に選択的に配布するために、従来型のMOSトランジスタの多重の行を含む。図5に描かれた実施例において、Yデコーダ410は、高速プログラミングトランジスタ540に結合された4つの1次MOSトランジスタ560、580、600、及び620を含む。1次トランジスタ560、580、600及び620の各々からの電流は、複数の2次MOSトランジスタにルーティングされる。例えば、1次トランジスタ560から流れる電流は、2次トランジスタ640a、640b、640c、...にルーティングされる。更に、2次トランジスタ640a、640b、640c、...は、2つの3次MOSトランジスタに結合され、その各々が対応するビット線におけるメモリセルのドレインにプログラミング電流を印加するために、メモリアレイ460の対応するビット線に接続される。例えば、2次トランジスタ640aは、2つの3次トランジスタ660aと660bに結合され、ビット線680aと680bにプログラミング電流を配布する。

30

【0030】

Yデコーダ410における各行内のトランジスタの行数とトランジスタ数は、メモリアレイの各セクタのビット線の数に左右される。レギュレータ415が、64ビット線にプログラミング電流を印加するために結合されれば、例えば、4つの1次MOSトランジスタは高速プログラミングトランジスタ540に結合され、8つの2次MOSトランジスタは1次トランジスタの各々に結合され、又、2つの3次MOSトランジスタは、Yデコーダ410における2次トランジスタの各々に結合される。

40

【0031】

高速プログラムモードにおいて、Yデコーダ410におけるMOSトランジスタは、ビット線を選択的にプログラムするために選択的にターンオン、又はターンオフされ得るが、アレイ460にプログラムされるために選択的された全てのビット線は、各ワードが高速プログラムモードでプログラムされるとき、ドレイン電圧 V_D のシングルパルスを印加される。図5に示される、列デコード体系は、アクセラレーション電圧 V_{acc} によって生

50

成された電流を、フラッシュメモリアレイにおける各ビット線に印加するための手段の説明目的のための単なる一例である。他の列デコード体系も又、本発明の範囲内でアクセラレーション入力2からメモリアレイにおけるビット線に電流を配布するために利用され得る。

【0032】

更なる実施形態において、アクセラレーション電圧 V_{acc} は、高速プログラムモードでメモリセルのゲート電圧としてワード線に印可されてよい。図5は、4メモリセル435a、435b、440a及び440bの各々が従来型のデュアルゲートNORデバイスを含み、メモリアレイ460の一部を示す。メモリセル435aと435bのゲートは、ワード線470を通じてXデコーダ420に接続されるが、メモリセル440aと440bのゲートは、ワード線475を通じてXデコーダ420に接続される。典型的なデュアルゲートNORデバイスのゲートターンオン電圧は、一般的に約9Vであるが、プログラムされるために選択されたワード線にNORデバイスをターンオンするためには、約7V〜約10Vの電圧で十分である。

10

【0033】

行の各々におけるNORデバイスのゲートは、それぞれのワード線に接続される。プログラムされるために選択されるワード線を通じて流れる電流は、メモリセルにおけるゲート電流をそれぞれの行に印加するためのみに用いられるために、ごくわずかである。従って、Xデコーダ420に関する電力供給は通常、電源による電流供給の制限を維持するために不可欠というわけではない。

20

【0034】

図4を参照すると、一実施形態において、アクセラレーション電圧 V_{acc} が、レギュレートされることなしにアクセラレーション入力330からXデコーダ420に印加されるが示される。メモリアレイ460が高速プログラムモードであるとき、メモリアレイ460におけるワード線470、475、...は、各ワード線のメモリセルをプログラムするために連続的に一度にターンオンされ得る。例えば、アクセラレーション電圧 V_{acc} が、ワード線470に印加され、NORデバイス435aと435bは、ターンオンされる。アクセラレーション電圧 V_{acc} を減少することによってレギュレータ415によって生成されるドレイン電圧 V_D が、例えば、高速プログラミングスイッチと540Yデコーダ410を通じてプログラミング電流をメモリセル435aのドレインに印加するとき、メモリセル435aは、“0”ビットでプログラムされる。

30

【0035】

ワード線470に沿ってメモリセル全てがプログラムされた後、レギュレートされないアクセラレーション電圧 V_{acc} が、ワード線475に沿ったメモリセルをターンオンするように、Xデコーダ420により次のワード線475に印加される。ドレイン電圧 V_D のシングルパルスは、その後ワード線475に沿ったメモリセル440aと440bを含むメモリセル全てを“0”ビットにプログラミング可能にする。本発明に従った高速プログラムモードにおいて、メモリセルのソースは接地される。図5の回路は、高速プログラミング又は高速の「弱い」プログラミング(APDE)の何れかを実行するために利用され得る。APDEに関しては、ワード線470と475は接地される。

40

【0036】

図6は、本願請求項に係る発明の実施形態に従った、高速チップ消去性能を内蔵するフラッシュメモリデバイスの回路概略図600である。このデバイスは、ステートコントロール及びコマンドレジスタ605、アッパーバンク610とローワーバンク615に結合されるアドレスバス620を有する。この実施形態において、アッパーバンク610とローワーバンク615は、書込み及び読み出しを同時に行え得るメモリアレイである。データバス625も又、ステートコントロール及びコマンドレジスタ605、アッパーバンク610とローワーバンク615に結合される。WP#/ACCピン630は、書込み保護と電圧 V_{acc} の双方に関する入力として利用される。ステートコントロール及びコマンドレジスタ605は、ステータスライン635によってデータバス625に結合され、コン

50

トロールライン640によってアッパーバンク610とローワーバンク615に結合される。ステートコントロール及びコマンドレジスタ605は、埋め込まれたプリプログラム、消去、ベリファイ、及びAPDE機能を与え得る。

【0037】

図7Aは、本発明の一実施形態に従った消去プロセス全体のフローチャート概略図を示す。ステップ705において、プリプログラミング／ベリファイは、フラッシュメモリデバイス内のメモリセルの一セットにおける全てのビットをゼロに設定するために実行される。これは、初期挙動をより均一なものとなるよう、メモリセルセットのトランジスタの閾値電圧をノーマライズするために行われる。ステップ715において、消去電圧は、一セットのメモリセルに印加される。ステップ720において、ステップ715で実行された消去は、ベリファイされる。このメモリセルセットが完全に消去されなければ、消去電圧はステップ725においてランプし、ステップ715が反復される。ステップ715を反復するとき、メモリセルセットが前のセットと同一であっても、同一でなくてもよい。メモリセルセットが消去されたものとしてベリファイされた場合、消去電圧は、その後ステップ730においてリセットされる。図7Aに示されるプロセスは、フラッシュメモリデバイスを繰り返し消去するために用いることができる。

【0038】

図7Bは、本発明の一実施形態に従ったAPDEを含む消去プロセス全体のフローチャート概略図を示す。ステップ705において、フラッシュメモリデバイス内の一メモリセルセットにおける全てのビットをゼロに設定するために、プリプログラミング／ベリファイが実行される。ステップ715において、消去電圧が、メモリセルのセットに印加される。ステップ720において、ステップ715で実行された消去に対して、ベリファイがなされる。前述のメモリセルセットが完全に消去されていない場合、ステップ725において消去電圧ランプ(ramp)あるいは消去電圧の変更がなされ、ステップ715が反復される。ステップ715を反復するとき、メモリセルセットは、前のセットと同一でも同一でなくてもよい。メモリセルセットが消去されたものとしてベリファイされれば、APDEステップがステップ735において実行される。ステップ730において、消去電圧がリセットされる。図7Bに示されるプロセスは、反復方法でフラッシュメモリデバイスを消去するために用いられてよい。

【0039】

図7Aと図7Bに示されるように消去プロセス全体は、プリプログラミング及びAPDEステップを含んでよいし、過消去及び過小消去の修正を実行してよい。本発明において、消去及び消去ベリファイのステップが、消去されているセクタグループの選択されたサブセットに反復して実行されると、印加されるゲート消去電圧が単調増加する。即ち、このセクタグループが消去のために選択されたときから、一連の消去パルスが印加された後にグループの最後のセクタが消去されたものとしてベリファイされるときまで、印加されるゲート消去電圧は決して減少はしない。このゲート消去電圧は、未消去セクタの別のグループを選択すると、減少(リセット)されるのみとなる。

【0040】

図8は、本発明の実施形態に従った多重セクタ同時消去のフローチャート概略図を示す。ステップ810において、フラッシュメモリデバイス内のメモリセクタのグループが、選択される。セクタグループが消去のために選択されると、ゲート消去電圧は、最初の値に設定される。ステップ810において、ステップ805において選択されたグループのサブセットが、消去パルスを印加するために選択される。ステップ820において、ステップ815において選択されたセクタのサブセットに消去パルスが、印加される。ステップ825において、サブセットにおける1又はそれ以上のセクタが、消去ベリファイされる。ステップ825においてベリファイされたセクタが消去されなければ、ステップ830におけるゲート消去電圧に関して調整が行われる。ステップ820とステップ825の実行される順序は、置き換えられてよいことに注目されたい。このゲート消去電圧は、当然に高くされてもよく、あるいは、現在の電圧に所定のパルス数が印加された場合にのみ

、増やされてよい。例えば、最初のゲート電圧を -5.2 V として、 -5.2 V あるいは -5.2 V で4つのパルスが印加された後に、電圧が 0.13 V 低くされ、これにより、 -5.33 V まで低くされるであろう。この例において、メモリセルが消去されたものとしてベリファイされるか、または最大ゲート電圧、例えば、 -9.2 V 、に達するまで、電圧は低減されるだろう。

【0041】

メモリセクタがステップ825において消去されたものとしてベリファイされた後、ステップ835において、グループ内に未消去のセクタがあるか否かがチェックされる。ステップ835において、未消去のセクタがあれば、ステップ815が反復される。もしグループ内に未消去のセクタが残っていれば、ゲート消去電圧がリセットされ、デバイス内
10
に未消去のセクタがあるか否かを調べるためにステップ845においてチェックが行われる。デバイス内に未消去のセクタが残っていれば、ステップ810が繰り返される。デバイス内に未消去のセクタが残っていなければ、消去はステップ850で完了する。

【0042】

図9は、本発明の一実施形態に従った4セクタ同時消去のフローチャート概略図を示す。

ステップ910において、フラッシュメモリデバイス内の4メモリセクタが消去されるものとして選択される。ステップ915において、4メモリセクタの第1メモリセクタがベリファイされる。第1メモリセクタがベリファイされなければ、ステップ920において、4メモリセクタ全部に消去パルスが印加される。ステップ925において、ゲート電
20
圧ランプが実行される。ゲート消去電圧は、各パルスごとに増やされてもよいし、又は所定の電圧で幾つかのパルスが与えられた後、増やされてよい。ステップ915、920及び925は、第1セクタが消去されたものとしてベリファイされるまで反復される。

【0043】

ステップ930において、第2メモリセクタがベリファイされる。第2メモリセクタが消去されたものとしてベリファイされなければ、消去パルスが、ステップ935において第2及び第4メモリセクタに印加される。ステップ940において、ゲート電圧ランプが実行される。ゲート消去電圧は、各パルスで増やされてよいし、又は所定の電圧で多くのパルスが印加された後、増やされてよい。ステップ930、935及び940は、第2セ
30
クタが消去されたものとしてベリファイされるまで反復される。

【0044】

ステップ945において、第3メモリセクタがベリファイされる。第3メモリセクタが、消去されたものとしてベリファイされれば、ステップ950において、消去パルスが第3メモリセクタに印加される。ステップ955において、ゲート電圧ランプが実行される。このゲート消去電圧は、各パルスで増やされてよいし、又は所定の電圧で多くのパルスが印加された後、増やされてよい。ステップ945、950及び955は、第3セクタが
40
消去されたものとしてベリファイされるまで反復される。

【0045】

ステップ960において、第4メモリセクタがベリファイされる。第4メモリセクタが消去されたものとしてベリファイされなければ、消去パルスがステップ965において第
40
4メモリセクタに印加される。ステップ970において、ゲート電圧ランプが実行される。このゲート消去電圧は、各パルスで増やされてよいし、又は所定の電圧で多くのパルスが実行された後、増やされてよい。ステップ960、965、及び970は、第3セクタが消去されたものとベリファイされるまで反復される。

【0046】

第4メモリセクタが、ステップ960において消去されたものとしてベリファイされた後、ゲート電圧が、ステップ975においてリセットされる。ステップ980において、未消去セクタがまだあるか否かを調べるためにチェックが行われる。もし未消去セクタが残っていなければ、デバイス消去は、ステップ985において完了する。未消去セクタが残っていれば、ステップ910が反復され、このプロセスは、デバイスが消去されるまで
50

続けられる。

【0047】

図8と図9に示されるプロセスは、フラッシュメモリデバイスのロジック内に埋め込まれてもよい（例えば、図6に示すステートコントロール及びコマンドレジスタコントロール605）。消去プロセスが埋め込まれる場合、チップ全体の消去を開始するために簡単なコマンドを用いることができる。

【図面の簡単な説明】

【0048】

【図1】従来例に係る、一般的な不揮発性メモリデバイスにおけるメモリセクタの典型的な配置である。

10

【図2A】従来例に係る、高速プログラムモードでプログラムされるときの一一般的なバイナリデュアルゲートNORデバイスを含むメモリセルのドレイン、ソース及びゲートに印加される電圧の一形態の説明図。

【図2B】従来例に係る、高速チップ消去モードで消去されときの図5Aに示されるメモリセルのドレイン、ソース及びゲートに印加される電圧の一形態の説明図。

【図2C】従来例に係る、高速チップ消去モードで「弱く」プログラムされる（APDE）とき、図5Aに示されるメモリセルのドレイン、ソース及びゲートに印加される電圧の一形態の説明図。

【図3】本願請求項に係る発明の一実施形態に従った、アクセラレーション回路のブロック概略図。

20

【図4】本願請求項に係る発明の一実施形態に従った、高速チップ消去モードで高速消去オペレーションを実行するステップにおける、メモリセルのソースにソース電圧を印加するアクセラレーション回路を示す回路概略図。

【図5】本発明の一実施形態に従った高速チップ消去モードで高速「弱い」プログラミング（APDE）を実行するためのステップ中、メモリセルのドレインにドレイン電圧を印加するアクセラレーション回路を示す回路概略図である。

【図6】本願請求項に係る発明の一実施形態に従った、高速チップ消去モードを組み込むフラッシュメモリデバイスの回路概略図である。

【図7A】本願請求項に係る発明の一実施形態に従った、消去プロセス全体のフローチャート概略図である。

30

【図7B】本願請求項に係る発明の一実施形態に従った、APDEを含む、消去プロセス全体のフローチャート概略図である。

【図8】本願請求項に係る発明の実施形態に従った、複数セクタの同時消去のフローチャート概略図である。

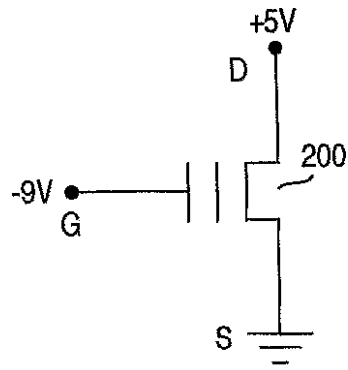
【図9】本願請求項に係る発明の実施形態に従った、4セクタ同時消去のフローチャート概略図である。

【図 1】

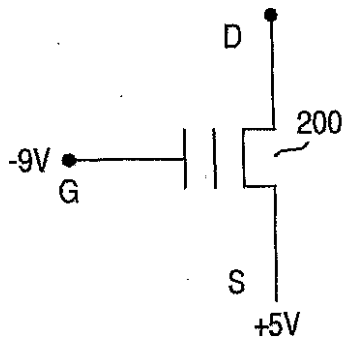
Z3(0)	Z3(1)	Z3(2)	Z3(3)
Z4(17) SS1	SS3	SS5	SS7
Z4(16) SS0	SS2	SS4	SS6
Z4(15) SA60	SA61	SA62	SA63
Z4(14) SA56	SA57	SA58	SA59
Z4(13) SA52	SA53	SA54	SA55
Z4(12) SA48	SA49	SA50	SA51
Z4(11) SA44	SA45	SA46	SA47
Z4(10) SA40	SA41	SA42	SA43
Z4(9) SA36	SA37	SA38	SA39
Z4(8) SA32	SA33	SA34	SA35
Z4(7) SA28	SA29	SA30	SA31
Z4(6) SA24	SA25	SA26	SA27
Z4(5) SA20	SA21	SA22	SA23
Z4(4) SA16	SA17	SA18	SA19
Z4(3) SA12	SA13	SA14	SA15
Z4(2) SA8	SA9	SA10	SA11
Z4(1) SA4	SA5	SA6	SA7
Z4(0) SA0	SA1	SA2	SA3

FIGURE 1
(Prior Art)

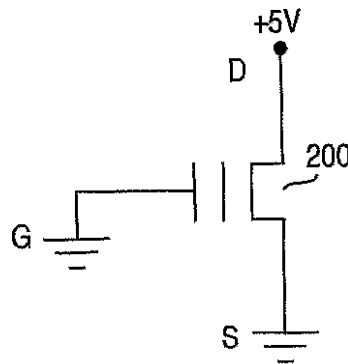
【図 2 A】

FIGURE 2A
(Prior Art)

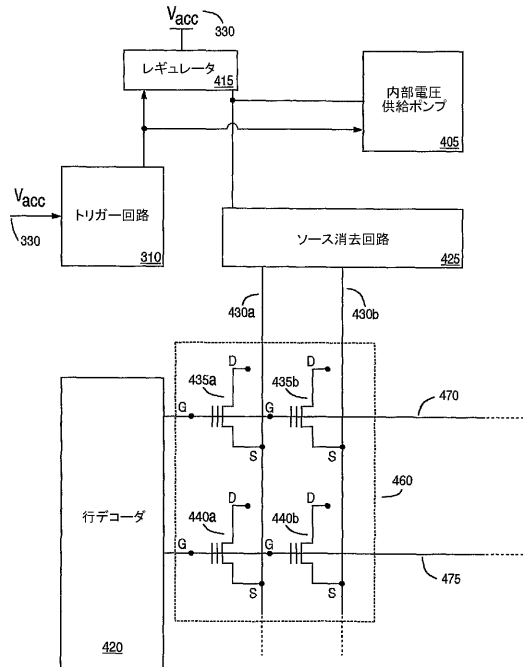
【図 2 B】

FIGURE 2B
(Prior Art)

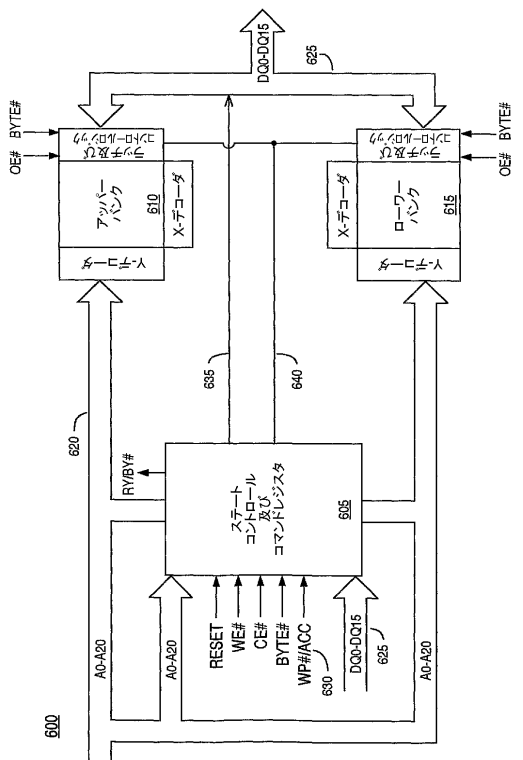
【図 2 C】

FIGURE 2C
(Prior Art)

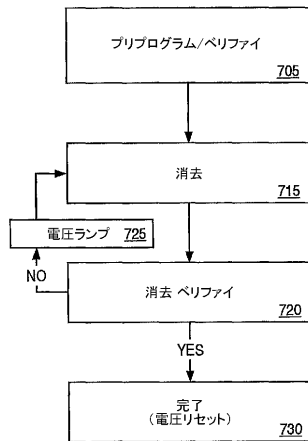
【図 4】



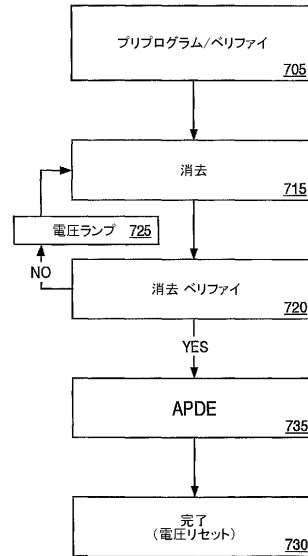
【图 6】



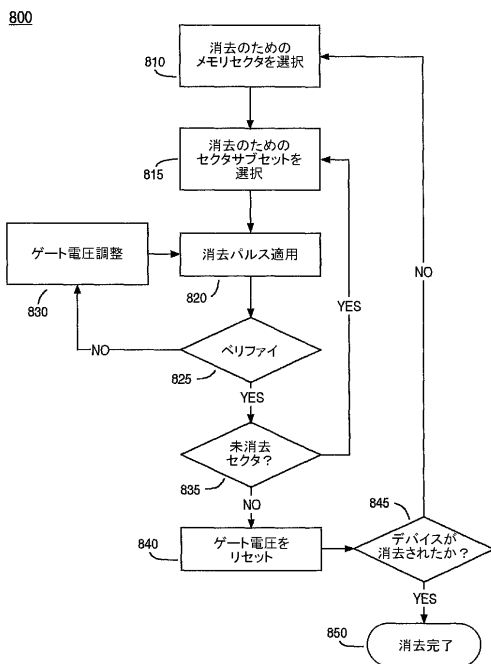
【図 7 A】



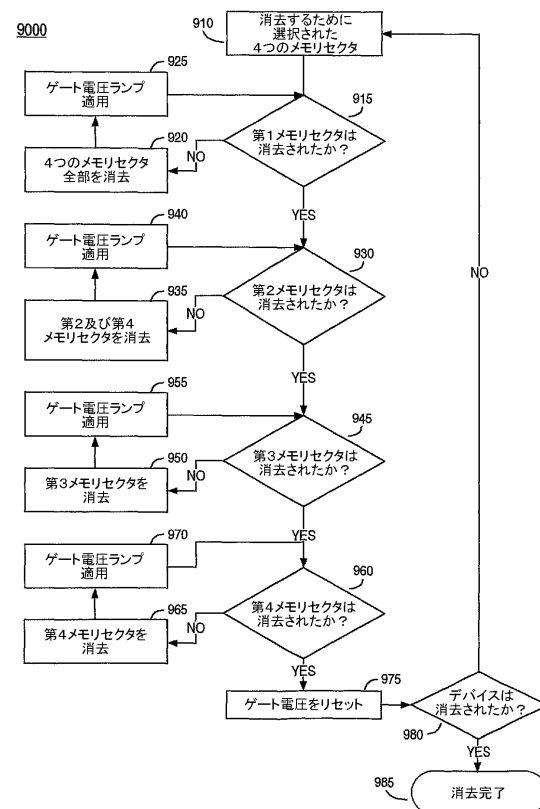
【図 7 B】



【図 8】



【図 9】



フロントページの続き

- (72)発明者 エドワード ブイ. ポーティスタ、ジュニア
アメリカ合衆国、カリフォルニア州 95050、サンタ クララ、ドン コート 2050
- (72)発明者 ケン チャン チアー
マレーシア、ペナン 11700、ジャラン ヘランド エル-6-5
- (72)発明者 ウェン フック リー
マレーシア、ペナン 11700、ティンカト バツ ウバン 3、6

審査官 滝谷 亮一

- (56)参考文献 米国特許第05270979 (US, A)