

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 6 月 25 日 (25.06.2020)



(10) 国际公布号
WO 2020/124470 A1

(51) 国际专利分类号:
H04N 5/3745 (2011.01)

(21) 国际申请号: PCT/CN2018/122251

(22) 国际申请日: 2018 年 12 月 20 日 (20.12.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市汇顶科技股份有限公司 (SHENZHEN GOODIX TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市福田区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(72) 发明人: 李欣伦 (LI, Hsin-Lun); 中国广东省深圳市福田区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(74) 代理人: 北京天驰君泰律师事务所 (TIAN TAI LAW FIRM); 中国北京市朝阳区北辰东路8号汇宾大厦6层, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: ANALOG-TO-DIGITAL CONVERSION CIRCUIT, IMAGE SENSOR AND ANALOG-TO-DIGITAL CONVERSION METHOD

(54) 发明名称: 模数转换电路、图像传感器和模数转换方法

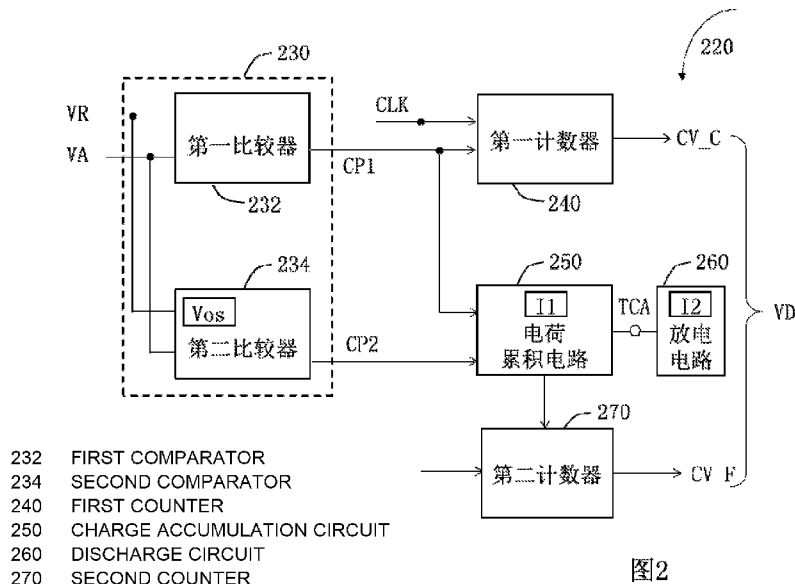


图2

(57) Abstract: An analog-to-digital conversion circuit, an image sensor and an analog-to-digital conversion method. The analog-to-digital conversion circuit (220) comprises a comparison circuit (230), a first counter (240), a charge accumulation circuit (250), a discharge circuit (260) and a second counter (270). The comparison circuit (230) compares an analog signal (VA) with a ramp signal (VR), and compares the analog signal (VA) with the ramp signal (VR) added with a predetermined offset (Vos). The first counter (240) counts the number of cycles of a clock signal (CLK) when the signal level of the analog signal (VA) is greater than the signal level of the ramp signal (VR). The charge accumulation circuit (250) accumulates charge from a first current (I1) when the signal level of the analog signal (VA) is less than the signal level of the ramp signal (VR) added with the predetermined offset (Vos). During the period in

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

which the first counter (240) stops counting, the discharge circuit (260) discharges the accumulated charge with a second current (I2). During the discharge of charge, the second counter (270) counts the number of cycles of the clock signal (CLK). The analog-to-digital conversion circuit (220) has the function of saving power.

(57) 摘要：一种模数转换电路、图像传感器和模数转换方法。所述模数转换电路(220)包括比较电路(230)、第一计数器(240)、电荷累积电路(250)、放电电路(260)及第二计数器(270)。所述比较电路(230)比较模拟信号(VA)与斜坡信号(VR)，并比较所述模拟信号(VA)与所述斜坡信号(VR)加上预定偏移(Vos)。所述第一计数器(240)在所述模拟信号(VA)的信号电平大于所述斜坡信号(VR)的信号电平时，对时钟信号(CLK)的周期个数进行计数。所述电荷累积电路(250)在所述模拟信号(VA)的信号电平小于所述斜坡信号(VR)的信号电平加上所述预定偏移(Vos)时，累积来自第一电流(I1)的电荷。在所述第一计数器(240)停止计数的期间，所述放电电路(260)以第二电流(I2)释放所累积的电荷。在电荷释放的期间，所述第二计数器(270)对所述时钟信号(CLK)的周期个数进行计数。所述模数转换电路(220)具备节电的功效。

模数转换电路、图像传感器和模数转换方法

技术领域

5 本公开涉及模数转换技术，尤其涉及一种对于像素所产生的模拟信号进行模数转换的模数转换电路及其相关的图像传感器和模数转换方法。

背景技术

10 为了满足高分辨率和高速成像的需求，通常互补式金属氧化物半导体图像传感器（CMOS image sensor, CIS）使用了列并行模数转换结构（column-parallel ADC architecture）来对像素所产生的信号进行采集和转换。由于单斜模数转换器（single slope ADC）可以满足小尺寸的像素设计，列并行模数转换结构几乎由单斜模数
15 转换器来实施。然而，随着图像分辨率进一步的增加，不仅单斜模数转换器的转换速度无法满足高速成像的需求，单斜模数转换器的计数器的耗电量也随之增加。

 因此，需要一种创新的模数转换结构，其可同时满足高分辨率、高速成像、小尺寸像素设计以及低耗电的需求。

20

发明内容

 本公开的目的之一在于提供一种对于像素所产生的模拟信号进行模数转换的模数转换电路及其相关的图像传感器和模数转换方法，来解决上述问题。

25 本公开的一实施例提供了一种模数转换电路。所述模数转换电路用于将模拟信号转换为数字信号。所述模数转换电路包括比较电

路、第一计数器、电荷累积电路、放电电路以及第二计数器。所述比较电路用以将所述模拟信号与斜坡信号作比较以产生第一比较信号，以及将所述模拟信号与所述斜坡信号加上预定偏移作比较以产生第二比较信号。所述第一计数器耦接于所述比较电路，用以在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平时，对时钟信号的周期个数进行计数以获得所述数字信号的第一部分。所述电荷累积电路耦接于所述比较电路，用以在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平，且所述第二比较信号指示出所述模拟信号的信号电平小于所述斜坡信号的信号电平加上所述预定偏移时，在所述电荷累积电路的电荷累积端累积来自第一电流的电荷。所述放电电路，耦接于所述电荷累积端，用以在所述第一计数器停止计数的期间，以第二电流对所述电荷累积端放电，其中所述第二电流小于所述第一电流。所述第二计数器耦接于所述电荷累积电路，用以在所述电荷累积端放电的期间，对所述时钟信号的周期个数进行计数以获得所述数字信号的第二部分。

本公开的一实施例提供了一种图像传感器。所述图像传感器包括像素阵列、控制电路以及至少一模数转换电路。所述像素阵列包括排列成多行与多列的多个像素。所述控制电路用以产生时钟信号以及斜坡信号。所述至少一模数转换电路耦接于所述像素阵列与所述控制电路，用以将所述像素阵列中一列像素所产生的模拟信号转换为数字信号。

本公开的一实施例提供了一种模数转换方法。所述模数转换方法包括以下步骤：将模拟信号与斜坡信号作比较以产生第一比较信号；将所述模拟信号与所述斜坡信号加上预定偏移作比较以产生第二比较信号；在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平时，对时钟信号的周期个数进行计数以获得第一计数值；在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平，且所述第二比较信号指示出所述模拟信号的信号电平小于所述斜坡信号的信号电平加上所述预

- 定偏移时，在电荷累积端累积来自第一电流的电荷；在所述电荷累积端停止累积来自所述第一电流的电荷的期间，以第二电流对所述电荷累积端放电，其中所述第二电流小于所述第一电流；以及在所述电荷累积端放电的期间，对所述时钟信号的周期个数进行计数以
- 5 获得第二计数值，其中所述第一计数值和所述第二计数值分别作为数字信号的第一部分和第二部分。

附图说明

- 图 1 是本公开图像传感器的一实施例的功能方框示意图。
- 10 图 2 示出了图 1 所示的多个模数转换电路其中的至少一模数转换电路的一具体实施方式的示意图。
- 图 3 是图 2 所示的模数转换电路的一实施例的示意图。
- 图 4 是图 3 所示的模数转换电路所涉及的信号处理操作的一实施例的信号时序图。
- 15 图 5 是本公开模数转换方法的一实施例的流程图。

其中，附图标记说明如下：

100	图像传感器
102	像素阵列
110	控制电路
120_1-120_K、220、320	模数转换电路
232、332	第一比较器
234、334	第二比较器
240、340	第一计数器
250、350	电荷累积电路
260、360	放电电路
270、370	第二计数器

352	开关控制电路
354	电荷累积单元
356	比较器
502-512	步骤
$P_{11}-P_{MK}$	像素
A11、A21	与门
A31	第一与门
A32	第二与门
A33	第三与门
A34	第四与门
I1、I2	反相器
DF11-DF19、DF21-DF23	D 触发器
D	数据输入端
Q	数据输出端
Q'	反相数据输出端
R	复位端
TCA	电荷累积端
S1	第一开关
S2	第二开关
S3	第三开关
S4	第四开关
S5	第五开关
S6	第六开关
SD	开关
CS1、CS2	电流源
TI1	第一输入端
TI2	第二输入端
TO	输出端
Nref	参考节点
CLK	时钟信号

VR	斜坡信号
VA ₁ -VA _K 、VA	模拟信号
V _{os}	预定偏移
VD ₁ 、VD	数字信号
CP1	第一比较信号
CP2	第二比较信号
CV _C	第一计数值
CV _F	第二计数值
CP2b	反相信号
CKD1	第一输入时钟信号
CKD2	第二输入时钟信号
EN	始能信号
t ₁ -t ₆	时间点
rstb1	第一复位信号
rstb2	第二复位信号
V ₁ 、V ₂ 、V _r	信号电平
qp	第一开关控制信号
qn	第二开关控制信号
q1g	第三开关控制信号
qn1g	第四开关控制信号
qp'	第一反相控制信号
qn'	第二反相控制信号

具体实施方式

在说明书及之前的权利要求书当中使用了某些词汇来指称特定的组件。本领域的技术人员应可理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及之前的权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。在通篇说明书及之前的权利要求书当中所提及的“包含”

为一开放式的用语，故应解释成“包含但不限于”。此外，“耦接”一词在此包含任何直接和间接的电连接手段。因此，若文中描述一第一装置耦接于一第二装置，则代表所述第一装置可直接电连接于所述第二装置，或通过其它装置或连接手段间接地电连接到所述第二装置。

图 1 是本公开图像传感器的一实施例的功能方框示意图。于此实施例中，图像传感器 100 可采用列并行模数转换结构来对传感信号进行模数转换操作，并可包含（但不限于）一像素阵列 102、一控制电路 110 以及多个模数转换电路（标记为“ADC”）120_1-120_K，其中 K 是大于 1 的正整数。像素阵列 102 可包含排列成 M 行与 K 列的多个像素（或像素单元） P_{11} - P_{MK} ，其中 M 是大于 1 的正整数，各像素 P_{11} - P_{MK} 可分别进行图像传感以产生一模拟信号（诸如一传感电压或一传感电流）。

控制电路 110 可产生一时钟信号 CLK 以及一斜坡信号（ramp signal）VR。模数转换电路 120_1-120_K 耦接于像素阵列 102 和控制电路 110，各模数转换电路可依据时钟信号 CLK 及斜坡信号 VR 将各列像素 P_{11} - P_{MK} 所产生的模拟信号（诸如多个模拟信号 VA_1 - VA_K 之中相对应的模拟信号）转换为一数字信号。以一系列像素 P_{11} - P_{M1} 为例，模数转换电路 120_1 可依据时钟信号 CLK 以及斜坡信号 VR 将模拟信号 VA_1 转换为一数字信号 VD_1 。

值得注意的是，虽然图 1 所示的各数模转换电路可直接接收各列像素所产生的模拟信号，然而，这只是方便说明而已，本公开并不以此为限。在某些实施例中，各列像素所产生的模拟信号可先通过相关的信号处理之后，再传送到相对应的数模转换电路。举例来说，可编程增益放大器（programmable gain amplifier, PGA）可设置于一系列像素和相对应的数模转换电路之间，因此，所述列像素产生的模拟信号可先通过可编程增益放大器进行信号放大处理之后，再传送到相对应的数模转换电路。

在此实施例中，各模数转换电路可根据斜坡信号 VR 和相应的模

拟信号，在不同的计数阶段对时钟信号 CLK 的周期个数进行计数，以将相应的模拟信号转换为数字信号。以模数转换电路 120_1 为例，模数转换电路 120_1 首先可依据斜坡信号 VR 和模拟信号 VA_1 来对时钟信号 CLK 的周期个数进行第一计数操作。时钟信号 CLK 可由低频的时钟信号来实施，从而减少信号处理的功耗。也就是说，所述第一计数操作可视为粗计数操作 (coarse counting)。当斜坡信号 VR 的信号电平即将到达模拟信号 VA_1 的信号电平时 (例如，斜坡信号 VR 的信号电平与模拟信号 VA_1 的信号电平两者的差距位于一预定范围内)，除了根据进行所述第一计数操作，模数转换电路 120_1 还可累积来自第一电流 I1 的电荷。在停止所述第一计数操作之后，模数转换电路 120_1 可基于第二电流 I2 释放所累积的电荷，其中第二电流 I2 小于第一电流 I1。

值得注意的是，模数转换电路 120_1 所累积的电荷可指示出停止所述第一计数操作之前计数值最后一次增加的时间点与停止所述第一计数操作的时间点，两者之间所累积的电荷。因此，可采用较小的电流 (第二电流 I2) 来释放来自较大的电流所累积的电荷，并且在此期间对时钟信号 CLK 的周期个数进行计数，从而提高模数转换电路 120_1 的分辨率。

举例来说 (但本公开不限于此)，第二电流 I2 可以是第一电流 I1 的八分之一，因此，以第二电流 I2 释放所累积的电荷所需的时间大致是以第一电流 I1 累积电荷所需的时间的八倍。因此，在以第二电流 I2 释放所累积的电荷的期间内对时钟信号 CLK 的周期个数进行计数，相当于在以第一电流 I1 累积电荷的期间内，对另一时钟信号 (频率是时钟信号 CLK 的频率的八倍) 的周期个数进行计数。也就是说，所述第二计数操作可视为精细计数操作 (fine counting)。通过在释放所累积的电荷的期间内对时钟信号 CLK 的周期个数进行计数，模数转换电路 120_1 可以采用较低频率的时钟信号以实现高精度的数模转换操作。这样，图像传感器 100 可以在满足高分辨率和高速成像的需求下，大幅降低模数转换操作的功耗。

请连同图 1 来参阅图 2。图 2 示出了图 1 所示的多个模数转换电路 120_1-120_K 其中的至少一模数转换电路的一具体实施方式的示意图。模数转换电路 220 可将一模拟信号 VA（诸如多个模拟信号 VA₁-VA_k 其中之一）转换为一数字信号 VD，并可包含（但不限于）一比较电路 230、一第一计数器 240、一电荷累积电路 250、一放电电路 260 以及一第二计数器 270。比较电路 230 用以将模拟信号 VA 与斜坡信号 VR 作比较以产生一第一比较信号 CP1，以及将模拟信号 VA 与数字信号 VD 加上一预定偏移 Vos 作比较以产生一第二比较信号 CP2。也就是说，第一比较信号 CP1 可指示出“模拟信号 VA”与“斜坡信号 VR”两者之间信号电平的大小关系，第二比较信号 CP2 可指示出“模拟信号 VA”与“斜坡信号 VR 加上预定偏移 Vos”两者之间信号电平的大小关系。因此，在斜坡信号 VR 的信号电平逐渐增加以逼近模拟信号 VA 的信号电平的过程中，相比于第一比较信号 CP1，第二比较信号 CP2 的信号电平会先翻转（toggle），指示出信号大小关系的改变。

举例来说（但本公开不限于此），比较电路 230 可包括（但不限于）一第一比较器 232 和一第二比较器 234。第一比较器 232 用以接收模拟信号 VA 和斜坡信号 VR，并将模拟信号 VA 与斜坡信号 VR 作比较以产生第一比较信号 CP1。第二比较器 234 则是将模拟信号 VA 与斜坡信号 VR 加上预定偏移 Vos 作比较，据以产生第二比较信号 CP2。预定偏移 Vos 可以是（但不限于）第二比较器 234 内部固有的比较器偏移（comparator offset）。也就是说，与第一比较器 232 相似，第二比较器 234 也可接收模拟信号 VA 与斜坡信号 VR。由于第二比较器 234 具有比较器偏移，因此，第二比较器 234 所进行的比较操作可视为对模拟信号 VA 与斜坡信号 VR 加上预定偏移 Vos 进行比较。预定偏移 Vos 的偏移量可依设计需求来调整。

值得注意的是，在某些实施例中，第一比较器 232 和第二比较器 234 可合并成具有两个输出端的单一比较电路。在某些实施例中，第二比较器 234 可并入第一比较器 232 中。也就是说，比较电路 230 相关的设计变化，均包含在本公开的保护范围内。

第一计数器 240 耦接于比较电路 230，用以依据第一比较信号 CP1 来控制时钟信号 CLK 的周期个数的计数操作。例如，在第一比较信号 CP1 指示出模拟信号 VA 的信号电平大于斜坡信号 VR 的信号电平时，第一计数器 240 可对时钟信号 CLK 的周期个数进行计数以
5 获得数字信号 VD 的第一部分（即第一计数值 CV_C）。

在某些实施例中，第一计数器 240 可在适当的时机才启动时钟信号 CLK 的周期个数的计数操作，以降低功耗。例如，在斜坡信号 VR 产生之前，控制电路 110 不允许第一计数器 240 启动计数操作；当斜坡信号 VR 产生时，第一计数器 240 的计数操作才会启动。

10 电荷累积电路 250 耦接于比较电路 230，用以在第一比较信号 CP1 指示出模拟信号 VA 的信号电平大于斜坡信号 VR 的信号电平，且第二比较信号 CP2 指示出模拟信号 VA 的信号电平小于斜坡信号 VR 的信号电平加上预定偏移 V_{os} 时，在电荷累积电路 250 的一电荷累积端 TCA 累积来自第一电流 I1 的电荷。电荷累积端 TCA 所累积的
15 电荷可指示出第一计数器 240 停止计数之前第一计数值 CV_C 最后一次增加的时间点，与第一计数器 240 停止计数的时间点两者之间所累积的电荷。

在某些实施例中，电荷累积电路 250 可在第一计数值 CV_C 增加时，开始在电荷累积端 TCA 累积来自第一电流 I1 的电荷。例如，在
20 模拟信号 VA 的信号电平大于斜坡信号 VR 的信号电平，而小于斜坡信号 VR 的信号电平加上预定偏移 V_{os} 的期间，当时钟信号 CLK 处于预定信号沿（上升沿或下降沿）时，电荷累积电路 250 可开始在电荷累积端 TCA 累积来自第一电流 I1 的电荷。

在某些实施例中，电荷累积电路 250 可对电荷累积端 TCA 进行一次或多次的电荷累积操作，其中当第一计数值 CV_C 增加时，电荷
25 累积电路 250 可复位电荷累积端 TCA，并重新在电荷累积端 TCA 累积来自第一电流 I1 的电荷。例如，在模拟信号 VA 的信号电平与斜坡信号 VR 的信号电平之间的差距小于预定偏移 V_{os} 的期间内，每当第一计数值 CV_C 增加时，电荷累积电路 250 可复位电荷累积端 TCA，

并重新在电荷累积端 TCA 累积来自第一电流 I1 的电荷。

此外，在某些实施例中，当第一比较信号 CP1 指示出模拟信号 VA 的信号电平小于斜坡信号 VR 的信号电平时，电荷累积电路 250 可停止在电荷累积端 TCA 累积来自第一电流 I1 的电荷。

5 放电电路 260 耦接于电荷累积端 TCA，用以在第一计数器 240 停止计数的期间，以第二电流 I2 对电荷累积端 TCA 放电。举例来说，在第一比较信号 CP1 指示出模拟信号 VA 的信号电平小于斜坡信号 VR 的信号电平时，第一计数器 240 可停止对时钟信号 CLK 的周期个数进行计数。放电电路 260 可在模拟信号 VA 的信号电平小于斜坡信号 VR 的信号电平时，以第二电流 I2 对电荷累积端 TCA 放电。

第二计数器 270 耦接于电荷累积电路 250，用以在电荷累积端 TCA 放电的期间，对时钟信号 CLK 的周期个数进行计数以获得数字信号 VD 的第二部分（即第二计数值 CV_F）。值得注意的是，第二电流 I2 小于第一电流 I1。因此，在电荷累积端 TCA 放电的期间对时钟信号 CLK 的周期个数进行的计数操作，相当于在电荷累积端 TCA 累积来自第一电流 I1 的电荷的期间内，对另一时钟信号（频率大于时钟信号 CLK 的频率）的周期个数进行计数。也就是说，第一计数器 240 可视为粗计数器（coarse counter），而第二计数器 270 可视为精细计数器（fine counter），其中在电荷累积端 TCA 累积的电荷
15 可对应于第一计数值 CV_C 相邻两个数值之间的数值刻度。

值得注意的是，虽然以上是以列并行模数转换结构来说明本发明所公开的数模转换电路，然而，本发明并不以此为限。举例来说，图 1 所示的 K 列像素也可以通过一开关电路共享单一数模转换电路，其中所述单一数模转换电路可由图 2 所示的数模转换电路 220 来实
25 施。

为了便于理解本发明的技术特征，以下采用一示范性电路结构来说明本发明所公开的模数转换的细节。然而，这只是方便说明而已。任何采用基于图 2 所示的电路结构的实施方式均是可行的。请参阅图 3，其为图 2 所示的模数转换电路 220 的一实施例的示意图。

模数转换电路 320 可包含一第一比较器 332、一第二比较器 334 (具有预定偏移 V_{os})、一第一计数器 340、一电荷累积电路 350、一放电电路 360 以及一第二计数器 370, 其中图 2 所示的第一比较器 232、第二比较器 234、第一计数器 242、电荷累积电路 250、放电电路 260 以及第二计数器 270 可分别由第一比较器 332、第二比较器 334、第一计数器 340、电荷累积电路 350、放电电路 360 以及第二计数器 370 来实施。

第一计数器 340 可包括 (但不限于) 一与门 A11 和 Y 个触发器 (Y 是大于 1 的正整数)。于此实施例中, 所述 Y 个触发器可由 9 个 D 触发器 (D flip-flop) DF11-DF19 来实施, 其中与门 A11 可在两个输入端分别接收时钟信号 CLK 和第一比较信号 CP1, 以于与门 A11 的输出端产生一第一输入时钟信号 CKD1。多个 D 触发器 DF11-DF19 依次级联 (即, D 触发器 DF11-DF18 各自的数据输出端 Q 分别耦接到 D 触发器 DF12-DF19 的时钟输入端); 并且, D 触发器 DF11 耦接到与门 A11 的输出端 (即, D 触发器 DF11 的时钟输入端耦接到第一输入时钟信号 CKD1), 其中各 D 触发器 DF11-DF19 的数据输入端 D 与反相数据输出端 Q' 彼此连接, 且各 D 触发器 DF11-DF19 的复位端 R 可耦接到一控制电路 (诸如图 1 所示的控制电路 110; 未绘示), 用以接收所述控制电路所产生的一第一复位信号 rstb1。多个 D 触发器 DF11-DF19 可用来计数第一输入时钟信号 CKD1 的周期个数以产生第一计数值 CV_C (包含各触发器 DF11-DF19 的数据输出端 Q 的输出), 作为模拟信号 VA 相对应的一数字信号 (诸如图 2 所示的数字信号 VD) 的第一部分。

电荷累积电路 350 可包括 (但不限于) 一开关控制电路 352 及一电荷累积单元 354。开关控制电路 352 可包括 (但不限于) 多个第一与门 A31、第二与门 A32、第三与门 A33、第四与门 A34 以及多个反相器 I1 和 I2。第一与门 A31 的两个输入端可分别接收 D 触发器 DF11 的数据输出 q1 和第二比较信号 CP2 的一反相信号 CP2b, 以于第一与门 A31 的输出端产生一第一开关控制信号 qp。例如, 模数转换电路 320 可进一步包含一反相器 (未绘示), 用来反相第二比较

信号 CP2 以产生反相信号 CP2b。第二与门 A32 的两个输入端可分别接收 D 触发器 DF11 的反相数据输出 q1n 和反相信号 CP2b，以于第二与门 A32 的输出端产生一第二开关控制信号 qn。第三与门 A33 的两个输入端可分别接收第一比较信号 CP1 和第一开关控制信号 qp，
5 以于第三与门 A33 的输出端产生一第三开关控制信号 q1g。第四与门 A34 的两个输入端可分别接收第一比较信号 CP1 和第二开关控制信号 qn，以于第四与门 A34 的输出端产生一第四开关控制信号 qn1g。此外，反相器 I1 用以反相第一开关控制信号 qp 以产生一第一反相控制信号 qp'。反相器 I2 用以反相第二开关控制信号 qn 以产生一
10 第二反相控制信号 qn'。

电荷累积单元 354 可包括（但不限于）一第一储存端 T01、一第二储存端 T02、一第一电容 C1、一第二电容 C2 以及一电流源 CS1。第一储存端 T01 选择性地耦接于电荷累积端 TCA，以及第二储存端 T02 选择性地耦接于电荷累积端 TCA。第一电容 C1 耦接于第一储存
15 端 T01 与一参考节点 Nref 之间，以及第二电容 C2 耦接于第二储存端 T02 与参考节点 Nref 之间。电流源 CS1 通过第一储存端 T01 耦接到第一电容 C1，以及通过第二储存端 T02 耦接到第二电容 C2。电流源 CS1 用以提供第一电流 I1，并可在时钟信号 CLK 的不同周期以第一电流 I1 交替地对第一电容 C1 与第二电容 C2 充电，以轮流在第一
20 储存端 T01 与第二储存端 T02 累积来自第一电流 I1 的电荷。当电流源 CS1 对第一电容 C1 充电时，第一储存端 T01 耦接于电荷累积端 TCA；当电流源 CS1 对第二电容 C2 充电时，第二储存端 T02 耦接于电荷累积端 TCA。也就是说，在时钟信号 CLK 的某一个周期中，电流源 CS1 可采用第一电流 I1 对第一电容 C1 与第二电容 C2 其中的一个进行充电，以在相应的储存端累积来自第一电流 I1 的电荷；在时
25 钟信号 CLK 的下一个周期中，电流源 CS1 可采用第一电流 I1 对第一电容 C1 与第二电容 C2 其中的另一个进行充电，以在相应的另一个储存端累积来自第一电流 I1 的电荷。

此外，在此实施例，当电流源 CS1 对第一电容 C1 充电时，第二储存端 T02 可被复位；当电流源 CS1 对第二电容 C2 充电时，第一
30

储存端 T01 可被复位。这样，电流源 CS1 可在时钟信号 CLK 的不同周期重新对第一电容 C1/第二电容 C2 充电。

举例来说（但本公开不限于此），电荷累积单元 354 还可包括一第一开关 S1、一第二开关 S2、一第三开关 S3 以及一第四开关 S4。

5 第一开关 S1 由第一反相控制信号 qp' 所控制，用以选择性地耦接于第一储存端 T01 与参考节点 Nref 之间。第二开关 S2 由第二反相控制信号 qn' 所控制，用以选择性地耦接于第二储存端 T02 与参考节点 Nref 之间。第三开关 S3 由第一开关控制信号 qp 所控制，用以选择性地耦接于第一储存端 T01 与电荷累积端 TCA 之间。第四开关
10 S4 由第二开关控制信号 qn 所控制，用以选择性地耦接于第二储存端 T02 与电荷累积端 TCA 之间。当电流源 CS1 对第一电容 C1 充电时，第一开关 S1 和第四开关 S4 会关闭，以及第二开关 S2 和第三开关 S3 会开启；当电流源 CS1 对第二电容 C2 充电时，第一开关 S1 和第四开关 S4 会开启，以及第二开关 S2 和第三开关 S3 会关闭。因此，
15 当电流源 CS1 对第一电容 C1 充电时，第一储存端 T01 可耦接于电荷累积端 TCA，而第二储存端 T02 可被复位。相似地，当电流源 CS1 对第二电容 C2 充电时，第二储存端 T02 可耦接于电荷累积端 TCA，而第一储存端 T01 可被复位

在此实施例中，电荷累积单元 354 还可包括一第五开关 S5、一
20 第六开关 S6 以及一比较器 356。第五开关 S5 由第三开关控制信号 qlg 所控制，用以选择性地耦接于电流源 CS1 与第一储存端 T01 之间。第六开关 S6 由第四开关控制信号 $qnlg$ 所控制，用以选择性地耦接于电流源 CS1 与第二储存端 T02 之间。比较器 356 具有第一输入端 TI1、第二输入端 TI2 及输出端 T0，其中第一输入端 TI1 耦接
25 于电荷累积端 TCA，第二输入端 TI2 耦接于参考节点 Nref，以及输出端 T0 耦接于第二计数器 370。当第一输入端 TI1 的信号电平大于第二输入端 TI2 的信号电平时，比较器 356 可从输出端 T0 输出一使能信号 EN 以启用第二计数器 370。

放电电路 360 用以基于第二电流 I2 对电荷累积端 TCA 放电，并

可包括（但不限于）一电流源 CS2 及一开关 SD。电流源 CS2 用以接收第二电流 I2。开关 SD 选择性耦接于电荷累积端 TCA 与电流源 CS2 之间，其中在电荷累积电路 350 停止累积来自第一电流 I1 的电荷的期间，开关 SD 可耦接于电荷累积端 TCA 与电流源 CS2 之间，使第二
5 电流 I2 从电荷累积端 TCA 灌入电流源 CS2。也就是说，在电荷累积电路 350 停止累积来自第一电流 I1 的电荷的期间，电荷累积端 TCA 累积的电荷可释放至电流源 CS2。

第二计数器 370 可包含（但不限于）一与门 A21 和 P 个触发器（P 是大于 1 的正整数）。于此实施例中，所述 P 个触发器可由 3 个
10 D 触发器（D flip-flop）DF21-DF23 来实施，其中与门 A21 可在两个输入端分别接收时钟信号 CLK 和使能信号 EN，以于与门 A21 的输出端产生一第二输入时钟信号 CKD2。多个 D 触发器 DF21-DF23 依次级联（即，D 触发器 DF21 和 DF22 各自的数据输出端 Q 分别耦接到 D 触发器 DF22 和 DF23 的时钟输入端）；并且，D 触发器 DF21 耦接到
15 与门 A21 的输出端（即，D 触发器 DF21 的时钟输入端耦接到第二输入时钟信号 CKD2），其中各 D 触发器 DF21-DF23 的数据输入端 D 与反相数据输出端 Q' 彼此连接，且各 D 触发器 DF21-DF23 的复位端 R 可耦接到一控制电路（诸如图 1 所示的控制电路 110；未绘示），用以接收所述控制电路所产生的一第二复位信号 rstb2。多个 D 触发
20 器 DF21-DF23 可用来计数第二输入时钟信号 CKD2 的周期个数以产生第二计数值 CV_F（包含各触发器 DF21-DF23 的数据输出端 Q 的输出），作为模拟信号 VA 相对应的一数字信号（诸如图 2 所示的数字信号 VD）的第二部分。

请一并参阅图 3 和图 4。图 4 是图 3 所示的模数转换电路 320
25 所涉及的信号处理操作的一实施例的信号时序图。为了方便说明，于此实施例中，第二电流 I2 的电流大小可以是第一电流 I1 的八分之一。然而，本发明并不以此为限。在时间点 t1 之前，模拟信号 VA 的信号电平大于斜坡信号 VR 的信号电平，因此，第一计数器 340 可对第一输入时钟信号 CKD1 的周期个数进行计数。此外，在时间点
30 t1 之前，模拟信号 VA 的信号电平大于斜坡信号 VR 的信号电平加上

预定偏移 V_{os} ，因此，电荷累积电路 350 的电荷累积操作可不被启动。

在时间点 t_1 ，模拟信号 VA 的信号电平仍大于斜坡信号 VR 的信号电平，然而，模拟信号 VA 的信号电平小于斜坡信号 VR 的信号电平加上预定偏移 V_{os} 。因此，第二比较信号 CP2 的信号电平翻转，电荷累积电路 350 可开始在电荷累积端 TCA 累积来自第一电流 I1 的电荷。

在时间点 t_2 ，第一计数器 340 的第一计数值 CV_C 由 N 增加为 N+1 时，电荷累积电路 350 可复位电荷累积端 TCA，并重新在电荷累积端 TCA 累积来自第一电流 I1 的电荷。例如，第一开关 S1 会开启，第五开关 S5 会关闭，使第一储存端 T01（具有信号电平 V1）被复位。第二开关 S2 会关闭，第六开关 S6 会开启，使电流源 CS1 可对第二电容 C2 充电，以在第二储存端 T02（具有信号电平 V2）累积来自第一电流 I1 的电荷。此外，第三开关 S3 会关闭，第四开关 S4 会开启，使第二储存端 T02 耦接到电荷累积端 TCA。

在时间点 t_3 ，当第一计数器 340 的第一计数值 CV_C 再次增加时（由 N+1 增加为 N+2），电荷累积电路 350 可再次复位电荷累积端 TCA，并重新在电荷累积端 TCA 累积来自第一电流 I1 的电荷。例如，第二开关 S2 会开启，第六开关 S6 会关闭，使第二储存端 T02 被复位。第一开关 S1 会关闭，第五开关 S5 会开启，使电流源 CS1 可对第一电容 C1 充电，以在第一储存端 T01 累积来自第一电流 I1 的电荷。此外，第三开关 S3 会开启，第四开关 S4 会关闭，使第一储存端 T01 耦接到电荷累积端 TCA。

在时间点 t_4 ，模拟信号 VA 的信号电平小于斜坡信号 VR 的信号电平，使得第一比较信号 CP1 的信号电平翻转。因此，第一计数器 340 可停止相关的计数操作，且电荷累积电路 350 可停止相关的电荷累积操作。

在第一计数器 340 停止计数的期间，放电电路 360 可基于第二电流 I2 对电荷累积端 TCA 放电。第二计数器 370 可在电荷累积端

TCA 放电的期间，对时钟信号 CLK 的周期个数进行计数以获得数字信号 VD 的第二部分。例如，在电荷累积电路 350 停止累积来自第一电流 I1 的电荷之后（时间点 t4 之后），当时钟信号 CLK 第一次出现预定信号沿时，第二计数器 370 可开始对时钟信号 CLK 的周期个数进行计数。

在此实施例中，在时间点 t5（时钟信号 CLK 在时间点 t4 之后第一次的上升沿），放电电路 360 的开关 SD 可根据第二复位信号 rstb2 将电荷累积端 TCA 耦接到电流源 CS2，以释放电荷累积端 TCA 所累积的电荷（即，第一电容 C1/第一储存端 T01 在时间点 t4 与时间点 t5 之间所累积的电荷）。第二计数器 370 可根据第二复位信号 rstb2 复位第二计数值 CV_F，并对时钟信号 CLK 的周期个数进行计数，以更新第二计数值 CV_F。

在时间点 t6，当比较器 356 的第一输入端 TI1 的信号电平小于第一输入端 TI2 的信号电平（即参考节点 Vref 具有的信号电平 Vr）时，输出端 T0 所输出使能信号 EN 会处于低信号电平，第二计数器 370 可停止计数操作。第一计数值 CV_C (N+2) 及第二计数值 CV_F (3) 分别可作为数字信号 VD 的一部分。

通过本公开的数模转换机制，采用较低频率的时钟信号即可实现同时具备低功耗与高帧率的图像传感器。举例来说（但本公开不限于此），在每 $2.5\mu\text{s}$ 获得一个帧的图像传感器中，若采用 12 比特的数模转换电路，现有技术需要的时钟信号频率大约是 2GHz ($2^{12}/2.5\mu\text{s}=1.638\text{GHz}$) 的时钟信号来处理，以满足计数值中最低有效位（least significant bit, LSB）的比特值变动的频率。然而，在将图 3 所示的数模转换电路 320 应用至每 $2.5\mu\text{s}$ 获得一个帧的图像传感器的某些实施例中，采用较低频率的时钟信号 CLK 即可满足图像传感器的设计需求。例如，可将时钟信号 CLK 的频率设为 2GHz 的八分之一（ 250MHz ）。也就是说，时钟信号 CLK 的周期时间是 4ns 。此外，第二电流 I2 的大小可设为第一电流 I1 的大小的八分之一。采用第二电流 I2 进行放电所需的时间最多是 32ns （即 8

$\times 4\text{ns}$)。因此，数模转换电路 3205 整体的转换时间是 2080ns (即 $2^9 \times 4\text{ns} + 8 \times 4\text{ns}$)。也就是说，即使采用较低频率的时钟信号，数模转换电路 320 仍可在 $2.5\mu\text{s}$ 内获得一个帧，从而满足高帧率的设计需求。

5 请注意，以上仅供说明的目的，并非用来作为本发明的限制。在某些设计变化例中，预定偏移 V_{os} 可以是第二比较器 334 外部的信号源所提供。例如，模数转换电路 320 可包含一信号源，所述信号源可产生预定偏移 V_{os} ，并将预定偏移 V_{os} 传送到第二比较器 334 的负输入端。又例如，图 1 所示的控制电路 110 可产生不同于斜坡信号 VR 的另一斜坡信号，其中所述另一斜坡信号的信号电平等于斜坡信号 VR 的信号电平加上预定偏移 V_{os} ，而第二比较器 334 可接收于负输入端接收所述另一斜坡信号。又例如，所述另一斜坡信号可以是斜坡信号 VR 的超前副本 (advanced replica)，其中斜坡信号 VR 的超前副本与斜坡信号 VR 之间具有预定相位偏移，使斜坡信号 VR 的超前副本的信号电平等于斜坡信号 VR 的信号电平加上预定偏移 V_{os} 。

10

15

在某些设计变化例中，第一计数器 340 和/或第二计数器 370 可采用不同的电路结构。举例来说，第一计数器 340 所包含的触发器个数和/或种类可以依照设计需求来决定，和/或第二计数器 370 所包含的触发器个数和/或种类可以依照设计需求来决定。

20

在某些设计变化例中，电荷累积电路 350 可采用不同的电路结构以在电荷累积端 TCA 累积来自第一电流 I_1 的电荷。举例来说，电荷累积电路 350 可采用三个以上的电容来累积电荷。只要可在计数操作 (即粗计数操作) 停止之前于电荷累积端累积来自第一电流的电荷，并且在所述计数操作停止之后以较小的第二电流释放，同时对时钟信号的周期个数进行计数以实现精细计数的模数转换电路，设计上相关的变化均遵循本发明的精神而落入本发明的范畴。

25

本发明所公开的模数转换机制可简单归纳为图 5 所示的流程图。图 5 是本发明模数转换方法的一实施例的流程图。假若所得到

的结果实质上大致相同，则步骤不一定要按照图 5 所示的顺序来进行。举例来说，某些步骤可安插于其中。为了方便说明，以下搭配图 3 所示的模数转换电路 320 来说明来说明图 5 所示的模数转换方法。然而，将图 5 所示的模数转换方法应用于图 2 所示的模数转换电路 220 和/或图 1 所示的各模数转换电路也是可行的。图 5 所示的模数转换方法可简单归纳如下。

步骤 502：将一模拟信号与一斜坡信号作比较以产生一第一比较信号。例如，第一比较器 332 将模拟信号 VA 与斜坡信号 VR 作比较以产生第一比较信号 CP1。

10 步骤 504：将所述模拟信号与所述斜坡信号加上一预定偏移作比较以产生一第二比较信号。例如，第二比较器 334 将模拟信号 VA 与斜坡信号 VR 加上预定偏移 V_{os} 作比较以产生第二比较信号 CP2。

15 步骤 506：在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平时，对时钟信号的周期个数进行计数以获得第一计数值。例如，在第一比较信号 CP1 指示出模拟信号 VA 的信号电平大于斜坡信号 VR 的信号电平时（如图 4 所示的时间点 t_4 之前），第一计数器 340 可对时钟信号 CLK 的周期个数进行计数以获得第一计数值 CV_C。

20 步骤 508：在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平，且所述第二比较信号指示出所述模拟信号的信号电平小于所述斜坡信号的信号电平加上所述预定偏移时，在电荷累积端累积来自第一电流的电荷。例如，在第一比较信号 CP1 指示出模拟信号 VA 的信号电平大于斜坡信号 VR 的信号电平时，且第二比较信号 CP2 指示出模拟信号 VA 的信号电平小于斜坡信号 VR 的信号电平加上预定偏移 V_{os} 时（如图 4 所示的时间点 t_1 与时间点 t_4 之间），

电荷累积电路 350 可在电荷累积端 TCA 累积来自第一电流 I1 的电荷。

5 步骤 510: 在所述电荷累积端停止累积来自所述第一电流的电荷的期间, 以第二电流对所述电荷累积端放电, 其中所述第二电流小于所述第一电流。例如, 在电荷累积端 TCA 停止累积来自第一电流 I1 的电荷的期间, 放电电路 350 可基于第二电流 I2 对电荷累积端 TCA 放电 (如图 4 所示的时间点 t5), 其中第二电流 I2 小于第一电流 I1。

10 步骤 512: 在所述电荷累积端放电的期间, 对所述时钟信号的周期个数进行计数以获得第二计数值, 其中所述第一计数值和所述第二计数值分别作为数字信号的第一部分和第二部分。例如, 在电荷累积端 TCA 放电的期间, 对时钟信号 CLK 的周期个数进行计数以获得第二计数值 CV_F (如图 4 所示的时间点 t5 与时间点 t6 之间)。第一计数值 CV_C 和第二计数值 CV_F 分别作为数字信号 VD 的第一部分和第二部分。

于步骤 508 中, 当所述第一计数值增加时, 可复位所述电荷累积端, 并重新在所述电荷累积端累积来自所述第一电流的电荷。例如, 电荷累积电路 350 可在第一计数值 CV_C 增加时 (例如图 4 所示的时间点 t2/t3), 复位电荷累积端 TCA, 并重新在电荷累积端 TCA 累积来自第一电流 I1 的电荷。

25 于步骤 512 中, 在所述电荷累积端停止累积来自所述第一电流的电荷之后, 当所述时钟信号第一次出现预定信号沿时, 可开始对所述时钟信号的周期个数进行计数。例如, 在电荷累积电路 350 停止在电荷累积端 TCA 累积来自第一电流 I1 的电荷之后, 当时钟信号 CLK 第一次出现预定信号沿时 (例如上升沿; 图 4 所示的时间点 t5), 可开始对时钟信号 CLK 的周期个数进行计数。

由于本领域的技术人员通过阅读图 1 到图 4 相关的段落说明之

后，应可了解图 5 所示的模数转换方法中每一步骤的细节，因此进一步的说明在此便不再赘述。

由上可知，本公开所提供的模数转换机制可无需增加斜坡信号产生电路的数量，且可采用低频率的时钟信号，即可实现粗计数操作和精细计数操作，从而有效降低功耗，达到节电的功效。

以上所述仅为本公开的实施例而已，并不用于限制本公开，对于本领域的技术人员来说，本公开可以有各种更改和变化。凡在本公开的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本公开的保护范围之内。

权 利 要 求 书

1. 一种模数转换电路，用于将模拟信号转换为数字信号，其特征在于，包括：

比较电路，用以将所述模拟信号与斜坡信号作比较以产生第一比较信号，以及将所述模拟信号与所述斜坡信号加上预定偏移作比较以产生第二比较信号；

第一计数器，耦接于所述比较电路，用以在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平时，对时钟信号的周期个数进行计数以获得所述数字信号的第一部分；

电荷累积电路，耦接于所述比较电路，用以在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平，且所述第二比较信号指示出所述模拟信号的信号电平小于所述斜坡信号的信号电平加上所述预定偏移时，在所述电荷累积电路的电荷累积端累积来自第一电流的电荷；

放电电路，耦接于所述电荷累积端，用以在所述第一计数器停止计数的期间，以第二电流对所述电荷累积端放电，其中所述第二电流小于所述第一电流；以及

第二计数器，耦接于所述电荷累积电路，用以在所述电荷累积端放电的期间，对所述时钟信号的周期个数进行计数以获得所述数字信号的第二部分。

2. 如权利要求 1 所述的模数转换电路，其特征在于，在所述第一比较信号指示出所述模拟信号的信号电平小于所述斜坡信号的信号电平时，所述第一计数器停止对所述时钟信号的周期个数进行计数。

3. 如权利要求 1 所述的模数转换电路，其特征在于，当所述第一比

较信号指示出所述模拟信号的信号电平小于所述斜坡信号的信号电平时，所述电荷累积电路停止在所述电荷累积端累积来自所述第一电流的电荷。

- 5 4. 如权利要求 1 所述的模数转换电路，其特征在于，当所述第一计数器的计数值增加时，所述电荷储存电路会复位所述电荷累积端，并重新在所述电荷累积端累积来自所述第一电流的电荷。
- 10 5. 如权利要求 1 所述的模数转换电路，其特征在于，所述电荷累积电路包括：
- 第一储存端，选择性地耦接于所述电荷累积端；
- 第二储存端，选择性地耦接于所述电荷累积端；
- 第一电容，耦接于所述第一储存端与参考节点之间；
- 第二电容，耦接于所述第二储存端与所述参考节点之间，
- 15 电流源，通过所述第一储存端耦接到所述第一电容，以及通过所述第二储存端耦接到所述第二电容，所述第一电流源用以提供所述第一电流，并在所述时钟信号的不同周期以所述第一电流交替地对所述第一电容与所述第二电容充电，以轮流在所述第一储存端与所述第二储存端累积来自所述第一电
- 20 流的电荷，其中当所述第一电流源对所述第一电容充电时，所述第一储存端耦接于所述电荷累积端；当所述第一电流源对所述第二电容充电时，所述第二储存端耦接于所述电荷累积端。
- 25 6. 如权利要求 5 所述的模数转换电路，其特征在于，其中当所述电流源对所述第一电容充电时，所述第二储存端会被复位；当所述电流源对所述第二电容充电时，所述第一储存端会被复位。

7. 如权利要求 5 所述的模数转换电路，其特征在于，还包括：

第一开关，选择性地耦接于所述第一储存端与所述参考节点之间；

5 第二开关，选择性地耦接于所述第二储存端与所述参考节点之间；

第三开关，选择性地耦接于所述第一储存端与所述电荷累积端之间；以及

10 第四开关，选择性地耦接于所述第二储存端与所述电荷累积端之间；

其中当所述电流源对所述第一电容充电时，所述第一开关和所述第四开关会关闭，以及所述第二开关和所述第三开关会开启；当所述电流源对所述第二电容充电时，所述第一开关和所述第四开关会开启，以及所述第二开关和所述第三开关会关闭。

15

8. 如权利要求 5 所述的模数转换电路，其特征在于，所述电荷累积电路还包括：

20 比较器，具有第一输入端、第二输入端及输出端，其中所述第一输入端耦接于所述电荷累积端，所述第二输入端耦接于所述参考节点，以及所述输出端耦接于所述第二计数器。

9. 如权利要求 8 所述的模数转换电路，其特征在于，其中当所述第一输入端的信号电平大于所述第二输入端的信号电平时，所述比较器从所述输出端输出使能信号以启用所述第二计数器。

25

10. 如权利要求 1 所述的模数转换电路，其特征在于，其中在所述

电荷累积电路停止累积来自所述第一电流的电荷之后，当所述时钟信号第一次出现预定信号沿时，所述第二计数器开始对所述时钟信号的周期个数进行计数。

- 5 11. 如权利要求 1 所述的模数转换电路，其特征在于，所述放电电路包括：

电流源，用以接收所述第二电流；以及

10 开关，选择性耦接于所述电荷累积端与所述电流源之间，其中在所述电荷累积电路停止累积来自所述第一电流的电荷的期间，所述开关耦接于所述电荷累积端与所述电流源之间，使所述第二电流从所述电荷累积端灌入所述电流源。

12. 如权利要求 1 所述的模数转换电路，其特征在于，所述比较电路包括：

15 第一比较器，用以接收所述模拟信号与所述第一斜坡信号，以将所述模拟信号与所述斜坡信号作比较；以及

第二比较器，其中所述预定偏移是所述第二比较器固有的比较器偏移，所述第二比较器用以接收所述模拟信号与所述第一斜坡信号，以将所述模拟信号与所述斜坡信号加上所述预定偏移作比较。
20

13. 一种图像传感器，其特征在于，包括：

像素阵列，包括排列成多行与多列的多个像素；

控制电路，用以产生时钟信号以及斜坡信号；以及

25 至少一如权利要求 1 至 12 中任一项所述的模数转换电路，耦接于所述像素阵列与所述控制电路，用以将所述像素阵列中一

列像素所产生的模拟信号转换为数字信号。

14. 一种模数转换方法，其特征在于，包括：

将模拟信号与斜坡信号作比较以产生第一比较信号；

5 将所述模拟信号与所述斜坡信号加上预定偏移作比较以产生第二比较信号；

在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平时，对时钟信号的周期个数进行计数以获得第一计数值；

10 在所述第一比较信号指示出所述模拟信号的信号电平大于所述斜坡信号的信号电平，且所述第二比较信号指示出所述模拟信号的信号电平小于所述斜坡信号的信号电平加上所述预定偏移时，在电荷累积端累积来自第一电流的电荷；

15 在所述电荷累积端停止累积来自所述第一电流的电荷的期间，以第二电流对所述电荷累积端放电，其中所述第二电流小于所述第一电流；以及

在所述电荷累积端放电的期间，对所述时钟信号的周期个数进行计数以获得第二计数值，其中所述第一计数值和所述第二计数值分别作为数字信号的第一部分和第二部分。

20

15. 如权利要求 14 所述的模数转换方法，其特征在于，还包括：

在所述第一比较信号指示出所述模拟信号的信号电平小于所述斜坡信号的信号电平时，停止在所述电荷累积端累积来自所述第一电流的电荷。

25

16. 如权利要求 14 所述的模数转换方法，其特征在于，还包括：

当所述第一比较信号指示出所述模拟信号的信号电平小于所述斜坡信号的信号电平时，停止对所述时钟信号的周期个数进行计数。

- 5 17. 如权利要求 14 所述的模数转换方法，其特征在于，在电荷累积端累积来自第一电流的电荷的步骤包括：

当所述第一计数值增加时，复位所述电荷累积端，并重新在所述电荷累积端累积来自所述第一电流的电荷。

- 10 18. 如权利要求 14 所述的模数转换方法，其特征在于，在所述电荷累积端累积来自所述第一电流的电荷的步骤包括：

15 在所述时钟信号的不同周期以所述第一电流交替地对第一电容与第二电容充电，以轮流在第一储存端与第二储存端累积来自所述第一电流的电荷，其中所述第一电容耦接于所述第一储存端与参考节点之间，所述第二电容耦接于所述第二储存端与
所述参考节点之间；

当所述第一电容被充电时，将所述第一储存端耦接到所述电荷累积端；以及

20 当所述第二电容被充电时，将所述第二储存端耦接到所述电荷累积端。

19. 如权利要求 18 所述的模数转换方法，其特征在于，在所述电荷累积端累积来自所述第一电流的电荷的步骤还包括：

当所述第一电容被充电时，复位所述第二储存端；以及

25 当所述第二电容被充电时，复位所述第一储存端。

20. 如权利要求 14 所述的模数转换方法，其特征在于，对所述时钟信号的周期个数进行计数以获得所述第二计数值的步骤包括：

在所述电荷累积端停止累积来自所述第一电流的电荷之后，当所述时钟信号第一次出现预定信号沿时，开始对所述时钟信号的周期个数进行计数。

5

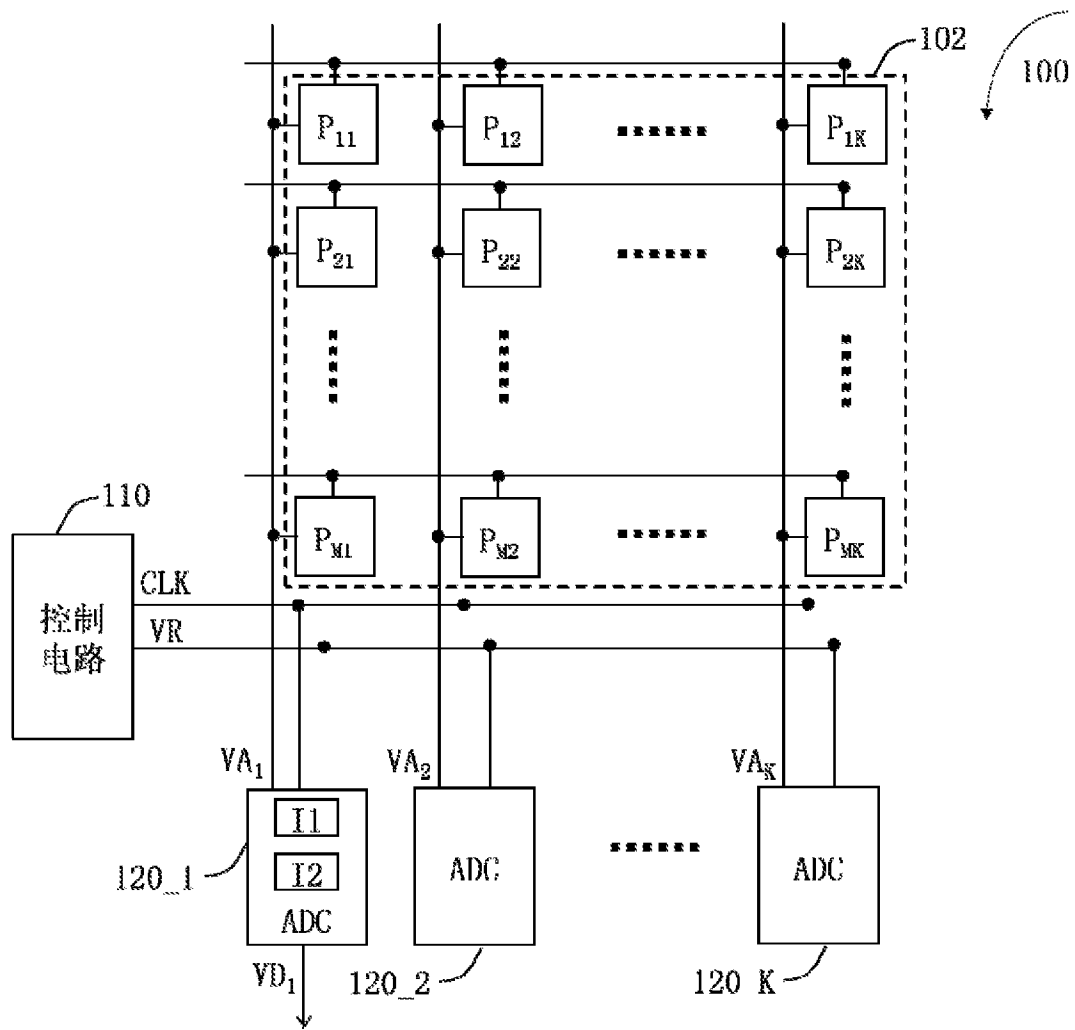


图1

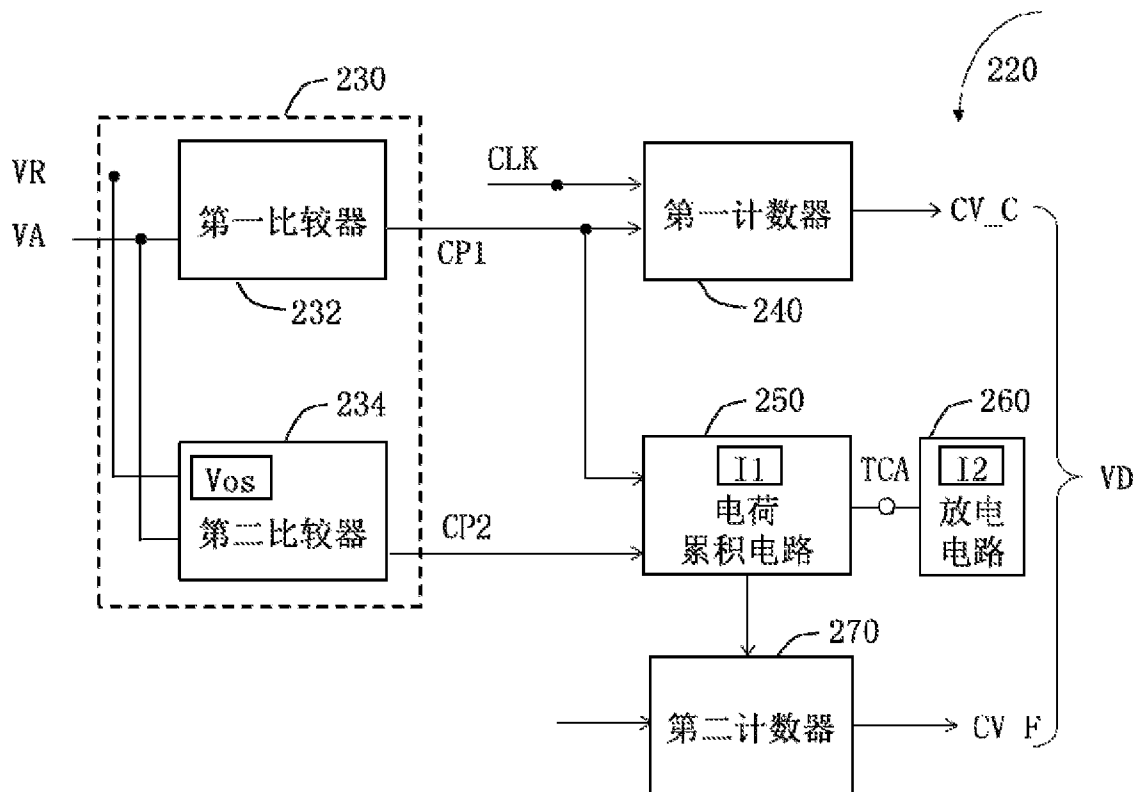
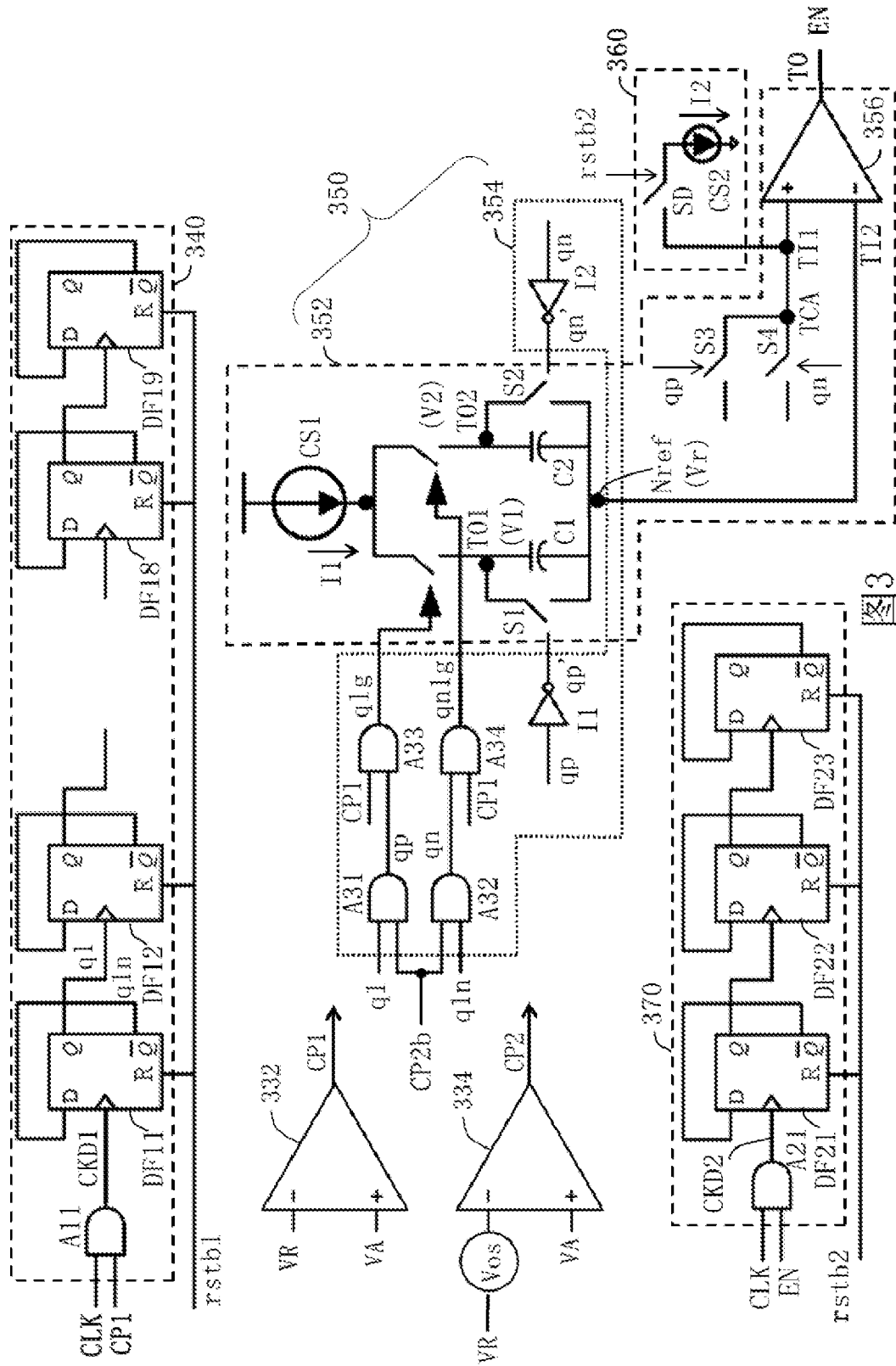
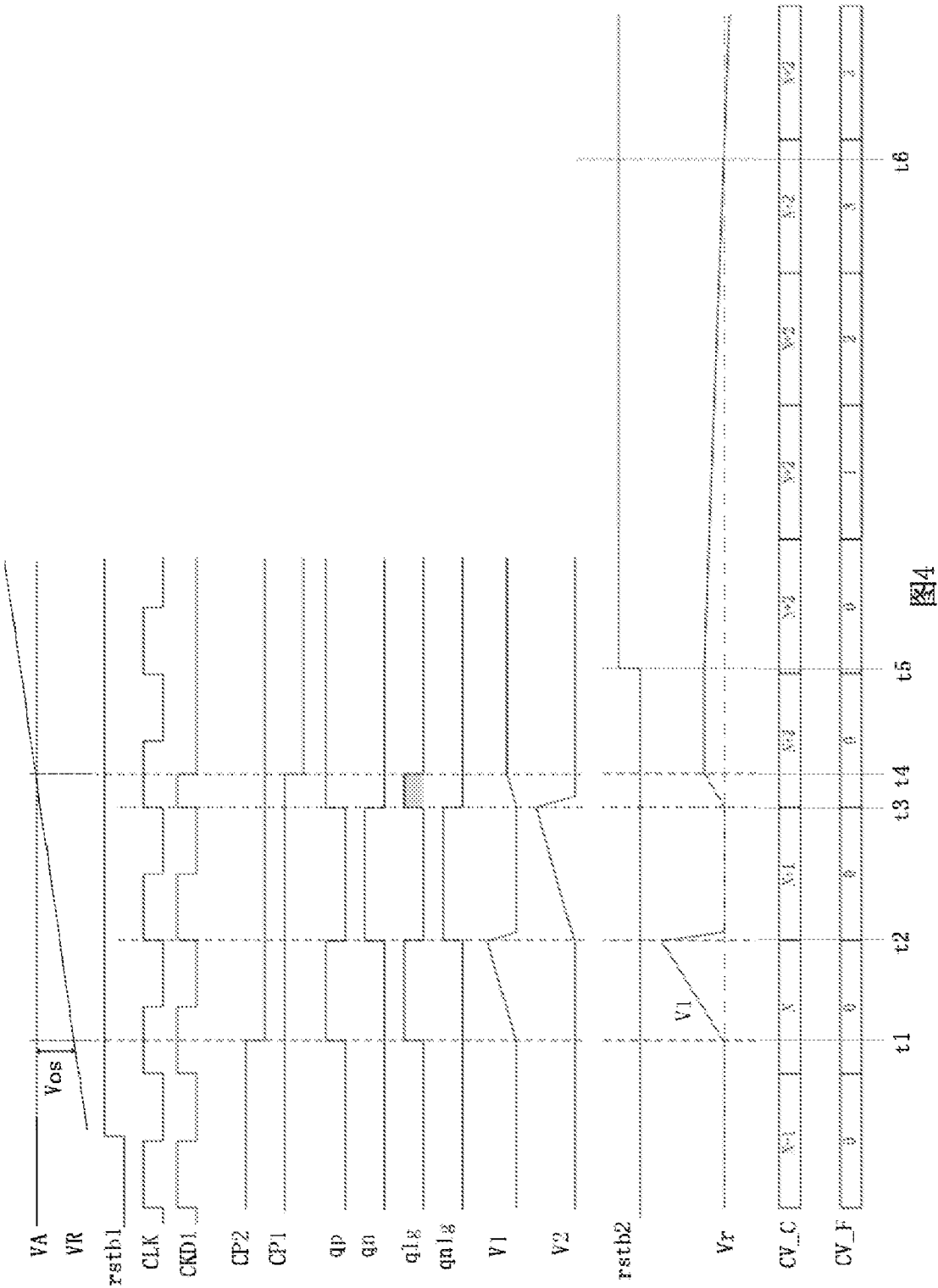


图2





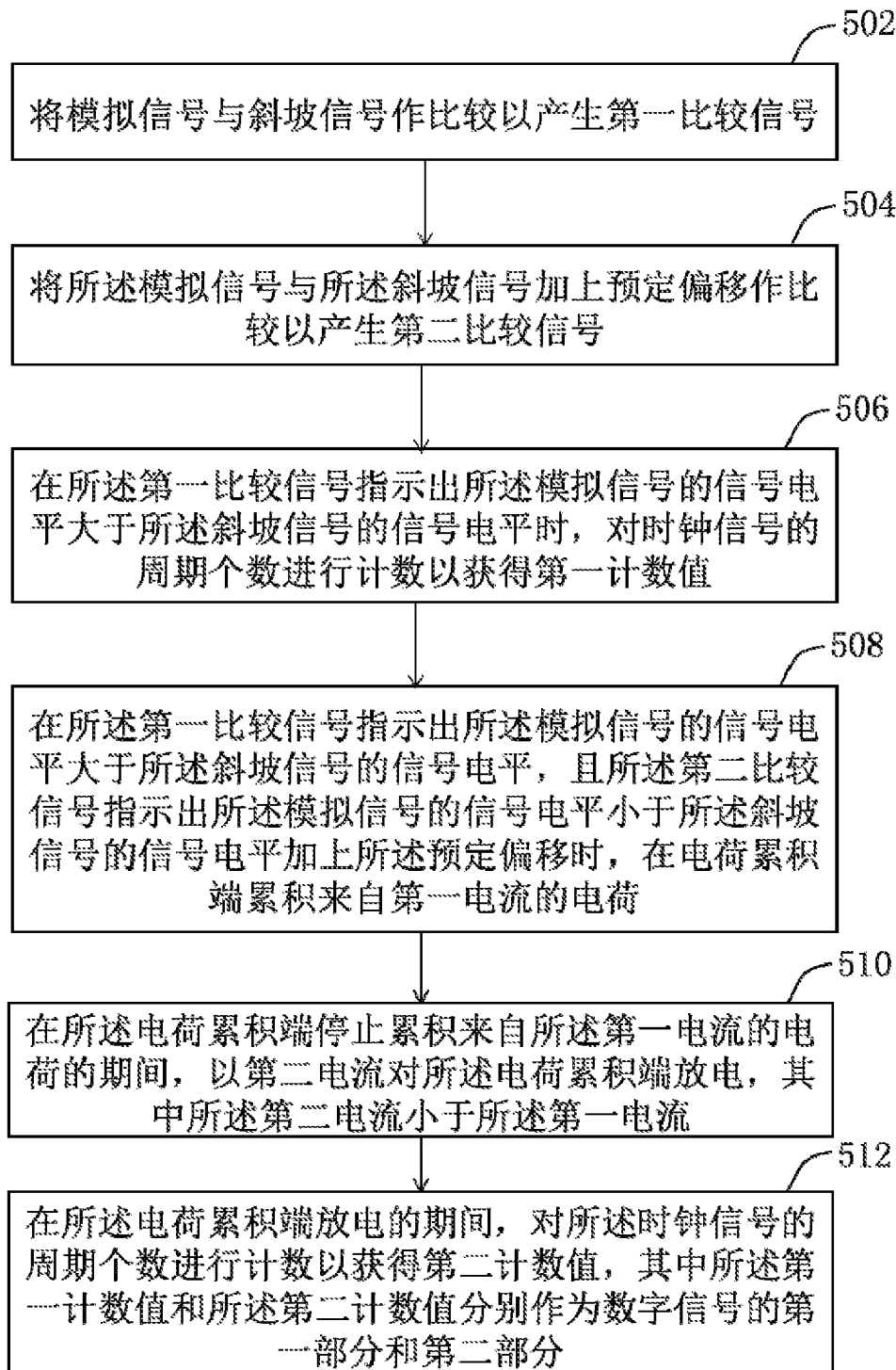


图5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/122251

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/3745(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N; H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: 模数转换, 图像传感, 比较, 计数, 电荷, 电容, 斜坡, 放电, A/D, image, sensor, compara
+, count+, charg+, capacit+, ramp**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108781082 A (SHENZHEN GOODIX TECHNOLOGY CO., LTD.) 09 November 2018 (2018-11-09) description, paragraphs [0059]-[0073], and figures 2-4	1-20
A	CN 207518571 U (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 19 June 2018 (2018-06-19) entire document	1-20
A	CN 104767525 A (TOSHIBA CORPORATION) 08 July 2015 (2015-07-08) entire document	1-20
A	US 2017222654 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL SHANGHAI CORPORATION et al.) 03 August 2017 (2017-08-03) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 September 2019

Date of mailing of the international search report

19 September 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/122251

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108781082	A	09 November 2018	None			
CN	207518571	U	19 June 2018	US	9893740	B1	13 February 2018
CN	104767525	A	08 July 2015	US	9312873	B2	12 April 2016
				JP	2015130611	A	16 July 2015
				US	2015194973	A1	09 July 2015
US	2017222654	A1	03 August 2017	EP	3203636	A1	09 August 2017
				CN	107040260	A	11 August 2017
				US	9755659	B2	05 September 2017

国际检索报告

国际申请号

PCT/CN2018/122251

A. 主题的分类

H04N 5/3745 (2011.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H04N; H03M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI, IEEE: 模数转换, 图像传感, 比较, 计数, 电荷, 电容, 斜坡, 放电, A/D, image, sensor, compara+, count+, charg+, capacit+, ramp

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 108781082 A (深圳市汇顶科技股份有限公司) 2018年 11月 9日 (2018 - 11 - 09) 说明书第[0059]-[0073]段, 图2-4	1-20
A	CN 207518571 U (半导体元件工业有限责任公司) 2018年 6月 19日 (2018 - 06 - 19) 全文	1-20
A	CN 104767525 A (株式会社东芝) 2015年 7月 8日 (2015 - 07 - 08) 全文	1-20
A	US 2017222654 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL SHANGHAI CORPORATION 等) 2017年 8月 3日 (2017 - 08 - 03) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 9月 4日

国际检索报告邮寄日期

2019年 9月 19日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

杨莹莹

电话号码 86-(10)-53961527

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/122251

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108781082	A	2018年 11月 9日	无			
CN	207518571	U	2018年 6月 19日	US	9893740	B1	2018年 2月 13日
CN	104767525	A	2015年 7月 8日	US	9312873	B2	2016年 4月 12日
				JP	2015130611	A	2015年 7月 16日
				US	2015194973	A1	2015年 7月 9日
US	2017222654	A1	2017年 8月 3日	EP	3203636	A1	2017年 8月 9日
				CN	107040260	A	2017年 8月 11日
				US	9755659	B2	2017年 9月 5日