

公告本

申請日期	88.11.2 ✓
案 號	
類 別	G01F9000

A4
C4

498335

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	隨機存取式磁性記憶體及其讀出方法 ✓
	英 文	Magnetic Memory of a Random Access Type (MRAM) and Its Reading-out Method
二、發明人 創作	姓 名	兩果范丹伯格 (Hugo van den Berg)
	國 籍	德國
	住、居所	德國赫佐根諾雷契 D-91074 達斯勒博士街 4 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81541 聖馬丁街 53 號
	代 表 人 姓 名	諾伯特肯普福 (Norbert Kempfle)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 德 1998年11月19日 19853447.7號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

本發明係關於一種隨機存取式磁性記憶體 (MRAM)，其具有由多個記憶胞所構成之記憶胞陣列，這些記憶胞以矩陣形式配置在字元線和感測線之交叉點處，且其邏輯資料內容是由磁性狀態界定；此記憶胞陣列另具有：一種配屬於字元線之定址電路，藉由此種定址電路可使所選取之一個或多個記憶胞（其資料內容須被讀出）之字元線被施加一種電壓；一種配屬於參考層之評估電路，藉由此種評估電路可對此種對應於所選取之記憶胞中之資料內容之信號進行測定或評估。

在此種以矩陣形式構成之磁性記憶體 (MRAMs) 中，資料中之資訊是以磁化方向之形式包含在這些配置在字元線和感測線之相交點處之磁性記憶胞之資訊載體層中。為了讀出記憶胞之資訊，則感測線或字元線（以下通常都是字元線）上須施加一種讀出電壓且經由字元線或感測線利用所屬之字元線-或感測線放大器電路來對此種由於記憶胞之阻抗（其會再反映此記憶體之狀態）而改變之信號進行評估。

依據資訊內容（"1"或"0"），此種記憶胞之阻抗中之相對不同值典型上因此大約是20%，這是一種較小之值。決定此種阻抗不同值時之困難性會使所有其它記憶胞形成一些平行於此種即將讀出之記憶胞之路徑，因此會形成一種大的寄生性阻抗，其在每條字元線之大約100個元件中會使即將讀出之記憶胞之阻抗值不同此種效應減少數個數量級（order），且以上述方式不利地作用在

五、發明說明 (2)

此種經由感測線所拾取之信號（感測信號）上，此種信號是由下述之評估電路來分析。

與製程有關的是，在磁性記憶體中記憶胞之絕對阻抗會在電荷，晶圓以及各別磁性記憶體之記憶胞陣列內部中發生變動現象。這樣所造成之結果是：絕對阻抗之測定不能用來決定此種即將讀出之記憶胞之記憶體狀態。

目前為止習知之決定記憶胞之記憶體內容所用之方式是：記憶胞是藉由所屬字元線和感測線之驅動以及施加一種讀出電壓至記憶胞且對記憶胞之信號進行評估而被讀出。這樣所測得之測量信號例如以電容性方式而暫時儲存。記憶胞重新以習知之值（"1"或"0"）寫入，再讀出，且此種新的測量信號與上述暫時儲存之測量信號相比較，以便可測得實際之記憶體狀態。此處所述者之缺點是須以多個步驟來進行。

在另一種習知之方式中，其係使用一些磁性參考層（其存在於記憶胞之內部）。此處仍可在永久磁性參考層和可變磁性參考層之間予以區別。由於在永久磁性參考層中會發生和上述絕對阻抗之變動相同之問題，則此處不再詳細考慮。在其磁性方位中可改變之各磁性參考層為了讀出記憶胞可藉由一種流經字元線或感測線之電流而在一確定之方向（參考方向）中以磁性方式而被定向（oriented）。此種方位之方向改變（因此亦造成絕對阻抗之改變）在此種情況下是在絕對阻抗值之位置處被評估。資訊載體層之磁化方向（其和資料內容相同）因

五、發明說明 (3)

此保持不變而軟性之已磁化之參考層之磁化方向會改變。亦可使用一種記憶體，其中參考層是硬磁性層而資訊載體層是可改變的。

所有目前已知之方法和記憶體所具有之缺點是：記憶胞資訊之讀出是藉由先後依序來進行之各種過程來進行，這樣需耗費較多之時間。

本發明之目的是提供一種磁性記憶體，其中不會由於依序進行之各種過程或由於資訊之與一些步驟有關之再寫入而耗損時間，且此種記憶體可進行一種資料處理，其與記憶胞之絕對阻抗之與製程有關之變動是沒有關係的。

此種目的是藉由申請專利範圍第1項之磁性記憶體來達成。

依據本發明，其設計方式是：評估電路具有一種比較電路，藉由此種比較電路可將一由參考元件所供應之參考信號來和所選取之記憶胞之感測信號相比較。

本發明之設計方式是使讀出過程不會受到晶圓或電荷之絕對阻抗之變動所影響，以便可設置一種形成於記憶體晶片之參考元件。這樣即可讀出記憶胞之資訊而不會使絕對阻抗發生強烈之變動。這是以下述方式達成：利用記憶胞之感測信號以及參考晶胞 (cell) 之參考信號而在比較電路中形成一種差動信號。

適當之方式是此種比較電路藉由一種差動放大器來形成，差動放大器中配置一種電阻，電阻之一端是與差動

五、發明說明(4)

放大器之輸入端相連接而電阻另一端是與差動放大器之輸出端相連接，且一些電阻連接於差動放大器之各輸入端之前。

在本發明有利之構造中，字元線和感測線可分別藉由接地開關而與接地點相連接。這樣所產生之優點是：若在信號拾取時並不需要之這些字元線和感測線接地時，則由整體記憶胞來形成之許多寄生性元件可大大地減少。

適當之方式是可形成此種參考元件，使其電性和磁性可依據記憶胞之特性來調整，且需要時可藉由這些特性之改變來調整記憶胞之特性且因此是配置在記憶胞陣列之外部。此參考元件有利之方式是直接與參考放大器電路相連接，參考放大器電路使參考晶胞之信號加工成為參考信號。

若記憶胞陣列內部之記憶胞之磁性或電性變動得太大，則在本發明之其它形式中使記憶胞陣列由相連接之各記憶胞劃分或許多不同之晶胞區，這些晶胞區具有幾乎相同之電性和磁性，且對各晶胞區配置一種特定之參考元件或參考信號，使即將讀出之記憶胞及參考元件之感測信號之差動信號之信號品質繼續保持著。

為了使參考元件具有一種和即將讀出之記憶胞盡可能相同之磁性和電性，則此參考元件有利之方式是構成一種位於此記憶胞陣列內部之記憶胞。此參考元件之感測線因此可有利地與參考放大器電路相連接。因此可適當

五、發明說明 (5)

地選取此種可自由選取之以空間可變之方式構成之參考元件，使其位於即將讀出之參考元件之附近。

在本發明之特別良好之實施形式中，此參考元件不是在相同之字元線上且亦不是在相同之感測線上，因此是在所選取之記憶胞之相鄰之字元線及／或感測線上。在此種情況下適當之方式是此參考元件之字元線須與上述比較電路相連接。

依據本發明之其它較佳之實施形式，設置許多與待讀出之記憶胞相鄰之參考元件，這些參考元件之字元線

(其不與此種即將讀出之記憶胞之字元線相疊合)一起與比較電路相連接。因此在其它實施形式中可以下述方式設計：這些參考元件之感測線須施加一種電壓位準，此種位準是與即將讀出之記憶胞之字元線者不同。

適當之方式是記憶胞陣列之記憶胞以下述方式構成：在基板上施加一些字元線，在字元線上施加第一磁性材料層，磁性隧道位障層以及第二磁性材料層，其上以和字元線相交之方式施加一些感測器。此種層系統之電導是和二個由第一和第二磁性材料層所構成之金屬電極之費米(Fermi)邊緣上之能量位準密度成比例。由於電極是磁性的，則流經隧道位障層之電流分開成二個自旋(spin)通道，其中這些通道之自旋方向依據不同型式之磁性層之磁化方向而對準，其中一個磁性層在磁性上較另一個磁性層還硬。各別之自旋通道中之隧道電流是與此種自旋方向用之位障二側上之能量位準密度成比例。

五、發明說明 (6)

若軟磁性層之磁化方向相對於硬磁性層者而改變，則此二個自旋通道之軟磁性層之能量位準密度亦同時改變。結果此種流經位障層之總電流亦改變。

以相同之適當方式，記憶胞亦可由第一型式之磁性層所形成之層序列，去耦合層，第二型式之磁性層以及其它之去耦合層和許多此種配置（其層序列配置在相交之感測線和字元線之間）所構成。藉由第一型式之磁性層之磁化方向相對於第二型式之磁性層之磁化方向所達成之旋轉，則可改變此種層序列堆疊之電阻。第一和第二型式之磁性層之平行之磁化方向以及反向平行之方向此二方向之間所具有的電阻不同值因此可表示此種由電阻不同值所造成之位元狀態。

本發明適當之其它形式敘述在申請專利範圍各附屬項中。

本發明以下將依據多個顯示在圖式中之實施例來詳述。圖式簡單說明：

第 1 圖具有相交之感測線和字元線之磁性記憶體之切面圖。

第 2 圖 CPP 元件之切面圖。

第 3 圖具有一種評估電路之電路原理圖之此種磁性記憶體之構造。

第 4 圖信號形成用之主要元件接線圖。

第 5 圖具有一種評估電路（其在記憶胞陣列外部具有一種參考元件）之磁性記憶體之接線圖。

五、發明說明 (7)

第 6 圖具有一種評估電路（其在記憶胞陣列外部具有一種參考元件）之磁性記憶體之接線圖，其具有一些組合在陣列中之磁性記憶胞。

第 7 圖具有一種評估電路（其在記憶胞陣列外部具有一種參考元件）之磁性記憶體之接線圖，其可藉由感測線來測定該參考信號。

第 8 圖具有一種評估電路（其在記憶胞陣列內部具有一種參考元件）之磁性記憶體之接線圖，其可藉由字元線來測定該參考信號。

第 9 圖具有一種評估電路之電路原理圖之此種磁性記憶體之構造，評估電路可藉由字元線來測定該參考信號。

第 10 圖信號形成用之主要元件之接線圖，其係利用一種參考元件。

第 11 圖具有一種評估電路（其在記憶胞陣列內部具有一種參考元件）之磁性記憶體之接線圖，其可藉由一種與開關相連接之字元線來測定該參考信號。

第 12 圖在記憶胞陣列內具有一種評估電路和多個參考元件之此種磁性記憶體之接線圖，其可藉由字元線來測定該參考信號。

第 1 圖中顯示一種具有記憶胞 1 之磁性記憶體之切面圖。在基板 2 上施加一些感測線 4，其上配置一些垂直於感測線 4 之字元線 3。在字元線 3 和感測線 4 之間的相交點配置一種層序列，其是由磁性材料之第一層 7，隧道位障層 6 以及第二磁性層 5 所構成，這些層形成記

五、發明說明 (8)

憶胞。此二個磁性層 5 和 7 一方面用來儲存資訊且另一方面用作參考層。以下將假設此磁性層 7 是資訊載體層且磁性層 5 是參考層，由軟磁性材料構成資訊載體層 7。為了對記憶胞 1 進行寫入或讀出，則相對應之字元線 3 須施加一種電壓且所屬之感測線 4 至少須虛 (virtual) 接地。為了讀出記憶胞內容，則參考層 5 之磁化方向須適當地改變，以便測得資訊載體層 7 之磁性狀態。

此種層系統之電導是和二個由第一和第二磁性材料層 (5 和 7) 所構成之金屬電極之費米 (Fermi) 邊緣上之能量位準密度成比例，此二個電極一方面是與字元線 (3) 相連接且另一方面是與感測線 (4) 相連接。由於這些電極是磁性的，則流經隧道位障層 6 之電流分成二個自旋 (spin) 通道，這些通道之自旋方向依據不同型式 (5 或 7) 之磁性層之磁化方向而對準，其中一個磁性層較另一個磁性層還硬。在各別之自旋通道中之隧道電流是和此種自旋方向用之位障二側上之能量位準密度成比例。若軟磁性層之磁化方向相對於硬磁性層者而改變，則此二個自旋通道中之軟磁性層之能量位準密度同時會改變。結果此種流經位障層之總電流亦會改變。

第 2 圖是磁性記憶體 1 之另一種構造之橫切面，其是一種層序列之堆疊形式，其是由第一形式之磁性層 8，去耦合層 9，第二形式之磁性層 10 以及其它去耦合層 8 和許多此種配置所組合而成。此種層序列堆疊 (其形成磁性記憶胞 1) 是配置在相交之感測線 4 和字元線 3 之

五、發明說明 (9)

間，字元線 3 垂直於感測線 4 而延伸。

第 3 圖中所顯示之矩陣形式之磁性記憶體之接線圖顯示了這些配置在字元線 3 (數目為 M) 和感測線 4 (數目為 N) 相交點上之記憶胞 1。感測線 4 分別經由寫入電流開關 13A 而與寫入電流源 13 相連接以及經由讀出開關 12B 而與感測線放大器電路 12 相連接。字元線 3 可施加一種電壓以便讀出此記憶胞 1 之內容。若記憶胞 1A (其由記憶胞 1B, 1C 和 1D 所直接圍繞) 應被讀出，則字元線 3A 上施加一種讀出電壓 V，寫入電流開關 13A 斷開而讀出開關 12B 閉合。可自我調整之信號電流 I_s 經由即將讀出之記憶胞 1A 之感測線 4A 藉由感測線放大器電路 12 (其輸入端 12C 是虛接地) 而被評估。電流-電壓變流器 12A 作為信號電流 I_s 轉換成即將偵測之信號 ΔV 時所用之變流器，其由於記憶胞 1A 在二個資訊狀態 ("1" 和 "0") 中之阻抗差異 $\Delta R/R$ 而承載一種資訊，這樣所具有之缺點：其它記憶胞 1 形成一些與即將讀出之記憶胞 1A 平行之路徑。若輸入端 12C 不是虛接地而是經由一種阻抗之耦合而連接，則其它記憶胞 1 之平行路徑整體上相加成寄生性總阻抗 Z_p ，其值是

$$Z_p = \frac{(N+M-1)}{(M-1)(N-1)} R \approx \frac{1}{M-1} R; \text{ 在 } N \gg M \text{ 之情況下}$$

其中 R 是各別記憶胞之阻抗。就即將偵測之信號 ΔV 而言這表示：信號相對於各隔離之記憶胞之上升值是依據

五、發明說明(10)

$$\Delta V = \frac{1}{1 + \frac{M-1}{M} \cdot \frac{\Delta R}{R}} \cdot \frac{\Delta R}{R} \cdot \frac{R \cdot I_{\text{read}}}{M} \leq \frac{\Delta R}{R} \cdot \frac{R \cdot I_{\text{read}}}{M}$$

而減少至少數個數量級（大約 10^4 倍），吾人假設每一條字元線只具有大約 100 個元件。M 更大時，則讀出過程時使晶胞 1A 進行程式轉換時所需之功率依據

$$E_{\text{read}} = \left(\frac{M\Delta V}{\Delta R/R} \right)^2 \cdot \frac{M}{R} \cdot \Delta t$$

而增加，使得在 10 ns 之脈波期間，每次讀出過程中大約有 100 條字元線， $R=10^5 \Omega$ ， $\Delta R/R=20\%$ ， $\Delta V=50 \text{ mV}$ 時在記憶胞中大約消耗 5 nJ 之功率，就應用而言這樣會高出數個數量級。

藉由即將讀出之記憶胞 1A 之感測線 4A 之虛接地以及使所有不需要之感測線 4 經由接地開關接地，則構成寄生性阻抗之網路以及因此而構成寄生性阻抗所需之主要元件之數目可大大地減少。E_{read} 在此種情況下只和 M 成比例而不是和 M^3 成比例。

在第 4 圖中簡單地顯示寄生性網路之接線圖，其中不需要之感測線 4A 經由接地開關 14A 而接地。感測線 4A 之接地開關 14A 是斷開的。所產生之由並聯電路和串聯電路所構成之寄生性網路 22 和 23 是由以下方式所組成：網路 22 由字元線 3A 之 M-1 個記憶胞阻抗（圖中顯示 2 個）所形成之並聯電路所構成，整個網路 23 會發生 (N-1) 次，其中此下部網路 24 是由 M-1 個記憶胞阻抗（圖中顯示

五、發明說明⁽¹¹⁾

二個)所形成之並聯電路所構成。此種至感測線放大器電路12之輸入端12C是虛接地的。因此,輸出信號 ΔV 基本上是由電流-電壓變流器12A之阻抗 R_u 以及阻抗 R_s ,即將讀出之記憶胞1A之 R_s 之改變量 ΔR_s 依據

$$\Delta V = \frac{R_u}{R_s} \cdot \frac{\Delta R_s}{R_s} \cdot V$$

所決定。

由於記憶胞(其是藉由磁性記憶體之製程所製成)之絕對阻抗 R_s 會變動,則阻抗之絕對值測定不可用來決定此種即將讀出之記憶胞1A之記憶體狀態。

決定一種即將讀出之記憶胞1A之記憶體狀態所用之方法可以如下所述者。即,對此字元線3A施加一種讀出電壓 V ,測量此種即將讀出之記憶胞1A之阻抗,暫時儲存此結果,使記憶胞1A程式化成一種確定之記憶體狀態且將此記憶胞1A之阻抗重新測量之後所得之結果與先前之結果進行比較,由以上這些步驟即可測得資料狀態。但此種方法之缺點是:資訊在讀出之後又須重新寫入且讀出過程劃分成可依序處理之各步驟。若記憶胞是由一個所謂軟/硬系統所構成,其中所使用之磁性參考層在磁性上較資訊載體層還軟,則此時資訊之重新寫入是不需要的,因為在此種情況下此磁性參考層可在其磁化方向中改變。

第5圖顯不一種磁性記憶體之接線圖,其在記憶胞陣列11外部具有另一個參考元件17及一個所屬之參考放大

五、發明說明(12)

器電路 18 和一個比較電路 16，比較電路 16 可使參考放大器電路 18 之信號與感測線放大器電路 12 之信號互相連接。參考元件 17 之電性及磁性是依據記憶胞 1 之電性及磁性來調整。這可藉由參考元件本身（例如，元件之面積）之改變或藉由相關電阻網路之調整或參考放大器電路 18 之阻抗 18A 之調整來達成。就讀出過程而言，即將讀出之記憶胞 1A 是經由字元線 3A 而被施加一種讀出電壓 V 。可調整之信號電流經由感測線 4A 而被測得且藉由感測線放大器電路 12 來進行評估。這樣所得之感測信號 V_s 利用參考放大器電路 18 之參考信號 V_r 藉由比較電路 16 來進行評估，比較電路 16 可提供一種由 V_s 和 V_r 所形成之差動信號（以下稱為測量信號 V_m ）。此種電路之基本原理是：記憶胞 1 之由於其感測信號 V_s 與一種信號（其對應於此記憶胞之電性和磁性）之間形成差 (difference) 值時所造成之特性在評估時藉由比較電路 16 來消除，使得上述阻抗測量之結果只由記憶胞之磁化狀態來決定。因此在理想情況時由一處至另一處或甚至一個晶圓之所有記憶體相互間之記憶胞之絕對阻抗之與製程有關之變動所造成之干擾性影響即可被去除。

第 6 圖是本發明之另一個實施例。阻抗特性類似之記憶胞組合成晶胞區 19。此種晶胞區 19 對應於特定之讀出電壓 V_i 或感測線放大器電路 12 之阻抗 12A 及 / 或此種對應於參考放大器電路 18A 之阻抗 18A 須被調整或參考元件 17 須施加一些不同之電壓 V_g ，使測量信號 V_m 幾乎可不

五、發明說明(13)

受記憶胞 1 之電性或磁性之干擾所影響。適當之方式是參考放大器電路 18 可與所屬之參考元件 17 多重地 (multiple) 存在著。就晶胞區 19 之定義及參考特性之調整而言，須對此磁性記憶體進行測量。磁性記憶體之可承受得起之散射在此須設定一種極限 (limit)。

第 7 圖是本發明之另一種變型，此處之設計方式是：參考元件藉由一種設置在記憶胞陣列 11 內部中之參考晶胞 1R 來構成。參考晶胞 1R (其適當之方式是由一種與即將讀出之記憶胞 1A 相鄰之記憶胞所構成) 之信號經由感測線 4B 而傳送至參考放大器電路 18。參考晶胞 1R 藉由即將讀出之記憶胞 1A 之字元線 3A 而被施加上述之讀出電壓 V 。在信號 V_s 和 V_r 進行比較性測量時會產生下述問題：若即將讀出之記憶胞 1A 和參考晶胞 1R 承載相同之記憶狀態 (即，記憶胞 1A 之記憶狀態不能明確地對應於電壓 V_m) 時，則比較電路 16 之輸出信號 V_m 是零。

在第 8 圖之本發明之較佳實施例，參考晶胞 1R (其現在不與即將讀出之記憶胞 1A 位於相同之字元線 3A 上) 之信號經由字元線 3B 而傳送至參考放大器電路 18。記憶胞 1E 在此處是與參考晶胞 1R 等效之晶胞。為了決定記憶胞之記憶狀態，則參考晶胞 1R 所在之感測線 4B 以及即將讀出之記憶胞 1A 之字元線 3A 須施加上述之讀出電壓 V 。

第 9 圖是一種磁性記憶體之接線圖，其具有以積體方式構成之參考元件。記憶胞 1D，1B 和 1R 因此是與即將讀出之記憶胞 1A 直接相鄰。所有未加入此種測量過程中之

五、發明說明⁽¹⁴⁾

感測線 4 和字元線 3 都是經由閉合之接地開關 14 而接地 (14A 至 14D 斷開)。字元線 3A 和感測線 4B 須施加上述之讀出電壓 V 。即將讀出之記憶胞 1A 之信號經由感測線 4A 而傳送至此種由讀出開關 12B 所接通之感測線放大器電路 12，其在輸入端提供該感測線信號 V_s 。參考晶胞 1R 之信號經由字元線 3B 和參考開關 18B 而傳送至參考放大器電路 18 且處理成參考信號 V_r 。比較器電路 16 又將此二個信號 V_r 和 V_s 處理成接地信號 V_m 。

即將讀出之記憶胞 1A 之感測線 4A 上之記憶胞 1B 往二側經由參考放大器電路 18 和感測線放大器電路 12 而虛接地且因此不利地對參考元件 1R 之信號產生影響。記憶胞 1D 在其二側是與字元線 3A 和感測線 4B 上之讀出電壓 V 相連接，因此不會對測量信號 V_m 有不利之影響。

第 10 圖簡略地顯示主要寄生性元件之接線圖，不必要之感測線 4 和字元線 3 經由接地開關 14 而接地。寄生性阻抗 1F 共 $N-2$ 個 (圖中只顯示二個) 並聯而寄生性阻抗 1G 共 $M-2$ 個 (圖中只顯示二個) 並聯。如上所述，在二側與讀出電壓 V 相連接之記憶胞 1D 不會對信號有影響。在二側經由參考放大器電路 18 之輸入端及感測線放大器電路 12 之輸入端而虛接地之記憶胞 1B 亦不會對信號有影響。由此種電路可清楚看出，參考信號 V_r 幾乎只與參考元件 1R 之阻抗有關。

一種統計性測量在未考慮磁性參考層 5 時 (其中參考晶胞和記憶胞之二個信號須進行比較) 會有下述缺點：

五、發明說明¹⁵)

在記憶胞之資訊載體層 7 之磁化方向 (即 , 記憶狀態) 相同時不能決定 : 二個晶胞是承載邏輯 1 或承載邏輯 0 。

在動態式測量中 , 記憶胞及 / 或參考晶胞之記憶內容在第一次測量上述之測量信號 V_m (起始) 之後被加上標題以達到一種確定之狀態 , 且在第二次測量中測得此種測量信號 V_m (終止) 。此種記憶狀態以下表來表示如下。

記憶胞 1A 資料內容	參考晶胞 1A 資料內容	測量信號 V_m (起始)	測量信號 V_m (終止)
0	0	0	+1
1	0	+1	+1
0	1	-1	0
1	1	0	0

若信號改變 ΔV_m 包括在信號評估中 , 則只會產生一些具有正值 (下表中之 V_m (終止) 和 ΔV_m) 之信號且在記憶胞及 / 或參考晶胞之磁性變換之前不須以決定正負號之方式來進行信號之測定 , 這樣可使讀出過程較快。

五、發明說明(16)

記憶胞 1A 資料內容	參考晶胞 1R 資料內容	測量信號 V_m (起始)	測量信號 V_m (終止)	信號改變 $\Delta V_m (\Delta V_s)$
0	0	0	+1	+1
1	0	+1	+1	0
0	1	-1	0	+1
1	1	0	0	0

缺點是需要依序測得之記憶元件之狀態。

依據上述方式在記憶胞及參考晶胞（其信號 V_r 是需要的以便決定記憶體內容）之記憶狀態決定之後，可藉由信號 V_r 之儲存及在包括該參考晶胞之習知的記憶狀態此種情況下利用這些比較用之資訊來進行每一其它之讀出過程。若記憶體晶片之均勻性可容許上述情況，則只一次即決定此參考晶胞之記憶狀態及參考信號 V_s 對所有其它之讀出過程而言是足夠的，這樣可造成一種快速之靜態讀出過程。

五、發明說明 (17)

在記憶胞 1A 和參考晶胞 1R 之資訊相同時上述之決定過程亦可藉助於磁性參考層 5 來進行，而不必在磁性變換之前或之後接收該測量信號 V_m 。

在此種動態測量中參考晶胞 1R 之磁性參考層 5（其在磁性上較資訊載體層 7 軟很多）藉由感測線電流 I_r 流經參考晶胞 1R 之感測線 4B 而切換狀態。磁性參考層 5 之磁化方向於是垂直於參考晶胞 1R 之資訊載體層 7 之磁化方向且垂直於此種流經感測線 4B 之感測線電流 I_r 。參考晶胞 1R 之阻抗因此和參考晶胞 1R 中所儲存之資訊無關，記憶胞之磁性和電性因此亦和參考晶胞中所儲存之資訊無關， V_m 之符號（正或負）明確地決定了此種即將讀出之記憶胞 1A 之資訊內容。此處假設：資訊載體層之磁化方向平行於感測線而延伸，但亦可垂直於感測線而延伸，為了記憶胞之程式化，則磁性參考層之“轉換陣列 (array)”當然必須由字元線來構成。

藉由上述方式，則記憶胞在記憶狀態決定之後不必重新寫入或不必要被設定至一確定之狀態中，這表示可大大地節省時間。

第 11 圖顯示了此種流經參考晶胞 1R 之感測線 4B 中之感測線電流 I_r 。在所示之例子中此種參考放大器電路 18 只設置一個，參考晶胞 1R 之各字元線 3 經由驅動開關 20 而參考放大器電路 18 相連接。

第 12 圖是本發明之另一實施例，在所示之應用中，現在為了在記憶胞陣列 11 內部之記憶胞 1 阻抗中使強烈之

五、發明說明⁽¹⁸⁾

橫向梯度 (Gradient) 受到平衡作用，則須對不同參考晶胞 1H 之多個信號取平均值。這些與即將讀出之記憶胞 1A 相鄰而配置成對稱之參考晶胞 1H 是在感測線 4B 和 4C 上方經由感測線電流開關 21 而被施加一種感測線電流 I_r ，因此該參考晶胞 1H 之磁性參考層 5 設定在中性之磁化方向中。此例子中之 4 個參考晶胞 1H 之信號由字元線 3B 和 3C 經由驅動開關 20 而傳送至參考放大器電路 18。因此須調整此參考放大器電路 18，使參考信號 V_r 位於正確之位準。

符號之說明

1	記憶胞
2	基板
3	字元線
4	感測線
5	磁性層，磁性參考層
6	隧道位障層
7	磁性層，資訊載體層
8	第一型式之磁性層
9	去耦合層
10	第二型式之磁性層
11	記憶胞陣列
1A	所選取之記憶胞
1B	記憶胞
1C	記憶胞
1D	記憶胞

五、發明說明 ()

19

1 E	記憶胞
1 F	寄生性阻抗
1 G	寄生性阻抗
1 H	參考晶胞
1 R	晶胞
3 A	所選取之記憶胞之字元線
3 B	字元線
3 C	字元線
4 A	所選取之記憶胞之感測線
4 B	感測線
1 2	感測線放大器電路
1 2 A	電流 - 電壓轉換器
1 2 B	讀出開關
1 2 C	感測線放大器之輸入端
1 3	寫入電流源
1 3 A	寫入電流開關
1 4	接地開關
1 4 A 至 1 4 D	接地開關
1 5	字元線放大器電路
1 5 A	開關
1 6	比較電路
1 6 A	差動放大器
1 6 B	電阻
1 7	參考元件

五、發明說明(20)

I s	信號電流
I r	感測線電流
V	讀出電壓
V i	讀出電壓
V s	感測信號
V r	參考信號
V m	測量信號
V g	各種不同之電壓
I r	感測線電流
18	參考放大器電路
18 A	阻抗
18 B	參考開關
19	晶胞區
20	驅動開關
21	感測線電流開關
22	寄生性網路
23	寄生性網路
24	寄生性網路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)
隨機存取式磁性記憶體及其讀出方法

本發明係關於一種隨機存取式磁性記憶體(MRAM)，其具有：一種由許多記憶胞(1)所構成之記憶胞陣列(11)，這些記憶胞以矩陣形式配置在字元線(3)和感測線(4)之相交點處，記憶胞之邏輯資料內容是由磁性狀態來定義；一種配屬於字元線(3)之定址電路，所選取之一個或多個記憶胞(1)（其資料內容應被讀出）之字元線藉此種定址電路而被施加一種讀出電壓(V)；一種配屬於感測線(4)之評估電路，藉此評估電路可測得或評估一種與所選取之記憶胞之資料內容相對應之信號，其特徵為：

該評估電路具有一種比較電路(16)，藉此比較電路(16)可對一種由參考元件所供應之參考信號(V_r)來和即將讀出之記憶胞之感測信號(V_s)進行比較。

英文發明摘要(發明之名稱：

Magnetic Memory of a Random Access
Type (MRAM) and Its Reading-out Method

This invention relates to a magnetic memory of a random access type (MRAM) with a memory-cells array (11), composed of many memory-cells (1), which are matrix-formedly arranged on the cross-points of the word-lines (3) and sense-lines (4), and its logical data-contents are defined by a magnetic state, with an addressing-circuit that belongs to the word-lines (3), by means of the addressing-circuit the word-line (3) of one or more selected memory-cells (1), whose data-content should be read-out, is applied with a read-voltage (V), and with an evaluation-circuit that belongs to the sense-lines (4), by means of the evaluation-circuit a signal that corresponds to the data-content of the selected memory-cell (s) can be measured or evaluated, whereby the evaluation-circuit has a comparison-circuit (16), by means of said comparison-circuit (16) a reference-signal (V_r) that is supplied from a reference-element can be compared with the sense-signal (V_s) of the readable memory-cell(s).

fo. 11. 13

六、申請專利範圍

第 88119060 號「隨機存取式磁性記憶體及其讀出方法」專利案
(90 年 11 月修正)

六 申請專利範圍

1. 一種隨機存取式磁性記憶體(MRAM)，其具有：一種由許多記憶胞(1)所構成之記憶胞陣列(11)，這些記憶胞以矩陣形式配置在字元線(3)和感測線(4)之相交點處，記憶胞之邏輯資料內容是由磁性狀態來定義；一種配屬於字元線(3)之定址電路，所選取之一個或多個記憶胞(1)（其資料內容應被讀出）之字元線藉此種定址電路而被施加一種讀出電壓(V)；一種配屬於感測線(4)之評估電路，藉此評估電路可測得或評估一種與所選取之記憶胞之資料內容相對應之信號，該評估電路具有一種比較電路(16)，藉此比較電路(16)可對一種由參考元件所供應之參考信號(V_r)來和即將讀出之記憶胞之感測信號(V_s)進行比較，其特徵為：參考元件(17)配置在記憶胞陣列(11)之外部且此參考元件之電性或磁性被調整而改變。
2. 一種隨機存取式磁性記憶體(MRAM)，其具有：一種由許多記憶胞(1)所構成之記憶胞陣列(11)，這些記憶胞以矩陣形式配置在字元線(3)和感測線(4)之相交點處，記憶胞之邏輯資料內容是由磁性狀態來定義；一種配屬於字元線(3)之定址電路，所選取之一個或多個記憶胞(1)（其資料內容應被讀出）之字元線藉此種定址電路而被施加一種讀出電壓(V)；一種配屬於感測線(4)之評估電路，藉此評估電路可測得或評估一種與所選取之記憶胞

六、申請專利範圍

之資料內容相對應之信號，該評估電路具有一種比較電路(16)，藉此比較電路(16)可對一種由參考元件所供應之參考信號(V_r)來和即將讀出之記憶胞之感測信號(V_s)進行比較，其特徵為：參考元件由記憶胞陣列之記憶胞(1)(參考晶胞)所構成。

3. 如申請專利範圍第 1 或第 2 項之磁性記憶體，其中設有開關(14)，字元線(3)和感測線(4)可藉由開關(14)而分別與接地相連接。
4. 如申請專利範圍第 1 或第 2 項之磁性記憶體，其中所選取之記憶胞和參考元件至少在一側是虛接地。
5. 如申請專利範圍第 1 或第 2 項之磁性記憶體，其中比較電路(16)由感測信號(V_s)和參考信號(V_r)而供應一種差動信號。
6. 如申請專利範圍第 1 或第 2 項之磁性記憶體，其中參考元件之電性或磁性是依據記憶胞(1)之電性或磁性來調整。
7. 如申請專利範圍第 1 或第 2 項之磁性記憶體，其中參考元件(17)是與參考放大器電路(18)相連接。
8. 如申請專利範圍第 1 或第 2 項之磁性記憶體，其中該記憶胞陣列中相連接之記憶胞劃分成多個不同之晶胞區(19)，這些晶胞區具有幾乎相同之電性或磁性，且對每一晶胞區而言配置一種已調整之參考信號或配置一種特定之參考元件。
9. 如申請專利範圍第 2 項之磁性記憶體，其中參考晶胞(1R)

六、申請專利範圍

- 之信號經由感測線(4)而與參考放大器電路(18)相連接。
10. 如申請專利範圍第 2 或第 9 項之磁性記憶體，其中由記憶胞陣列之記憶胞所構成之參考元件(1R)是位於此種即將讀出之記憶胞(1A)之相鄰之字元線(3)上及／或感測線(4)上。
 11. 如申請專利範圍第 2 或第 9 項之磁性記憶體，其中參考晶胞(1R)之字元線(3)是與參考放大器電路(18)相連接。
 12. 如申請專利範圍第 11 項之磁性記憶體，其中設置多個與此種即將讀出之記憶胞(1A)相鄰而配置之參考晶胞。
 13. 如申請專利範圍第 12 項之磁性記憶體，其中這些參考晶胞一起與參考放大器電路(18)相連接。
 14. 如申請專利範圍第 12 或第 13 項之磁性記憶體，其中這些參考晶胞可施加一種與該即將讀出之記憶胞者不同之電壓位準。
 15. 如申請專利範圍第 1 或第 2 項之磁性記憶體，其中比較電路(16)是由差動放大器電路(16A)所構成，電阻(16B)配屬於該差動放大器電路(16A)，電阻(16B)之一端是與差動放大器(16A)之輸入端相連接且電阻(16B)之另一端是與(16A)之輸出端相連接，且這些電阻是連接在差動放大器之各輸入端之前。
 16. 如申請專利範圍第 1 或第 2 項之磁性記憶體，其中該比較電路(16)一方面是連接於參考放大器電路(18)之前以便使該參考元件(17)或參考晶胞(1R)之信號加工成參考信號(V_r)且另一方面是連接於感測線放大器電路(12)之前，此

六、申請專利範圍

種電路(12)可將此種即將讀出之記憶胞(1A)之信號加工成感測信號(Vs)。

17. 一種磁性記憶體，其特徵為：磁性記憶胞施加在基板(2)上之字元線(4)上，在字元線(4)上施加一些由第一磁性材料(5)，磁性隧道位障(6)及第二磁性材料(7)所構成之層，在此種層上施加一些與字元線相交之感測線(4)。
18. 如申請專利範圍第 17 項之磁性記憶體，其中第一磁性材料在磁性上較第二磁性材料還軟。
19. 如申請專利範圍第 17 或第 18 項之磁性記憶體，其中第一型式之磁性層(8)形成一種磁性參考層且第二型式之磁性層(10)形成一種資訊載體層。
20. 一種磁性記憶體，其特徵為：磁性記憶胞是由第一型式之磁性層(8)，去耦合層(9)，第二型式之磁性層(10)所形成之層序列以及一些去耦合層，和許多此種配置所構成，此種層序列是配置在相交叉之感測線(4)和字元線(3)之間。
21. 如申請專利範圍第 20 項之磁性記憶體，其中第一型式之磁性層(8)在磁性上較第二型式之磁性層(10)還軟。
22. 如申請專利範圍第 20 或 21 項之磁性記憶體，其中第一型式之磁性層(8)形成一種磁性參考層且第二型式之磁性層(10)形成一種資訊載體層。
23. 一種隨機存取式磁性記憶體(MRAM)之讀出方法，此種磁性記憶體具有：一種由許多記憶胞(1)所構成之記憶胞

六、申請專利範圍

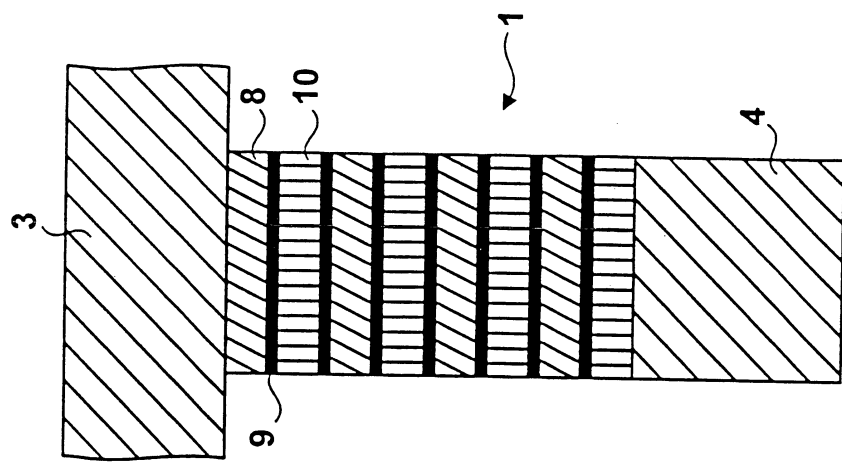
陣列(11)，這些記憶胞以矩陣形式配置在字元線(3)和感測線(4)之相交點處，記憶胞之邏輯資料內容是由磁性狀態來定義；一種配屬於字元線(3)之定址電路，所選取之一個或多個記憶胞(1)（其資料內容應被讀出）之字元線藉此種定址電路而被施加一種讀出電壓(V)；一種配屬於感測線(4)之評估電路，藉此評估電路可測得或評估一種與所選取之記憶胞之資料內容相對應之信號，此評估電路具有一種比較電路(16)，藉此使一種由參考元件所提供之參考信號(V_r)可與即將讀出之記憶胞之感測信號(V_s)相比較，其特徵為：該參考元件(17)配置在記憶胞陣列(11)外部且此參考元件之電性及磁性可被調整而改變；一種由參考元件所提供之參考信號(V_r)須與即將讀出之記憶胞之感測信號(V_s)相比較。

24. 一種隨機存取式磁性記憶體(MRAM)之讀出方法，此種磁性記憶體具有：一種由許多記憶胞(1)所構成之記憶胞陣列(11)，這些記憶胞以矩陣形式配置在字元線(3)和感測線(4)之相交點處，記憶胞之邏輯資料內容是由磁性狀態來定義；一種配屬於字元線(3)之定址電路，所選取之一個或多個記憶胞(1)（其資料內容應被讀出）之字元線藉此種定址電路而被施加一種讀出電壓(V)；一種配屬於感測線(4)之評估電路，藉此評估電路可測得或評估一種與所選取之記憶胞之資料內容相對應之信號，此評估電路具有一種比較電路(16)，藉此使一種由參考元件所提供之參考信號(V_r)可與即將讀出之記憶胞之感

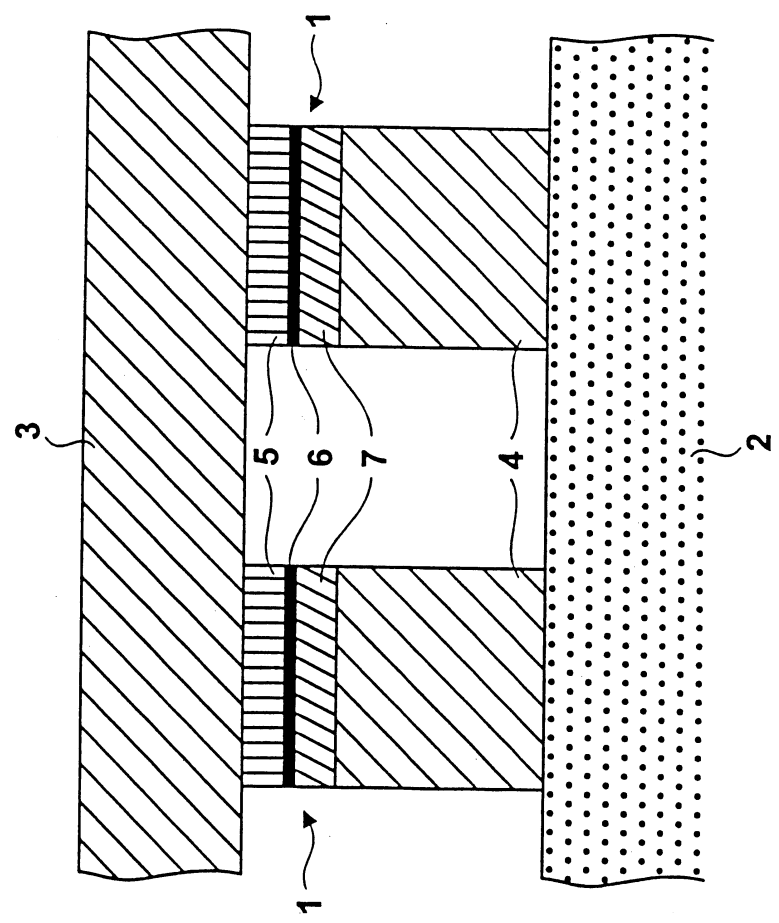
六、申請專利範圍

測信號 (V_s) 相比較，其特徵為：此參考元件由記憶胞陣列之記憶胞 (1) (參考晶胞) 所形成；一種由參考元件所提供之參考信號 (V_r) 須與此種即將讀出之記憶胞之感測信號 (V_s) 相比較。

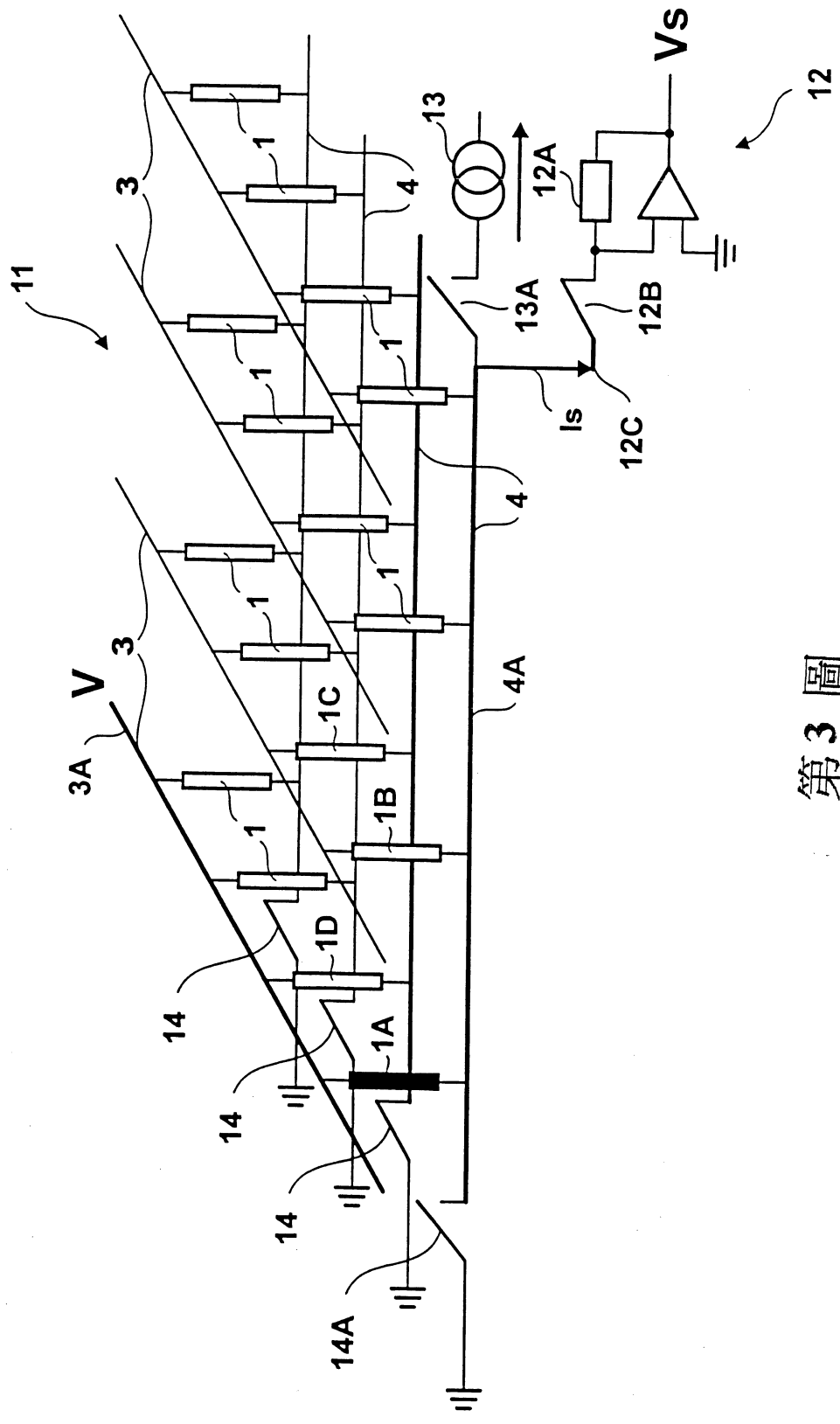
25. 如申請專利範圍第 23 或第 24 項之方法，其中須儲存此參考元件之參考信號 (V_r)，且在進一步決定此記憶胞之記憶內容時所儲存之參考信號須與此種即將讀出之記憶胞之感測信號相比較。
26. 如申請專利範圍第 23 或 24 項之方法，其中須對一些參考元件（其與此種即將讀出之記憶胞相鄰而配置著）之信號進行評估。
27. 如申請專利範圍第 26 項之方法，其中一些參考元件之信號一起由參考放大器電路 (18) 來進行評估。
28. 如申請專利範圍第 26 項之方法，其中參考晶胞所施加之電壓位準是與此種即將讀出之記憶胞者不同。
29. 如申請專利範圍第 27 項之方法，其中參考晶胞所施加之電壓位準是與此種即將讀出之記憶胞者不同。
30. 如申請專利範圍第 23 或 24 項之方法，其中以記憶胞構成之參考元件之磁性參考層之磁化方向在參考信號 (V_r) 與感測信號 (V_s) 進行比較時是垂直於資訊載體層之磁化方向而對準，此參考元件則是由磁性參考層，隧道位障層及資訊載體層所形成之層序列所構成或由磁性參考層，去耦合層，資訊載體層所形成之層序列以及一些去耦合層和許多此種配置所構成。



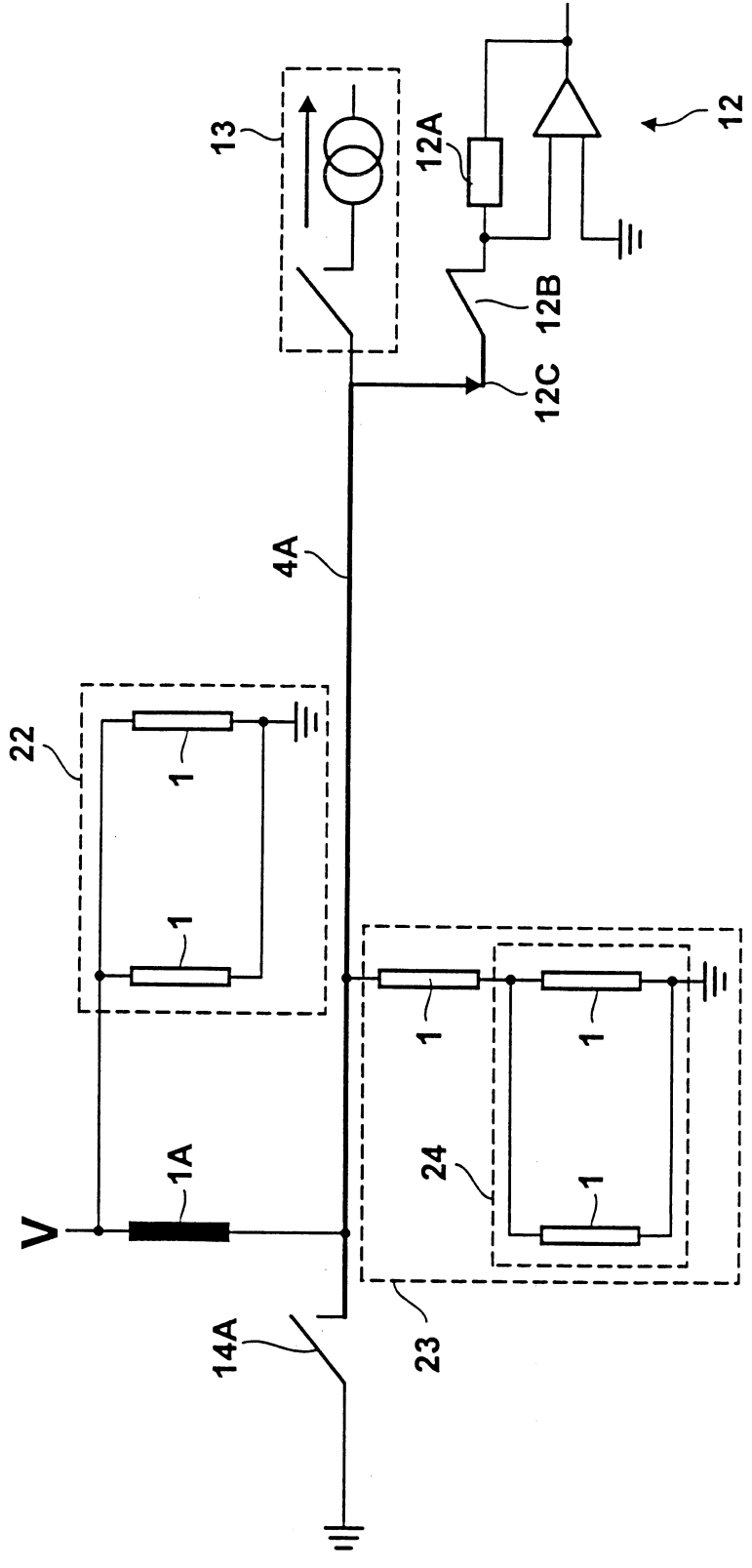
第2圖



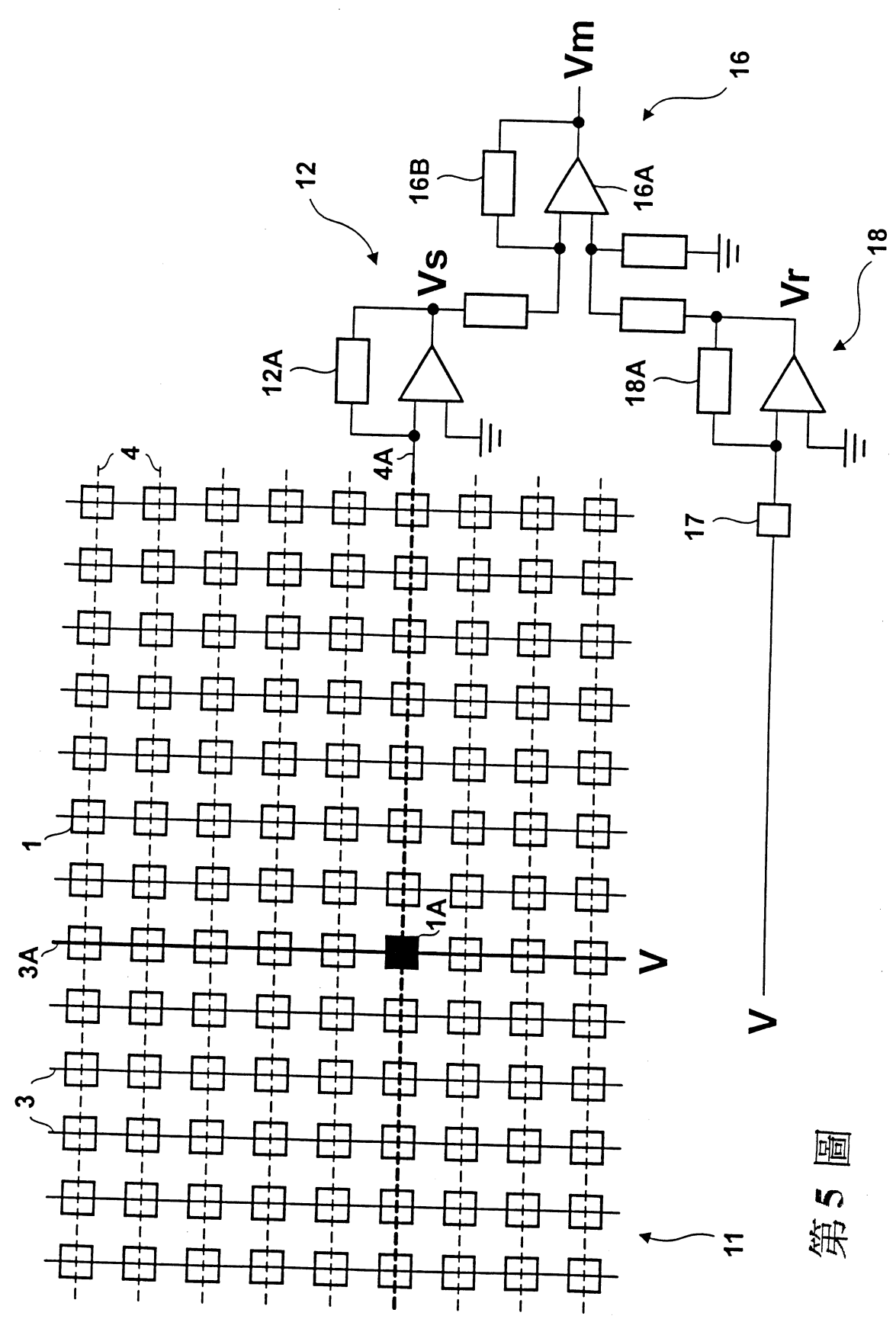
第1圖



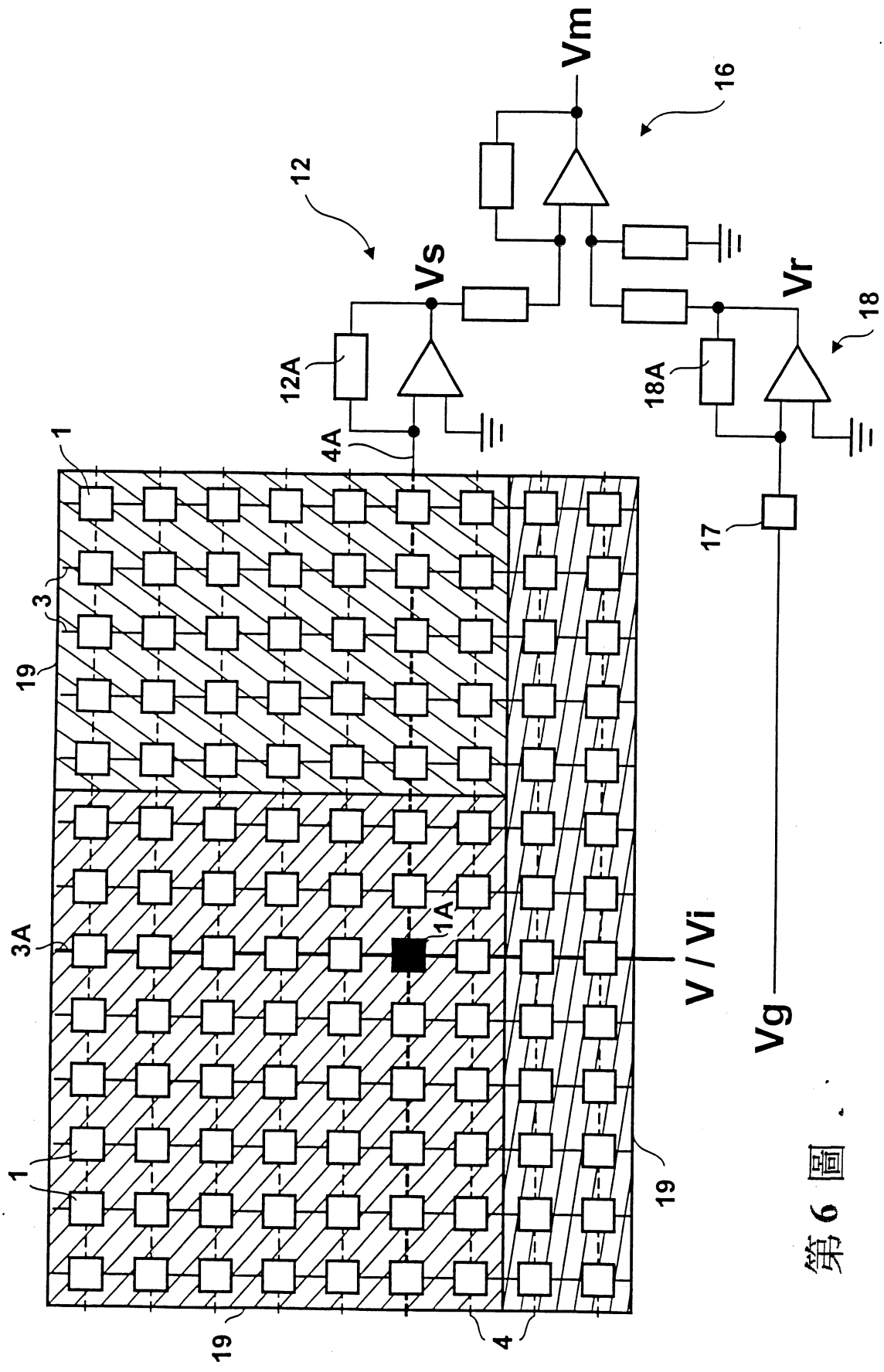
第3圖



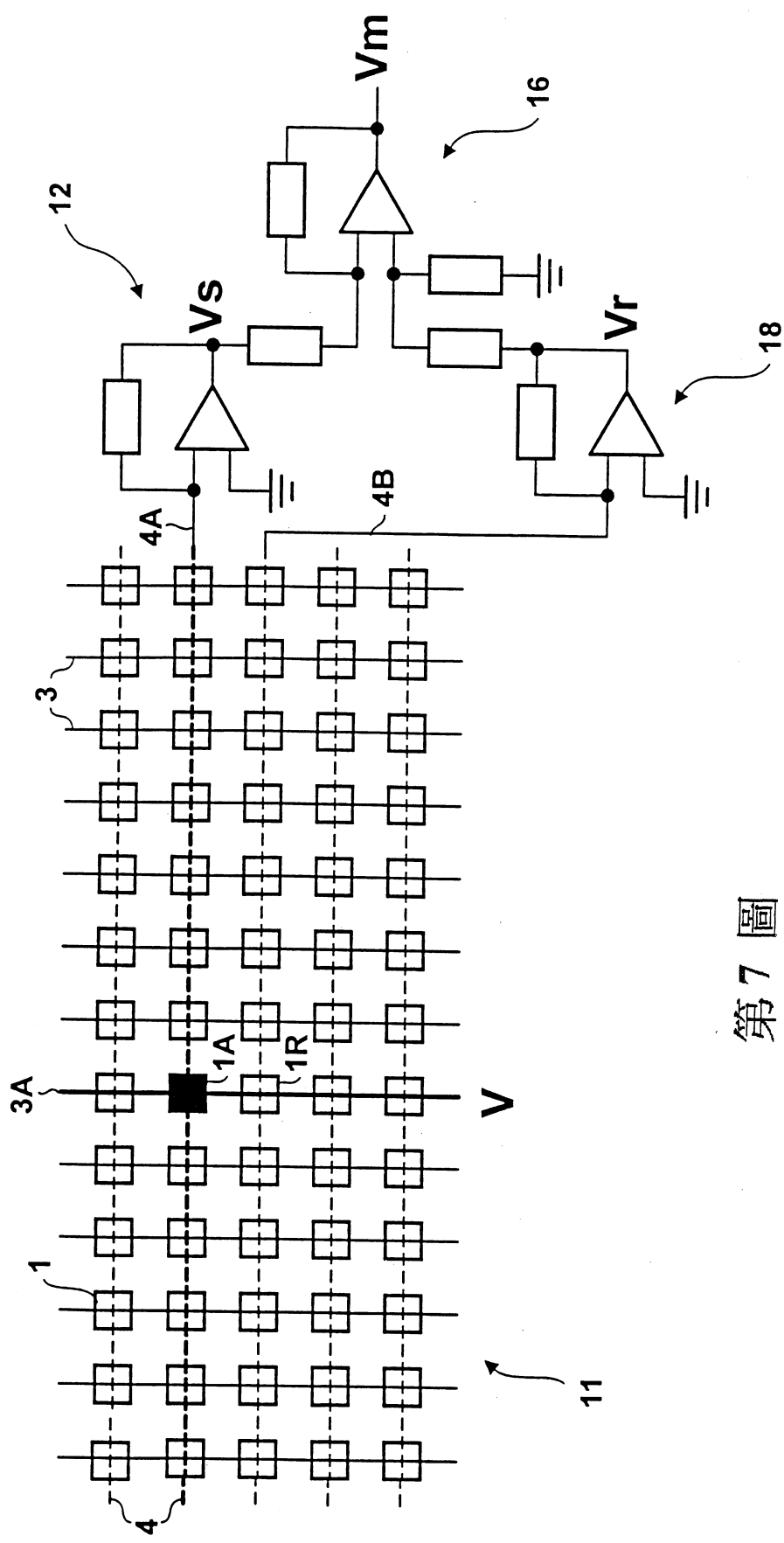
第 4 圖



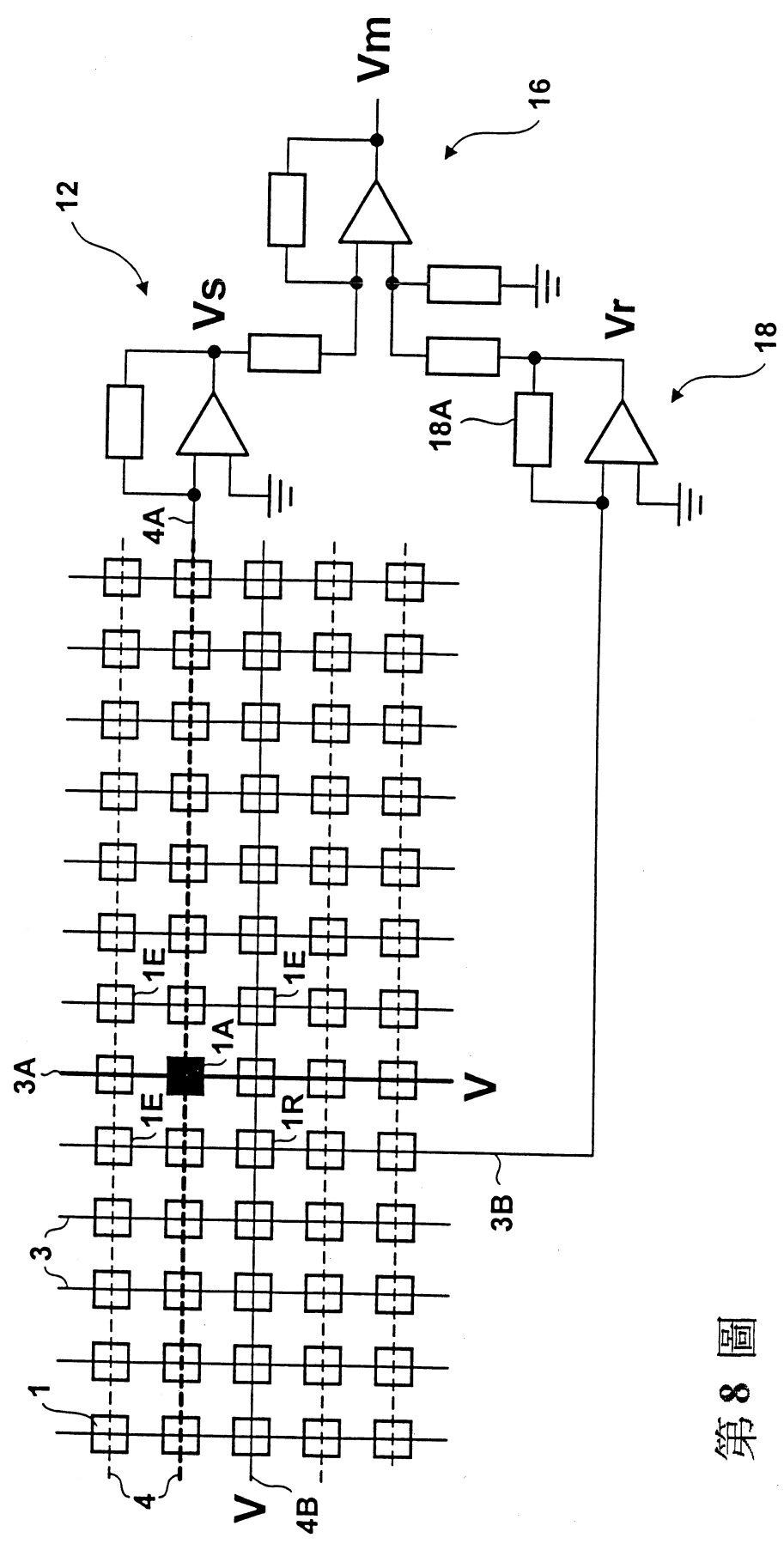
第5圖



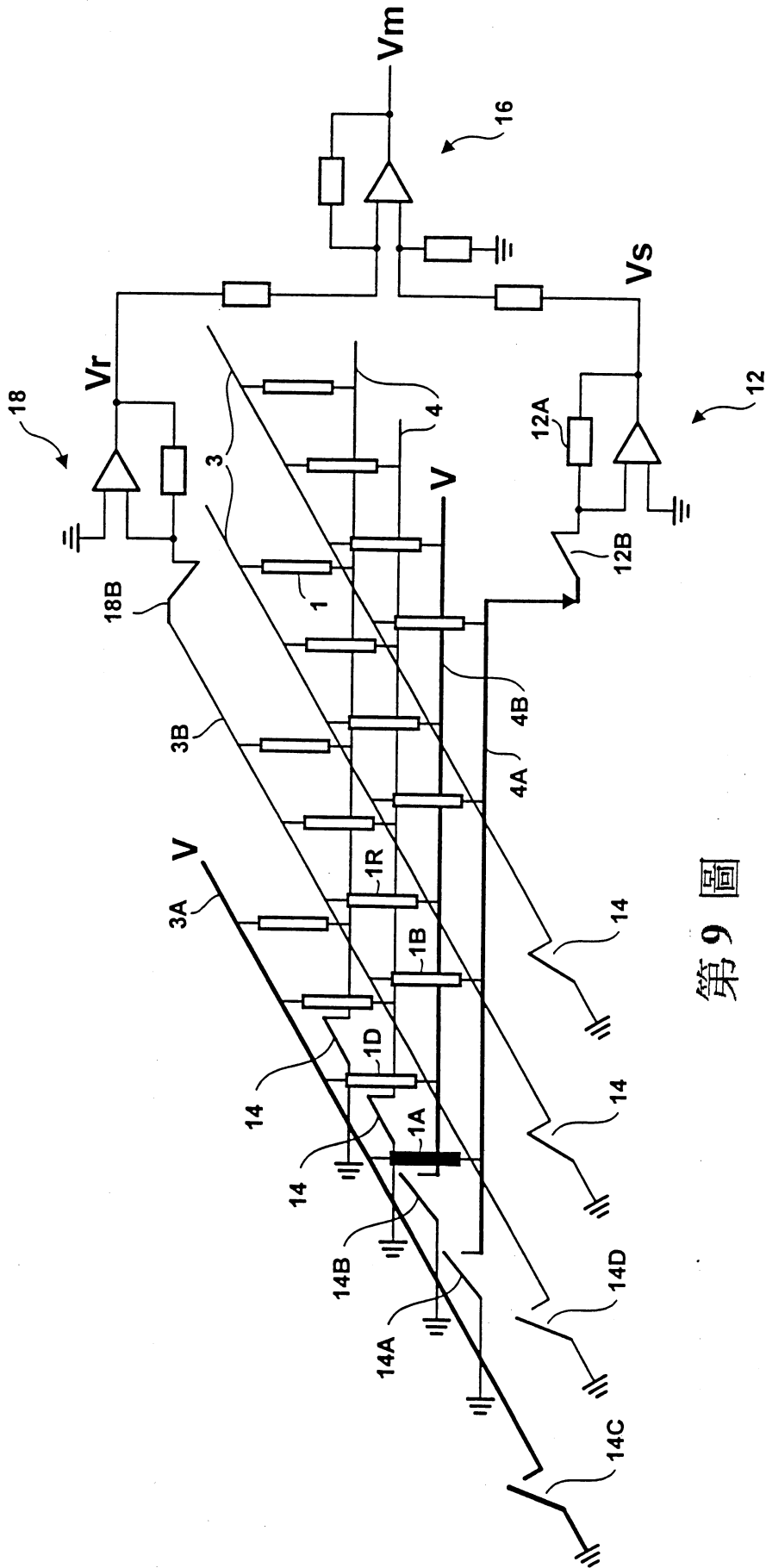
第 6 圖



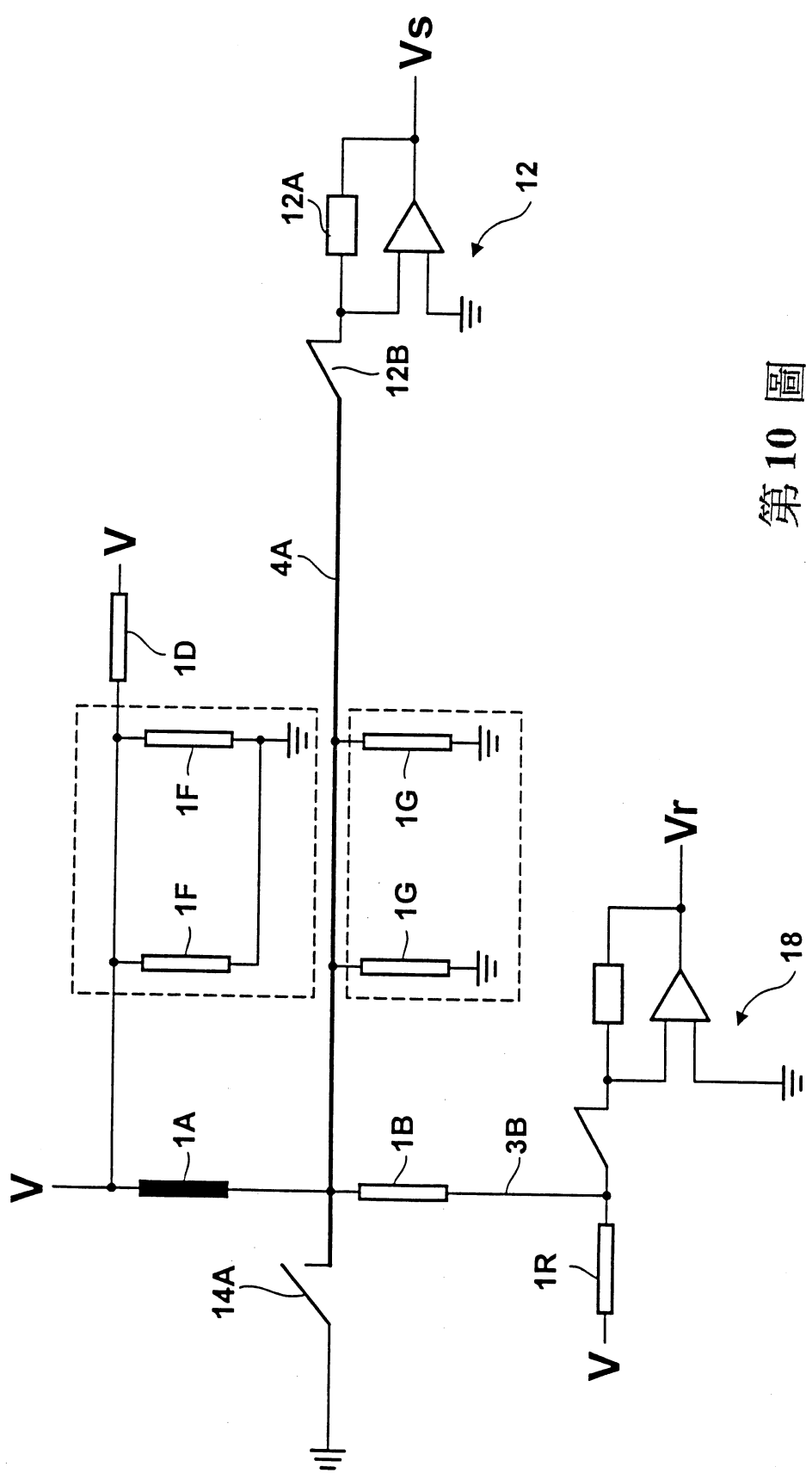
第7圖



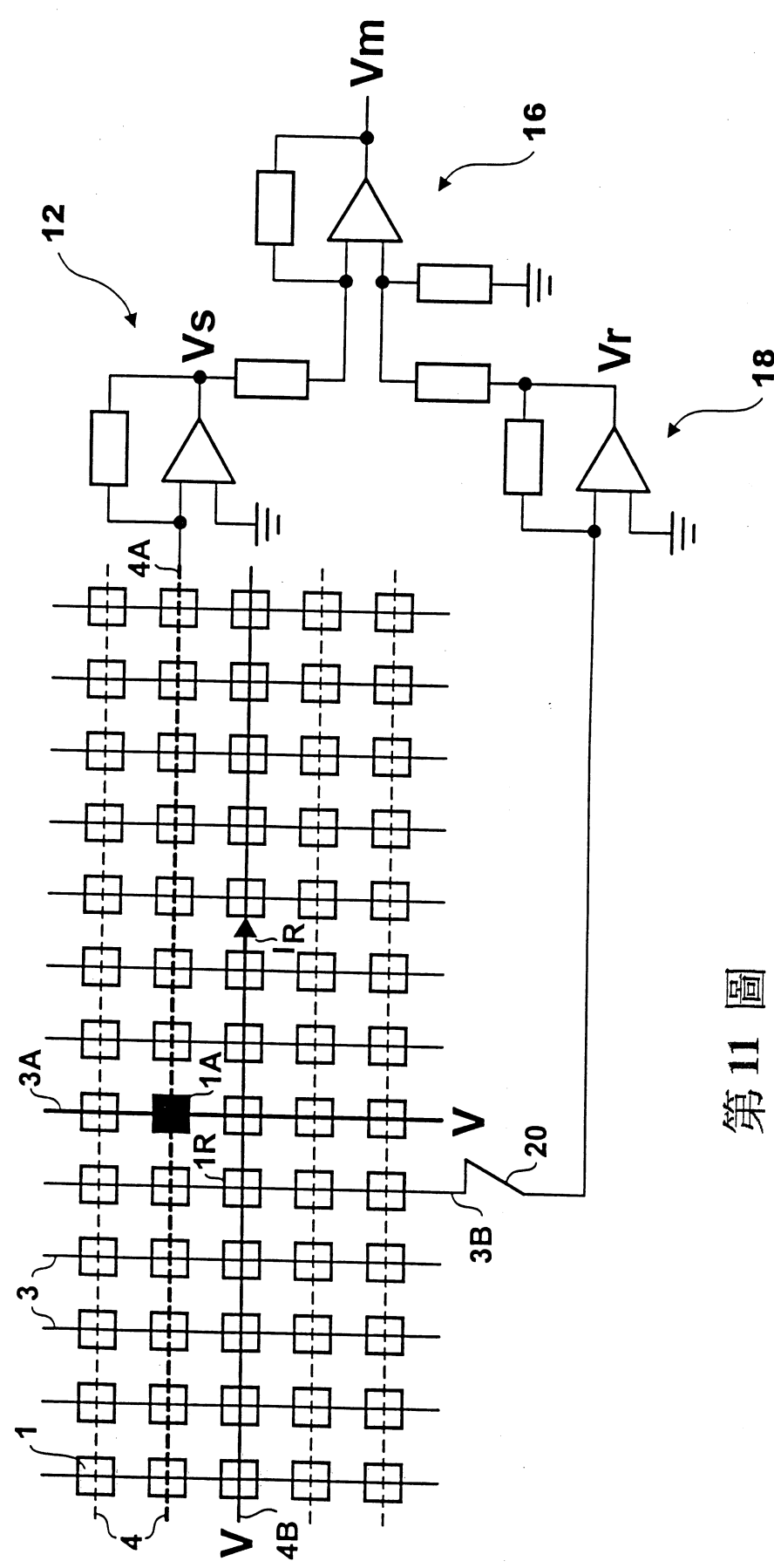
第 8 圖



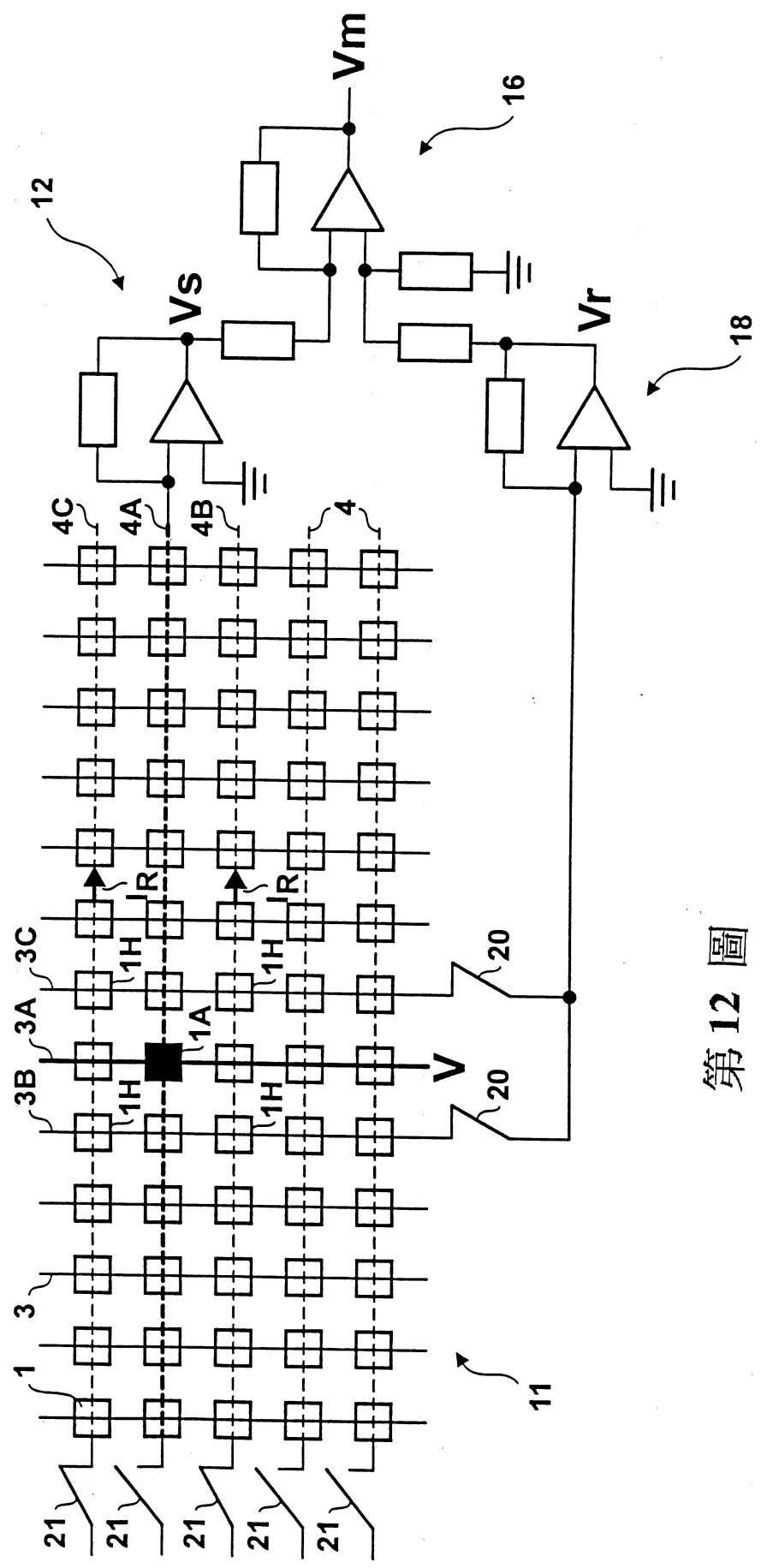
第9圖



第10圖



第 11 圖



第 12 圖