

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年3月9日(09.03.2023)



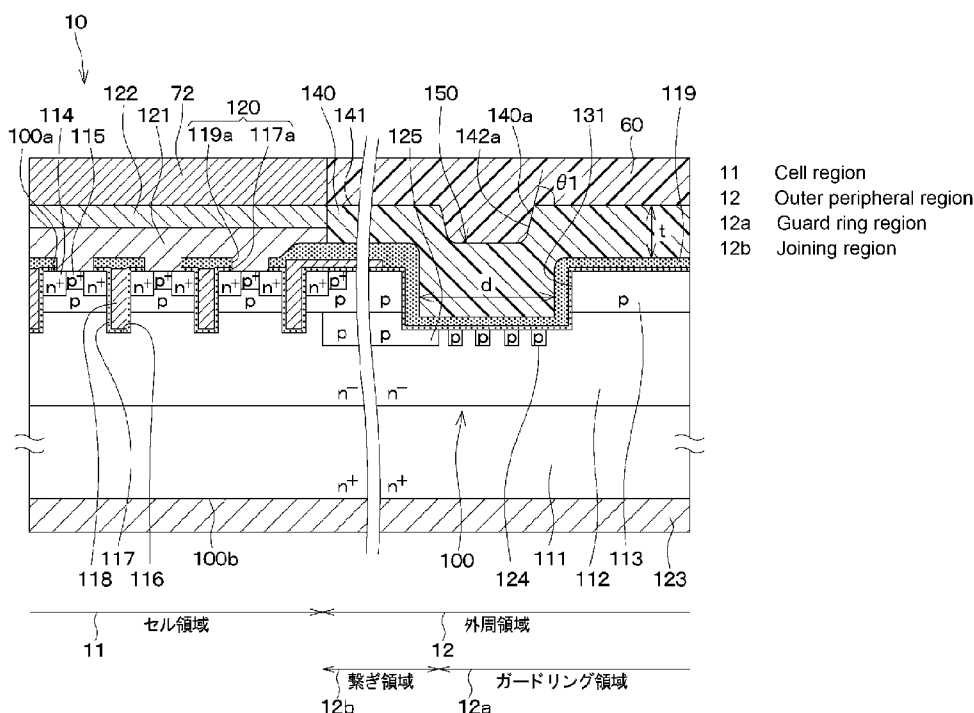
(10) 国際公開番号

WO 2023/033047 A1

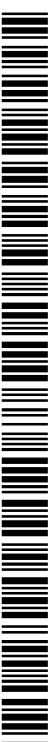
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/06 (2006.01)
H01L 21/336 (2006.01) H01L 29/12 (2006.01)
H01L 23/29 (2006.01) H01L 29/739 (2006.01)
H01L 23/31 (2006.01)
- (21) 国際出願番号: PCT/JP2022/032778
- (22) 国際出願日: 2022年8月31日(31.08.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-143928 2021年9月3日(03.09.2021) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 加藤 信之(KATO Nobuyuki); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP), 戸松 裕(TOMATSU Yutaka); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 弁理士法人ゆうあい特許事務所 (YOU-I PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目11番7号 伏見大島ビル8階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: In this semiconductor device in which a semiconductor chip (10) is sealed with a mold resin (60), the semiconductor chip (10) is configured to have a cell region (11) in which a semiconductor element is formed, and an outer peripheral region (12) surrounding the cell region (11). A protective film (140) is formed in the outer peripheral region on one surface (100a) side of a semiconductor substrate (100). Further, the protective film (140) has a surface roughness of 5 nm or more, for a surface (141) on the side opposite to the side of the semiconductor substrate (100). The surface



WO 2023/033047 A1

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

(141) is configured to have an uneven structure (150).

(57) 要約 : 半導体チップ (10) がモールド樹脂 (60) に封止された半導体装置において、半導体チップ (10) は、半導体素子が形成されるセル領域 (11) およびセル領域 (11) を囲む外周領域 (12) を有する構成とし、半導体基板 (100) の一面 (100a) 側には、外周領域 (12) に保護膜 (140) を形成する。そして、保護膜 (140) は、半導体基板 (100) 側と反対側の表面 (141) の表面粗さが5 nm以上とされていると共に、表面 (141) に凹凸構造 (150) が形成されるようにする。

明 細 書

発明の名称：半導体装置

関連出願への相互参照

[0001] 本出願は、2021年9月3日に出願された日本特許出願番号2021-143928号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、半導体チップがモールド樹脂で封止された半導体装置に関するものである。

背景技術

[0003] 従来より、半導体チップがモールド樹脂で封止された半導体装置が提案されている（例えば、特許文献1参照）。具体的には、この半導体装置では、支持部材上に半導体チップが配置されており、これら支持部材および半導体チップを封止するようにモールド樹脂が配置されている。なお、半導体チップは、セル領域およびセル領域を囲む外周領域を有し、セル領域に、例えば、MOSFET（Metal Oxide Semiconductor Field Effect Transistorの略）素子等が形成されて構成されている。

そして、この半導体装置では、支持部材に溝部が形成されており、モールド樹脂が溝部内に入り込むことによって支持部材からモールド樹脂が剥離することを抑制できるようにしている。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-216459号公報

発明の概要

[0005] しかしながら、上記のような半導体チップがモールド樹脂で封止されている半導体装置について本発明者らが検討したところ、モールド樹脂が半導体チップの外縁端部からも剥離する可能性があることが確認された。そして、

剥離が半導体チップの内縁部側に伸展すると、半導体素子の耐圧が変化したり、半導体チップと接続されるワイヤの断線等が発生する可能性がある。

[0006] 本開示は、モールド樹脂と半導体チップとの剥離が半導体チップの内縁部に到達することを抑制できる半導体装置を提供することを目的とする。

[0007] 本開示の1つの観点によれば、半導体装置は、一面を有する支持部材と、一面および他面を有すると共に半導体素子が形成された半導体基板を備え、他面側が支持部材と対向する状態で支持部材上に配置された半導体チップと、支持部材および半導体チップを封止するモールド樹脂と、を備え、半導体チップは、半導体素子が形成されるセル領域およびセル領域を囲む外周領域を有し、半導体基板の一面側には、外周領域に保護膜が形成されており、保護膜は、半導体基板側と反対側の表面の表面粗さが5 nm以上とされていると共に、表面に凹凸構造が形成されている。

[0008] これによれば、保護膜は、表面の表面粗さが5 nm以上とされている。このため、保護膜とモールド樹脂と密着強度が低下することを抑制でき、モールド樹脂が半導体チップから剥離することを抑制できる。

[0009] また、保護膜は、表面に凹凸構造が形成されている。このため、モールド樹脂が半導体チップの外縁端部から剥離した場合、当該剥離の伸展方向を凹凸構造によって変化させることができ、剥離を伸展させるための応力を低減できる。このため、剥離が半導体チップの内縁部に到達することを抑制できる。

[0010] なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

図面の簡単な説明

[0011] [図1]第1実施形態における半導体装置の断面図である。

[図2]図1中の半導体チップの平面図である。

[図3]図2中のIII-III線に沿った断面図である。

[図4]保護膜の表面粗さと保護膜の密着強度との関係を示す図である。

- [図5A]半導体チップの製造工程を示す断面図である。
- [図5B]図5 Aに続く半導体チップの製造工程を示す断面図である。
- [図5C]図5 Bに続く半導体チップの製造工程を示す断面図である。
- [図5D]図5 Cに続く半導体チップの製造工程を示す断面図である。
- [図5E]図5 Dに続く半導体チップの製造工程を示す断面図である。
- [図5F]図5 Eに続く半導体チップの製造工程を示す断面図である。
- [図5G]図5 Fに続く半導体チップの製造工程を示す断面図である。
- [図5H]図5 Gに続く半導体チップの製造工程を示す断面図である。
- [図6]第2実施形態における半導体チップの断面図である。
- [図7A]第2実施形態における半導体チップの製造工程を示す断面図である。
- [図7B]図7 Aに続く半導体チップの製造工程を示す断面図である。
- [図7C]図7 Bに続く半導体チップの製造工程を示す断面図である。
- [図7D]図7 Cに続く半導体チップの製造工程を示す断面図である。
- [図7E]図7 Dに続く半導体チップの製造工程を示す断面図である。
- [図7F]図7 Eに続く半導体チップの製造工程を示す断面図である。
- [図7G]図7 Fに続く半導体チップの製造工程を示す断面図である。
- [図7H]図7 Gに続く半導体チップの製造工程を示す断面図である。
- [図8]第3実施形態における半導体チップの断面図である。
- [図9A]第3実施形態における半導体チップの製造工程を示す断面図である。
- [図9B]図9 Aに続く半導体チップの製造工程を示す断面図である。
- [図9C]図9 Bに続く半導体チップの製造工程を示す断面図である。
- [図9D]図9 Cに続く半導体チップの製造工程を示す断面図である。
- [図9E]図9 Dに続く半導体チップの製造工程を示す断面図である。
- [図10]第4実施形態における半導体チップの断面図である。
- [図11A]第4実施形態における半導体チップの製造工程を示す断面図である。
- [図11B]図11 Aに続く半導体チップの製造工程を示す断面図である。
- [図12]第5実施形態における半導体チップの断面図である。
- [図13]第6実施形態における半導体チップの平面図である。

[図14]第7実施形態における半導体チップの平面図である。

[図15]第8実施形態における半導体チップの平面図である。

[図16]第9実施形態における半導体チップの平面図である。

[図17]他の実施形態における半導体装置の断面図である。

[図18]他の実施形態における半導体装置の断面図である。

発明を実施するための形態

[0012] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0013] (第1実施形態)

第1実施形態について、図面を参照しつつ説明する。なお、本実施形態の半導体装置は、例えば、自動車等の車両に搭載され、車両用の各種電子装置を駆動するための装置として適用されると好適である。

[0014] 図1に示されるように、本実施形態の半導体装置は、半導体チップ10、第1リードフレーム20、ブロック体30、第2リードフレーム40、制御端子部50等を備えている。また、半導体装置は、これらを一体的に封止するモールド樹脂60を備えている。なお、本実施形態では、第1リードフレーム20が支持部材に相当する。

[0015] 半導体チップ10は、具体的な構成については後述するが、図2に示されるように、セル領域11および外周領域12を有する構成とされている。そして、セル領域11には、図3に示されるように、ゲート電極118、ソース電極121、ドレイン電極123等を有するMOSFET素子が形成されている。また、外周領域12には、図2に示されるように、ゲート電極118等と接続されるパッド部13が形成されている。

[0016] 第1リードフレーム20は、銅や42アロイ等の導電性に優れた材料を用いて構成され、搭載部21および主端子部22が一体的に形成された形状とされている。そして、第1リードフレーム20は、搭載部21の一面21a側にはんだ等の接合部材71を介して半導体チップ10が搭載されている。

なお、搭載部 21 と主端子部 22 とは、別体として備えられていてもよい。

[0017] ブロック体 30 は、銅やアルミニウム等の導電性材料で構成された直方体状とされており、半導体チップ 10 のソース電極 121 上にはんだ等の接合部材 72 を介して配置されている。

[0018] 第 2 リードフレーム 40 は、第 1 リードフレーム 20 と同様に、銅や 42 アロイ等の導電性に優れた材料を用いて構成され、搭載部 41 および主端子部 42 が一体的に形成された形状とされている。そして、第 2 リードフレーム 40 は、搭載部 41 の一面 41 a 側がブロック体 30 上に配置されたはんだ等の接合部材 73 と接続されるように配置されている。なお、搭載部 41 と主端子部 42 とは、別体として備えられていてもよい。

[0019] 制御端子部 50 は、半導体チップ 10 の近傍に配置されており、半導体チップ 10 に形成されたパッド部 13 とワイヤ 80 を介して電氣的に接続されている。

[0020] モールド樹脂 60 は、エポキシ樹脂等の樹脂材料を用いて構成されている。そして、モールド樹脂 60 は、第 1 リードフレーム 20 における搭載部 21 の一面 21 a と反対側の他面 21 b、第 2 リードフレーム 40 における搭載部 41 の一面 41 a と反対側の他面 41 b が露出するように配置されている。また、モールド樹脂 60 は、各主端子部 22、42 および各制御端子部 50 の一部が露出するように配置されている。このため、本実施形態の半導体装置は、いわゆる両面放熱構造の半導体装置とされている。なお、モールド樹脂 60 は、熱膨張係数を調整するため、シリカ等の図示しない添加物が混入されて構成されていてもよい。

[0021] 以上が本実施形態における半導体装置の基本的な構成である。次に、本実施形態の半導体チップ 10 の構成について、図 2 および図 3 を参照しつつ具体的に説明する。なお、図 3 の半導体チップ 10 は、図 2 中の III-III 線に沿った断面図であるが、位置関係を把握し易くするため、接合部材 72 およびモールド樹脂 60 を部分的に示してある。また、後述する図 3 と対応する各図においても同様に、位置関係を把握し易くするため、接合部材 72 およ

びモールド樹脂60を部分的に示してある。

[0022] 半導体チップ10は、図2に示されるように、角部を有する平面形状とされており、本実施形態では矩形板状とされている。そして、半導体チップ10のセル領域11には、図3に示されるように、半導体素子として、トレンチゲート構造のMOSFET素子が形成されている。本実施形態の外周領域12は、ガードリング領域12aと、ガードリング領域12aよりも内側に配置される繋ぎ領域12bとを有する構成とされている。言い換えると、外周領域12は、ガードリング領域12aと、セル領域11とガードリング領域12aとの間に配置される繋ぎ領域12bとを有する構成とされている。

[0023] 半導体チップ10は、本実施形態では、半導体基板100としての炭化珪素（以下では、SiCともいう）基板を用いて構成されている。但し、半導体基板100は、SiC基板ではなく、シリコン基板や窒化ガリウム基板を用いて構成されていてもよい。

[0024] 本実施形態の半導体基板100は、SiCからなる高濃度不純物層を構成するn⁺型の基板111を有している。なお、この基板111は、MOSFET素子におけるドレイン領域を構成するものである。そして、基板111上には、基板111よりも低不純物濃度のSiCからなるn⁻型のドリフト層112がエピタキシャル成長させられている。ドリフト層112上には、p型のベース領域113がエピタキシャル成長させられている。なお、本実施形態では、ベース領域113がセル領域11から外周領域12に渡って形成されている。そして、セル領域11のベース領域113には、表層部にn⁺型のソース領域114が形成されている。以下、半導体基板100において、ベース領域113側の面を半導体基板100の一面100aとし、基板111側の面を半導体基板100の他面100bとして説明する。

[0025] 基板111は、例えば、n型不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ とされ、表面が(0001)Si面とされている。ドリフト層112は、基板111よりも低不純物濃度で構成され、例えば、n型不純物濃度が $0.5 \sim 2.0 \times 10^{16} / \text{cm}^3$ とされている。

- [0026] ベース領域113は、チャンネル領域が形成される部分であり、例えば、p型不純物濃度が $2.0 \times 10^{17} / \text{cm}^3$ 程度とされ、厚さが300nmで構成されている。ソース領域114は、ドリフト層112よりも高不純物濃度とされ、例えば、表層部におけるn型不純物濃度が $2.5 \times 10^{18} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、厚さが0.5 μm 程度で構成されている。
- [0027] また、セル領域11には、ベース領域113の表層部にp型高濃度層によって構成されるコンタクト領域115が形成されている。具体的には、このコンタクト領域115は、ソース領域114を挟んで後述するトレンチ116と反対側に形成されている。
- [0028] そして、セル領域11には、半導体基板100の一面100a側からベース領域113およびソース領域114を貫通してドリフト層112に達するように、例えば、幅が0.8 μm 、深さが1.0 μm のトレンチ116が形成されている。言い換えると、ベース領域113およびソース領域114は、トレンチ116の側面と接するように配置されている。トレンチ116は、本実施形態では、図3中の紙面左右方向を幅方向、紙面垂直方向を長手方向、紙面上下方向を深さ方向とし、複数本が平行に等間隔に形成されている。つまり、本実施形態のトレンチ116は、ドリフト層112とベース領域113との積層方向（以下では、単に積層方向ともいう）と交差する方向、詳しくは直交する方向に延設されている。言い換えると、複数のトレンチ116は、基板111の面方向における一方向に沿って延設されている。そして、トレンチ116は、延設方向の先端部で引き回されることで環状構造とされている。なお、トレンチ116は、複数本が平行に等間隔で形成されたストライプ状とされていてもよい。
- [0029] トレンチ116は、ゲート絶縁膜117およびゲート電極118によって埋め尽くされている。具体的には、ベース領域113のうちのトレンチ116の側面に位置している部分を、MOSFET素子の作動時にソース領域114とドリフト層112との間を繋ぐチャンネル領域とすると、チャンネル領域を含むトレンチ116の内壁面にゲート絶縁膜117が形成されている。ゲ

ート絶縁膜 117 は、例えば、熱酸化膜等によって構成されている。そして、ゲート絶縁膜 117 の表面には、ドーパドポリシリコンにて構成されたゲート電極 118 が形成されている。

[0030] なお、ゲート絶縁膜 117 は、トレンチ 116 の内壁面以外の表面にも形成されている。具体的には、ゲート絶縁膜 117 は、半導体基板 100 の一面 100 a の一部も覆うように形成されている。より詳しくは、ゲート絶縁膜 117 は、ソース領域 114 の表面の一部も覆うように形成されている。そして、ゲート絶縁膜 117 には、ゲート電極 118 が配置される部分と異なる部分において、コンタクト領域 115 およびソース領域 114 の残部を露出させるコンタクトホール 117 a が形成されている。

[0031] また、ゲート絶縁膜 117 は、外周領域 12 におけるベース領域 113 の表面等にも形成されており、後述する窪み部 131 の表面にも形成されている。ゲート電極 118 は、外周領域 12 の繋ぎ領域 12 b におけるゲート絶縁膜 117 の表面上まで延設されている。以上のようにして、本実施形態のトレンチゲート構造が構成されている。

[0032] そして、半導体基板 100 の一面 100 a 上には、ゲート電極 118 やゲート絶縁膜 117 等を覆うように、層間絶縁膜 119 が形成されている。なお、層間絶縁膜 119 は、BPSG (Borophosphosilicate Glass の略) 等で構成されている。

[0033] 層間絶縁膜 119 には、コンタクトホール 117 a と連通してソース領域 114 およびコンタクト領域 115 を露出させるコンタクトホール 119 a が形成されている。また、図 3 とは別断面において、層間絶縁膜 119 には、ゲート電極 118 のうちの繋ぎ領域 12 b まで延設された部分を露出させるコンタクトホールも形成されている。

[0034] なお、層間絶縁膜 119 に形成されたコンタクトホール 119 a は、ゲート絶縁膜 117 に形成されたコンタクトホール 117 a と連通するように形成されており、当該コンタクトホール 117 a と共に 1 つのコンタクトホールとして機能する。このため、以下では、コンタクトホール 117 a および

コンタクトホール119aを纏めてコンタクトホール120ともいう。また、コンタクトホール120のパターンは、任意であり、例えば複数の正方形のものを配列させたパターン、長方形のライン状のものを配列させたパターン、または、ライン状のものを並べたパターン等が採用される。本実施形態では、コンタクトホール120は、トレンチ116の長手方向に沿ったライン状とされている。

[0035] 層間絶縁膜119上には、コンタクトホール120を通じてソース領域114およびコンタクト領域115と電氣的に接続されるソース電極121が形成されている。また、層間絶縁膜119上には、図3とは別断面において、ゲート電極118を露出させるコンタクトホールを通じてゲート電極118と電氣的に接続されるゲート配線が形成されている。そして、このゲート配線は、適宜引き回され、図2に示すパッド部13のうちの1つと電氣的に接続されている。なお、ソース電極121は、セル領域11の全体に形成されており、面積がパッド部13よりも十分に大きくされている。

[0036] ソース電極121およびゲート配線は、例えば、Al-Si層等で構成される。但し、ソース電極121およびゲート配線を構成する材料は、これに限定されるものではなく、Alのみで構成されたり、Alを主成分とする他の材料で構成されていてもよい。そして、ソース電極121は、本実施形態では、セル領域11と外周領域12との境界部分まで形成されている。

[0037] ソース電極121上には、外部との接続を図る際のはんだ濡れ性を向上させるためのメッキ層122が形成されている。例えば、このメッキ層122は、ソース電極121側からニッケルメッキ層および金メッキ層が順に積層されて構成される。

[0038] 基板111の裏面（すなわち、半導体基板100の他面100b）側には、基板111と電氣的に接続され、第2電極に相当するドレイン電極123が形成されている。このような構造により、nチャネルタイプの反転型のトレンチゲート構造のMOSFET素子が構成されている。

[0039] なお、半導体チップ10には、詳細な説明はしないが、電流センスや温度

センス等も適宜形成されている。そして、これらの各センスは、図1に示す各パッド部13と適宜電氣的に接続される。

[0040] また、外周領域12では、半導体基板100の一面100a側からドリフト層112に達する窪み部131が形成されている。本実施形態では、窪み部131は、繋ぎ領域12bからガードリング領域12aに渡って形成されており、トレンチ116と同じ深さとされている。また、本実施形態の窪み部131は、対向する側面を有するように、一部が窪まされて形成されている。つまり、本実施形態の窪み部131は、外周領域12の内部に形成されており、半導体チップ10の外縁端部まで達するようには形成されていない。

[0041] そして、ガードリング領域12aでは、窪み部131の下方に位置するドリフト層112の表層部に、セル領域11を囲むように、複数本のp型のガードリング124が備えられている。本実施形態では、ガードリング124の上面レイアウトは、積層方向から見たとき、四隅が丸められた四角形状や円形状等とされている。

[0042] なお、本実施形態のガードリング124は、例えば、後述するようにイオン注入によって形成される。また、積層方向から視るとは、言い換えると、基板111の面方向に対する法線方向から視ることである。また、ガードリング領域12aは、図示していないが、必要に応じてガードリング124よりも外周にEQR (Equi Potential Ringの略) 構造等が備えられていてもよい。

[0043] 繋ぎ領域12bには、ドリフト層112の表層部にp型のリサーフ層125が形成されている。例えば、リサーフ層125は、積層方向から見たとき、セル領域11の周りを囲みつつ、ガードリング領域12aに至るように延設されている。これにより、等電位線をガードリング領域12a側に導くことができ、繋ぎ領域12b内で電界集中が発生することを抑制できる。したがって、耐圧が低下することを抑制できる。

[0044] そして、上記のように、ゲート絶縁膜117および層間絶縁膜119は、

外周領域 12 まで形成されており、外周領域 12 のうちの窪み部 131 が形成されている部分では窪み部 131 の壁面に沿って形成されている。但し、ゲート絶縁膜 117 および層間絶縁膜 119 は、窪み部 131 を埋め込まないように形成されている。

[0045] また、半導体基板 100 の一面 100 a 側には、メッキ層 122 を露出させるように形成された保護膜 140 が形成されている。言い換えると、半導体基板 100 の一面 100 a 側には、繋ぎ領域 12 b およびガードリング領域 12 a に保護膜 140 が形成されている。なお、保護膜 140 は、ポリイミドや窒化膜等によって構成される。

[0046] そして、本実施形態の保護膜 140 は、半導体基板 100 側と反対側の面を表面 141 とすると、モールド樹脂 60 との密着性を向上できるように、表面 141 の表面粗さ R a が 5 nm 以上とされている。すなわち、図 4 に示されるように、保護膜 140 は、表面粗さ R a が 5 nm 未満の範囲では、表面粗さ R a が大きくなるほどモールド樹脂 60 との密着強度が高くなる。しかしながら、保護膜 140 は、表面粗さ R a が 5 nm 以上となるとモールド樹脂 60 との密着強度がほぼ変化しない。したがって、保護膜 140 は、表面粗さ R a が 5 nm 以上とされている。なお、図 4 は、保護膜 140 をポリイミドで構成した場合の結果を示しているが、保護膜 140 を窒化膜等で構成した場合も同様の結果となる。また、保護膜 140 の表面粗さ R a は、例えば、ブラスト処理等を行うことによって調整される。

[0047] そして、保護膜 140 には、半導体基板 100 と反対側の表面 141 に凹凸構造 150 が形成されている。本実施形態では、保護膜 140 には、窪み部 131 上に位置する部分に窪み部 131 に応じた凹部 140 a が形成されることによって凹凸構造 150 が形成されている。また、本実施形態の凹凸構造 150 は、図 2 に示されるように、セル領域 11 およびパッド部 13 を囲むように、半導体チップ 10 の外縁端部に沿って枠状に形成されている。そして、モールド樹脂 60 は、凹部 140 a 内に入り込むようにして配置される。

[0048] なお、本実施形態の凹部140aは、窪み部131上に保護膜140を形成することで形成される。このため、窪み部131、窪み部131上に形成されるゲート絶縁膜117および層間絶縁膜119は、保護膜140を形成した際に凹部140aが消失することを抑制できるように形成される。例えば、窪み部131の相対する側面上に形成される層間絶縁膜119の間隔を d とし、保護膜140の厚さを t とすると、 $d \geq 2t$ となるように、窪み部131の大きさ、ゲート絶縁膜117および層間絶縁膜119の厚さが調整されると好ましい。また、凹部140aは、例えば、深さが $1\mu\text{m}$ 程度とされる。

[0049] 本実施形態の半導体装置では、半導体チップ10がこのような構成とされていることにより、半導体チップ10からモールド樹脂60が剥離した際、当該剥離が内縁部側に位置するソース電極121等に到達することを抑制できる。すなわち、半導体チップ10からモールド樹脂60が剥離する場合、この剥離は、保護膜140とモールド樹脂60との界面における外縁端部から発生し易い。そして、この剥離は、保護膜140とモールド樹脂60との界面に沿って伸展し易い。しかしながら、本実施形態の半導体装置では、凹凸構造150が形成されているため、剥離が凹凸構造150に到達すると、剥離の伸展方向が変化する。このため、剥離の伸展を抑制でき、剥離がソース電極121等に到達することを抑制できる。

[0050] この場合、凹部140aは、表面141と当該凹部140aの側面142aとの成す角度 θ_1 が 45° 以上とされることが好ましい。すなわち、剥離が外縁端部から凹部140aに到達した場合、剥離に影響する応力は、伸展方向に沿ってそのまま進む方向への応力と、保護膜140とモールド樹脂60との界面に沿った方向への応力に分散される。このため、成す角度 θ_1 を 45° 以上とすることにより、剥離の伸展方向に沿って進む方向の応力より、保護膜140とモールド樹脂60との界面に沿った方向の応力を大きくし易くなる。したがって、剥離に影響する半分以上の応力の伝搬方向を変化させ易くなり、剥離がソース電極121等に到達することをさらに抑制できる。

- 。
- [0051] 以上が本実施形態における半導体チップ10および半導体装置の構成である。次に、上記半導体チップ10の製造方法について、図5A～図5Hを参照しつつ説明する。
- [0052] まず、図5Aに示されるように、基板111上にドリフト層112およびベース領域113を形成して半導体基板100を構成する。なお、ドリフト層112およびベース領域113は、例えば、基板111の表面側にエピタキシャル成長等を行うことによって形成される。
- [0053] 次に、図5Bに示されるように、半導体基板100の一面100a側に図示しないマスクを配置してイオン注入等を行うことにより、ソース領域114およびコンタクト領域115を順に形成する。
- [0054] 続いて、図5Cに示されるように、半導体基板100の一面100a側に図示しないマスクを配置して異方性エッチング等を行うことにより、トレンチ116および窪み部131を形成する。本実施形態では、このようにトレンチ116および窪み部131を同じ工程で形成するため、トレンチ116と窪み部131とが同じ深さとなる。但し、トレンチ116と窪み部131とを別工程で形成し、トレンチ116と窪み部131との深さが異なるようにしてもよい。
- [0055] その後、図5Dに示されるように、熱酸化等により、トレンチ116の壁面、半導体基板100の一面100a、および窪み部131の壁面にゲート絶縁膜117を形成する。そして、CVD (chemical vapor depositionの略) 法やパターニング等を行って上記ゲート電極118を形成する。なお、ゲート電極118は、上記のように、繋ぎ領域12bまで延設される。
- [0056] 次に、図5Eに示されるように、半導体基板100の一面100a側に図示しないマスクを配置してイオン注入等を行うことにより、ガードリング124およびリサーフ層125を形成する。
- [0057] その後、図5Fに示されるように、CVD法等によって層間絶縁膜119を形成する。そして、層間絶縁膜119上に図示しないマスクを配置して異

方性エッチング等を行うことにより、コンタクトホール120を形成する。そして、図5Gに示されるように、CVD法やパターニング等によってソース電極121を形成する。

[0058] 続いて、図5Hに示されるように、CVD法やパターニング等によって保護膜140を形成する。この際、保護膜140を窪み部131上に形成するため、保護膜140には、表面141に窪み部131に起因した凹部140aが形成され、凹部140aによる凹凸構造150が形成される。なお、凹部140aは、上記のように表面141と側面142aとの成す角度 θ_1 が 45° 以上となるように形成されることが好ましい。すなわち、保護膜140を成膜する際の条件や、凹部140aの形状、ゲート絶縁膜117や層間絶縁膜119の厚さ等は、成す角度 θ_1 が 45° 以上となるように調整されることが好ましい。

[0059] その後は特に図示しないが、半導体基板100の他面100b側にドレイン電極123等を形成することにより、上記半導体チップ10が製造される。

[0060] 以上説明した本実施形態によれば、保護膜140は、表面141の表面粗さが5nm以上とされている。このため、保護膜140とモールド樹脂60と密着強度が低下することを抑制でき、モールド樹脂60が半導体チップ10から剥離することを抑制できる。

[0061] また、保護膜140は、表面141に凹凸構造150が形成されている。このため、モールド樹脂60が半導体チップ10の保護膜140における外縁端部から剥離した場合、当該剥離の伸展方向を凹凸構造150によって変化させることができ、剥離を伸展させるための応力を低減できる。このため、剥離が半導体チップ10の内縁部まで伸展することを抑制できる。そして、このように剥離が半導体チップ10の内縁部に到達することを抑制しているため、半導体基板100としてヤング率の高いSiC基板等を用いることもでき、半導体基板100の選択性の向上も図ることができる。

[0062] (1) 本実施形態では、半導体基板100の窪み部131を形成すること

で保護膜140の表面に凹部140aが形成されるようにしている。このため、容易な方法で保護膜140の表面141に凹部140aを形成することができる。

[0063] (2) 上記のような半導体装置では、モールド樹脂60が半導体チップ10から剥離する場合には、モールド樹脂60が半導体チップ10の外縁端部から剥離し易い。このため、本実施形態のように、凹凸構造150をセル領域11およびパッド部13を囲むように形成することにより、凹凸構造150は、剥離の起点と、ソース電極121やパッド部13との間に形成される。したがって、凹凸構造150によって剥離がソース電極121やパッド部13に到達することを効果的に抑制できる。

[0064] (2) 本実施形態では、凹部140aは、表面141と側面142aとの成す角度 θ_1 が 45° 以上とされている。これにより、剥離の伸展方向（すなわち、半導体基板100の面方向）に沿って進む方向の応力より、保護膜140とモールド樹脂60との界面に沿った方向の応力を大きくし易くなる。したがって、剥離が半導体チップ10の内縁部側に到達することをさらに抑制できる。

[0065] (第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対し、凹部140aの構成を変更したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

[0066] 本実施形態の半導体チップ10は、図6に示されるように、半導体基板100に窪み部131およびリサーフ層125が形成されていない。そして、ガードリング124は、半導体基板100の一面100a側から形成されている。

[0067] また、半導体チップ10には、ガードリング124よりも外縁部側において、半導体基板100の一面100a上に形成されたゲート絶縁膜117上にストッパ配線160が形成されている。なお、本実施形態のストッパ配線160は、他の電極等と電氣的に接続されておらず、浮遊電位とされている。

。つまり、本実施形態のストップ配線160は、ダミー配線で構成されている。また、本実施形態のストップ配線160は、ゲート電極118と同じ材料を用いて構成されている。そして、本実施形態では、ストップ配線160がストップ部材に相当する。

[0068] 層間絶縁膜119は、ストップ配線160を覆う部分に、ストップ配線160の一部を露出させる開口部119bが形成されている。なお、本実施形態の開口部119bは、後述するように、コンタクトホール120と同時に形成される。

[0069] 保護膜140は、上記のように層間絶縁膜119上に配置されている。そして、保護膜140は、層間絶縁膜119の開口部119bを埋め込むように配置されており、表面141側に開口部119bに依存した凹部140aが形成されている。

[0070] なお、本実施形態では、開口部119bがガードリング124よりも外縁部側に形成されるため、凹部140aもガードリング124よりも外縁端部側に形成される。このため、凹凸構造150は、ガードリング124を四隅が丸められた形状としている場合、積層方向において、丸められることでガードリング124が配置されていない部分を含んで配置されるようにすることが好ましい。これにより、半導体チップ10が大型化することを抑制できる。

[0071] 以上が本実施形態における半導体チップ10の構成である。次に、上記半導体チップ10の製造方法について、図7A~図7Hを参照しつつ説明する。

[0072] 本実施形態では、図7Aに示されるように、ドリフト層112を有する半導体基板100を用意する。そして、図7Bに示されるように、図示しないマスクを配置してイオン注入等を行うことにより、ベース領域113、ソース領域114、コンタクト領域115、ガードリング124を順に形成する。

[0073] 続いて、図7Cに示されるように、上記図5Cの工程と同様の工程を行っ

てトレンチ 116 を形成する。但し、本実施形態では、窪み部 131 は形成しない。

[0074] 次に、図 7 D および図 7 E に示されるように、上記図 5 D の工程と同様の工程を行ってゲート絶縁膜 117 およびゲート電極 118 を順に形成する。なお、本実施形態では、図 7 E に示されるように、ゲート電極 118 をパターンニングして形成する際、ストッパ配線 160 を同時に形成する。このため、本実施形態のストッパ配線 160 は、ゲート電極 118 と同じ材料で構成される。

[0075] そして、図 7 F に示されるように、上記図 5 F の工程と同様の工程を行って層間絶縁膜 119 を形成すると共に層間絶縁膜 119 にコンタクトホール 120 を形成する。また、本実施形態では、ストッパ配線 160 を露出させる開口部 119 b も同時に形成する。この際、開口部 119 b を露出させる際のエッチングによって半導体基板 100 がエッチングされることをストッパ配線 160 によって抑制できる。つまり、本実施形態のストッパ配線 160 は、エッチングストッパとしても機能する。

[0076] 次に、図 7 G に示されるように、上記図 5 G の工程と同様の工程を行ってソース電極 121 を形成する。その後は、図 7 H に示されるように、上記図 5 H の工程と同様の工程を行って保護膜 140 を形成する。この際、保護膜 140 を開口部 119 b 上に形成するため、保護膜 140 には、表面 141 に開口部 119 b に起因した凹部 140 a が形成される。

[0077] その後は特に図示しないが、半導体基板 100 の他面 100 b 側にドレイン電極 123 等を形成することにより、上記半導体チップ 10 が製造される。

[0078] 以上説明した本実施形態によれば、保護膜 140 は表面粗さが 5 nm 以上とされていると共に表面 141 に凹凸構造 150 が形成されているため、上記第 1 実施形態と同様の効果を得ることができる。

[0079] (1) 本実施形態では、層間絶縁膜 119 に開口部 119 b を形成することによって保護膜 140 の表面に凹部 140 a が形成されるようにしている

。このように保護膜140の表面141に凹部140aを形成するようにしても、容易な方法で保護膜140の表面141に凹部140aを形成することができる。また、本実施形態では、開口部119bから露出するようにストッパ配線160が形成されている。このため、層間絶縁膜119に開口部119bを形成した際、半導体基板100がエッチングされることを抑制できる。なお、ストッパ配線160は、ゲート電極118と異なる材料を用いて構成されていてもよく、絶縁性の材料を用いて構成されていてもよい。

[0080] (2) 本実施形態では、ストッパ配線160は、ゲート電極118と同じ材料で構成され、ゲート電極118を形成する際に同時に形成される。そして、層間絶縁膜119の開口部119bは、コンタクトホール120を形成する際に同時に形成される。このため、製造工程が増加することを抑制しつつ、保護膜140の表面141に凹部140aを形成することができる。

[0081] (3) 本実施形態では、凹凸構造150は、ガードリング124よりも外縁部側に形成されている。このため、モールド樹脂60が半導体チップ10の外縁端部から剥離した際、早期に剥離の伸展を抑制することができる。

[0082] (第3実施形態)

第3実施形態について説明する。本実施形態は、第2実施形態に対し、凹部140aの構成を変更したものである。その他に関しては、第2実施形態と同様であるため、ここでは説明を省略する。

[0083] 本実施形態の半導体チップ10は、図8に示されるように、保護膜140の表面141に凹部140aが形成されているが、層間絶縁膜119に開口部119bは形成されていない。また、上記第2実施形態におけるストッパ配線160も配置されていない。

[0084] 以上が本実施形態における半導体チップ10の構成である。次に、上記半導体チップ10の製造方法について、図9A～図9Eを参照しつつ説明する。

[0085] 本実施形態では、上記図7A～図7Cの工程を行った後、図9Aに示されるように、上記図5Dの工程と同様の工程を行ってゲート絶縁膜117およ

びゲート電極 118 を形成する。但し、本実施形態では、ストップ配線 160 を形成しないようにゲート電極 118 を形成する。

[0086] 次に、図 9 B に示されるように、上記図 7 F の工程と同様の工程を行って層間絶縁膜 119 を形成すると共に層間絶縁膜 119 にコンタクトホール 120 を形成する。続いて、図 9 C に示されるように、上記図 7 G の工程と同様の工程を行ってソース電極 121 を形成する。

[0087] そして、図 9 D に示されるように、上記図 7 H の工程と同様の工程を行って保護膜 140 を形成する。なお、本実施形態では、開口部 119 b が形成されていないため、図 9 D の工程を行った後は、表面 141 が略平坦化されている。

[0088] 次に、図 9 E に示されるように、図示しないフォトリジストをマスクとして保護膜 140 をエッチングすることにより、保護膜 140 に凹部 140 a を形成する。その後は特に図示しないが、半導体基板 100 の他面 100 b 側にドレイン電極 123 等を形成することにより、上記半導体チップ 10 が製造される。

[0089] 以上説明した本実施形態によれば、保護膜 140 は表面粗さが 5 nm 以上とされていると共に表面 141 に凹凸構造 150 が形成されているため、上記第 1 実施形態と同様の効果を得ることができる。

[0090] (1) 本実施形態では、保護膜 140 の表面にエッチングによって凹部 140 a を形成している。このため、凹部 140 a の形状を調整し易くでき、表面 141 と側面 142 a との成す角度 $\theta 1$ の詳細な調整を行い易くできる。

[0091] (第 4 実施形態)

第 4 実施形態について説明する。本実施形態は、第 3 実施形態に対し、保護膜 140 の表面 141 に凸部を形成したものである。その他に関しては、第 3 実施形態と同様であるため、ここでは説明を省略する。

[0092] 本実施形態の半導体チップ 10 では、図 10 に示されるように、ガードリング 124 よりも外縁部側において、層間絶縁膜 119 上に凸部用配線 17

0が形成されている。なお、凸部用配線170は、他の電極等とは電氣的に接続されておらず、浮遊電位とされている。つまり、本実施形態の凸部用配線170は、ダミー配線で構成されている。また、本実施形態の凸部用配線170は、ソース電極121と同じ材料を用いて構成されている。そして、本実施形態では、凸部用配線170が凸部用部材に相当している。

[0093] 保護膜140は、上記のように層間絶縁膜119上に配置され、凸部用配線170も覆うように配置されている。このため、保護膜140には、表面141側に凸部用配線170に起因した凸部140bが形成される。なお、凸部140bは、上記第1実施形態と同様に、凸部140bの側面142bと表面141との成す角度 $\theta 2$ が 45° 以上となることが好ましい。また、本実施形態では、凸部140bによって凹凸構造150が構成される。

[0094] 以上が本実施形態における半導体チップ10の構成である。次に、上記半導体チップ10の製造方法について、図11A、図11Bを参照しつつ説明する。

[0095] 本実施形態では、上記図9Aおよび上記図9Bの工程を行った後、図11Aに示されるように、図9Cと同様の工程を行ってソース電極121を形成する。なお、本実施形態では、図11Aに示されるように、ソース電極121をパターニングして形成する際、凸部用配線170が残るようにする。このため、本実施形態の凸部用配線170は、ソース電極121と同じ材料で構成される。

[0096] 次に、図11Bに示されるように、上記図9Dの工程と同様の工程を行って保護膜140を形成する。この際、保護膜140を凸部用配線170上に形成するため、保護膜140には、表面141に凸部用配線170に起因した凸部140bが形成される。その後は特に図示しないが、半導体基板100の他面100b側にドレイン電極123等を形成することにより、上記半導体チップ10が製造される。

[0097] 以上説明した本実施形態によれば、保護膜140は表面粗さが5nm以上とされていると共に表面141に凹凸構造150が形成されているため、上

記第1実施形態と同様の効果を得ることができる。なお、本実施形態では、剥離は、凸部140bによって応力方向が変化させられる。

[0098] (1) 本実施形態では、層間絶縁膜119上に凸部用配線170を形成することによって保護膜140の表面に凸部140bが形成されるようにしている。このように保護膜140の表面に凸部140bを形成するようにしても、容易な方法で保護膜140の表面141に凸部140bを形成することができる。

[0099] (2) 本実施形態では、凸部用配線170は、ソース電極121と同じ材料で構成され、ソース電極121を形成する際に同時に形成される。このため、製造工程が増加することを抑制しつつ、保護膜140の表面141に凸部140bを形成することができる。

[0100] (第4実施形態の変形例)

上記第4実施形態の変形例について説明する。上記第4実施形態において、凸部用配線170は、ソース電極121と同じ材料で構成されていなくてもよく、他の配線と同じ材料で構成されるようにしてもよい。例えば、凸部用配線170は、EQR構造を備える場合には、EQR構造を構成する配線と同じ材料で構成されていてもよい。また、凸部用配線170（すなわち、凸部用部材）は、各配線と異なる材料で形成されていてもよく、絶縁性の材料で構成されていてもよい。

[0101] (第5実施形態)

第5実施形態について説明する。本実施形態は、第4実施形態に対し、凸部140bの構成を変更したものである。その他に関しては、第4実施形態と同様であるため、ここでは説明を省略する。

[0102] 本実施形態の半導体チップ10では、図12に示されるように、保護膜140の表面141に凸部140bが形成されているが、凸部用配線170は形成されていない。なお、本実施形態の凸部140bは、保護膜140の表面に突起部180が配置されることで構成される。

[0103] 例えば、この突起部180は、保護膜140を形成した後、ディスペンサ

や3Dプリンタ等によって凸形状となるように材料を塗布して硬化することで形成される。また、突起部180は、保護膜140と同じ材料で構成されていてもよいし、別の材料で構成されていてもよい。

[0104] 以上説明した本実施形態によれば、保護膜140は表面粗さが5nm以上とされていると共に表面141に凹凸構造150が形成されているため、上記第4実施形態と同様の効果を得ることができる。

[0105] (第6実施形態)

第6実施形態について説明する。本実施形態は、第1実施形態に対し、凹凸構造150の形成場所を変更したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

[0106] 本実施形態の半導体チップ10では、図13に示されるように、凹凸構造150は、複数に分離されており、半導体チップ10の各角部の近傍に形成されている。具体的には、凹凸構造150は、外周領域12において、半導体チップ10の角部とセル領域11およびパッド部13との間に配置されている。

[0107] なお、本実施形態の凹凸構造150の形成場所は、上記第2～第5実施形態に適用することも可能である。そして、ガードリング124を四隅が丸められた形状とする場合には、凹凸構造150は、積層方向において、丸められることでガードリング124が配置されない部分を含んで配置されるようにすることが好ましい。これにより、半導体チップ10が大型化することを抑制できる。

[0108] 以上説明した本実施形態によれば、保護膜140は表面粗さが5nm以上とされていると共に表面141に凹凸構造150が形成されているため、上記第1実施形態と同様の効果を得ることができる。

[0109] (1) 上記のような半導体装置では、モールド樹脂60が半導体チップ10から剥離する場合、モールド樹脂60が半導体チップ10の外縁端部から剥離し易いが、モールド樹脂60は特に半導体チップ10の角部から剥離し易い。このため、本実施形態のように、凹凸構造150を半導体チップ10

の角部とセル領域 1 1 およびパッド部 1 3 との間に配置することにより、凹凸構造 1 5 0 によって剥離がソース電極 1 2 1 およびパッド部 1 3 に到達することを効果的に抑制できる。

[0110] (第 7 実施形態)

第 7 実施形態について説明する。本実施形態は、第 1 実施形態に対し、凹凸構造 1 5 0 の形成場所を変更したものである。その他に関しては、第 1 実施形態と同様であるため、ここでは説明を省略する。

[0111] まず、上記のような半導体チップ 1 0 では、ソース電極 1 2 1 がパッド部 1 3 よりも十分に平面積が大きくされている。このため、モールド樹脂 6 0 が半導体チップ 1 0 から剥離し、剥離がパッド部 1 3 に到達した場合には、剥離がソース電極 1 2 1 に到達した場合よりも影響が大きくなる。

[0112] したがって、本実施形態の半導体チップ 1 0 では、図 1 4 に示されるように、凹凸構造 1 5 0 が各パッド部 1 3 を囲むように形成されている。

[0113] 以上説明した本実施形態によれば、保護膜 1 4 0 は表面粗さが 5 n m 以上とされていると共に表面 1 4 1 に凹凸構造 1 5 0 が形成されているため、上記第 1 実施形態と同様の効果を得ることができる。

[0114] (1) 本実施形態では、凹凸構造 1 5 0 がパッド部 1 3 を囲むように形成されている。このため、少なくとも剥離の影響が大きいパッド部 1 3 に剥離が到達することを抑制できる。また、パッド部 1 3 の周囲は、ワイヤボンディング装置の制約等によってスペースが広くされるため、このスペースに凹凸構造 1 5 0 を配置することで半導体チップ 1 0 が大型化することを抑制できる。

[0115] (第 8 実施形態)

第 8 実施形態について説明する。本実施形態は、第 7 実施形態に対し、凹凸構造 1 5 0 の形成場所を変更したものである。その他に関しては、第 7 実施形態と同様であるため、ここでは説明を省略する。

[0116] まず、上記のような半導体チップ 1 0 では、パッド部 1 3 とセル領域 1 1 とを繋ぐ配線が形成されるが、当該配線によってパッド部 1 3 を囲むように

凹凸構造150を形成し難くなる場合がある。このため、本実施形態の半導体チップ10では、図15に示されるように、凹凸構造150は、パッド部13を完全に囲むのではなく、パッド部13を略囲むように形成されている。本実施形態では、凹凸構造150は、パッド部13のうちのセル領域11側の部分を閉塞しないように略U字状に形成されている。言い換えると、凹凸構造150は、パッド部13とセル領域11とを結ぶ仮想線と交差しないように形成されている。但し、上記のようにモールド樹脂60が剥離する際には、半導体チップ10の角部から剥離が発生し易いため、凹凸構造150は、少なくともパッド部13と半導体チップ10との角部との間に形成されることが好ましい。

[0117] 以上説明した本実施形態によれば、保護膜140は表面粗さが5nm以上とされていると共に表面141に凹凸構造150が形成されているため、上記第1実施形態と同様の効果を得ることができる。

[0118] (1) 本実施形態のように、パッド部13が完全に凹凸構造150に囲まれないようにしても、凹凸構造150によって剥離がパッド部13に到達することを抑制できるため、上記第7実施形態と同様の効果を得ることができる。また、パッド部13が完全に凹凸構造150に囲まれないようにすることにより、囲まれていない部分を通じて接続配線を配置し易くなり、設計の自由度の向上を図ることができる。

[0119] (第9実施形態)

第9実施形態について説明する。本実施形態は、第8実施形態に対し、凹凸構造150の形成場所を変更したものである。その他に関しては、第8実施形態と同様であるため、ここでは説明を省略する。

[0120] 本実施形態の半導体チップ10では、図16に示されるように、凹凸構造150は、パッド部13と半導体チップ10の外縁端部との間に配置されている。

[0121] 以上説明した本実施形態によれば、保護膜140は表面粗さが5nm以上とされていると共に表面141に凹凸構造150が形成されているため、上

記第1実施形態と同様の効果を得ることができる。

[0122] (1) 本実施形態のように、パッド部13と半導体チップ10の外縁端部との間に凹凸構造150を形成するようにしても、凹凸構造150によって剥離がパッド部13に到達することを抑制できるため、上記第8実施形態と同様の効果を得ることができる。

[0123] (他の実施形態)

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0124] 例えば、上記各実施形態において、半導体チップ10に形成される半導体素子は適宜変更可能である。具体的には、半導体素子は、nチャネルタイプに対して各構成要素の導電型を反転させたpチャネルタイプのトレンチゲート構造のMOSFETとされていてもよい。さらに、半導体素子は、MOSFET以外に、同様の構造のIGBTが形成された構成とされていてもよい。IGBTの場合、上記第1実施形態におけるn⁺型の基板111をp⁺型のコレクタ層に変更する以外は、上記第1実施形態で説明したMOSFETと同様である。さらに、ゲート構造は、トレンチゲート構造ではなく、プレーナゲート構造とされていてもよい。

[0125] さらに、上記各実施形態において、凹凸構造150は、半導体チップ10上の制約がない部分では、半導体チップ10の外縁端部に達するように形成されていてもよい。例えば、上記第1実施形態では、保護膜140の表面141に形成される凹部140aは、半導体チップ10の外縁端部に達するように形成され、対向する側面を有さない構成とされていてもよい。

[0126] また、上記各実施形態では、第1リードフレーム20および第2リードフレーム40を備え、第1リードフレーム20の他面21bおよび第2リードフレーム40の他面41bがモールド樹脂60から露出する半導体装置を例

に挙げて説明した。しかしながら、半導体装置の構成は、これに限定されるものではない。例えば、半導体装置は、半導体チップ10のドレイン電極123側からのみ放熱する片面放熱構造としてもよい。片面放熱構造とする場合、図17に示されるように、第2リードフレーム40の代わりに接続端子部91を半導体チップ10の近傍に配置し、ソース電極121がワイヤ81を介して接続端子部91と接続されるようにしてもよい。また、図18に示されるように、ソース電極121上に接合部材72を介して引出端子部92を配置し、引出端子部92の一部がモールド樹脂60から露出するようにしてもよい。また、特に図示しないが、半導体装置は、モールド樹脂60が第1リードフレーム20の他面21bおよび第2リードフレーム40の他面41bを覆うように配置された構成とされていてもよい。

[0127] そして、上記各実施形態を適宜組み合わせることもできる。例えば、上記第1実施形態において、上記第2～第5実施形態のように、凹凸構造150は、積層方向から視たとき、ガードリング124よりも外縁部側に形成されるようにしてもよい。また、上記第2～第5実施形態において、上記第1実施形態のように、ガードリング124上に凹凸構造150が形成されるようにしてもよい。そして、保護膜140には、上記第1～第3実施形態の凹部140aの少なくとも1つと、上記第4、第5実施形態の凸部140bの少なくとも1つが備えられるようにしてもよい。つまり、保護膜140に形成される凹凸構造150は、複数の異なる凹部140aや凸部140bを含んで構成されていてもよい。そして、上記第6～上記9実施形態の凹凸構造150の形成場所は、上記第1～第5実施形態に対して適宜適用可能である。

請求の範囲

- [請求項1] 半導体チップ（10）がモールド樹脂（60）に封止された半導体装置であって、
- 一面（21a）を有する支持部材（20）と、
 - 一面（100a）および他面（100b）を有すると共に半導体素子が形成された半導体基板（100）を備え、前記他面側が前記支持部材と対向する状態で前記支持部材上に配置された前記半導体チップと、
 - 前記支持部材および前記半導体チップを封止する前記モールド樹脂と、を備え、
 - 前記半導体チップは、前記半導体素子が形成されるセル領域（11）および前記セル領域を囲む外周領域（12）を有し、前記半導体基板の一面側には、前記外周領域に保護膜（140）が形成されており、
 - 前記保護膜は、前記半導体基板側と反対側の表面（141）の表面粗さが5nm以上とされていると共に、前記表面に凹凸構造（150）が形成されている半導体装置。
- [請求項2] 前記保護膜は、前記表面に前記凹凸構造を構成する凹部（140a）が形成されている請求項1に記載の半導体装置。
- [請求項3] 前記半導体基板は、前記一面のうちの前記外周領域に位置する部分に窪み部（131）が形成され、
- 前記保護膜は、前記窪み部に入り込むことで前記表面に前記凹部が形成されている請求項2に記載の半導体装置。
- [請求項4] 前記半導体基板の一面には、前記外周領域にストッパ部材（160）が形成されていると共に前記ストッパ部材を覆う層間絶縁膜（119）が形成されており、
- 前記層間絶縁膜には、前記ストッパ部材を露出させる開口部（119b）が形成され、

前記保護膜は、前記層間絶縁膜を覆う状態で配置され、前記開口部に入り込むことで前記表面に前記凹部が形成されている請求項2に記載の半導体装置。

[請求項5] 前記半導体素子は、ゲート電極（118）を有する構成とされ、前記ストッパ部材は、前記ゲート電極と同じ材料で構成されている請求項4に記載の半導体装置。

[請求項6] 前記保護膜は、前記表面に前記凹凸構造を構成する凸部（140b）が形成されている請求項1ないし5のいずれか1つに記載の半導体装置。

[請求項7] 前記半導体基板は、前記一面のうちの前記外周領域に位置する部分に凸部用部材（170）が形成され、前記保護膜は、前記凸部用部材を覆う状態で配置されることで前記表面に前記凸部が形成されている請求項6に記載の半導体装置。

[請求項8] 前記半導体基板のセル領域における一面上には、前記半導体素子と電気的に接続される電極（121）が形成され、前記凸部用部材は、前記電極と同じ材料で構成されている請求項7に記載の半導体装置。

[請求項9] 前記保護膜は、前記表面と、前記凹凸構造を構成する側面（142a、142b）との成す角度（ $\theta 1$ 、 $\theta 2$ ）が 45° 以上とされている請求項1ないし8のいずれか1つに記載の半導体装置。

[請求項10] 前記半導体チップは、前記外周領域に、前記セル領域を囲むガードリング（124）が形成されており、前記凹凸構造は、前記ガードリングより前記半導体チップの外縁端部側に形成されている請求項1ないし9のいずれか1つに記載の半導体装置。

[請求項11] 前記半導体チップは、平面形状が角部を有する形状とされており、前記凹凸構造は、前記角部と前記セル領域との間に配置されている請求項1ないし10のいずれか1つに記載の半導体装置。

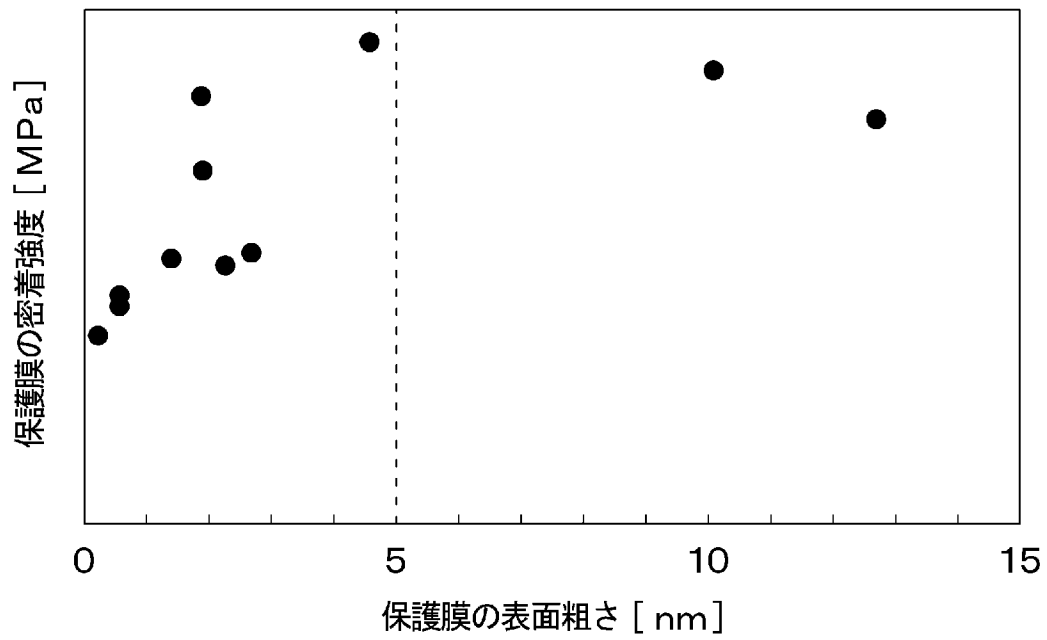
[請求項12] 前記半導体チップは、前記セル領域の前記一面側に前記半導体素子と電氣的に接続される電極（121）と、前記外周領域に前記半導体素子と電氣的に接続され、前記電極よりも面積が小さくされたパッド部（13）と、を有する構成とされ、

前記凹凸構造は、前記パッド部を囲むように形成されている請求項1ないし10のいずれか1つに記載の半導体装置。

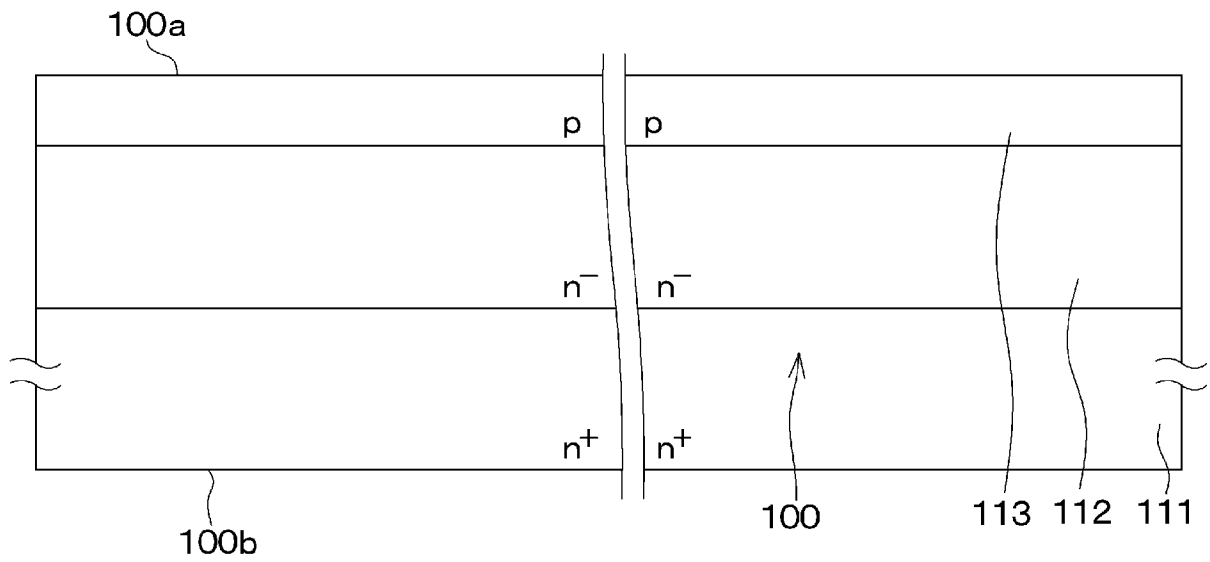
[請求項13] 前記半導体チップは、前記セル領域の前記一面側に前記半導体素子と電氣的に接続される電極（121）と、前記外周領域に前記半導体素子と電氣的に接続され、前記電極よりも面積が小さくされたパッド部（13）と、を有する構成とされ、

前記凹凸構造は、前記パッド部と前記半導体チップの外縁端部との間に形成されている請求項1ないし10のいずれか1つに記載の半導体装置。

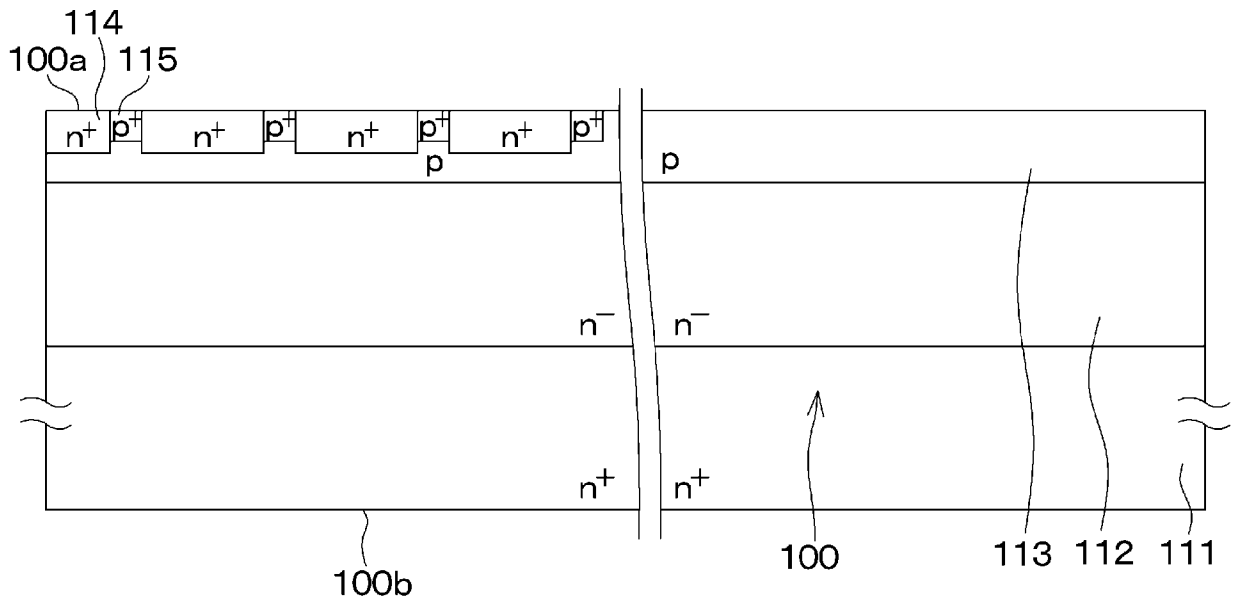
[図4]



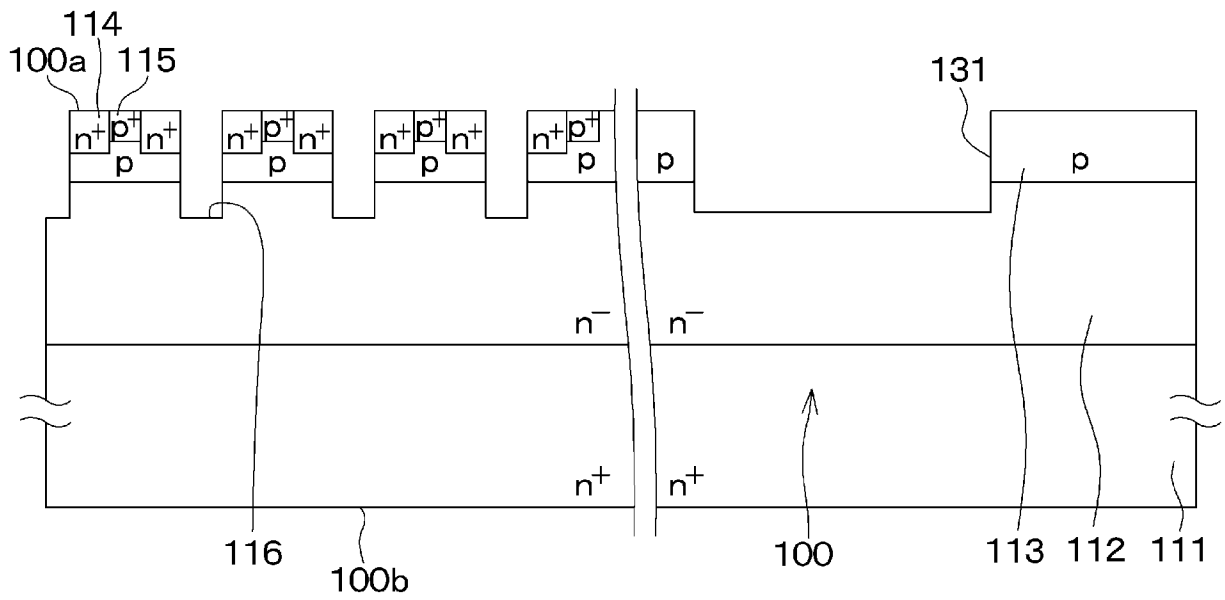
[図5A]



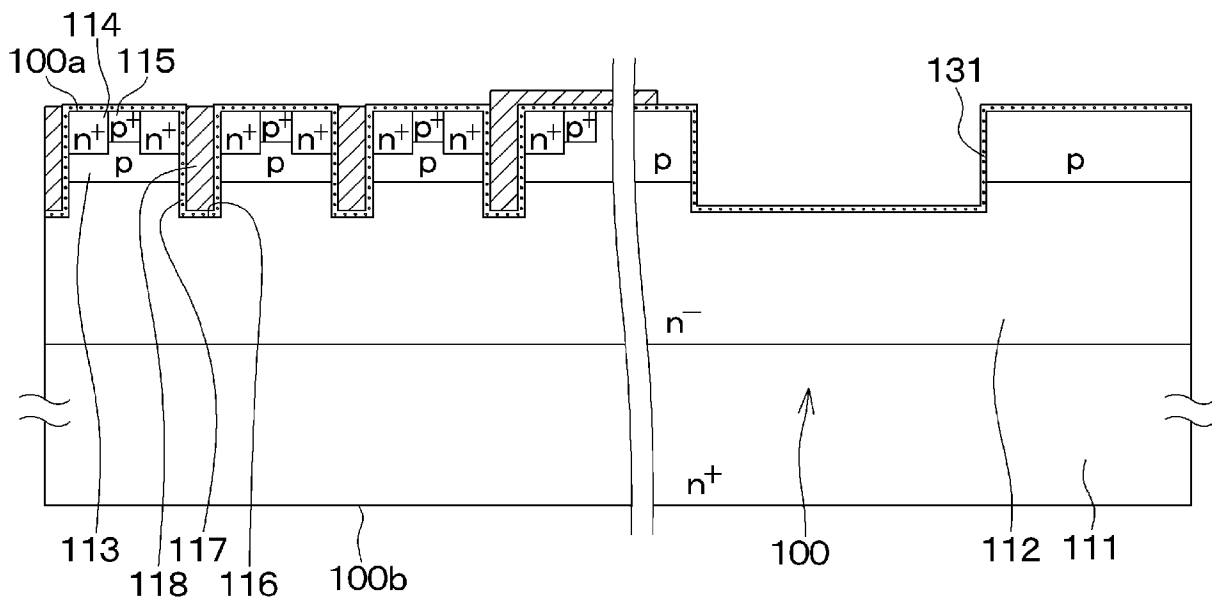
[図5B]



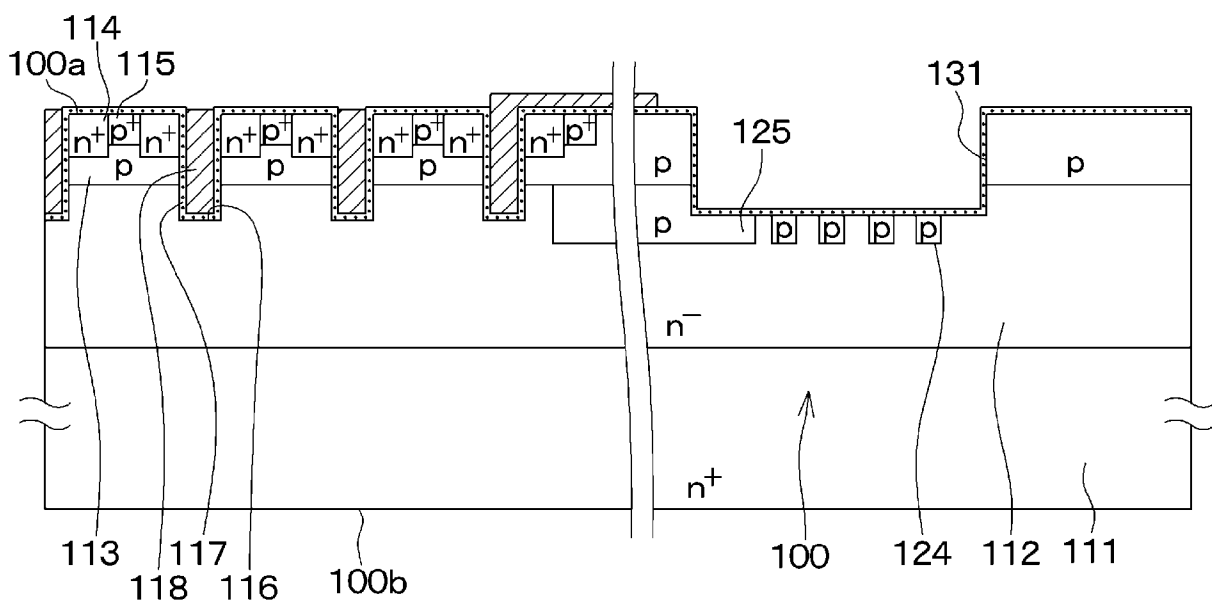
[図5C]



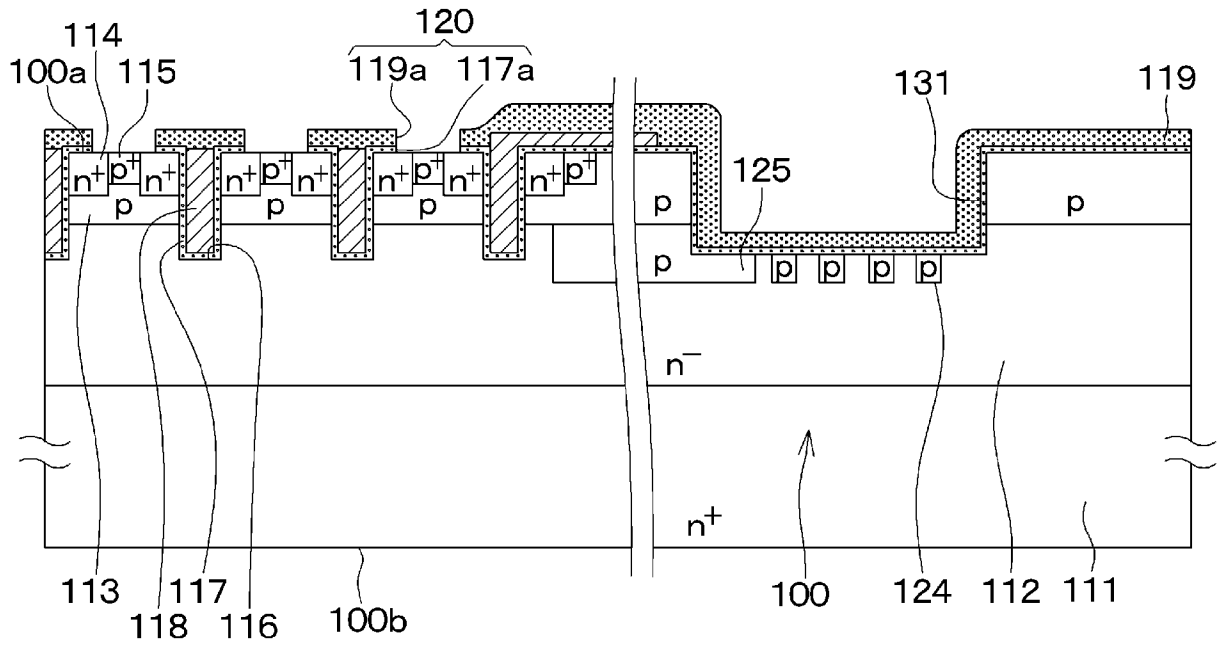
[図5D]



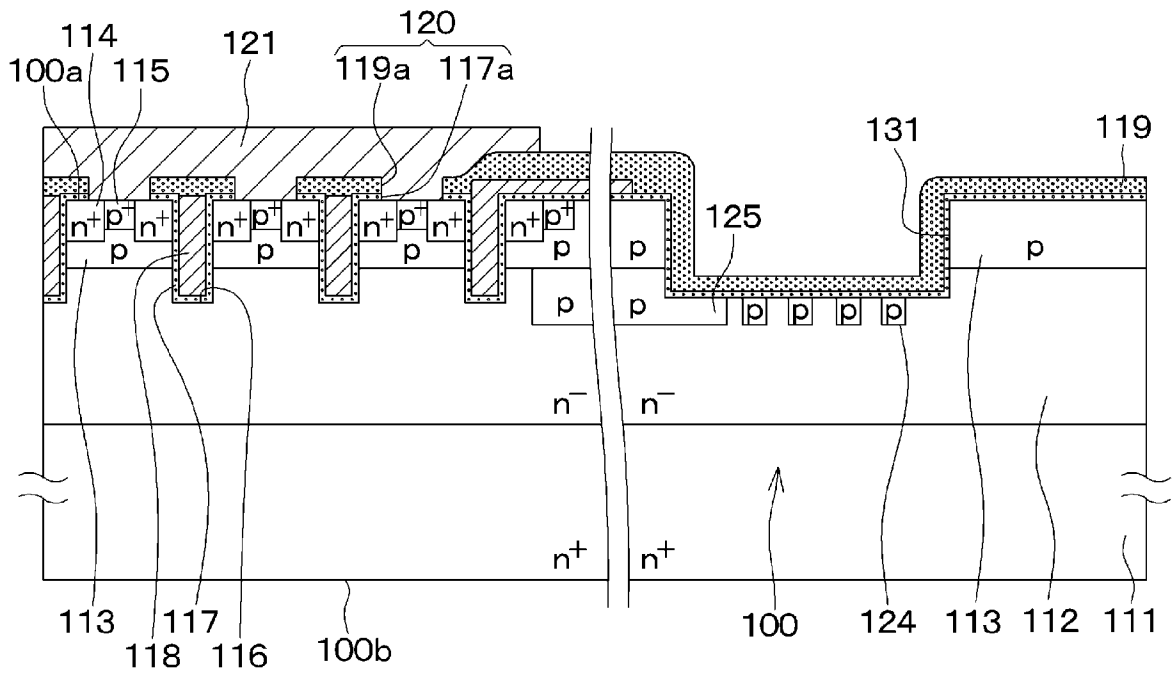
[図5E]



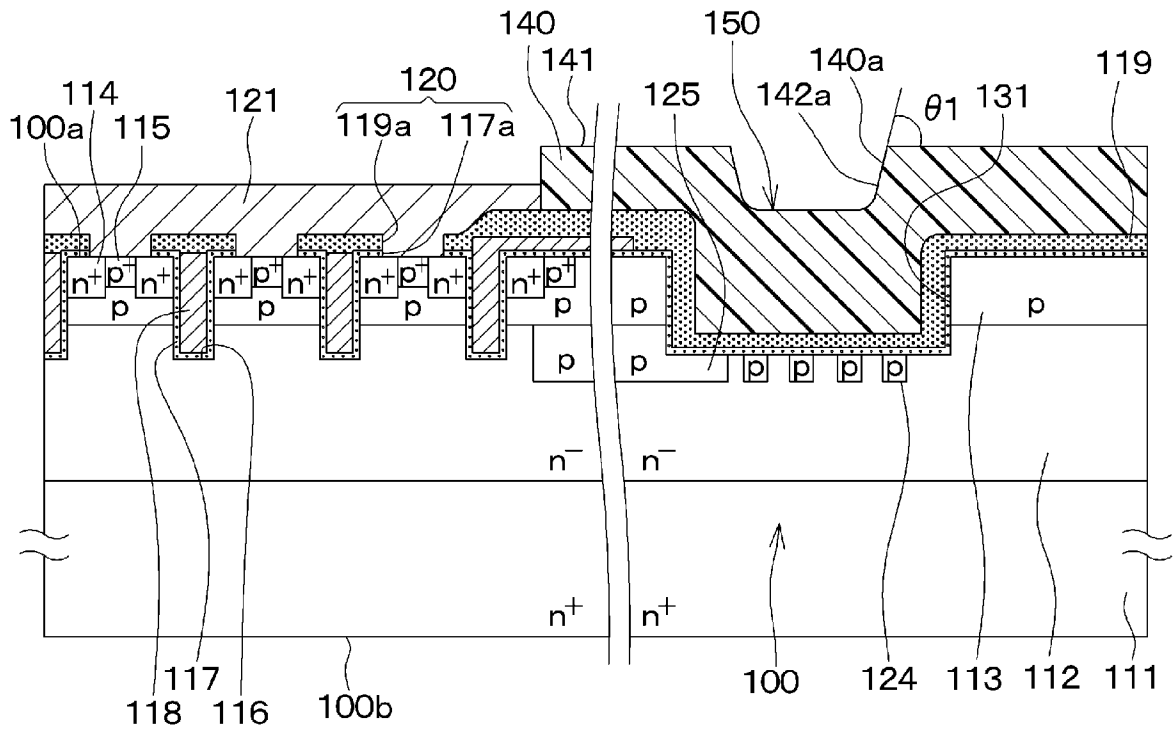
[図5F]



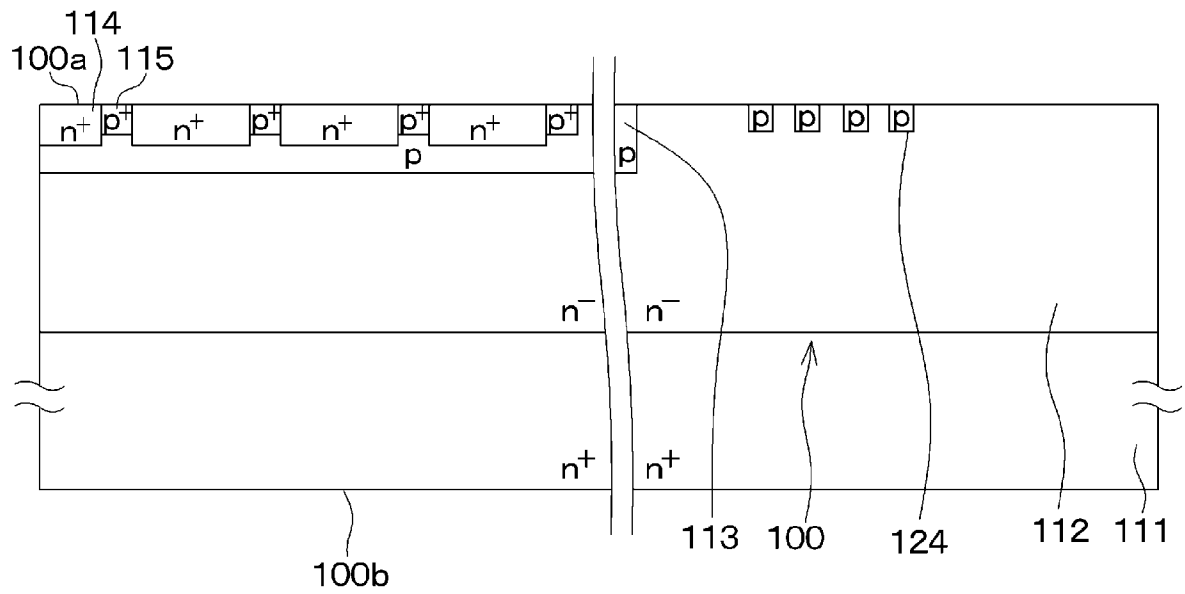
[図5G]



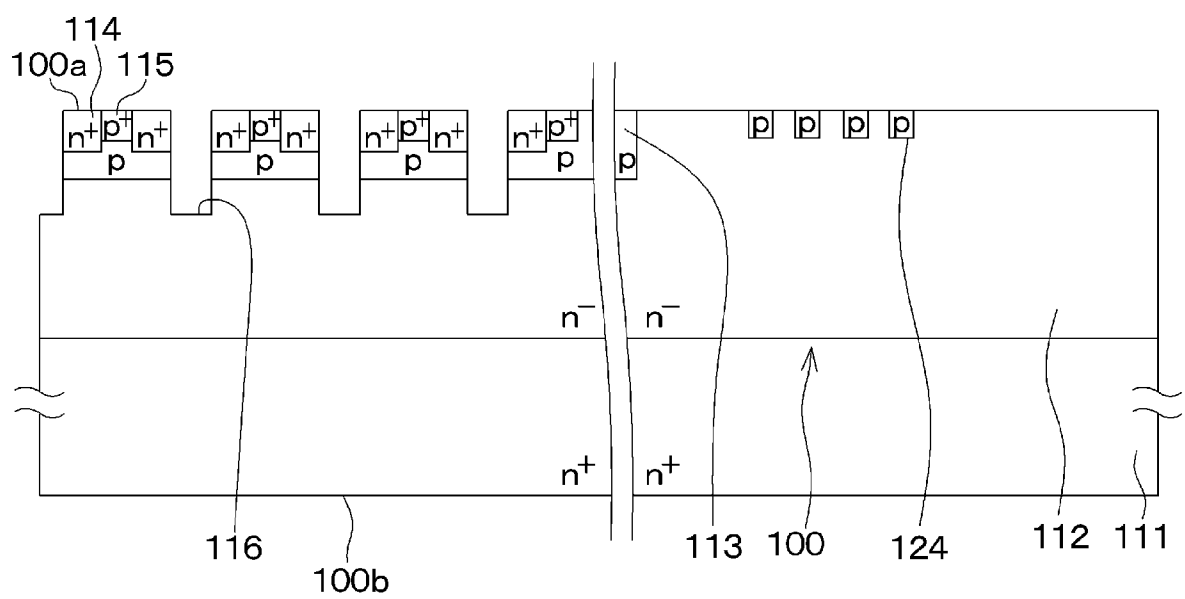
[図5H]



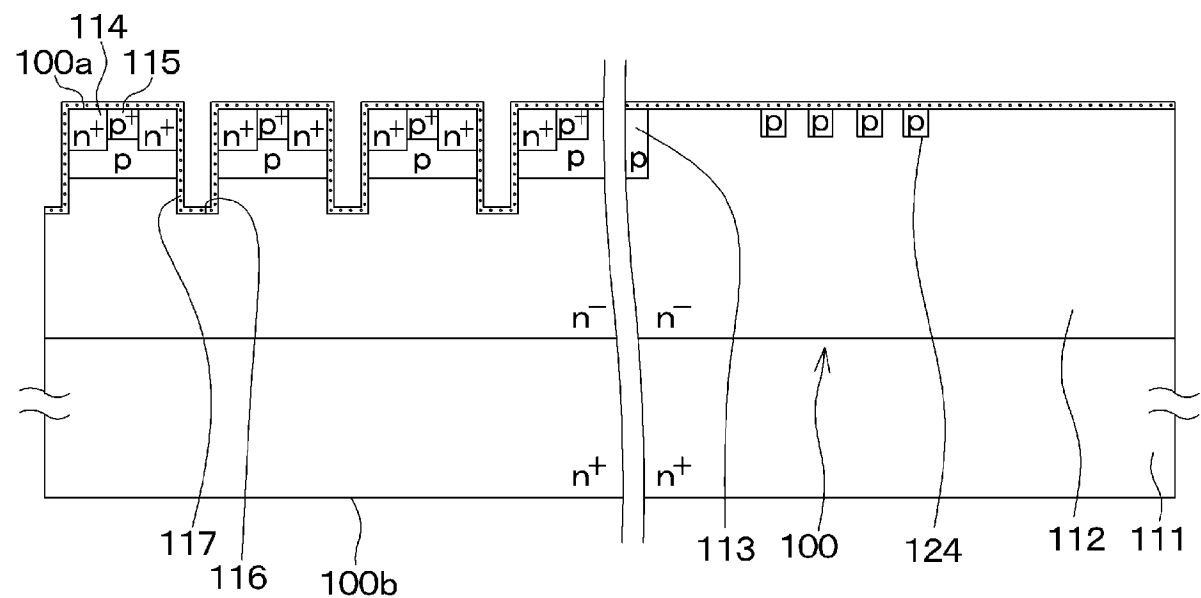
[図7B]



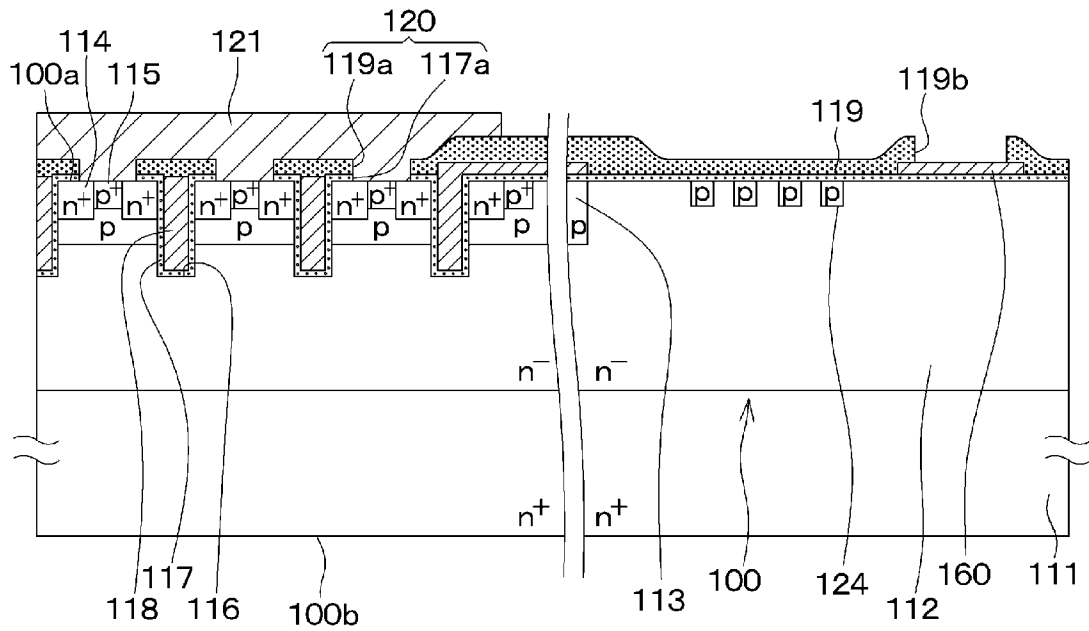
[図7C]



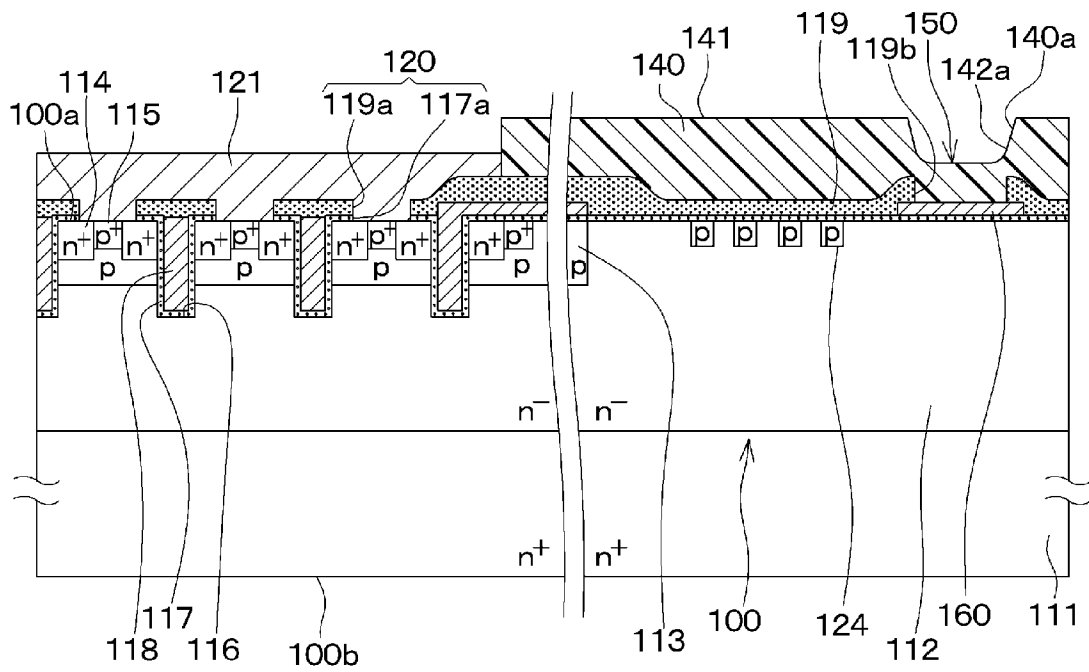
[図7D]



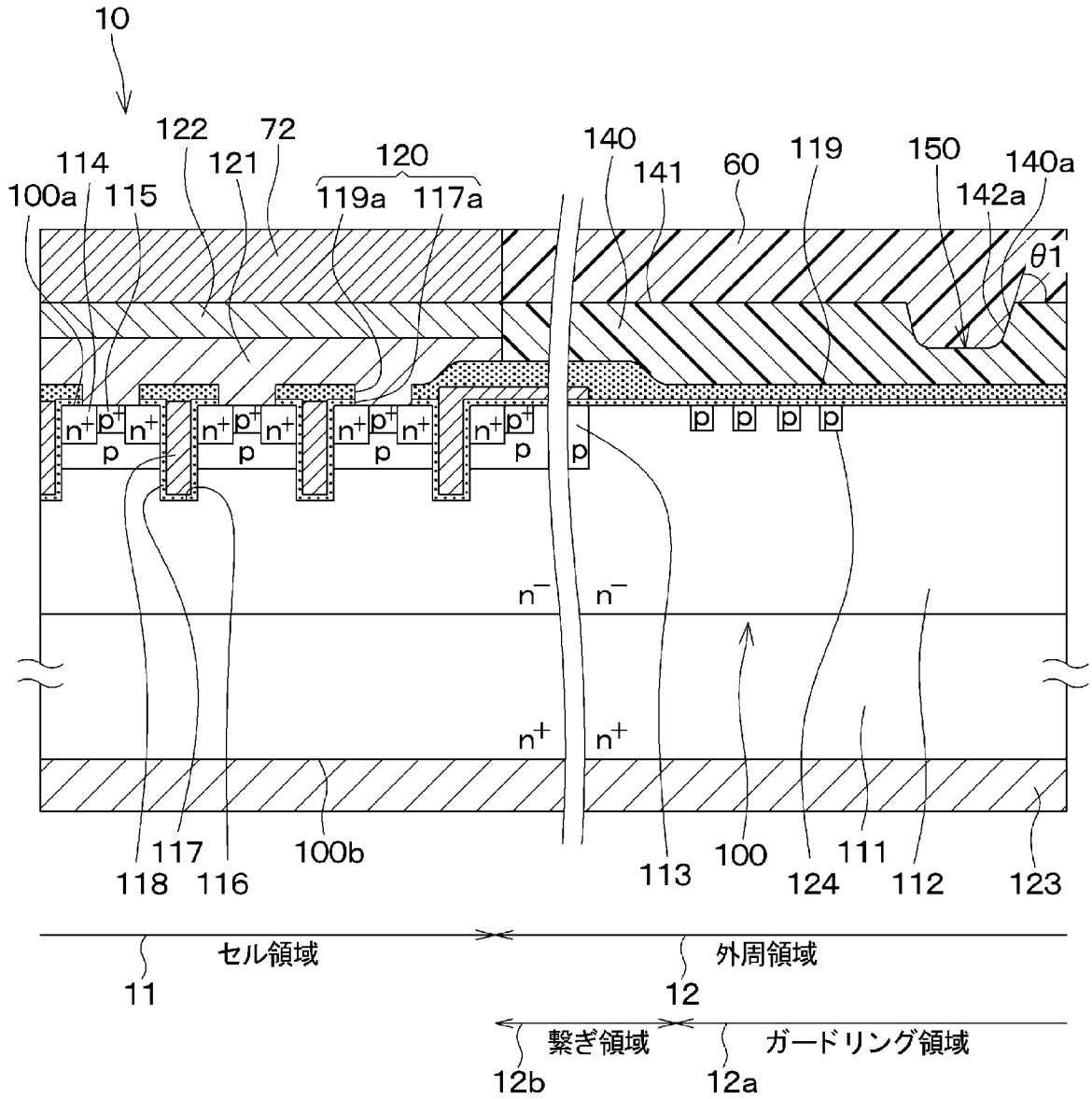
[図7G]



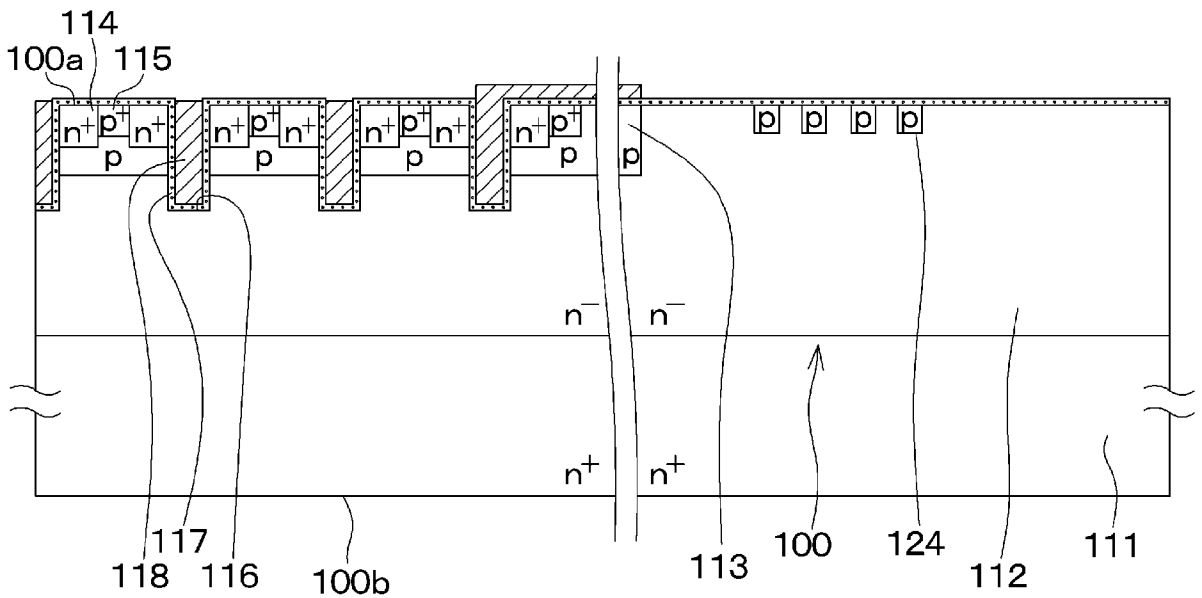
[図7H]



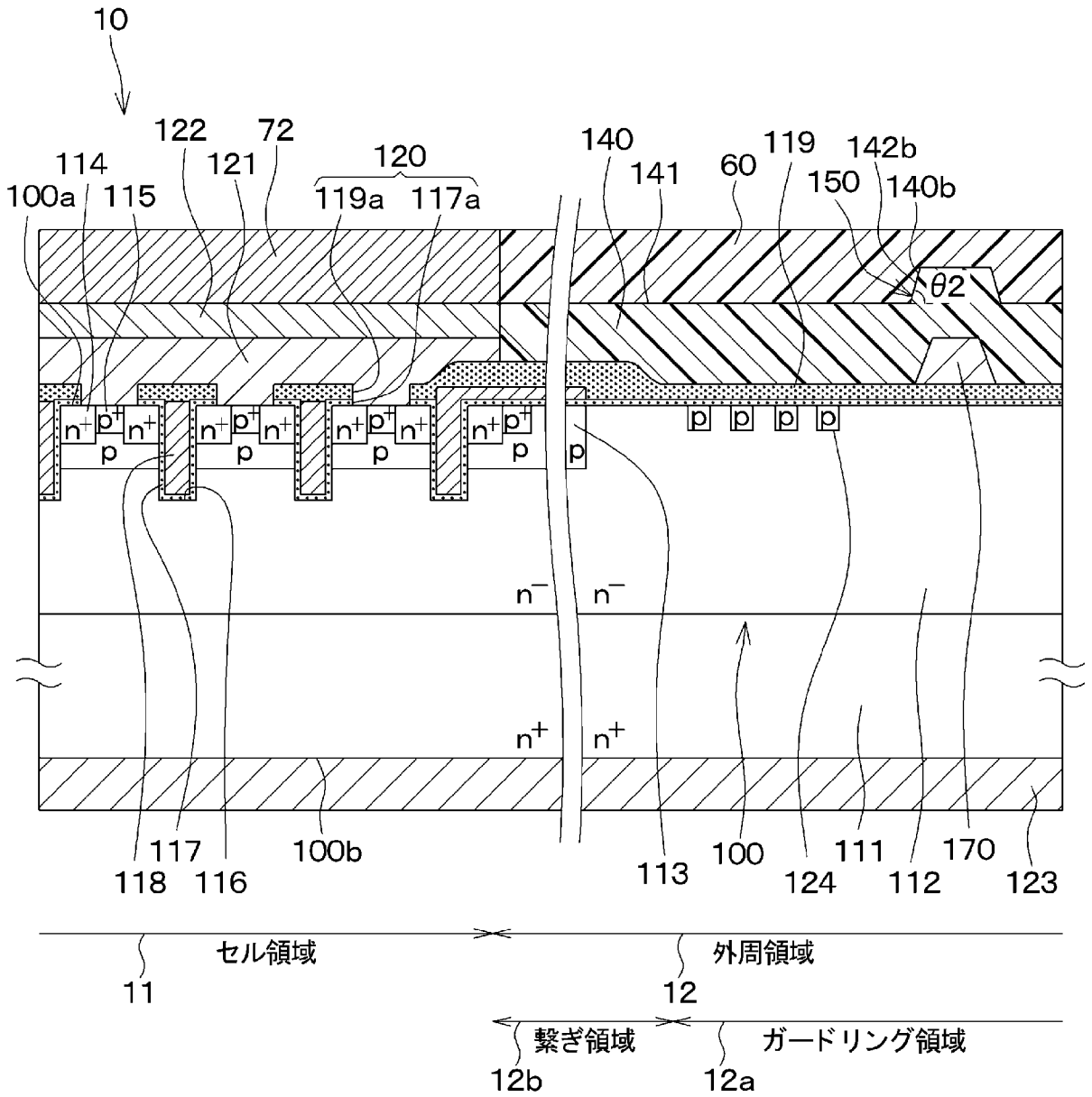
[図8]



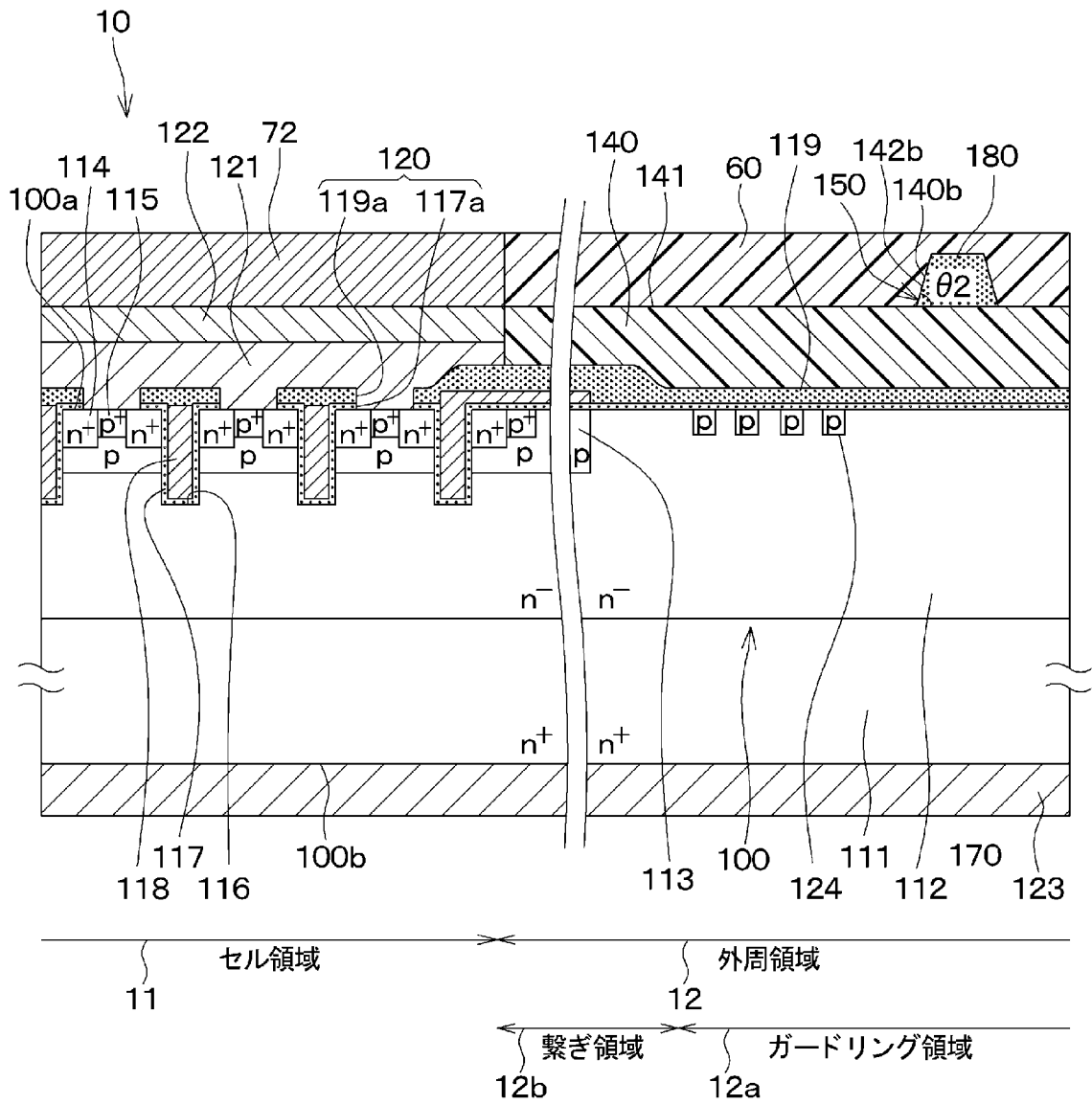
[図9A]



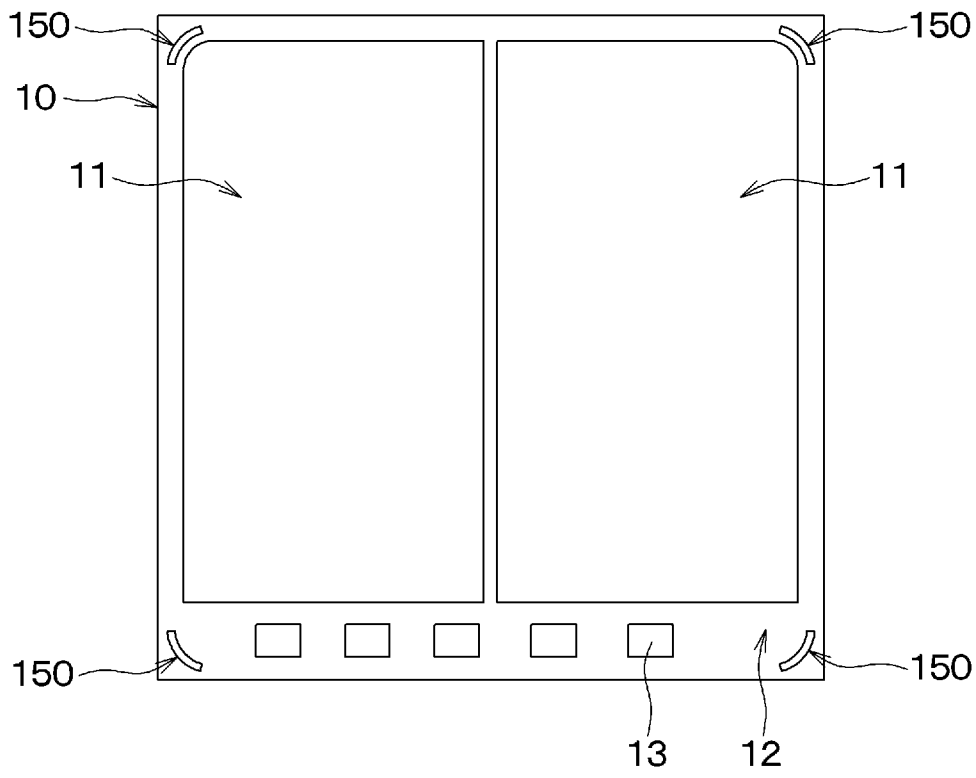
[図10]



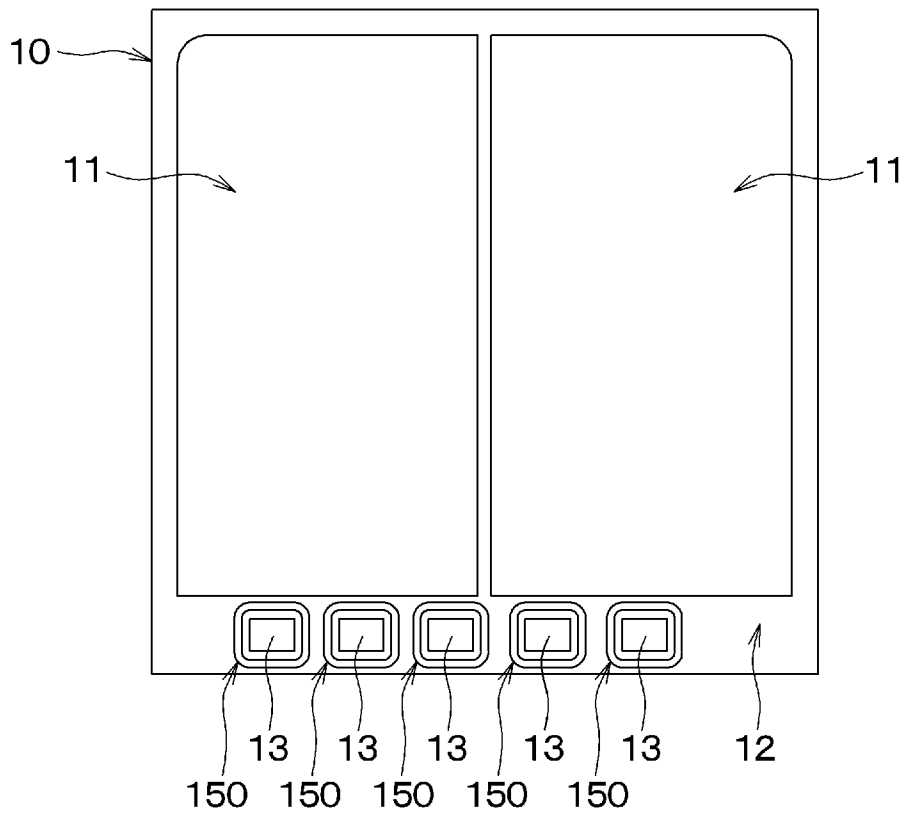
[図12]



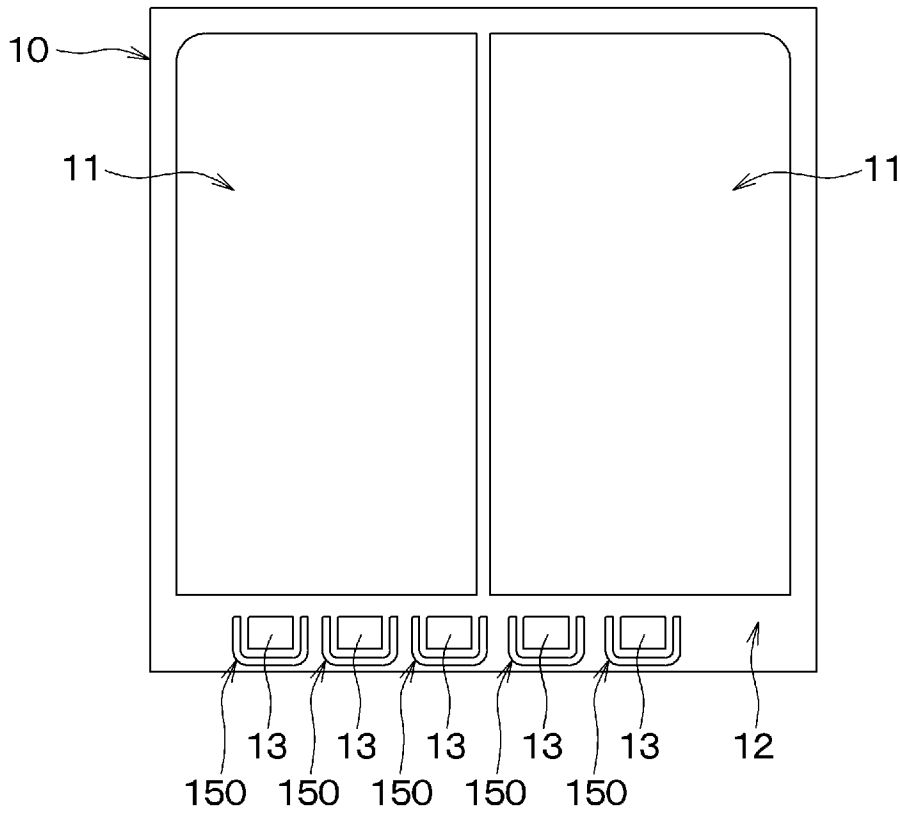
[図13]



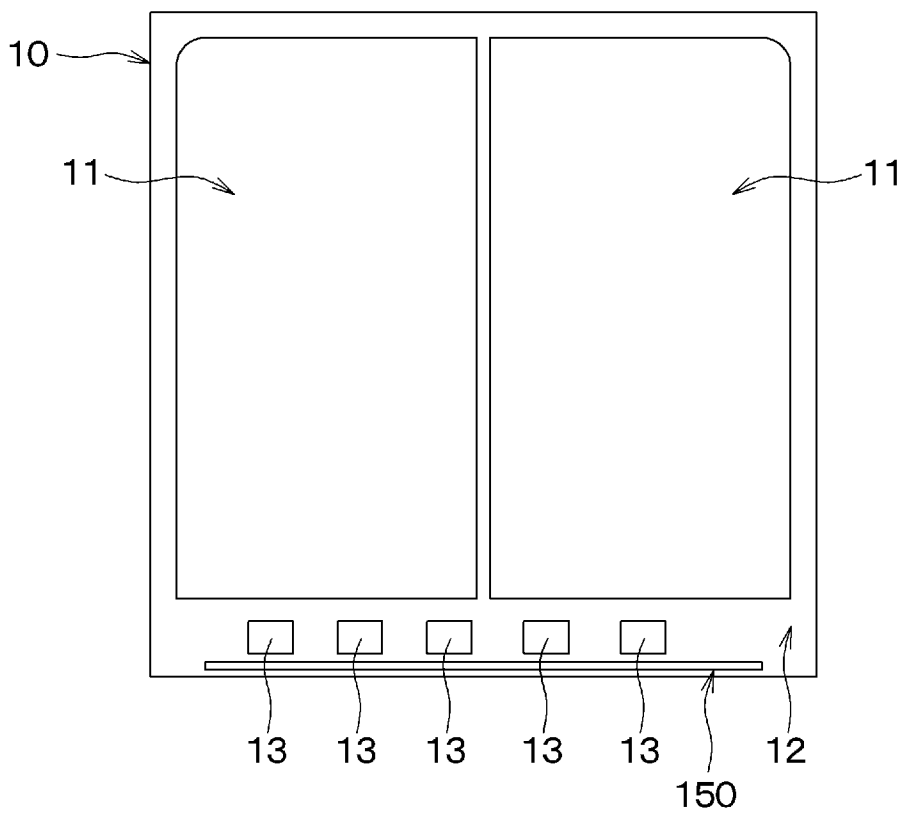
[図14]



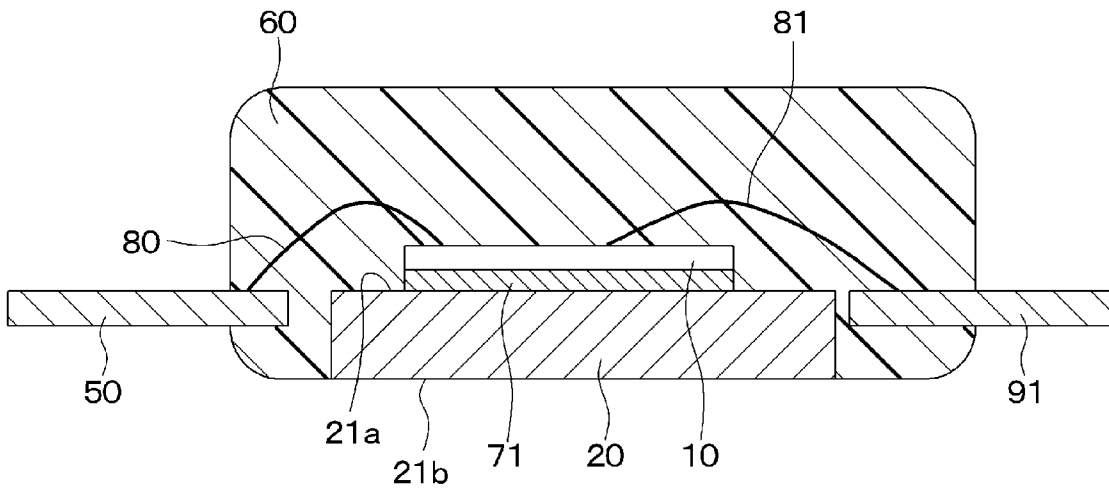
[図15]



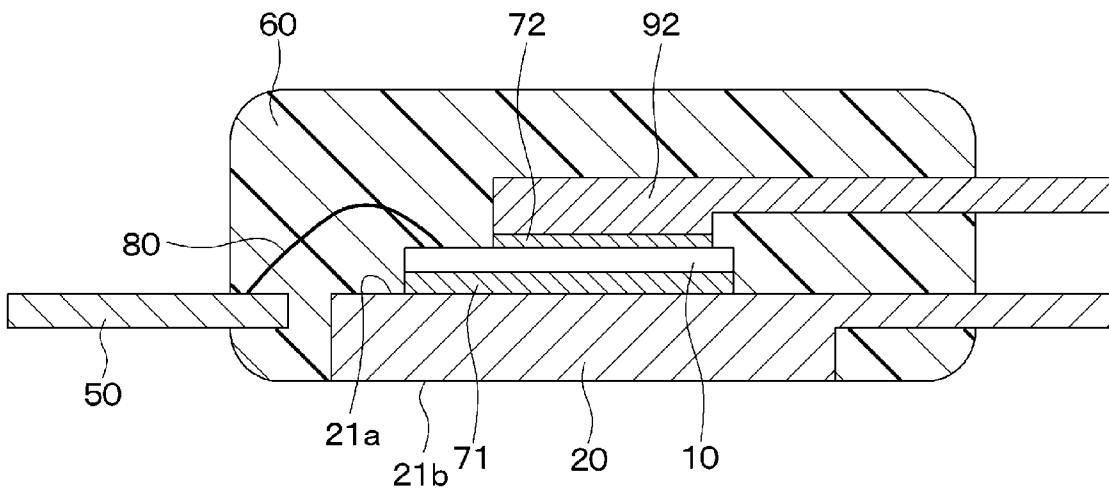
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/032778

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/78</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i; <i>H01L 23/29</i> (2006.01)i; <i>H01L 23/31</i> (2006.01)i; <i>H01L 29/06</i> (2006.01)i; <i>H01L 29/12</i> (2006.01)i; <i>H01L 29/739</i> (2006.01)i		
FI: H01L29/78 652N; H01L29/78 652Q; H01L29/78 653A; H01L29/78 658J; H01L29/78 652P; H01L29/06 301G; H01L29/06 301V; H01L29/78 652T; H01L29/06 301M; H01L29/78 658G; H01L29/78 655Z; H01L23/30 R		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L21/336; H01L23/29; H01L23/31; H01L29/06; H01L29/12; H01L29/739		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2020/012810 A1 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 16 January 2020 (2020-01-16) paragraphs [0020]-[0040], [0043]-[0045], [0054], [0055], fig. 1-4, 7	1-3, 9-12
A		4-8, 13
Y	JP 2018-029162 A (SHIN-ETSU HANDOTAI CO., LTD.) 22 February 2018 (2018-02-22) paragraph [0022], fig. 1	1-3, 9-12
A		4-8, 13
Y	JP 2017-092212 A (TOSHIBA CORP.) 25 May 2017 (2017-05-25) paragraphs [0008]-[0012], [0020], [0021], fig. 1	12
A		1-11, 13
Y	JP 2005-317860 A (FUJITSU LTD.) 10 November 2005 (2005-11-10) paragraphs [0008]-[0010], [0017]-[0019], fig. 1-3	12
A		1-11, 13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 November 2022		Date of mailing of the international search report 22 November 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/032778

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6887541 B1 (MITSUBISHI ELECTRIC CORP.) 16 June 2021 (2021-06-16)	1, 2
A	paragraphs [0013], [0021], [0022], [0031]-[0034], fig. 1, 2, 7, 8	3-13
Y	JP 2007-158113 A (TOYOTA MOTOR CORP., TOSHIBA CORP.) 21 June 2007 (2007-06-21)	1, 2
A	paragraphs [0021]-[0025], [0031], [0032], fig. 2	3-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/032778

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/012810	A1	16 January 2020	(Family: none)	
JP	2018-029162	A	22 February 2018	CN	109643744 A
JP	2017-092212	A	25 May 2017	US	2017/0133344 A1 paragraphs [0011]-[0015], [0023], [0024], fig. 1
JP	2005-317860	A	10 November 2005	(Family: none)	
JP	6887541	B1	16 June 2021	CN	113299612 A
JP	2007-158113	A	21 June 2007	US	2007/0126086 A1 paragraphs [0040]-[0050], [0056]-[0058], fig. 2
				DE	102006057352 A1
				CN	1979818 A

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 23/29(2006.01)i; H01L 23/31(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i FI: H01L29/78 652N; H01L29/78 652Q; H01L29/78 653A; H01L29/78 658J; H01L29/78 652P; H01L29/06 301G; H01L29/06 301V; H01L29/78 652T; H01L29/06 301M; H01L29/78 658G; H01L29/78 655Z; H01L23/30 R</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/78; H01L21/336; H01L23/29; H01L23/31; H01L29/06; H01L29/12; H01L29/739</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2022年																
日本国実用新案登録公報	1996 - 2022年																
日本国登録実用新案公報	1994 - 2022年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>WO 2020/012810 A1（住友電気工業株式会社）16.01.2020（2020 - 01 - 16） 段落0020-0040, 0043-0045, 0054-0055, 図1-4, 7</td> <td>1-3, 9-12 4-8, 13</td> </tr> <tr> <td>Y A</td> <td>JP 2018-029162 A（信越半導体株式会社）22.02.2018（2018 - 02 - 22） 段落0022, 図1</td> <td>1-3, 9-12 4-8, 13</td> </tr> <tr> <td>Y A</td> <td>JP 2017-092212 A（株式会社東芝）25.05.2017（2017 - 05 - 25） 段落0008-0012, 0020-0021, 図1</td> <td>12 1-11, 13</td> </tr> <tr> <td>Y A</td> <td>JP 2005-317860 A（富士通株式会社）10.11.2005（2005 - 11 - 10） 段落0008-0010, 0017-0019, 図1-3</td> <td>12 1-11, 13</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y A	WO 2020/012810 A1（住友電気工業株式会社）16.01.2020（2020 - 01 - 16） 段落0020-0040, 0043-0045, 0054-0055, 図1-4, 7	1-3, 9-12 4-8, 13	Y A	JP 2018-029162 A（信越半導体株式会社）22.02.2018（2018 - 02 - 22） 段落0022, 図1	1-3, 9-12 4-8, 13	Y A	JP 2017-092212 A（株式会社東芝）25.05.2017（2017 - 05 - 25） 段落0008-0012, 0020-0021, 図1	12 1-11, 13	Y A	JP 2005-317860 A（富士通株式会社）10.11.2005（2005 - 11 - 10） 段落0008-0010, 0017-0019, 図1-3	12 1-11, 13
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
Y A	WO 2020/012810 A1（住友電気工業株式会社）16.01.2020（2020 - 01 - 16） 段落0020-0040, 0043-0045, 0054-0055, 図1-4, 7	1-3, 9-12 4-8, 13															
Y A	JP 2018-029162 A（信越半導体株式会社）22.02.2018（2018 - 02 - 22） 段落0022, 図1	1-3, 9-12 4-8, 13															
Y A	JP 2017-092212 A（株式会社東芝）25.05.2017（2017 - 05 - 25） 段落0008-0012, 0020-0021, 図1	12 1-11, 13															
Y A	JP 2005-317860 A（富士通株式会社）10.11.2005（2005 - 11 - 10） 段落0008-0010, 0017-0019, 図1-3	12 1-11, 13															
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																	
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>																	
<p>国際調査を完了した日</p> <p>10.11.2022</p>	<p>国際調査報告の発送日</p> <p>22.11.2022</p>																
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>恩田 和彦 5F 5896</p> <p>電話番号 03-3581-1101 内線 3516</p>																

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 6887541 B1 (三菱電機株式会社) 16.06.2021 (2021 - 06 - 16)	1, 2
A	段落0013, 0021-0022, 0031-0034, 図1, 2, 7, 8	3-13
Y	JP 2007-158113 A (トヨタ自動車株式会社, 株式会社東芝) 21.06.2007 (2007 - 06 - 21)	1, 2
A	段落0021-0025, 0031-0032, 図2	3-13

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2022/032778

引用文献	公表日	パテントファミリー文献	公表日
WO 2020/012810 A1	16.01.2020	(ファミリーなし)	
JP 2018-029162 A	22.02.2018	CN 109643744 A	
JP 2017-092212 A	25.05.2017	US 2017/0133344 A1 段落0011-0015, 0023-0024, 図1	
JP 2005-317860 A	10.11.2005	(ファミリーなし)	
JP 6887541 B1	16.06.2021	CN 113299612 A	
JP 2007-158113 A	21.06.2007	US 2007/0126086 A1 段落0040-0050, 0056-0058, 図2 DE 102006057352 A1 CN 1979818 A	