[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H04L 12/56

[12] 发明专利申请公开说明书

[21] 申请号 02814980.7

[43] 公开日 2004 年 10 月 13 日

[11] 公开号 CN 1537376A

[22] 申请日 2002.7.24 [21] 申请号 02814980.7

[30] 优先权

[32] 2001. 7.24 [33] US [31] 60/307,534

[86] 国际申请 PCT/US2002/023486 2002.7.24

[87] 国际公布 WO2003/010631 英 2003.2.6

[85] 进入国家阶段日期 2004.1.29

[71] 申请人 捷豹逻辑股份有限公司

地址 美国加利福尼亚州

[72] 发明人 D·翁 J·D·托比

[74] 专利代理机构 上海专利商标事务所

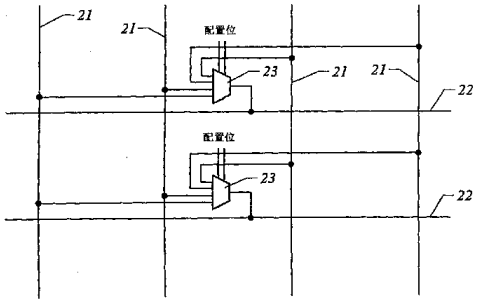
代理人 李家麟

权利要求书 2 页 说明书 8 页 附图 15 页

[54] 发明名称 可扩展和自动生成且基于多路复用器的集成电路分层级互连架构

[57] 摘要

本发明包括分层基于多路复用器的互连架构(图 2)并适用于现场可编程序的门阵列、多处理器和需要可配置互连网络的其它应用。 代替传统的通路晶体管(15)或门，而使用多路复用器(23)且互连架构根据分层互连元件(25)。 获得有界的和可预知的路由延迟、紧凑的配置存储器需求、噪声环境中非破坏性的操作、一致的构建块和用于自动生成的连接、对几千各互连元素的可扩展性以及即使高资源利用下的高路由能力。



ISSN1008-4274

1.一种集成电路上的可配置互连系统，其特征在于，包括：

一队导电线，其可通过多个响应配置位的多路复用器被配置成所需的互连系统，每个所述多路复用器具有多个连接到导电线的子集的输入端和连接到一个导电线的输出端，所述多路复用器响应所述配置位的子集将一个所述输入端导电线连接到所述输出端导电线。

2.如权利要求1所述的可配置互连系统，其特征在于，将所述一对导电线和多个多路复用器组织和排列以形成分层级的元件，一个级的多个元件形成下一个较高分层级的一个元件，包含所述元件对的最低分层级元件的元件内分层级中的任一对元件在其间具有可配置的互连。

3.如权利要求2所述的可配置互连系统，其特征在于，形成下一较高分层级中的元件的一个分层级中各自的多个元件是预选的。

4.如权利要求2所述的可配置互连系统，其特征在于，每个分层级中的每个元件具有输入和输出多路复用器，每个输入复用器具有多个连接到所述元件之外的导电线的输入端和连接到所述元件内的导电线的输出端，且每个输出多路复用器具有多个连接到所述元件内的导电线的输入端和连接到所述元件之外的导电线的输出端。

5.如权利要求4所述的可配置互连系统，其特征在于，每个分层级中的元件的各自的多个输入和输出多路复用器是预先选择的。

6.如权利要求5所述的可配置互连系统，其特征在于，预定(有限)的一组多路复用器构建块?

7.如权利要求6所述的可配置互连系统，其特征在于，一个分层级的每个元件的所述输入多路复用器的输入端被连接到由所述第一个分层级的所述元件形成的下一个较高分层级的元件的输入多路复用器的输出端，且所述一个分层级的每个单元的所述输出多路复用器的所述输出端被连接到由所述一个分层级的所述单元形成的所述下一个较高分层级的所述元件的所述输出多路复用器的输入端。

8.如权利要求7所述的可配置互连系统，其特征在于，所述下一个较高分层级的元件的每个输入多路复用器的输出端被连接到形成所述下一个较高分层级的所述元件的每个元件的每个输入多路复用器的输入端。

9.如权利要求7所述的可配置互连系统，其特征在于，所述下一个较高分层级的元件的每个输出多路复用器的输入端被连接到形成所述下一个较高分层级的所

述元件的每个元件的每个输出多路复用器的输出端。

10. 如权利要求 7 所述的可配置互连系统，其特征在于，一个分层级的每个元件的所述输入多路复用器的所述输入端到由所述第一分层级的所述元件形成的下一个较高分层级的元件的输入多路复用器的输出端的连接，和所述一个分层级的每个元件的所述输出多路复用器的所述输出端到由所述一个分层级的所述元件形成的所述下一个更高分层级的所述元件的所述输出多路复用器的输入端的连接，是由算法确定的。

11. 如权利要求 10 所述的可配置互连系统，其特征在于，所述下一个较高分层级的元件的每个输入多路复用器的输出端被连接到形成所述下一个较高分层级的所述元件的每个元件的输入多路复用器的子集的输入端，形成所述下一个较高分层级的所述元件的所有元件的输入多路复用器的所述子集由用于所有元件的模数确定。

12. 如权利要求 10 所述的可配置互连系统，其特征在于，所述下一个较高分层级的元件的每个输出多路复用器的输入端连接到形成所述下一个较高分层级的所述元件的每个元件的每个输出多路复用器的输出端，且所述一个分层级的每个元件的所述输出多路复用器的所述输出端到由所述一个分层级的所述元件形成的所述下一个较高分层级的所述元件的所述输出多路复用器的输入端的连接，

13. 如权利要求 1 所述的可配置互连系统，其特征在于，所述集成电路包括 FPGA。

14. 如权利要求 1 所述的可配置互连系统，其特征在于，所述集成电路包括 SOC。

可扩展和自动生成且基于多路复用器的集成电路分层级互连架构

相关申请参照

本专利申请要求2001年7月24日提交的美国专利申请No60/307，534，完整地结合在这里作为参考。

发明背景

现有许多应用需要具有可配置互连网络的集成电路。一个这种应用是用于并行计算的多处理器环境，或在单个芯片上(或跨越多个芯片)，其中互连网络在处理器之间根据如何调度处理器来路由数据。另一种应用是所谓的芯片上系统(SOC)，其中处理器、存储器和集成电路的外部元件之间的连接根据运行的程序的需要而变化。又一种应用是现场可编程序的门阵列(FPGA)，或者作为离散的芯片或者作为SOC上的核心，其中被互连的元件是根据FPGA的设计改变复杂程度的逻辑门。

当前，基于FPGA产品的SRAM(静态随机存取存储器)常用于这些应用。SRAM单元用来保持配置位以便设定互连网络的所需配置。由图1A示出的单元元件示出互连网络架构的一般实例。这个基本的阵列结构元件在通过集成电路的两个方向上重复以形成用于改变尺寸的 FPGA 的网孔结构。在该排列的结构中，在开关单元 10和其4个相邻的开关单元10在北、东、西和南方向上之间构成连接。开关单元10、连接单元11和所有它们的线路(即集成电路的导线)以及连接构成用于逻辑单元12的互连网络，其中逻辑单元12由逻辑门构成。逻辑单元12用来实现实际的电路逻辑，连接单元11被配置来将逻辑单元12连接到互连网络，且开关单元10被配置来形成所需的互连网络。

在以下文章中更详细地描述了这种传统的网孔架构："Flexibility of Interconnection Structures for Field Programmable Gate Arrays," J.Rose和S.Brown, IEEE Journal of Solid-State Circuits, vol.26, no.3, 1991年三月，和California，San Jose的Xilinx公司的Virtex-E 1.8V Field Programable Gate Arrays的数据表。工业实践中该FPGA架构的当前使用的描述张贴在Xilinx公司的网页，http://www.xilinx.com/partinfo/ds022.pdf上。

这种传统结构的灵活性在于连接单元11和开关单元10内。为了建立这些单元10和11中导线之间的连接，FPGA互连网络中每个可能的连接具有其自己的通路晶

体管(pass transistor)和存储于存储器单元中的其控制配置位(配置位(Config Bit))，如图 1B 的实例性互连网络所示的。4 个垂直导线 16 由两个水平导线 17 交叉，且在可以被配置成导线对导线的连接的每个交叉点处，具有由配置位控制的通路晶体管 15。在这个实例中，有 8 个通路晶体管 15 和 8 个配置位。或者，可以使用通路门代替通路晶体管 15。

但是，这种常规可配置的互连构建和网络具有一些问题和缺点。每个通路晶体管或通路门需要配置位，它需要存储单元。随着互连网络的增长，用于配置位的存储单元将占据集成电路上更多的空间。其次，如果配置位被不合适地设置，从而超过一个的导线驱动给定的导线，则常规的互连网络将可能电短路到地。如果一个驱动导线是电源而另一个是地，则可能损坏被驱动的导线。随着硅制造工艺趋向更小的几何尺寸，这种可能性逐渐增加。更小的几何尺寸造成更差的抗噪性并造成有噪声的工作环境，诸如自动应用，配置位可以交换状态并产生严重的短路。不可预知的计时延迟是由缩小几何尺寸加重的另一个问题。常规的互连网络具有用于每个给定线路的高可变负载，这取决于它分成多少导线以及通过多远形成网孔连接。当几何尺寸缩小时，这个问题变成实现用于设计的计时闭合中的显著问题。再一个问题是最坏情况延迟。在传统的网孔网络中，最长的通路和 N 的平方根成比例，N 是互连构架中单元元件的数量。例如，在 FPGA 中 4K 核心单元的方阵列中，网孔中最长的通路是 128。因此，当互连变得更大时，计时成为了更大的问题。最后，常规的互连网络是不易扩展的。当互连网络变得更大时，网孔构架必须扩展每个开关单元以适应增加的互连需要。

本发明避免或减轻了许多这些问题。它提供构架的规律性并是可扩展的并易于由软件产生。

发明概述

本发明提供集成电路上可配置的互连系统，它具有一队导电线，能通过多个响应配置位的多个多路复用器被配置成所需的互连系统。每个多路复用器具有多个输入端连接到导电线的子集和多个输出端连接到一个导电线。多路复用器响应配置位的子集将一个输入端导电线连接到输出端导电线。本发明的另一个方面在于这队导电线和多个多路复用器被组织和排列以形成分层级内的元件，一个分层级的多个元件形成下一个较高分层级中的元件，从而分层级中的任一对元件具有包含在这对元件的最低分层级元件的一个元件内的可配置的互连。

本发明的又一个方面在于可配置的互连系统是参数定义的，从而软件生成器可

以方便地创建所需的可配置网络。一个参数是形成下一个较高分层级中元件的一个分层级的元件的数量。

附图概述

图 1 示出 FPGA 的传统的可配置互连架构；图 1B 示出用于图 1A 架构的实例性的互连网络。

图 2 示出根据本发明的实例性的基于多路复用器的互连网络。

图 3A 示出根据本发明一个实施例的分层的基于多路复用器的互连架构的最低级；图 3B 示出图 3A 的分层级的下一个更高的级或母体；图 3C 示出图 3B 的分层级的下一个更高的级或母体；

图 4A 示出图 3B 的两个分层级的输入和输出多路复用器；图 4B 示出图 4 的多路复用器如何形成两个最低级单元之间的连接；

图 6A 示出最低级核心单元到其输出多路复用器的连接；图 6B 示出最低级核心单元到其输入多路复用器的连接；

图 7A 示出从形成母体的所有最低级元件的输出多路复用器向外连接或输出到一个母体输出多路复用器；图 7B 示出从最低级元件的一个输出多路复用器到母体元件的输出多路复用器的向外连接或输出；图 7C 示出从图 7B 中突出的最低级元件的另一个输出多路复用器到母体输出多路复用器的向外连接或输出；

图 8 示出所有 16 个最低级元件到母体元件的输出多路复用器的所有向外连接或输出；

图 9A 示出从一个母体输入多路复用器到形成母体的所有最低级元件的输入多路复用器的向内连接或输入；图 9B 示出从母体单元的输入多路复用器到最低级单元的一个输入多路复用器的向内连接或输入；

图 10 示出从母体元件的输入多路复用器到所有 16 个最低级核心单元的向内连接或输入；

图 11A 示出一个 4 核心单元的子体的输入多路复用器到其它 4 核心单元子体的输出多路复用器的交叉连接；图 11B 示出一个 4 核心单元子体的一个输出多路复用器到其它 4 核心单元子体的输入多路复用器的连接；

图 12 示出用于 16 核心单元元件的所有交叉连接；

图 13A 示出从三个同类核心单元的输出多路复用器到核心单元的一个输入多路复用器的连接；图 13B 示出从核心单元的一个输出多路复用器到三个同类核心单元的输入多路复用器的连接；

图 14 示出 16 核心单元的所有交叉连接；以及

图 15 示出基于多路复用器、分层可配置的互连网络的设计，它具有上述参数并根据本发明自动地产生。

具体实施方式

本发明使用分层的、基于多路复用器的互连架构。图 2 中示出基于多路复用器的互连网络的一个实例，其中 4 个垂直导线 21 和 2 个水平导线 22 相交。使用多路复用器 23，而不是通路晶体管或通路门。在该实例中，每个水平导线 22 连接到多路复用器 23 的输出端，所述多路复用器 23 具有连接到垂直导线 22 的输入端。每个水平导线 22 由 4：1 的多路复用器 23 驱动，它由两个控制位控制。在该样品实例中，只需要 4 个配置位来取代图 1B 的常规可配置的网络情况中的 8 个。

因此，基于多路复用器的可配置互连网络需要更少的配置位来实现可配置互连网络中同样的开关单元。较少的配置位意味着更小的 FPGA 设计、更小的外部配置存储器存储量、更低的产品成本和更快的配置时间。通路晶体管可配置互连网络的另一个优点在于基于多路复用器的可配置互连网络不能将电源和地短路。

本发明还使用具有基于多路复用器的可配置互连网络的分层架构。这造成可预测的信号计时，因为每一层级上的多路复用器的输出有严格有界(bounded)的载荷，甚至在所路由的网络具有高输出端数(fanout)时。相反地，在上述常规的 FPGA 网孔网络构架中，信号通路和信号的计时通常是不可预测是。本发明的分层构架还具有更快的最坏情况延迟。如前所述，传统网孔网络中最长通路和 N 的平方根成比例。在一种分层网络中，最长通路和 log N 成比例，从而最坏情况延迟随分层网络的 N 增加而更为缓慢地增长。例如，在 4K 核心单元的方阵列中，常规网孔中的最长通路是 128，而分层四叉树中的仅是 12。

分层的架构具有可扩展性的优点。当网络中逻辑单元的数量增长时，互连需求超线性地增长。在分层网络中，只有分层的更高的级需要扩展而更低的级保持不变。相反地，网孔构架必须扩展每个开关单元来适应增加的需要。此外，分层构架允许互连构架的自动生成。这是 FPGA 核心易于嵌入用户的 SOC 的关键能力。自动软件生成器允许用户指定任何尺寸的 FPGA 核心。这意味着对于具有可预知计时的任一网络规模在算法汇编过程中使用统一的模块。

在本发明的特殊实施例中，分层的每个级由 4 个元件组成，即可以表述成，每个母体(较高级的元件)由 4 个子体(较低级的元件)构成。最低级由 4 个核心单元构成，如图 3A 中所示的。图 3B 示出 4 个最低级的元件如何形成第二分层级元件，而

图 3C 示出 4 个第二级分层级元件 30 如何形成第三分层级元件。因此，第三级元件由 64 个核心单元形成。当然，子体的数量可以一般化且每个级可以根据本发明具有不同数量的子体。

每个级处的每个子体具有一组输入多路复用器和一组输出多路复用器，它分别提供输入信号连接进入子体元件和从子体出来的输出信号连接。在图 4 所示的实例性分层中，核心单元 25 具有 4 个输入多路复用器 26 和两个输出多路复用器 27，但可以将互连架构一般化成任何数量的输入多路复用器和输出多路复用器。4 个核心单元 25 形成最低级，它们具有一组 12 个输入多路复用器 38 和 12 个输出多路复用器 29。同样地，下一个分层级元件具有一组输入多路复用器和一组输出多路复用器，等等。

用于多路复用器的连接模式具有 3 种：输出、交叉和输入。这些不同的种类由图 5 的从核心单元 A 到核心单元 B 的实例连接路线示出。具有从核心单元 A 的输出多路复用器 26A 到支持核心单元 A 的最低、分层级 1、元件 30A 的输出多路复用器 28A 的连接。随后，具有从输出多路复用器 28A 到支持核心单元 B 的级 1 元件 30B 的输入多路复用器 29B 的交叉连接。元件 30A 和 30B 由虚线框出。最后，具有从输入多路复用器 29B 到核心单元 B 的输入多路复用器 27B 的输入连接。应注意，被配置的连接都位于最低分层级元件内，它包括两个连接的末端，即核心单元 A 和核心单元 B。在该实例中，最低级单元是级 2 单元，它支持 16 个核心单元 25，包括核心单元 A 和 B。

以下描述用于每个多路复用器的完整的一组连接。从核心单元 25 开始，每个核心单元 25 连接到其输入多路复用器 27 和输出多路复用器 26。图 6B 示出核心单元 25 如何被连接到每个其输出多路复用器 26 且图 6B 示出核心单元 25 如何被连接到每个其输入多路复用器 27。

关于分层级元件的多路复用器，“母体”和“子体”，分层母体的每个输出多路复用器连接到每个其分层子体的输出多路复用器。软件生成器均匀地分配连接，从而使从给定多路复用器的可能的路由选择通路最大而使可能的本地拥挤(local congestion)最小。例如，“第一个”母体多路复用器连接到“第一个”子体多路复用器，“第二个”母体多路复用器连接到“第二个”子体多路复用器，等等。如果属于母体的输出调制器的数量和属于子体的不匹配，则诸如算术模数的函数被用来绕回(wrap around)连接。图 7A-7C 和 8 示出输出连接。图 7A 示出级 1 元件输出多路复用器 28 到形成元件的核心单元 25 的输出多路复用器 26 的连接。相反地，图 7B 示出核心单元输出多路复用器 26 到核心单元的母体的输出多路复用器 28 的连

接。图 7C 示出第二个核心单元输出多路复用器 26 到核心单元的母体的输出多路复用器 28 的连接以及通过如前所述的模数函数的连接的分配。图 8 示出用于级 2 元件的 16 个核心单元 25 的所有输出连接。

类似地，分层母体上的每个输入多路复用器连接到其每个分层子体上的输入多路复用器。如果母体和子体上的输入多路复用器的数量不匹配，则诸如算术模数的函数将被用来绕回连接。图 9A 示出从级 1 母体元件的一个输入多路复用器 29 到其 4 个核心单元子体的输入多路复用器 27 的输入连接。相反地，图 9B 示出从其母体的输入多路复用器 29 到一个核心单元输入多路复用器 27 的输入连接。图 10 示出用于级 2 元件的 16 个核心单元 25 的所有输入连接。

这些输入和输出连接的实例示出互连架构的另一个参数。如果可以指定其子体，则是母体多路复用器和多路复用器之间的连接数量。对于上述输出连接，使用参数 1。换句话说，每个母体多路复用器连接到每个子体上的一个多路复用器。对于输入连接，使用参数 3。换句话说，每个母体输入多路复用器连接到其子体上的 3 个输入多路复用器。诸如所述模数函数的分配函数被用来均匀地分配连接。

在分层的每个级处，交叉连接将输出和输入连接结合。在每个级处，通常具有同样数量的输出多路复用器和输入多路复用器。对于交叉连接，在同一分层级处，每个子体上的每个输入多路复用器连接到每另一个子体上对应的输出多路复用器。在每个级具有 4 个子体的实例中，则每个输入多路复用器和 3 个其它子体的输出多路复用器连接。还有一参数用于连接到每个子体的许多输出多路复用器的数量，且一函数用于均匀地分配连接。在该实例中，指定参数 2。这在图 11A 中示出，其中一个 4 核心单元子体的输入多路复用器 29 连接到其它 4 核心单元子体的 6 个输出多路复用器 28。相反地，图 11B 示出一个 4 核心单元子体的一个输出多路复用器 28 到其它 4 核心单元子体的 6 个输入多路复用器 29 的连接。图 12 示出用于 16 个核心单元元件的所有交叉连接。

交叉连接的一种特殊情况是最低核心单元互连。在核心单元 25 的级处，输入多路复用器 27 连接到包括其本身的所有子体的输出多路复用器 26，如图 13A 所示。这容纳了单个核心单元 25 上的反馈通路。在该实例中，用于每个子体连接数量的参数被指定成 1。图 13B 示出从核心单元 25 的一个输出多路复用器 26 到 3 个同类核心单元 25 的输入多路复用器 27 的连接。应注意，有两个连接到每个核心单元 25 的输入多路复用器 27。图 14 示出 16 个核心单元的所有交叉连接。

通过使互连网络的产生参数化，本发明利用分层架构的规律性和可预知性。输入数据可以来自文件或交互的用户输入。所需配置的网络的许多特征由参数来描

述。逻辑单元的总数是参数化的。在所需的实例中，指定 16 个核心单元。每个分层级的子体数量是参数化的，在该实例中，每个级处 4 个子体。用于每个分层级的输入和输出多路复用器的数量是参数化的。在该所需的实例中，指定母体多路复用器对子体多路复用器的恒定比率 3。换句话说，如果在一个级处有 4 个输入多路复用器用于元件，则母体级就有 12 个输入多路复用器。

以下的是文件可能的规格的实例：

```
级
   级  1  子体  1  输入   4   输出   2
   级  2  子体  4  输入  12   输出  12
   级  3  子体  4  输入  36   输出  36
   级  4  子体  4  输入 108   输出 108
   级  5  子体  4  输入 216   输出 216
   级  6  子体  4  输入 432   输出 432
   级  7  子体  2  输入 864   输出 864
结束水平
```

应注意，恒定比率 3 是根据分层互连中经验性研究路由能力(routability)的论文选择的，该论文即“Routing Architectures for Hierarchical Field Programmable Gate Array,” A.Aggarwal 和 D.Lewis, Proccedings of IEEE International Conference on Computer Design, 1994。该论文断定二叉树分层中 1.7 的比率给出合适的路由能力。对于四叉树分层，这将是(1.7*1.7)＝2.89。由于该研究仅使用相对较小的实例，该比率可以被认为是最小要求。参数 3 近似地和使用 0.75 的指数的伦特规则 (Rent’s Rule)计算一样。

还针对许多工业标准基准和现实设计测试具有规定的常数作为参数的所述互连架构。使用了多至 16K 的核心单元并获得了高至 100%的利用。所有测试情况都成功地完成了。特别是，使用了用于具有 4 个输入和 2 个输出的核心单元的四叉树分层的规定的参数，以及每个输出多路复用器 4：1 和每个输入多路复用器 12：1，除了一核心单元，其中每个输入多路复用器是 13：1。对于这些尺寸的多路复用器的传播延迟和输出端数是可以充分接受的。

多路复用器的尺寸和它们互连模式的一致性使得该互连架构易于自动生成。除了通过自动软件产生可配置的互连网络，网络还易于针对多数合适的规模扩展。计时延迟是可预知的且知道最坏情况延迟。图 15 是软件生成器，具有 2048 个核心单元的基于多路复用器的分层可配置互连网络的结果。

虽然前述的是本发明实施例的完整描述，但显然，可以进行和使用各种修改、替换和等效物。因此，以上的描述应不认为限定本发明的范围，它是由所附权利要求书的界限和范围限定的。

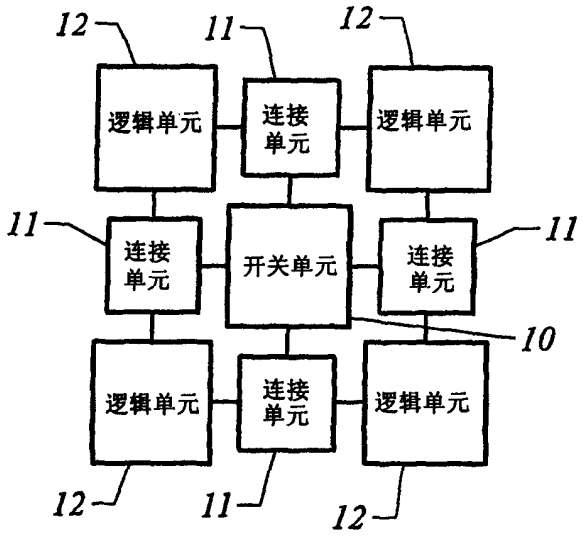

12
11
12
逻辑单元
连接单元
逻辑单元
11
连接单元
开关单元
连接单元
11
10
逻辑单元
连接单元
逻辑单元
12
11
12

图 1A

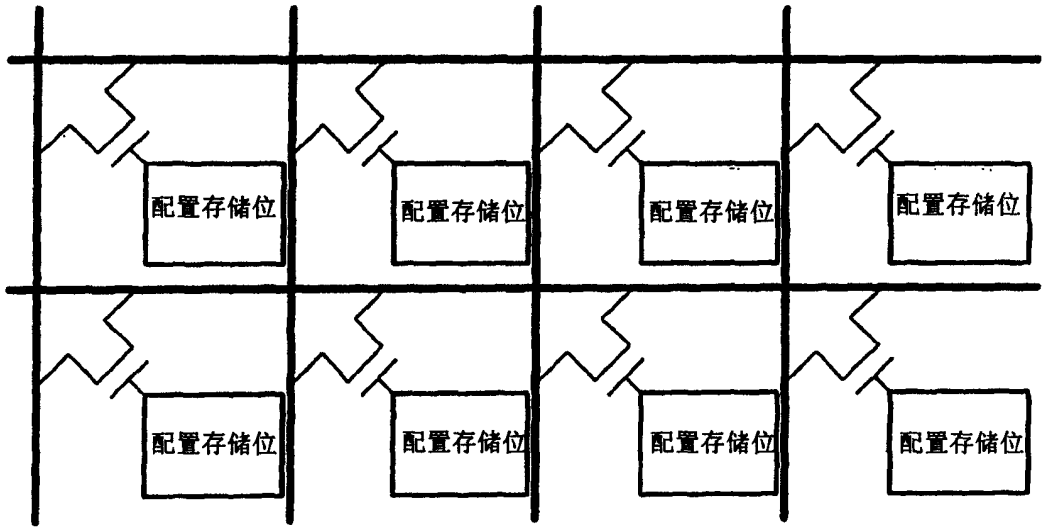

配置存储位
配置存储位
配置存储位
配置存储位
配置存储位
配置存储位
配置存储位
配置存储位

图 1B

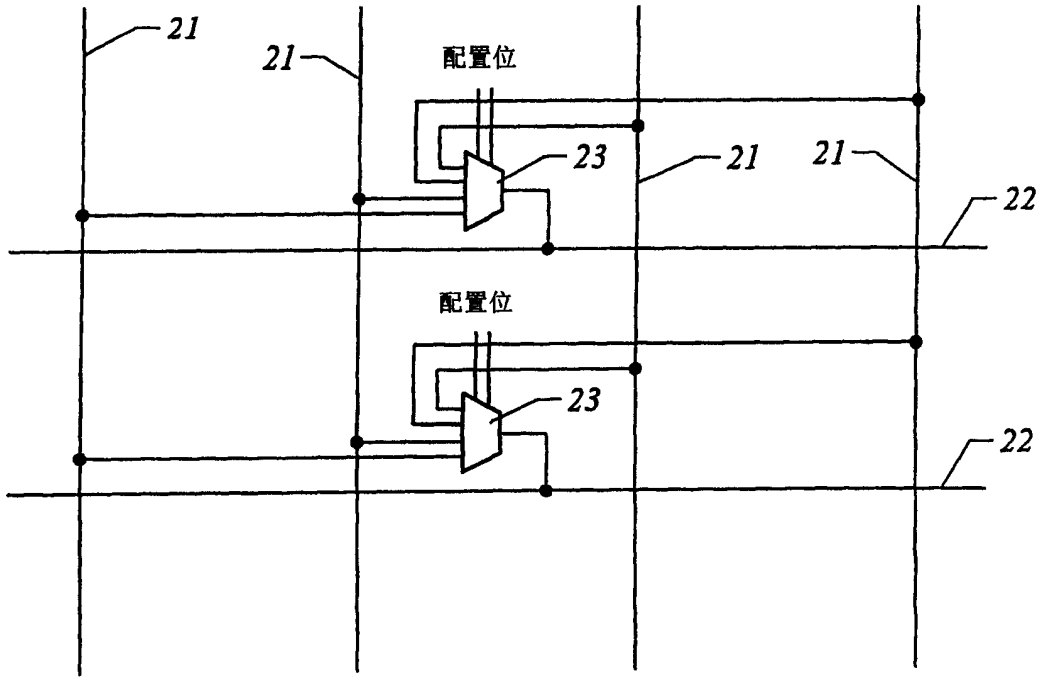


图 2

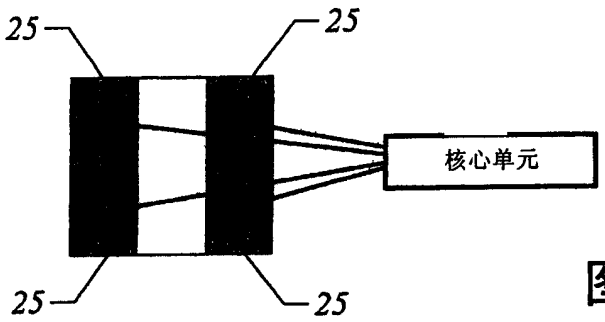


图 3A

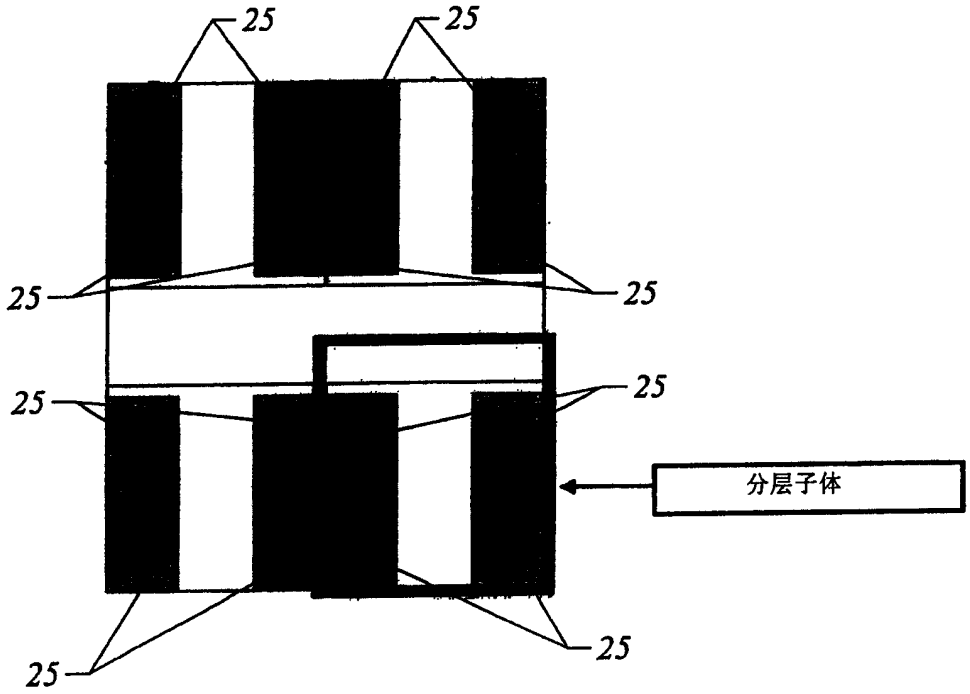


图 3B

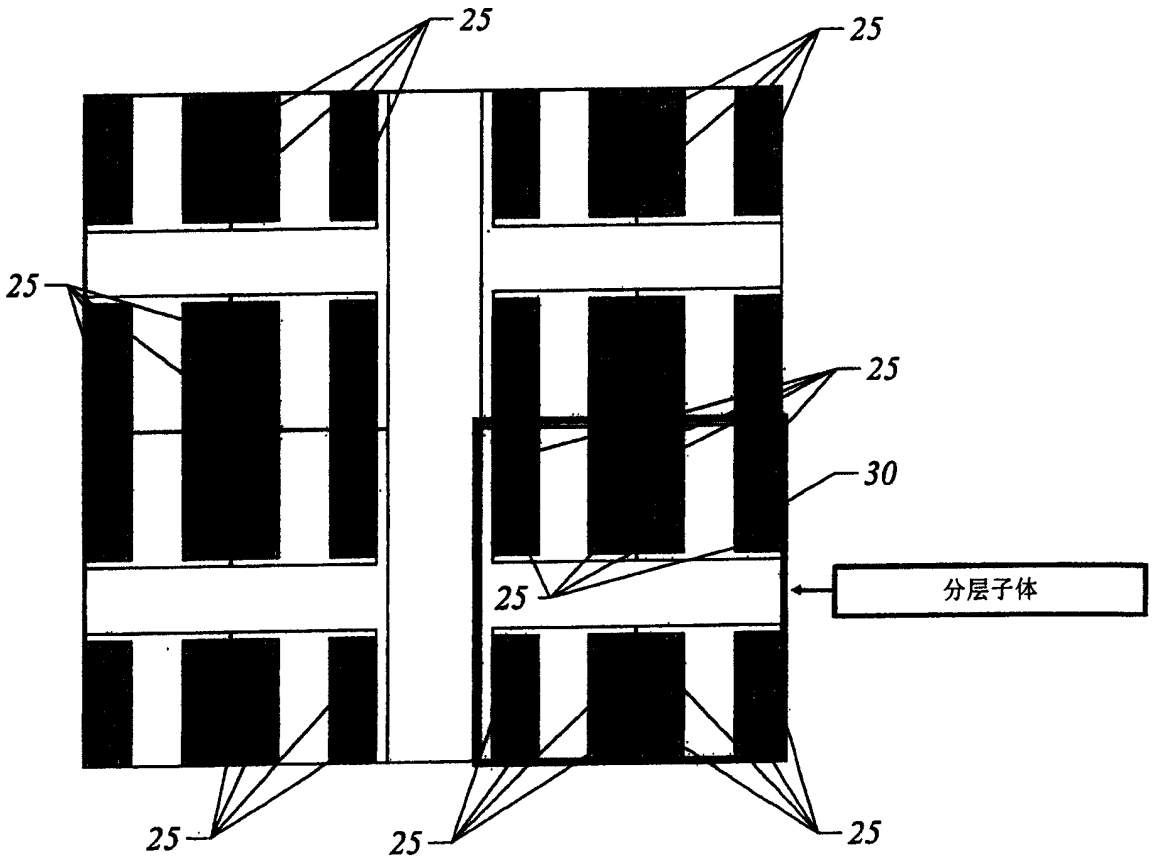


图 3C

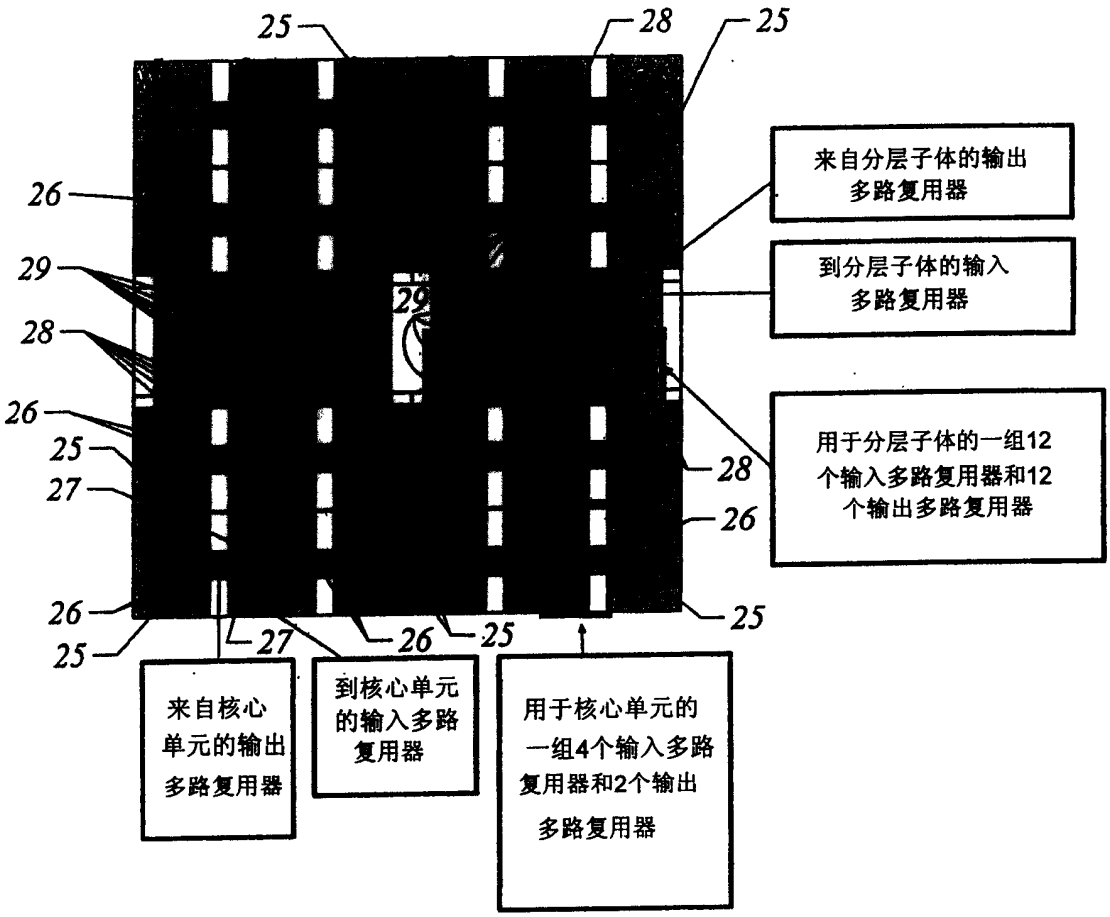

25
28
25
26
29
28
26
25
27
26
25
25
27
26
25
来自分层子体的输出多路复用器
到分层子体的输入多路复用器
用于分层子体的一组12个输入多路复用器和12个输出多路复用器
来自核心单元的输出多路复用器
到核心单元的输入多路复用器
用于核心单元的一组4个输入多路复用器和2个输出多路复用器

图 4

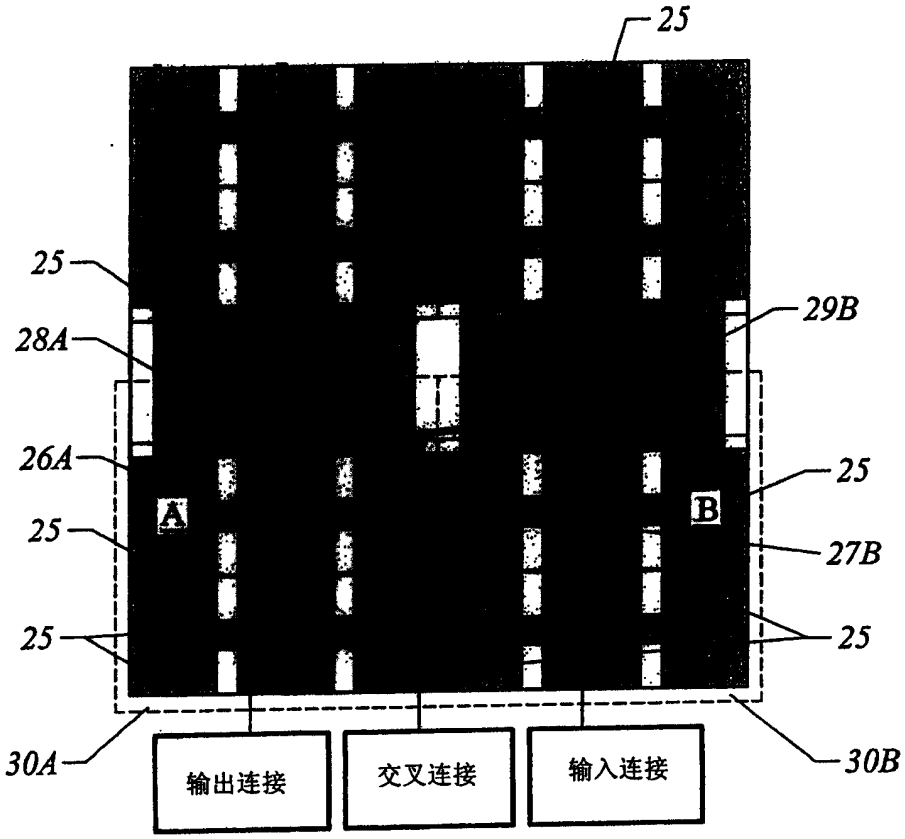


图 5

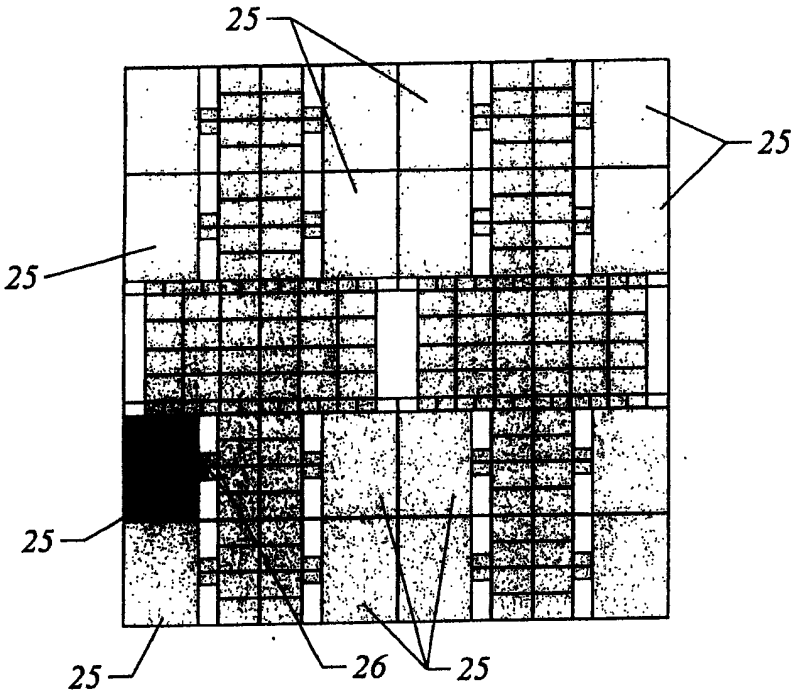


图 6A

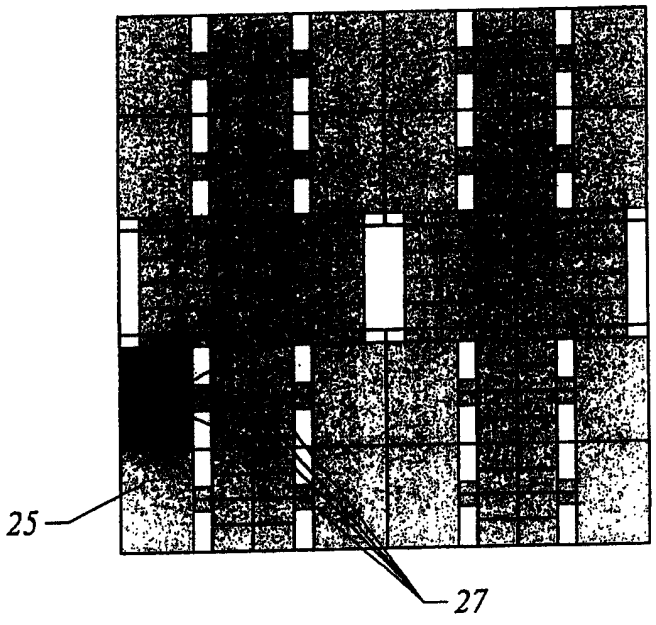


图 6B

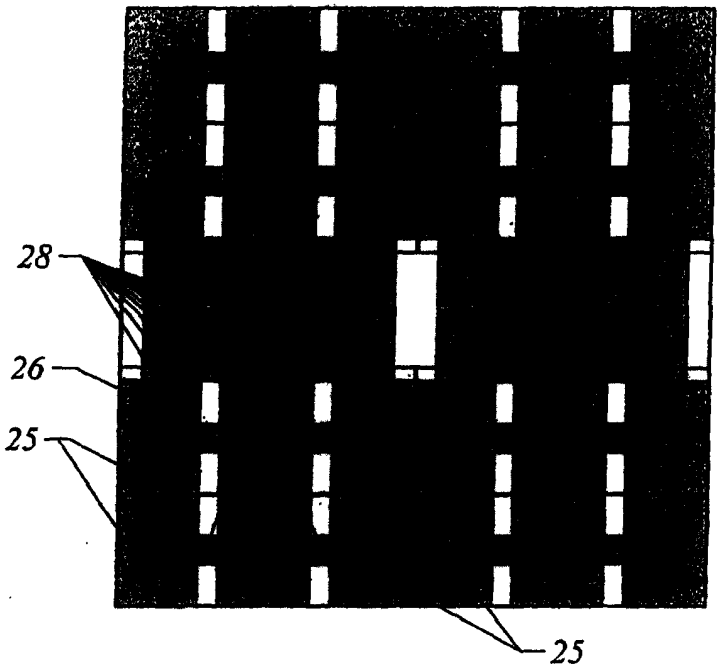


图 7A

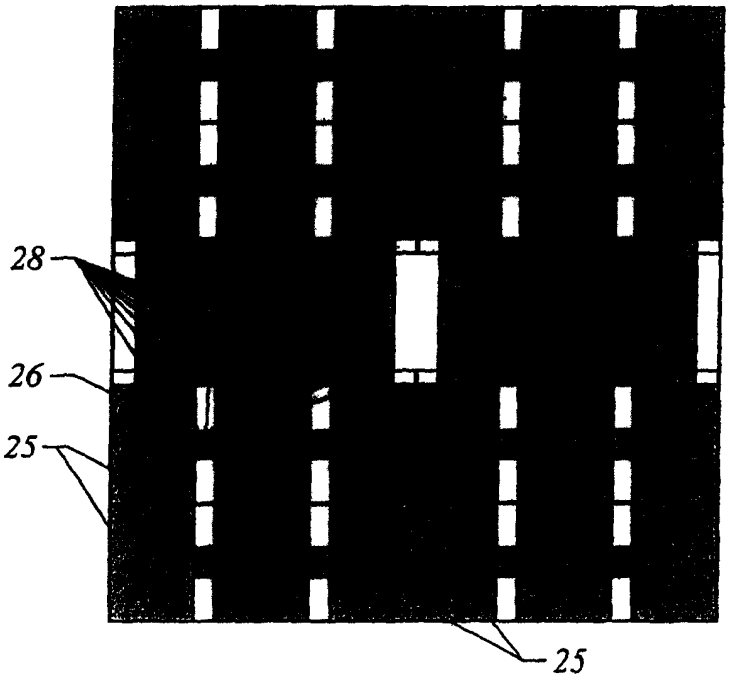


图 7B

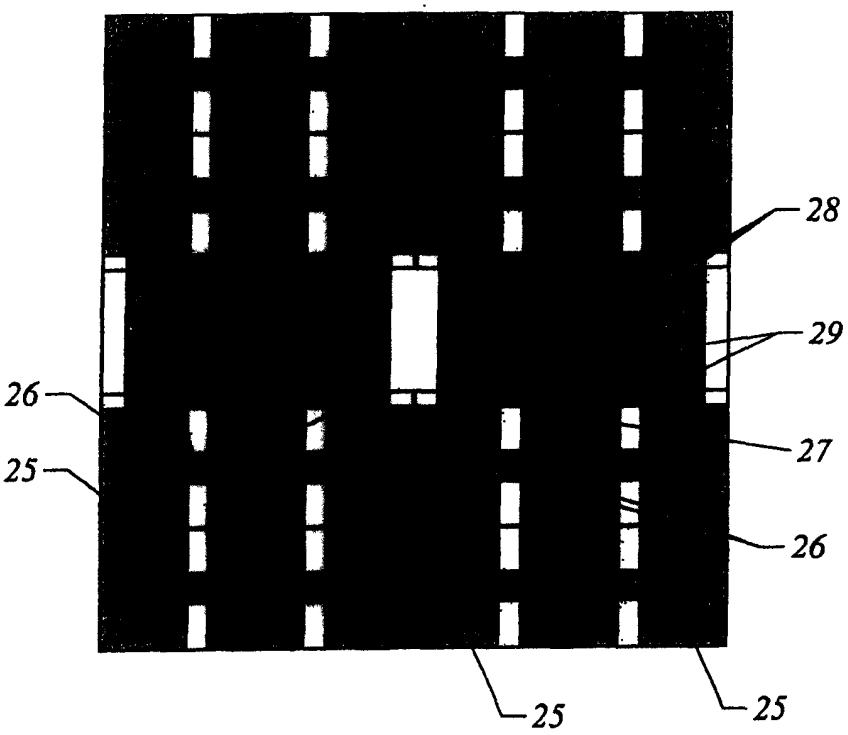


图 7C

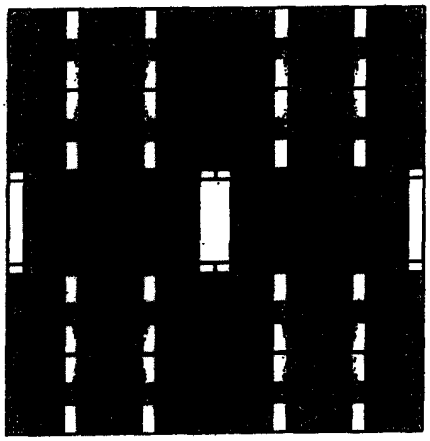


图 8

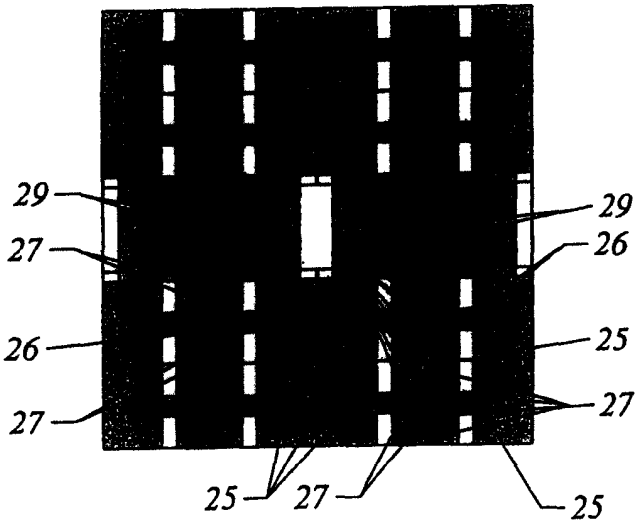


图 9A

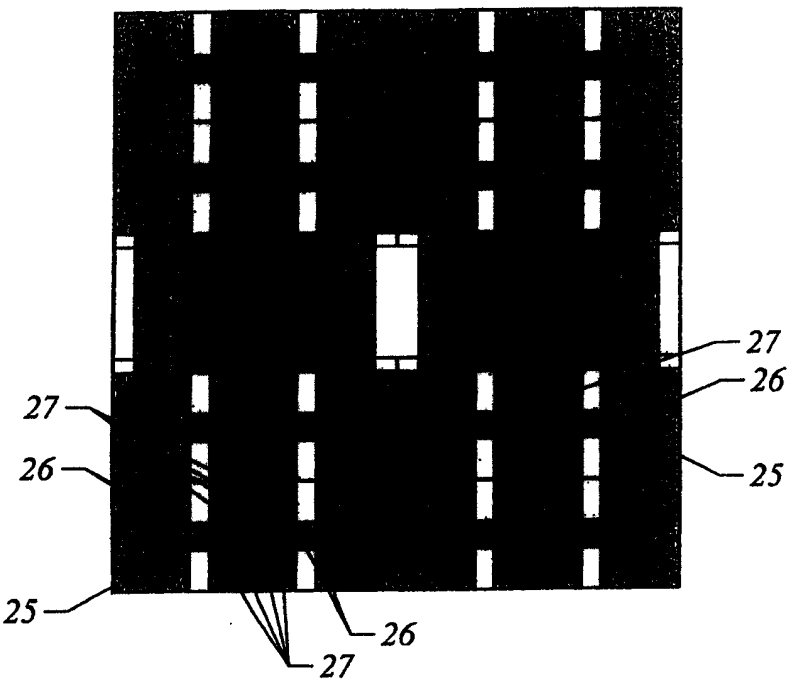


图 9B

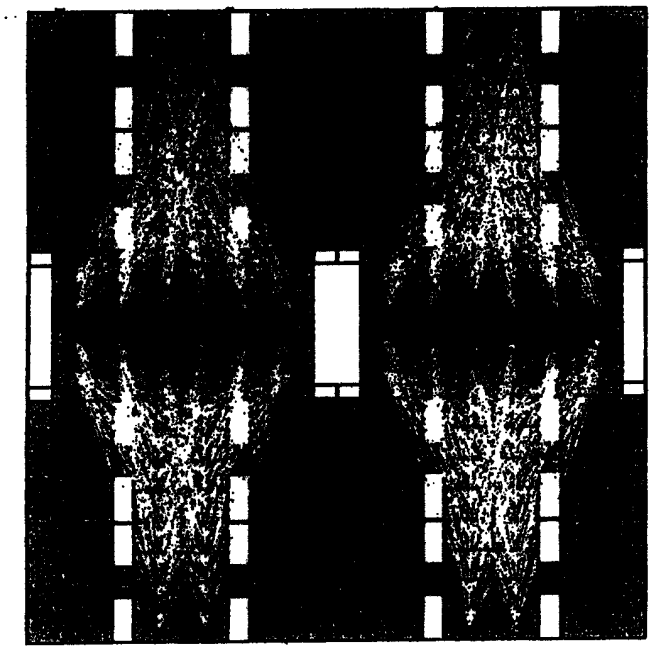


图 10

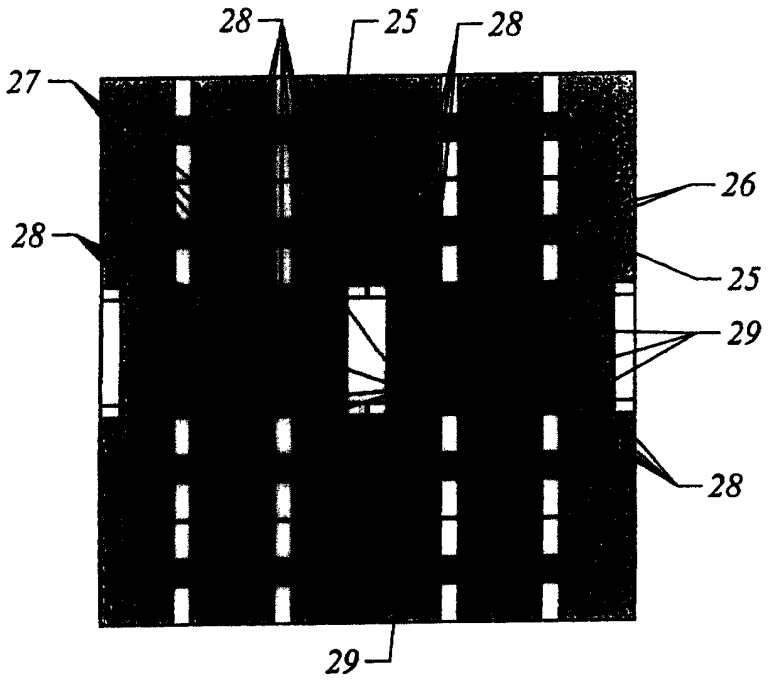


图 11A

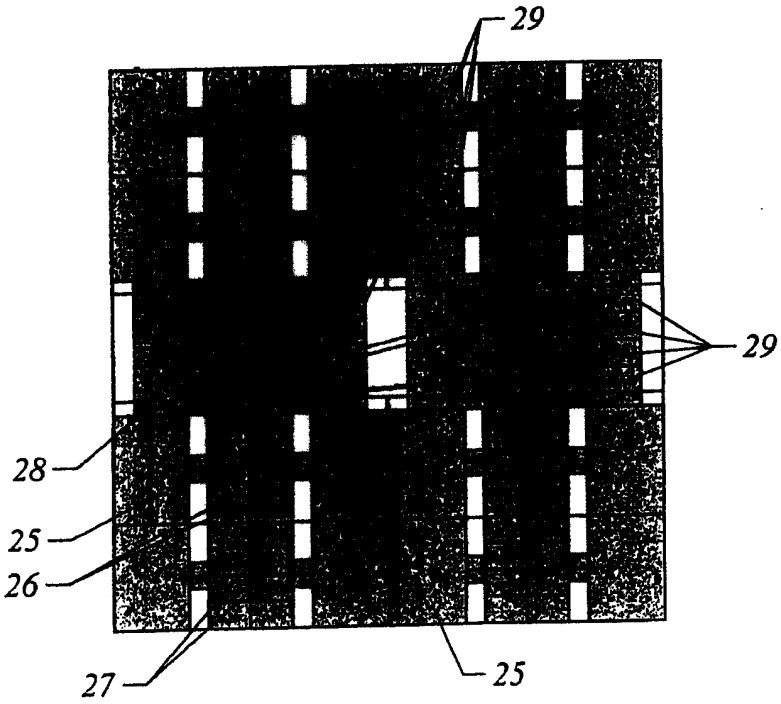


图 11B

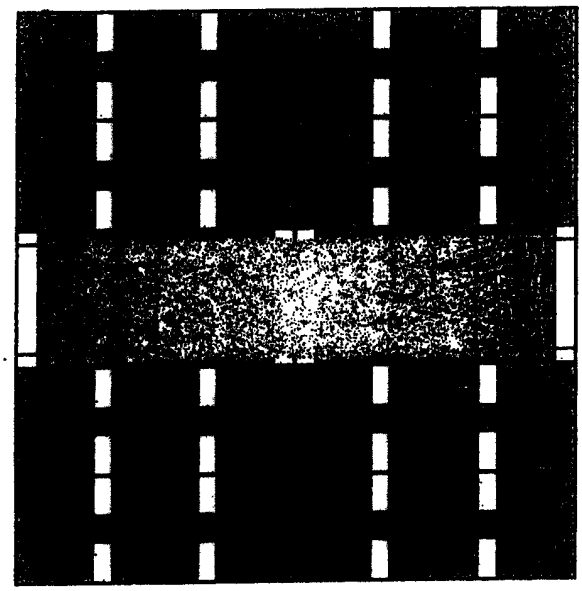


图 12

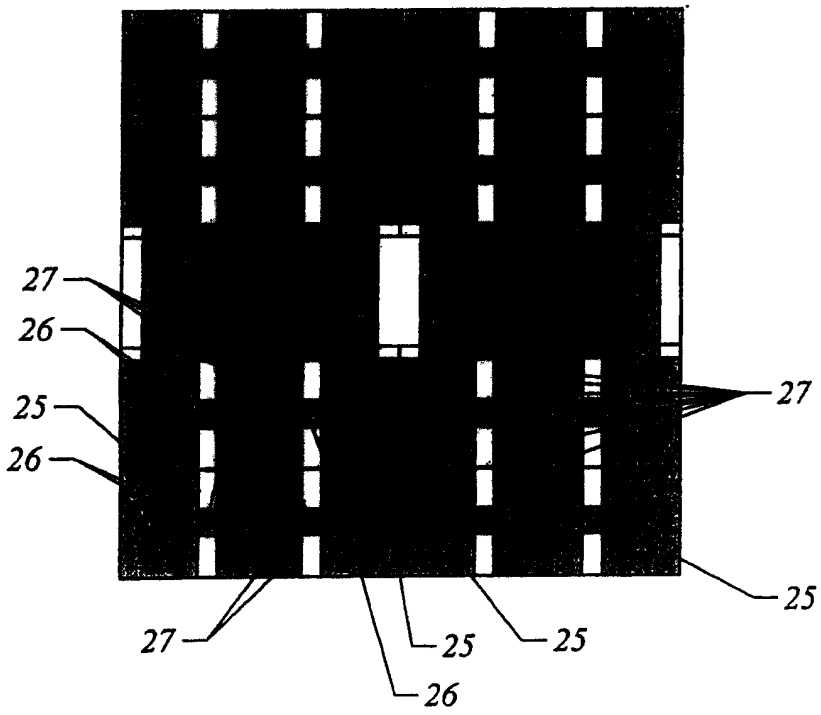


图 13A

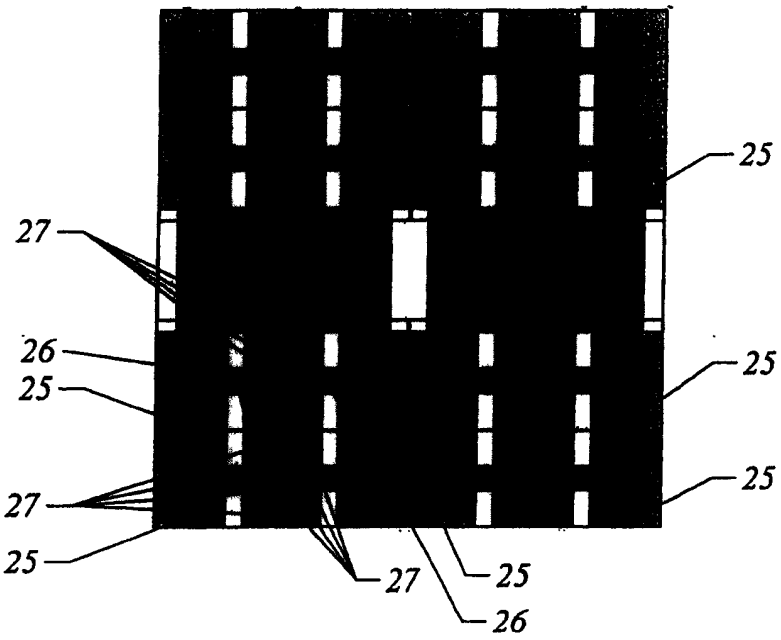


图 13B

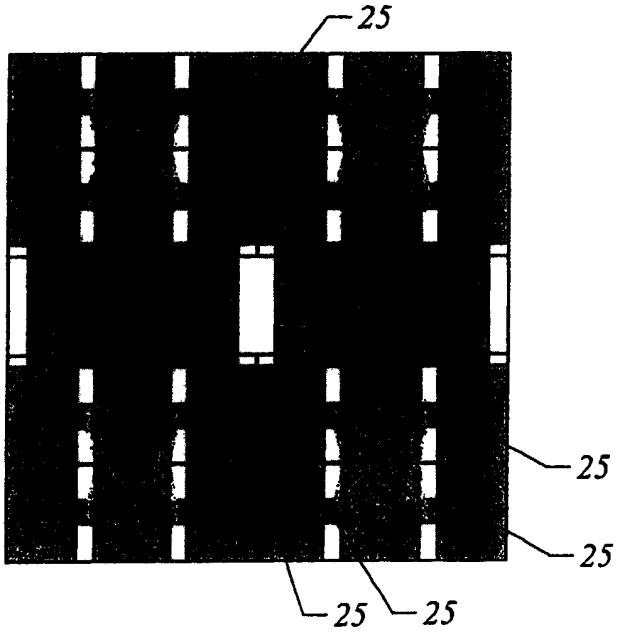


图 14

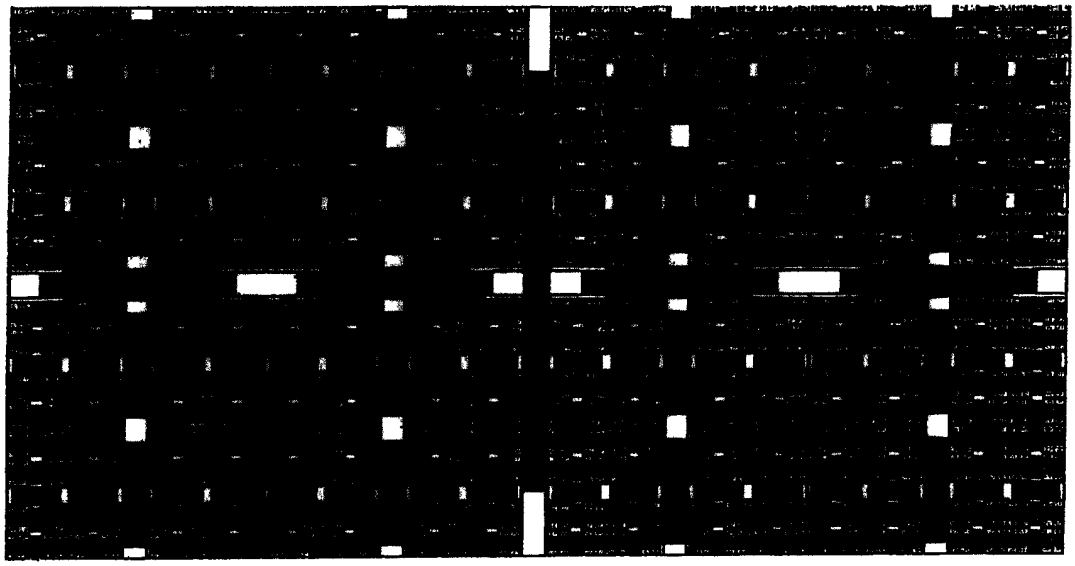


图 15