(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3959125号
(P3959125)
(45)発行日　平成19年8月15日(2007.8.15)　(24)登録日　平成19年5月18日(2007.5.18)

(51)Int.Cl.　F I
H01L 29/861 (2006.01)　H01L 29/91 D
H01L 27/12 (2006.01)　H01L 27/12 Z

請求項の数 2　(全 18 頁)

(21)出願番号　特願平6-220636
(22)出願日　平成6年9月14日(1994.9.14)
(65)公開番号　特開平8-88377
(43)公開日　平成8年4月2日(1996.4.2)
審査請求日　平成12年3月15日(2000.3.15)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　大村　一郎
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　中川　明夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　北島　健次

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
基板と、
前記基板上に形成され、表面に凹凸部を有し、前記凹部の深さが５０ｎｍより大、かつ裏面が平坦な絶縁膜と、
前記絶縁膜の前記凹凸部の上に形成された半導体膜と、
前記半導体膜に形成された半導体素子とを具備してなり、
前記凹凸部の凹部は、凸部に周りを囲まれて前記半導体膜内の前記半導体素子形成領域下における前記絶縁膜の表面上に２次元方向にわたって複数配置されており、前記半導体膜内を移動するキャリアをトラップすることを特徴とする半導体装置。
【請求項２】
前記半導体膜上に形成され、前記絶縁膜と同じ形状をし、かつ前記半導体膜内を移動するキャリアをトラップするための凹凸部を有する第２の絶縁膜をさらに有することを特徴とする請求項１に記載の半導体装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、ＳＯＩ（Semiconductor On Insulator）基板に半導体素子を形成した半導体装置に関する。
【０００２】

【従来の技術】
近年、コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、１チップ上に集積化して形成した集積回路（ＩＣ）が多用されている。このようなＩＣ中で、高耐圧半導体素子を含むものはパワーＩＣと呼ばれている。
【０００３】
図３７は、従来の高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。
【０００４】
図中、９１は半導体基板を示しており、この半導体基板９１上には絶縁膜（ＳＯＩ絶縁膜）９２を介して低濃度のｉ型半導体活性層（ＳＯＩ半導体層）９３が設けられている。
【０００５】
このｉ型半導体活性層９３の表面には高濃度のｎ型エミッタ層９４および高濃度のｐ型エミッタ層９５が選択的に拡散形成されている。そして、ｎ型エミッタ層９４にはｎ側電極９６、ｐ型エミッタ層９５にはｐ側電極９５が設けられている。
【０００６】
このように構成された高耐圧半導体素子によれば、印加電圧が素子本体と絶縁膜９２とに分担（分散）され、素子本体にかかる電圧が低減されるので、高耐圧化が可能となる
しかしながら、この種の高耐圧半導体素子には次のような問題がある。すなわち、絶縁膜９２が分担できる電圧には限界があるので、従来構造のままでは、さらなる高耐圧化は困難であるという問題がある。
【０００７】
【発明が解決しようとする課題】
上述の如く、従来のＳＯＩ基板を用いた高耐圧半導体素子では、ＳＯＩ絶縁膜による高耐圧化には限界があるので、さらなる高耐圧化が困難であるという問題がある。
【０００８】
本発明は、上記事情を考慮してなされたもので、その目的とするところは、従来よりも、耐圧の高い半導体素子を備えた半導体装置を提供することにある。
【０００９】
【課題を解決するための手段】
上記の目的を達成するために、本発明（請求項１）に係る半導体装置は、基板と、前記基板上に形成され、表面に凹凸部を有し、前記凹部の深さが５０ｎｍより大、かつ裏面が平坦な絶縁膜と、前記絶縁膜の前記凹凸部の上に形成された半導体膜と、前記半導体膜に形成された半導体素子とを具備してなり、前記凹凸部の凹部は、凸部に周りを囲まれて前記半導体膜内の前記半導体素子形成領域下における前記絶縁膜の表面上に２次元方向にわたって複数配置されており、前記半導体膜内を移動するキャリアをトラップすることを特徴とする。
【００１２】
【作用】
本発明（請求項１）によれば、素子内のキャリアが絶縁膜の凹部にたまり、半導体膜の電界密度が小さくなるので、半導体膜に形成された半導体素子の耐圧が高くなる。
【００１５】
【実施例】
以下、図面を参照しながら実施例を説明する。
【００１６】
図１は、本発明の第１の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。
【００１７】
図中、１は接地されたシリコン基板を示しており、このシリコン基板１上には表面に凹凸部を有する埋込みシリコン酸化膜（ＳＯＩ絶縁膜）２が形成されている。この埋込みシリ

コン酸化膜２上にはｉ層としての低濃度のｎ型シリコン活性層３（ＳＯＩ半導体膜）が設けられている。埋込みシリコン酸化膜２とｎ型シリコン活性層３とによりＳＯＩ基板が形成されている。

【００１８】

ｎ型シリコン活性層３の表面には高濃度のｎ型エミッタ層４および高濃度のｐ型エミッタ層５が選択的に拡散形成され、ｐ型エミッタ層５、ｎ型シリコン活性層３およびｎ型エミッタ層４によりｐｉｎダイオードが構成されている。

【００１９】

ｎ型エミッタ層４にはｎ側電極６が設けられ、ｐ型エミッタ層５にはｐ側電極７が設けられている。

【００２０】

このように構成された高耐圧半導体素子にｎ側電極６、ｐ側電極７を介して正電圧が印加されると、シリコン基板１が接地されているので、図２に示すように、素子内のキャリア（電子e^-、正孔ｈ）のうち正孔ｈが埋込みシリコン酸化膜２の表面の凹部にトラップされ、その結果、埋込みシリコン酸化膜２の表面の凹部にはプラスの反転層８が形成される。

【００２１】

このような反転層８はｎ型シリコン活性層３の電界密度を小さくする方向に働くので、ｎ型シリコン活性層３内の電界E_3は埋込みシリコン酸化膜２内の電界E_2よりも小さくなる。同様な現象はｎ型エミッタ層４、ｐ型エミッタ層５にも起こる。したがって、素子内の電界密度が低くなるので、その分だけ従来りも素子の耐圧を高くできる。

【００２２】

なお、図２に示すように、埋込みシリコン酸化膜２の凹部の深さ（凸部の高さ）ｄは、５０ｎｍ以上が好ましい。このような値に設定することにより、凹部に正孔を効果的にトラップできるようになる。また、埋込みシリコン酸化膜２の厚さは、例えば、４μｍ程度とする。また、埋込みシリコン酸化膜２はＰＳＧ膜やＢＰＳＧ膜などのシリコン酸化膜であっても良い。

【００２３】

ｎ型シリコン活性層３の電界密度が小さくなる理由は以下の通りである。

【００２４】

埋込みシリコン酸化膜２の誘電率ε_2、ｎ型シリコン活性層３の誘電率ε_3とすると、反転層８が形成されていない場合には、埋込みシリコン酸化膜２とｎ型シリコン活性層３との界面における電界密度の連続性から次式が成立する。

【００２５】

$$\varepsilon_2 \cdot E_2 = \varepsilon_3 \cdot E_3$$

ここで、反転層８により凹部表面に生じた電荷量をＱとすると、上式の右辺は、$\varepsilon_3 \cdot E_3 - Q$という変更を受ける。

【００２６】

したがって、左辺の$\varepsilon_2 \cdot E_2$、つまり、ｎ型シリコン活性層３の電界密度は小さくなる。

【００２７】

以上述べたように本実施例によれば、表面に凹凸部を有する埋込みシリコン酸化膜２を用いることにより、素子内の電界密度を緩和でき、もって従来よりも耐圧の高い高耐圧半導体素子が得られるようになる。

【００２８】

また、耐圧を高くできることから、ｎ型シリコン活性層３の濃度を高くできるようになり、オン抵抗を小さくすることも可能となる。

【００２９】

図３は、本発明の第２の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。なお、以下の図において、前出した図と同一符号は同一部分または

相当部分を示し、その詳細な説明は省略する。

【００３０】

本実施例の高耐圧半導体素子が第１の実施例のそれと異なる点は、ｎ型シリコン活性層３の上面にも、表面に凹凸部を有するシリコン酸化膜２ａを設けたことにある。

【００３１】

本実施例によれば、ｎ型シリコン活性層３内の上側の電界も緩和でき、さらに耐圧を高くできる。なお、シリコン酸化膜２ａの凹部には電子がトラップされることになる。

【００３２】

図４は、本発明の第３の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【００３３】

本実施例の高耐圧半導体素子が第２の実施例のそれと異なる点は、シリコン酸化膜２ａ上にフィールドプレート１１を設けたことにある。

【００３４】

本実施例によれば、フィールドプレート１１により、ｎ側電極６側に形成される強電界が緩和され、また、フィールドプレート１１を設けたことによるｐ側電極７側に形成される強電界はシリコン酸化膜２ａにより緩和される。

【００３５】

図５は、本発明の第４の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【００３６】

本実施例の高耐圧半導体素子が第２の実施例のそれと異なる点は、シリコン基板１上の埋込みシリコン酸化膜２ｂの表面が平坦になっていることにある。埋込みシリコン酸化膜２ｂが厚ければ、十分な耐圧が得られる。換言すれば、埋込みシリコン酸化膜２ｂが厚い場合には、シリコン酸化膜２ａだけでも十分な耐圧が得られる。

【００３７】

図６および図７は、埋込みシリコン酸化膜２（２ａ，２ｂ）の凹凸パターンを示す平面図である。

【００３８】

図６は凹部の平面形状が円形の例を示しており、図７は凹部の平面形状が正方形（多角形）の凹凸パターンを示している。このような凹凸パターンは、周知のフォトリソグラフィ技術、エッチング技術を用いることにより、容易に作製できる。

【００３９】

図８は埋込みシリコン酸化膜２（２ａ，２ｂ）の凹凸パターンを示す断面図である。

【００４０】

図８（ａ）は凹部の断面形状が逆テーパーの例を示しており、、図８（ｂ）は凹部の断面形状が三角形の例を示しており、、図８（ｃ）は凸部の断面形状がテーパーの例を示しており、図８（ｄ）は凹部の断面形状が台形の例を示しており、そして、図８（ｅ）は凹凸部の断面形状が不規則な例を示している。

【００４１】

図９は、本発明の第５の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【００４２】

本実施例の高耐圧半導体素子が第１の実施例のそれと異なる点は、埋込みシリコン酸化膜２内にフローティング電極９を設けたことにある。換言すれば、本実施例では、フローティング電極９が埋め込まれた埋込みシリコン酸化膜２を用いている。

【００４３】

このように構成された高耐圧半導体素子に電圧を印加し、その電圧を上げていくと、図１０に示すように、ある電圧で素子内部の強電界によりアバランシェ現象が生じ、電子e^-、正孔ｈが発生する。

【００４４】
この正孔ｈは、ＥＰＲＯＭと同じ原理で、埋込みシリコン酸化膜２を介して、フローティング電極９にアバランシェ注入され、フローティング電極９が正に帯電する。この結果、素子内の電界密度が緩和される。
【００４５】
図１１にアバランシェ現象が生じる前の素子内の電界分布、図１２にアバランシェ現象が生じた後の素子内の電界分布を示す。フローティング電極９に蓄積した電荷量をＱとすると、アバランシェ現象発生後のｎ型シリコン活性層３の電界分布は、Q/ε_2 に対応した大きさだけ緩和されたものとなる。すなわち、アバランシェ現象が発生すると、図１１のｎ型シリコン活性層３の斜線で示された面積は、図１２に示すように、Q/ε_2 に対応した大きさだけ小さくなる。
【００４６】
いったん、正孔がアバランシェ注入され、帯電したフローティング電極９の部分のｎ型シリコン活性層３では、前回と同じレベルの電圧を印加しても、アバランシェ現象は起きない。すなわち、以前に素子内でアバランシェ現象が起きた部分をフローティング電極９が電荷を持つことにより記憶しており、電圧印加があってもその部分ではアバランシェ現象が発生しないように、フローティング電極９に帯電した電荷が働く。
【００４７】
本実施例では、あらかじめ、素子にパルス電圧または徐々にレベルが高くなる電圧を印加して、素子内にアバランシェ現象を発生させ、複数のフローティング電極９のうち、必要なものだけを帯電させ、高耐圧の高耐圧半導体素子を実現する。
【００４８】
なお、アバランシェ現象を効果的に発生させるためには、埋込みシリコン酸化膜２の表面からフローティング電極９の表面までの距離ｄは、５ｎｍより大きくかつ１６０ｎｍ以下であることが望ましい。
【００４９】
図１３は、本発明の第６の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。
【００５０】
本実施例の高耐圧半導体素子が第５の実施例と異なる点は、フローティング電極９の表面と埋込みシリコン酸化膜２との表面の間の距離ｄを５ｎｍ以下の短い距離したことにある。
【００５１】
すなわち、本実施例では、埋込みシリコン酸化膜２の表面極近傍にフローティング電極９を形成し、アバランシェ注入ではなく、トンネル効果により正孔をフローティング電極９に注入するようになっている。
【００５２】
なお、フローティング電極をチャージアップまたはディスチャージする場合、ＥＥＰＲＯＭのコントロールゲートの場合と同様に、基板電位をバイアスすることにより、フローティング電極のチャージ量をきめ細かに制御できる。
【００５３】
すなわち、基板電位、ｎ側電極電位、ｐ側電極電位を独立して制御できるように、基板、ｎ側電極、ｐ側電極にそれぞれ可変電源を設け、基板とｎ側電極との電位差、および基板とｐ側電極との電位差が大きくなり、かつｎ側電極とｐ側電極との間の電位差が小さくなるように、各可変電源を制御することにより、フローティング電極のチャージ量をきめ細かに調整する。
【００５４】
図１４、図１５は、フローティング電極９の平面形状を示す平面図である。
【００５５】
図１４は、フローティング電極９の平面形状が円形の例を示している。この場合、電界の

方向性がなくなり、電界が集中するところがない。

【００５６】

また、図１５は、フローティング電極９の平面形状が正方形（多角形）の例を示している。この場合、単位面積当りのフローティング電極数を多くできるので、効果的に素子内の電界を緩和することができる。

【００５７】

なお、ストライプ状のフローティング電極９を用いても良い。

【００５８】

図１６は、本発明の第７の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【００５９】

本実施例の高耐圧半導体素子が第５の実施例と異なる点は、ｎ型シリコン活性層３上にフローティング電極９ａが埋め込まれたシリコン酸化膜２ａを設けたことにある。

【００６０】

本実施例によれば、ｎ型シリコン活性層３内の上側の電界も効果的に緩和できるようになる。

【００６１】

図１７は、本発明の第８の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【００６２】

本実施例の高耐圧半導体素子が第７の実施例と異なる点は、埋込みシリコン酸化膜２内にフローティング電極が存在しないことにある。埋込みシリコン酸化膜２ｂが厚ければ、十分な耐圧が得られる。換言すれば、埋込みシリコン酸化膜２が厚い場合には、シリコン酸化膜２ａだけでも十分な耐圧が得られる。

【００６３】

図１８～図２０は、それぞれ、本発明の第９～第１１の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【００６４】

図１８～図２０の高耐圧半導体素子は、それぞれ、図９、図１６、図１７の高耐圧半導体素子のｎ型シリコン活性層３を薄くしたものである。

【００６５】

図２１～図２４は、それぞれ、本発明の第１２～第１５の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【００６６】

図２１～図２４の高耐圧半導体素子は、それぞれ、図１６、図１７、図１９、図２０の高耐圧半導体素子のシリコン酸化膜２ａ上に上部電極１２を設けたものである。

【００６７】

これらの実施例によれば、上部電極１２に印加する電圧により、フローティング電極９ａのチャージ量をきめ細かに制御できるようになる。また、上部電極１２をｎ側電極６またはｐ側電極７に接続することにより、素子上部の電界の影響を軽減できるようになる。

【００６８】

図２５は、本発明の第１６の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【００６９】

本実施例の高耐圧半導体素子が第５の実施例のそれと異なる点は、フローティング電極の代わりに、ｎ型シリコン活性層の表面にＡｕなどの金属イオンを注して形成されたイオン注入層１３を用いたことにある。

【００７０】

このようなイオン注入層１３は、帯電したフローティング電極として機能するので、フローティング電極を用いた場合と同様な効果が得られる。

【００７１】
図２６は、本発明の第１７の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。
【００７２】
本実施例の高耐圧半導体素子が第１６の実施例のそれと異なる点は、金属イオンを局所的に注入して、離散的なイオン注入層１３を形成したことにある。
【００７３】
本実施例の場合、隣接する二つのイオン注入層１３の間は酸化膜により分離されているので、イオン注入層１３にトラップされた正孔は、隣のイオン注入層１３に移動しないため、リーク電流の発生を防止できる。
【００７４】
図２７は、本発明の第１８の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。
【００７５】
本実施例の高耐圧半導体素子が第１６の実施例のそれと異なる点は、ｎ型シリコン活性層３の上面に、イオン注入層１３ａが形成されたシリコン酸化膜２ａを設けたことにある。本実施例によれば、ｎ型シリコン活性層３内の上側の電界も緩和できるので、さらに耐圧が高くなる。なお、埋込みシリコン酸化膜２が厚い場合には、埋込みシリコン酸化膜２のイオン注入層を省いても良い。
【００７６】
図２８は、本発明の第１９の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造および不純物濃度プロファイルを示す図である。
【００７７】
図中、$2_{thic.}$ は石英ガラスからなり、厚さ１～数百μｍ程度の厚い埋込み絶縁膜を示している。すなわち、埋込みシリコン酸化膜$2_{thic.}$ の厚さは、素子のドリフト長Ｄ（ｎ型エミッタ層４、ｐ型エミッタ層５を除いた部分のｎ型シリコン活性層３の長さ）と同程度である。
【００７８】
本実施例の特徴は、高抵抗のｉ型シリコン活性層３ｉのドリフト長方向の不純物濃度プロファイルが、図２８に示すように、Ｓ字型（ｔａｎθに近い形状）になっていることにある。
【００７９】
望ましくは、ｉ型シリコン活性層３ｉの１／１０程度から半分程度の領域をｐ型領域とする。つまり、位置ゼロから位置Ｄ／１０～Ｄ／２程度の領域がｐ型となるようなＳ字型とする。
【００８０】
図３１は、本実施例のｉ型シリコン活性層（ドリフト層）３ｉ内の電界分布を示す図である。図中、Ｐ４はｎ型エミッタ層４の位置，Ｐ５はｐ型エミッタ層５の位置を示している。
【００８１】
図３１からｉ型シリコン活性層３ｉ内の電界はE_C で一定であり、耐圧が局所的に低下するところはないことが分かる。
【００８２】
図２９は、従来の高耐圧半導体素子の素子構造および不純物濃度プロファイルを示す図である。すなわち、この図２９は、ドリフト長が埋込みシリコン酸化膜２の厚さよりも十分に大きい素子構造の場合のｎ型不純物濃度プロファイルを示している。このｎ型不純物濃度プロファイルは、ｎ型エミッタ層４に近付くにつれてｎ型不純物濃度が高くなる直線型のものである。
【００８３】
このようなｎ型不純物濃度プロファイルを、本実施例のように厚い埋込みシリコン酸化膜

を有する高耐圧半導体素子のｎ型シリコン活性層に適用した場合の電界分布を図３０に示す。

【００８４】

この図３０からｎ型シリコン活性層（ドリフト層）の両端で電位が跳ね上がってしまい、局所的に耐圧の低いところが存在することが分かる。耐圧の低いところが少しでも存在すると、素子の耐圧は急激に低減し、高い耐圧は得られなくなる。

【００８５】

このように埋込みシリコン酸化膜が厚い場合（埋込みシリコン酸化膜のドリフト長および厚さが同程度の場合）には、従来の直線型の不純物濃度プロファイルでは耐圧が低下し、一方、本実施例のＳ字型の不純物濃度プロファイルでは十分な耐圧が得られるという事実は、本発明者等が見出だした新規な事実である。

【００８６】

本実施例では、埋込み絶縁膜が厚い場合について説明したが、絶縁膜が薄い場合でも、高抵抗層の最適プロファイルは、直線に近いＳ字カーブとなる。絶縁膜厚がドリフト層長の１／２５以上になると、Ｓ字カーブがきつくなり、耐圧上、Ｓ字プロファイルにすることが望ましい。

【００８７】

図３２は、埋込み絶縁膜$2_{ins.}$が厚い場合の一導電型シリコン活性層$3_{n/p}$の不純物濃度プロファイルの求め方を説明するための図である。

【００８８】

一導電型シリコン活性層$3_{n/p}$内の電圧を固定境界条件とし、一導電型シリコン活性層$3_{n/p}$に水平方向の電位が一定の電界Ｅ（ｘ）を与え、例えば、ポアソン方程式を解くコンピュータプログラム、デバイスシミュレーションまたは解析的な手法により、素子内部の電界分布を求める。

【００８９】

埋込み絶縁膜$2_{ins.}$と一導電型シリコン活性層$3_{n/p}$との界面に垂直な電界をE_V（ｘ）とすると、最適な不純物濃度プロファイルＮ（ｘ）は、

$N(x)=\varepsilon \cdot E_V(x)/(q \cdot t_{Si})$

となる。

【００９０】

ただし、εは埋込み絶縁膜$2_{ins.}$の誘電率、ｑは素電荷、t_{Si}は一導電型シリコン活性層$3_{n/p}$の厚さを示している。なお、Ｎ（ｘ）が負であればｐ型、Ｎ（ｘ）正であればｎ型となる。

【００９１】

本実施例の方法によれば、埋込み絶縁膜$2_{ins.}$の形状が複雑であったり、素子が３次元的な形状であっても数学的に最適な不純物濃度プロファイルが求まる。図３３は、本発明の第２０の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【００９２】

本実施例の高耐圧半導体素子が第１９の実施例のそれと異なる点は、ｉ型シリコン活性層３ｉ上に多段のフィールドプレート14_F，14_{Fn}が設けられていることにある。

【００９３】

フィールドプレート14_Fはｎ側電極４に接続していないフローティングのフィールドプレートであり、フィールドプレート14_{Fn}はｎ側電極４に接続したフィールドプレートである。また、隣り合うフィールドプレートは絶縁膜１５により分離されている。

【００９４】

フィールドプレートが金属製の場合には、フィールドプレート14_Fとｉ型シリコン活性層３ｉとをショットキー接続するか、またはフィールドプレート14_Fを拡散層を介してｉ型シリコン活性層３ｉに接続する。

【００９５】

ここで、拡散層を介して接続するときは、ｎ側電極４側のｎ型不純物濃度が高い領域のフィールドプレート１４$_F$ はｎ型拡散層を介してｉ型シリコン活性層３ｉに接続し、また、ｐ側電極５側のｐ型不純物濃度が高い領域のフィールドプレート１４$_F$ はｐ型拡散層を介してｉ型シリコン活性層３ｉに接続すること好ましい。

【００９６】

また、フィールドプレートがポリシリコン製の場合には、フィールドプレート１４$_F$ とｉ型シリコン活性層３ｉとを直接接続するか、またはフィールドプレート１４$_F$ をポリシリコンを介してｉ型シリコン活性層３ｉに接続する。

【００９７】

ここで、拡散層を介して接続するときは、先の場合と同様に、ｎ側電極４側のフィールドプレート１４$_F$ はｎ型拡散層を介して、また、ｐ側電極５側のフィールドプレート１４$_F$ はｐ型拡散層を介して、ｉ型シリコン活性層３ｉに接続すること好ましい。

【００９８】

本実施例によれば、フィールドプレート１４$_F$ ，１４$_{Fn}$により、さらに耐圧を高くできる。耐圧を高くできることにより、ｉ型シリコン活性層３ｉの不純物濃度を高くでき、かつオン電圧（オン抵抗）を小さくできるようになる。

【００９９】

図３４は、本発明の第２１の実施例に係る高耐圧半導体素子（ＭＯＳＦＥＴ）の素子構造を示す断面図である。

【０１００】

本実施例は、厚い埋込みシリコン酸化膜２$_{thic.}$ 上のｉ型シリコン活性層３ｉに直列接続された複数のＭＯＳＦＥＴを形成した例である。

【０１０１】

ＭＯＳＦＥＴは、ｐ型エミッタ層５（この場合にはｐ型ウェル層としてのｐ型エミッタ層）の表面に選択的に形成された高濃度のｎ型ソース層１６と、ｉ型シリコン活性層３ｉの表面に選択的に形成されたｎ型ドレイン層１７と、このｎ型ドレイン層１７とｎ型ソース層１６との間のｐ型エミッタ層（ｐ型ウェル層）５およびｉ型シリコン活性層３ｉ上の絶縁膜１５内に形成されたゲート電極１９とにより構成されている。この場合、絶縁膜１５は、ゲート絶縁膜としての薄い絶縁膜と、ゲート電極１９を覆う厚い絶縁膜とからなる。

【０１０２】

従来のＳＯＩ基板では、埋込みシリコン酸化膜が比較的薄かったので、何の工夫もなく素子を直列接続すると、高耐圧が得られなくなる。

【０１０３】

一方、埋込みシリコン酸化膜が厚い場合には、ｉ型シリコン活性層の不純物濃度を十分に薄くすることにより、素子を直列接続しても高耐圧が得られる。しかし、この場合には、オン電圧が高くなるという問題がある。

【０１０４】

これに対して本実施例の場合には、まず、Ｓ字型の不純物濃度プロファイルにより耐圧が向上し、さらにｉ型シリコン活性層３ｉが空乏化したときに発生する電荷がフィールドプレート１４$_F$ ，１４$_{Fn}$により打ち消される。

【０１０５】

したがって、本実施例によれば、厚い埋込みシリコン酸化膜２$_{thic.}$ を用いてもｉ型シリコン活性層３ｉの不純物濃度を高くできるので、高耐圧化および低オン電圧化の両方を同時に実現できるようになる。

【０１０６】

図３５は、本発明の第２２の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【０１０７】

本実施例の高耐圧半導体素子が図２８の第１９の実施例のそれと異なる点は、絶縁膜１５上に、酸化物以外の絶縁物（例えば、空気）からなる絶縁膜２１（具体的には図示せず）

を介して、長いフィールドプレート14_Lを設けたことにある。

【０１０８】

埋込みシリコン酸化膜$2_{thic.}$が厚い場合、従来の高耐圧半導体素子では、電界の集中が広範囲にわたって起こる。すなわち、電界の集中は、ｉ型シリコン活性層３ｉのみならず、ｎ型エミッタ層４、ｐ型エミッタ層５の近傍でも起こる。また、電界の集中がなくても、低濃度のｎ型シリコン層であるｉ型シリコン活性層３ｉのかなりの部分がｐ型になる。

【０１０９】

しかし、本実施例によれば、長いフィールドプレート14_Lにより、ｉ型シリコン活性層３ｉからｎ型エミッタ層４にわたる領域の電界の集中を効果的に抑制でき、さらにｉ型シリコン活性層３ｉの全体をｎ型にすることができる。また、このようにｉ型シリコン活性層３ｉをｎ型に保つことができれば、ＭＯＳＦＥＴの作製が容易になる。

【０１１０】

図３６は、本発明の第２３の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図である。

【０１１１】

本実施例の高耐圧半導体素子が第２１の実施例のそれと異なる点は、より長いフィールドプレート14_{LL}を用いたことにある。

【０１１２】

すなわち、本実施例では、ｎ型エミッタ層４からｐ型エミッタ層５まで延びた長いフィールドプレート14_{LL}を用いている。

【０１１３】

このような長いフィールドプレート14_{LL}を用いることにより、広範囲にわたる電界の集中をより効果的に抑制でき、そしてｉ型シリコン活性層３ｉもより効果的にｎ型に保つことができるようになる。

【０１１４】

なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、高耐圧半導体素子としてｐｉｎダイオードやＭＯＳＦＥＴを用いた場合について説明したが、本発明は、他の高耐圧半導体素子、例えば、横型ＩＧＢＴ、横型ＩＥＧＴ等の高耐圧半導体素子の場合にも有効である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【０１１５】

【発明の効果】

以上詳述したように本発明（請求項１，２）によれば、表面に凹凸部が形成された絶縁膜（請求項１）、電気的に浮き、帯電した電極が埋め込まれた絶縁膜（請求項２）を用いることにより、半導体膜の電界密度を小さくでき、従来よりも半導体素子の耐圧を高くできる。

【０１１６】

また、本発明（請求項３）によれば、不純物の濃度プロファイルをＳ字型にすることにより、基板を構成する絶縁膜として厚い絶縁膜を用いた場合にも、従来よりも半導体素子の耐圧を高くできる。

【図面の簡単な説明】

【図１】本発明の第１の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図

【図２】図１の高耐圧半導体素子の作用・効果を説明するための図

【図３】本発明の第２の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図

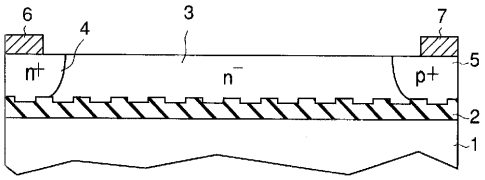
【図４】本発明の第３の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図

【図５】本発明の第４の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図

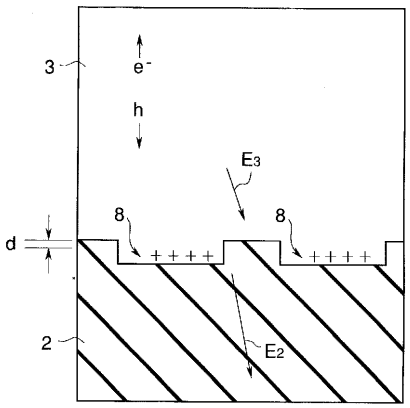
【図６】埋込みシリコン酸化膜の凹凸パターンを示す平面図
【図７】埋込みシリコン酸化膜の他の凹凸パターンを示す平面図
【図８】埋込みシリコン酸化膜の凹凸パターンを示す断面図
【図９】本発明の第５の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図１０】図５の高耐圧半導体素子の作用・効果を説明するための図
【図１１】アバランシェ現象が生じる前の素子内の電界分布を示す図
【図１２】アバランシェ現象が生じた後の素子内の電界分布を示す図
【図１３】本発明の第６の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図１４】ローティング電極の平面形状を示す平面図
【図１５】ローティング電極の他の平面形状を示す平面図
【図１６】本発明の第７の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図１７】本発明の第８の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図１８】本発明の第９の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図１９】本発明の第１０の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図２０】本発明の第１１の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図２１】本発明の第１２の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図２２】本発明の第１３の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図２３】本発明の第１４の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図２４】本発明の第１５の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図２５】本発明の第１６の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図２６】本発明の第１７の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図２７】本発明の第１８の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図２８】本発明の第１９の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造および不純物プロファイルを示す図
【図２９】従来の高耐圧半導体素子の素子構造および不純物プロファイルを示す図
【図３０】図２９の従来の高耐圧半導体素子内の電界分布を示す図
【図３１】図２８の実施例の高耐圧半導体素子内の電界分布を示す図
【図３２】埋込み絶縁膜厚い場合の最適な不純物濃度プロファイルの求め方を説明するための図
【図３３】本発明の第２０の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図３４】本発明の第２１の実施例に係る高耐圧半導体素子（ＭＯＳＦＥＴ）の素子構造を示す断面図
【図３５】本発明の第２２の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【図３６】本発明の第２３の実施例に係る高耐圧半導体素子（ｐｉｎダイオード）の素子

構造を示す断面図
【図３７】従来の高耐圧半導体素子（ｐｉｎダイオード）の素子構造を示す断面図
【符号の説明】
1　　…シリコン基板
2　　…埋込みシリコン酸化膜（ＳＯＩ絶縁膜）
$2_{thic.}$　…厚い埋込み絶縁膜膜（ＳＯＩ絶縁膜）
3　　…ｎ型シリコン活性層（ＳＯＩ半導体膜）
4　　…ｎ型エミッタ層
5　　…ｐ型エミッタ層
6　　…ｎ側電極
7　　…ｐ側電極
8　　…反転層
9　　…フローティング電極
１１　　…フィールドプレート
１２　　…上部電極
１３　　…イオン注入層

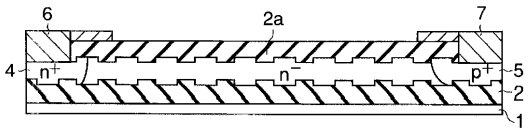
【図１】



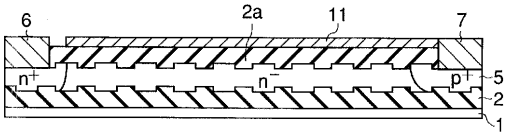
【図２】



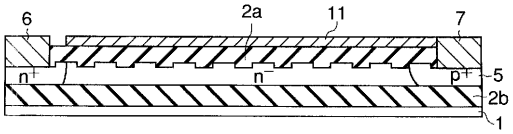
【図３】



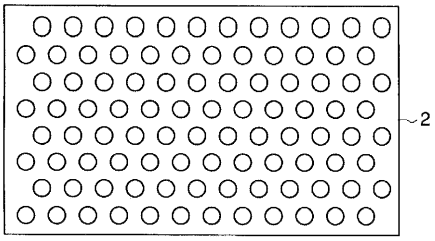
【図４】



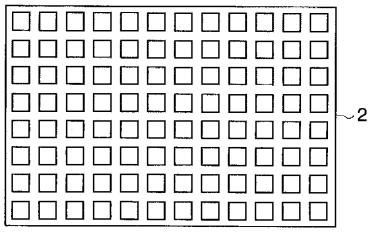
【図５】



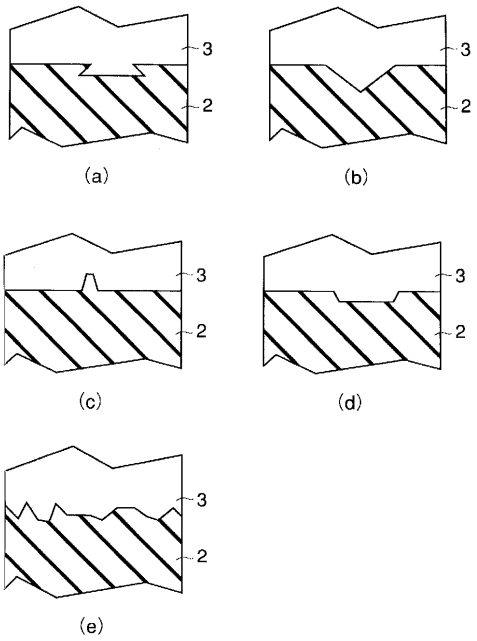
【図６】



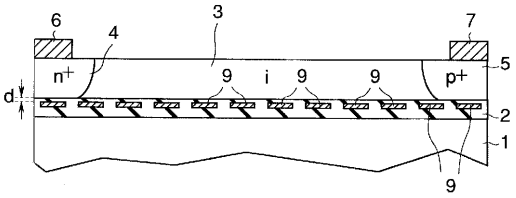
【図７】



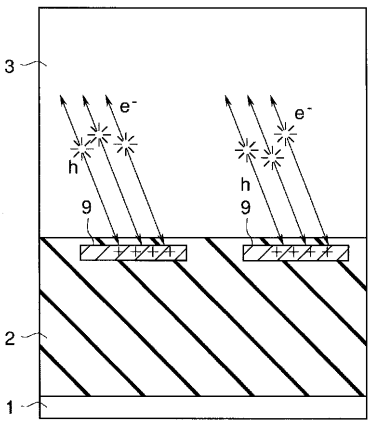
【図８】



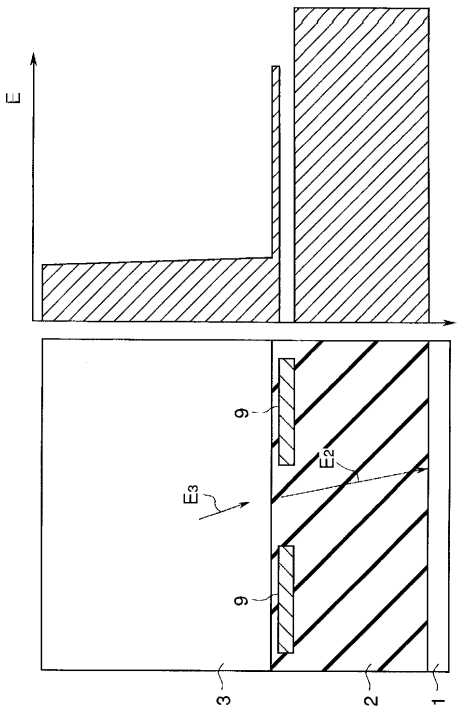
【図９】



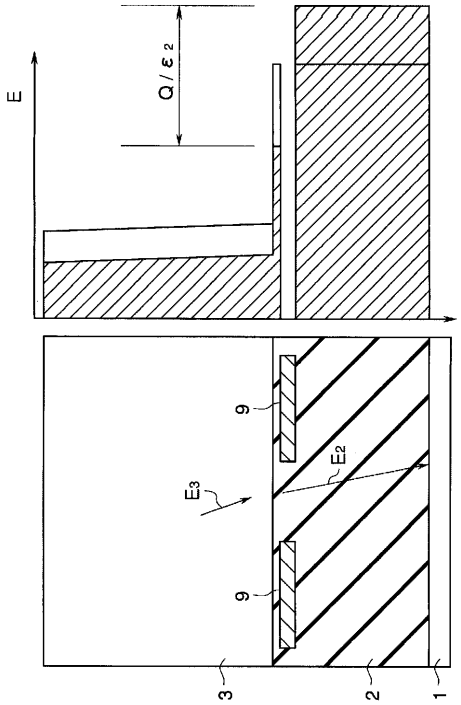
【図１０】



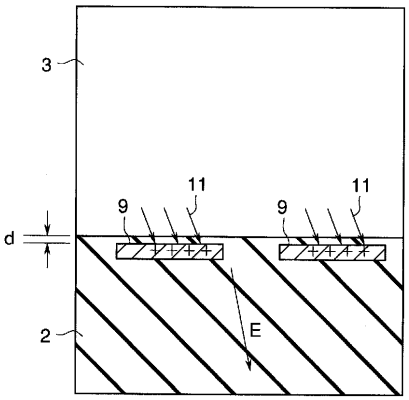
【図１１】



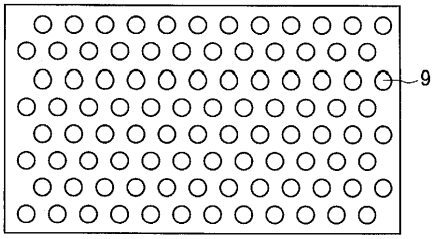
【図１２】



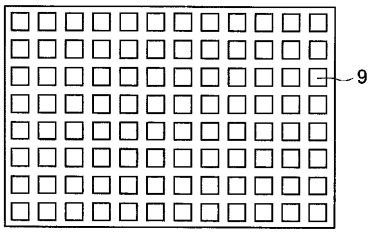
【図１３】



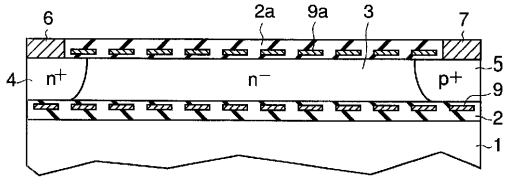
【図１４】



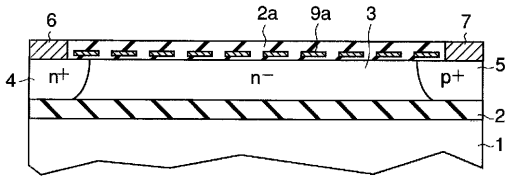
【図１５】



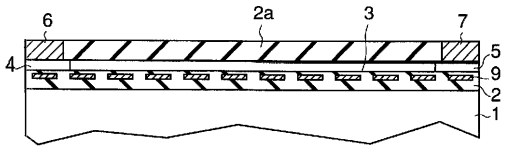
【図１６】



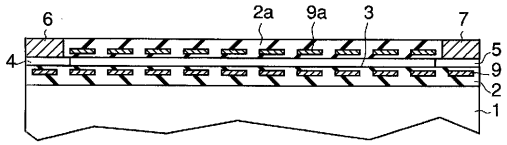
【図１７】



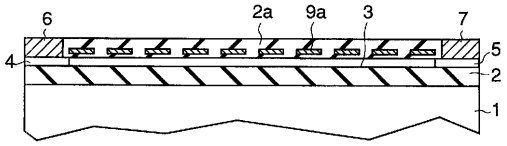
【図１８】



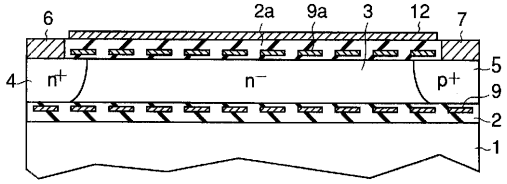
【図１９】



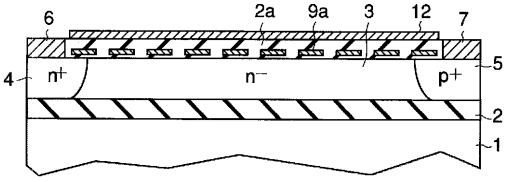
【図２０】



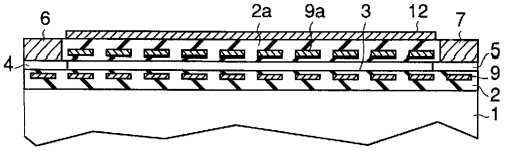
【図２１】



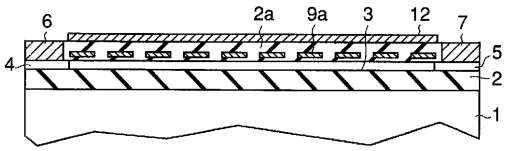
【図２２】



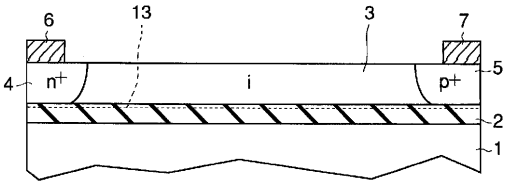
【図２３】



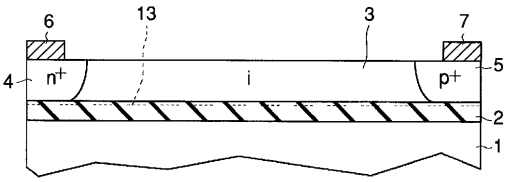
【図２４】



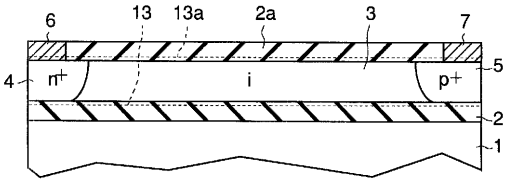
【図２５】



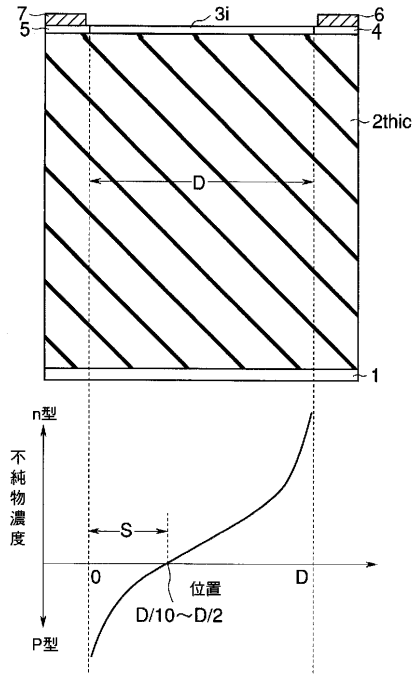
【図２６】



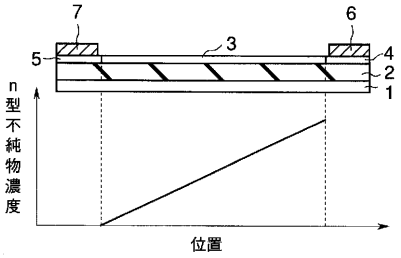
【図２７】



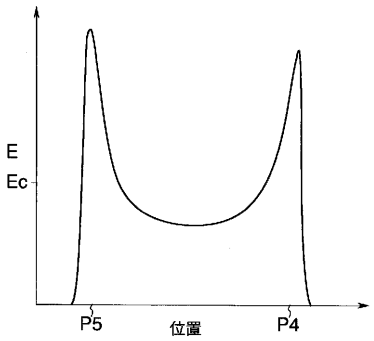
【図２８】



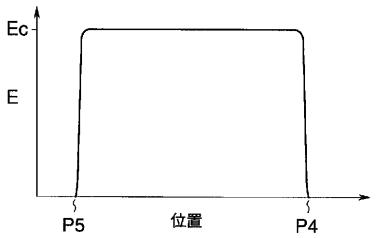
【図２９】



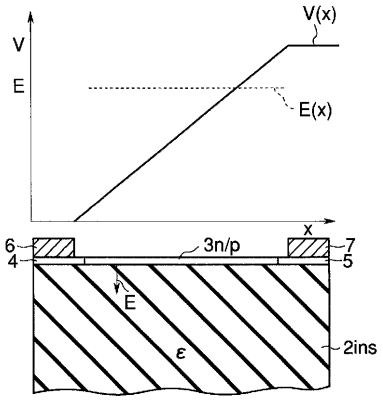
【図３０】



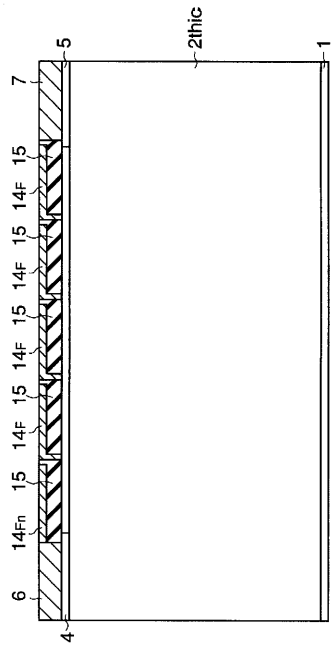
【図３１】



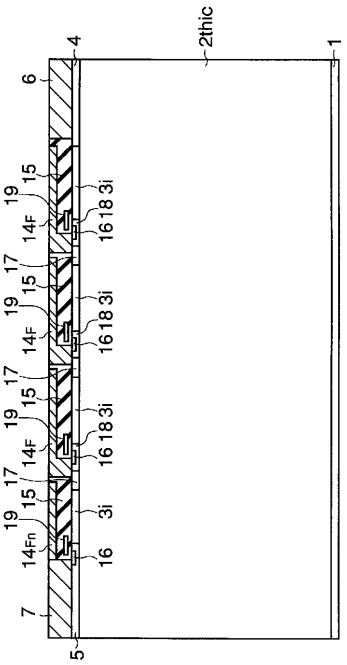
【図３２】



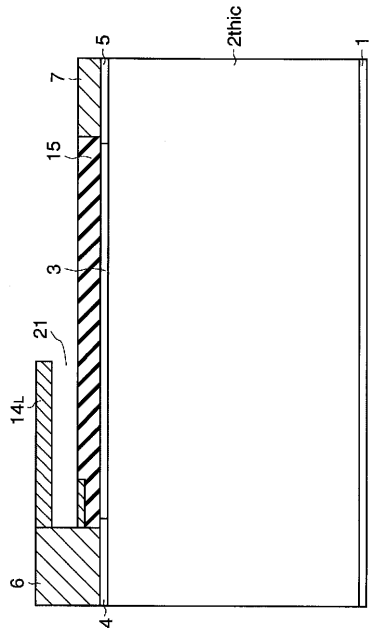
【図３３】



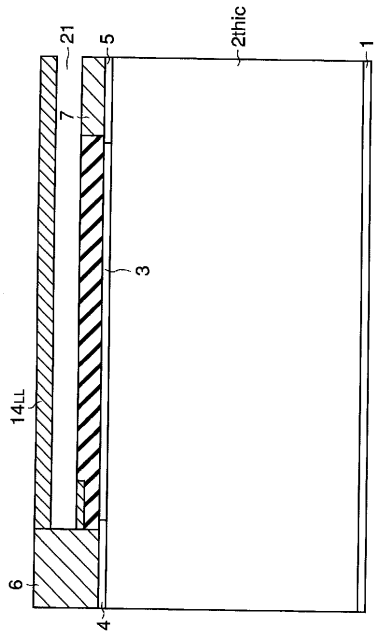
【図３４】



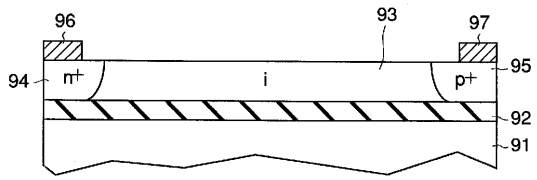
【図３５】


2thic
5
1
7
15
3
21
14L
6
4

【図３６】


21
5
2thic
1
7
3
14LL
6
4

【図３７】


96
93
97
95
94
n+
i
p+
92
91

フロントページの続き

(56)参考文献 特開平０１－０９６９６１（ＪＰ，Ａ）
特開昭６３－２２６９１４（ＪＰ，Ａ）
特開平０５－１９０８７４（ＪＰ，Ａ）
特開平０４－０５６３５６（ＪＰ，Ａ）
特開平０４－０８３３４９（ＪＰ，Ａ）
特開平０６－１４０４２７（ＪＰ，Ａ）
特開平０５－２０５９８７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/861
H01L 27/12