

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-123797
(P2007-123797A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46	5E346
H01L 23/12 (2006.01)	H01L 23/12	F
	H05K 3/46	B

審査請求 有 請求項の数 18 O L (全 26 頁)

(21) 出願番号	特願2006-50475 (P2006-50475)	(71) 出願人	000003067 TDK株式会社 東京都中央区日本橋1丁目13番1号
(22) 出願日	平成18年2月27日 (2006.2.27)	(74) 代理人	100115738 弁理士 鷲頭 光宏
(31) 優先権主張番号	特願2005-282231 (P2005-282231)	(74) 代理人	100121681 弁理士 緒方 和文
(32) 優先日	平成17年9月28日 (2005.9.28)	(72) 発明者	川畑 賢一 東京都中央区日本橋一丁目13番1号TDK株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	森田 高章 東京都中央区日本橋一丁目13番1号TDK株式会社内

最終頁に続く

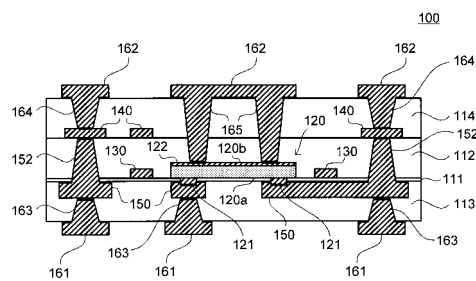
(54) 【発明の名称】 半導体IC内蔵基板及びその製造方法

(57) 【要約】

【課題】 電極ピッチが非常に狭い半導体ICを埋め込むのに好適な半導体IC内蔵基板を提供する。

【解決手段】 主面120aにスタッドバンプ121が設けられた半導体IC120と、半導体IC120の主面120aを覆う第1の樹脂層111と、半導体IC120の裏面120bを覆う第2の樹脂層112とを備える。半導体IC120のスタッドバンプ121は、第1の樹脂層111の表面から突出している。スタッドバンプ121を第1の樹脂層111の表面から突出させる方法としては、ウェットブラスト法などを用いて第1の樹脂層111の厚さを全体的に減少させればよい。これにより、半導体IC120の電極ピッチが狭い場合であっても、正しくスタッドバンプ121の頭出しを行うことができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

主面に導電性突起物が設けられた半導体 IC と、前記半導体 IC の前記主面を覆う第 1 の樹脂層と、前記半導体 IC の裏面を覆う第 2 の樹脂層とを備え、前記半導体 IC の前記導電性突起物は、前記第 1 の樹脂層の表面から突出していることを特徴とする半導体 IC 内蔵基板。

【請求項 2】

前記第 1 及び第 2 の樹脂層の少なくとも一方は、前記半導体 IC の側面に接触していることを特徴とする請求項 1 に記載の半導体 IC 内蔵基板。

【請求項 3】

前記第 1 の樹脂層は前記半導体 IC の前記主面に接触しており、前記第 2 の樹脂層は前記半導体 IC の前記裏面に接触していることを特徴とする請求項 1 又は 2 に記載の半導体 IC 内蔵基板。

【請求項 4】

前記半導体 IC の前記主面及び前記裏面のいずれか一方にはダイアタッチフィルムが設けられており、前記半導体 IC の前記主面及び前記裏面の前記一方は、前記ダイアタッチフィルムを介して前記第 1 及び第 2 の樹脂層のいずれか一方に覆われていることを特徴とする請求項 1 又は 2 に記載の半導体 IC 内蔵基板。

【請求項 5】

前記第 1 及び第 2 の樹脂層を貫通して設けられた貫通電極をさらに備えることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体 IC 内蔵基板。

【請求項 6】

前記第 1 の樹脂層の前記表面に形成され、前記導電性突起物に接続された配線パターンをさらに備え、前記配線パターンの前記導電性突起物上における幅が、前記導電性突起物の突出部分の径よりも小さいことを特徴とする請求項 1 乃至 5 のいずれか一項に記載の半導体 IC 内蔵基板。

【請求項 7】

前記半導体 IC が薄型化されていることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体 IC 内蔵基板。

【請求項 8】

主面に導電性突起物が設けられた半導体 IC を第 1 及び第 2 の樹脂層によって挟み込む第 1 の工程と、

前記第 1 の樹脂層の厚さを減少させることにより、前記半導体 IC の前記導電性突起物を前記第 1 の樹脂層の一方の表面から突出させる第 2 の工程と、

前記第 1 の樹脂層の前記一方の表面に配線パターンを形成する第 3 の工程とを備えることを特徴とする半導体 IC 内蔵基板の製造方法。

【請求項 9】

前記第 2 の工程は、前記第 1 の樹脂層の前記一方の面をウエットブラスト処理することによって厚さを減少させることを特徴とする請求項 8 に記載の半導体 IC 内蔵基板の製造方法。

【請求項 10】

前記第 1 の工程は、前記第 1 の樹脂層の他方の面と前記半導体 IC の前記主面とが向き合うようこれらを重ねる工程と、前記第 2 の樹脂層の一方の面と前記半導体 IC の裏面とが向き合うようこれらを重ねる工程とを含むことを特徴とする請求項 8 又は 9 に記載の半導体 IC 内蔵基板の製造方法。

【請求項 11】

前記第 1 の工程においては、前記第 1 の樹脂層の前記一方又は他方の面に形成されたアライメントマークを基準として、前記半導体 IC を前記第 1 の樹脂層の前記他方の面に搭載することを特徴とする請求項 10 に記載の半導体 IC 内蔵基板の製造方法。

【請求項 12】

10

20

30

40

50

前記第 1 の工程は、前記第 1 の樹脂層の前記一方の面側に支持基板を貼り付けた状態で行うことを特徴とする請求項 10 又は 11 に記載の半導体 IC 内蔵基板の製造方法。

【請求項 13】

前記第 1 の工程を行った後、前記第 2 の工程を行う前に、前記第 2 の樹脂層の他方の面側に他の支持基板を貼り付ける工程と、前記第 1 の樹脂層の前記一方の面側から前記支持基板を剥離する工程を行うことを特徴とする請求項 12 に記載の半導体 IC 内蔵基板の製造方法。

【請求項 14】

前記第 1 の工程は、前記第 2 の樹脂層の一方の面と前記半導体 IC の裏面とが向き合うようこれらを重ねる工程と、前記第 1 の樹脂層の他方の面と前記半導体 IC の前記主面とが向き合うようこれらを重ねる工程とを含むことを特徴とする請求項 8 又は 9 に記載の半導体 IC 内蔵基板の製造方法。

10

【請求項 15】

前記第 1 の工程においては、前記第 2 の樹脂層前記一方又はの他方の面に形成されたアラメントマークを基準として、前記半導体 IC を前記第 2 の樹脂層の前記一方の面に搭載することを特徴とする請求項 14 に記載の半導体 IC 内蔵基板の製造方法。

【請求項 16】

前記第 1 の工程は、前記第 2 の樹脂層の他方の面側に支持基板を貼り付けた状態で行うことを特徴とする請求項 14 又は 15 に記載の半導体 IC 内蔵基板の製造方法。

【請求項 17】

前記第 3 の工程においては、前記配線パターンの前記導電性突起物上における幅を、前記導電性突起物の突出部分の径よりも小さく設定することを特徴とする請求項 8 乃至 16 のいずれか一項に記載の半導体 IC 内蔵基板の製造方法。

20

【請求項 18】

前記第 1 及び第 2 の樹脂層を貫通する貫通電極を形成する第 4 の工程をさらに備えることを特徴とする請求項 8 乃至 17 のいずれか一項に記載の半導体 IC 内蔵基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体 IC 内蔵基板及びその製造方法に関し、特に、電極ピッチが非常に狭い半導体 IC を埋め込むのに好適な半導体 IC 内蔵基板及びその製造方法に関する。

30

【背景技術】

【0002】

近年、半導体 IC 搭載モジュールに対する小型化・薄型化の要求を満たすべく、搭載する半導体 IC をベアチップの状態プリント基板に搭載する提案が数多くなされている。ベアチップ状態の半導体 IC は、パッケージングされた半導体 IC に比べて電極ピッチが非常に狭いことから、これをプリント基板に搭載する場合、半導体 IC に設けられた電極（以下、「パッド電極」という）とプリント基板に設けられた配線（以下、「配線パターン」という）との接続をどのようにして行うかが重要な問題となる。

40

【0003】

パッド電極と配線パターンとを接続する一つの方法として、ワイヤボンディングによりこれらを接続する方法が知られている。この方法によれば、ベアチップ状態の半導体 IC を比較的容易に実装可能であるものの、半導体 IC を搭載する領域とボンディングワイヤを接続する領域とをプリント基板上の別平面とする必要があることから、実装面積が大きくなるという問題があった。

【0004】

また、パッド電極と配線パターンとを接続する他の方法として、ベアチップ状態の半導体 IC をプリント基板にフリップチップ接続する方法も知られている。この方法によれば、実装面積を小さくすることが可能であるものの、パッド電極と配線パターンとの機械的

50

な接続強度を十分に確保するためには、パッド電極の表面に多層のアンダーバリアメタルを施す必要があるなど、工程が複雑になるという問題があった。

【0005】

しかも、上述した2つの方法は、いずれもプリント基板の表面に半導体ICを搭載するものであることから、モジュール全体を薄くすることが困難であるという共通の問題があった。これを解決する方法としては、特許文献1～7に記載されているように、プリント基板にキャビティを形成してその内部にベアチップ状態の半導体ICを埋め込み、これにより半導体IC内蔵基板を構成する方法が考えられる。

【0006】

しかしながら、特許文献1～7に記載された方法では、キャビティが形成された部分の強度を確保するためにプリント基板の厚さをある程度厚くする必要があり、これがモジュールの薄型化の妨げになるという問題があった。さらに、キャビティの平面方向の大きさを半導体ICの平面の方向の大きさよりもある程度大きく設定する必要があることから、パッド電極と配線パターンとの相対的な位置関係にずれが生じ、このため電極ピッチが100μm以下といった狭い半導体ICを用いることは非常に困難であった。

10

【0007】

しかも、半導体ICを埋め込んだ度、レーザーを照射することによって個々のパッド電極を露出させていることから、半導体ICの電極ピッチが狭くなれば狭くなるほど、高い加工精度が要求されるばかりでなく、パッド電極の数に比例して加工時間が増大するという問題もあった。また、半導体ICの電極ピッチが狭くなると、レーザー照射によって形成するビアの径も小さくする必要があるので、ビア内部のデスマリア処理が困難になるという問題もあった。

20

【0008】

これに対し、特許文献8には、転写用基板に半導体ICを固定した状態で、プリント基板に設けられたポスト電極を転写用基板に設けられた位置決め穴に挿入することによって、未硬化又は半硬化状態である樹脂層に半導体ICを埋め込み、その後、研磨又はブラストによりパッド電極を露出させる方法が開示されている。この方法によれば、高精度に半導体ICを位置決めできるばかりでなく、レーザー照射によって個々のパッド電極を露出させる場合に生じる上記問題を解消することが可能となる。

【0009】

しかしながら、特許文献8の方法は、プリント基板にあらかじめポスト電極を形成しておかなければならないという制約が生じるとともに、転写用基板の加工が必要であることから、必ずしも、全ての半導体IC内蔵基板の製造に適しているとは言えなかった。

30

【0010】

その他、半導体IC内蔵基板の製造方法に関するものではないが、半導体ICに設けられた電極を頭出しする方法として、研磨又はブラストを用いた例が特許文献9～11に開示されている。

【特許文献1】特開平9-321408号公報

【特許文献2】特開2002-246500号公報

【特許文献3】特開2001-339165号公報

【特許文献4】特開2002-50874号公報

【特許文献5】特開2002-170840号公報

【特許文献6】特開2002-246507号公報

【特許文献7】特開2003-7896号公報

【特許文献8】特開2005-64470号公報

【特許文献9】特開平11-274241号公報

【特許文献10】特開2001-250902号公報

【特許文献11】特開2003-197655号公報

40

【発明の開示】

【発明が解決しようとする課題】

50

【0011】

このように、従来の方法では、電極ピッチの狭い半導体ICを基板内に埋め込む場合、種々の問題が生じていた。本発明は、このような問題を解決すべくなされたものであって、電極ピッチが非常に狭い半導体ICを埋め込むのに好適な半導体IC内蔵基板及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明による半導体IC内蔵基板は、主面に導電性突起物が設けられた半導体ICと、前記半導体ICの前記主面を覆う第1の樹脂層と、前記半導体ICの前記裏面を覆う第2の樹脂層とを備え、前記半導体ICの前記導電性突起物は、前記第1の樹脂層の表面から突出していることを特徴とする。第1及び第2の樹脂層の少なくとも一方は、半導体ICの側面に接触していることが好ましい。また、第1の樹脂層は半導体ICの主面に接触しており、第2の樹脂層は半導体ICの裏面に接触していることもまた好ましい。

10

【0013】

半導体ICの主面及び裏面のいずれか一方にダイアタッチフィルムを設け、半導体ICの主面及び裏面の前記一方がダイアタッチフィルムを介して第1及び第2の樹脂層のいずれか一方に覆われていても構わない。

【0014】

本発明による半導体IC内蔵基板は、第1及び第2の樹脂層を貫通して設けられた貫通電極をさらに備えることが好ましい。また、半導体ICが薄型化されていることがより好ましい。

20

【0015】

また、本発明による半導体IC内蔵基板は、第1の樹脂層の前記表面に形成され、導電性突起物に接続された配線パターンをさらに備え、配線パターンの導電性突起物上における幅が、導電性突起物の突出部分の径よりも小さいことが好ましい。

【0016】

また、本発明による半導体IC内蔵基板の製造方法は、主面に導電性突起物が設けられた半導体ICを第1及び第2の樹脂層によって挟み込む第1の工程と、前記第1の樹脂層の厚さを減少させることにより、前記半導体ICの前記導電性突起物を前記第1の樹脂層の一方の表面から突出させる第2の工程と、前記第1の樹脂層の前記一方の表面に配線パターンを形成する第3の工程とを備えることを特徴とする。

30

【0017】

第2の工程は、第1の樹脂層の一方の面をウエットブラスト処理することによって厚さを減少させることが好ましい。

【0018】

また、第1の工程は、第1の樹脂層の他方の面と半導体ICの主面とが向き合うようこれらを重ねる工程と、第2の樹脂層の一方の面と半導体ICの裏面とが向き合うようこれらを重ねる工程とを含むことが好ましい。この場合、第1の工程においては、第1の樹脂層の一方又は他方の面に形成されたアライメントマークを基準として、半導体ICを第1の樹脂層の前記他方の面に搭載することが好ましい。

40

【0019】

また、第1の工程は、第1の樹脂層の一方の面側に支持基板を貼り付けた状態で行うことが好ましい。この場合、第1の工程を行った後、第2の工程を行う前に、第2の樹脂層の他方の面側に他の支持基板を貼り付ける工程と、第1の樹脂層の一方の面側から支持基板を剥離する工程を行うことがより好ましい。

【0020】

一方、第1の工程は、第2の樹脂層の一方の面と半導体ICの裏面とが向き合うようこれらを重ねる工程と、第1の樹脂層の他方の面と半導体ICの主面とが向き合うようこれらを重ねる工程とを含むこともまた好ましい。この場合、第1の工程においては、第2の樹脂層の一方又は他方の面に形成されたアライメントマークを基準として、半導体ICを

50

第 2 の樹脂層の一方の面に搭載することが好ましい。また、第 1 の工程は、第 2 の樹脂層の他方の面側に支持基板を貼り付けた状態で行うことがより好ましい

【 0 0 2 1 】

第 3 の工程においては、配線パターンの導電性突起物上における幅を、導電性突起物の突出部分の径よりも小さく設定することが好ましい。また、第 1 及び第 2 の樹脂層を貫通する貫通電極を形成する第 4 の工程をさらに備えることもまた好ましい。

【 発明の効果 】

【 0 0 2 2 】

本発明によれば、半導体 IC に設けられた導電性突起物を露出させる方法として、レーザー照射ではなく、ウエットブラスト法などによって第 1 の樹脂層の厚さを全体的に減少させていることから、電極ピッチが狭い場合であっても、正しく導電性突起物の頭出しを行うことができる。しかも、導電性突起物の数にかかわらず、短時間で頭出しを行うことが可能となる。また、レーザー照射によって微小なビアを形成する場合のように、スミアが発生しないことから、デスミア処理を省略することも可能となる。

10

【 0 0 2 3 】

また、半導体 IC の搭載時に、アライメントマークを基準として位置合わせすれば、高い搭載位置精度を得ることができる。

【 0 0 2 4 】

さらに、第 1 の樹脂層上に形成する配線パターンの幅を、導電性突起物の突出部分の径よりも小さく設定すれば、電極ピッチが特に狭い場合であっても、ショート不良の発生を防止することが可能となる。

20

【 0 0 2 5 】

これらにより、本実施形態によれば、電極ピッチの狭い半導体 IC を基板に埋め込む場合に従来生じていた種々の問題を解消することが可能となる。

【 発明を実施するための最良の形態 】

【 0 0 2 6 】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【 0 0 2 7 】

図 1 は本発明の好ましい第 1 の実施形態による半導体 IC 内蔵基板 1 0 0 の構造を示す略断面図である。

30

【 0 0 2 8 】

図 1 に示すように、本実施形態による半導体 IC 内蔵基板 1 0 0 は、積層された樹脂層 1 1 1 ~ 1 1 4 と、樹脂層 1 1 1 と樹脂層 1 1 2 との間に埋め込まれた半導体 IC 1 2 0 と、アライメントマーク 1 3 0 と、各種配線パターン 1 4 0 , 1 5 0 , 1 6 1 , 1 6 2 と、貫通電極 1 5 2 , 1 6 3 ~ 1 6 5 とを備えて構成されている。半導体 IC 1 2 0 のパッド電極 (図 1 には示されていない) 上には、導電性突起物の一種であるスタッドバンプ 1 2 1 がそれぞれ形成されており、各パッド電極は対応するスタッドバンプ 1 2 1 を介して、配線パターン 1 5 0 と電氣的に接続されている。スタッドバンプ 1 2 1 は、図 1 に示すように、樹脂層 1 1 1 の表面から突出している。

40

【 0 0 2 9 】

但し、本発明において半導体 IC 1 2 0 に設けられた導電性突起物がスタッドバンプに限定されるものではなく、プレートバンプ、メッキバンプ、ボールバンプなどの各種のバンプを用いることができる。導電性突起物としてスタッドバンプを用いる場合には、銀や銅をワイヤボンディングにて形成することができ、プレートバンプを用いる場合には、メッキ、スパッタ又は蒸着によって形成することができる。また、メッキバンプを用いる場合には、メッキによって形成することができ、ボールバンプを用いる場合には、半田ボールをランド電極上に載置した後、これを溶融させるか、クリーム半田をランド電極上に印刷した後、これを溶融させることによって形成することができる。導電性突起物に使用可能な金属種としては特に限定されず、例えば、金 (A u)、銀 (A g)、銅 (C u)、ニ

50

ッケル (Ni)、スズ (Sn)、クロム (Cr)、ニッケル・クロム合金 (Ni-Cr)、半田などを使用することができる。また、導電性材料をスクリーン印刷し、これを硬化させた円錐状、円柱状等のパンプや、ナノペーストを印刷し、加熱によりこれを焼結させてなるパンプを用いることもできる。

【0030】

スタッドパンプ121などの導電性突起物の高さは、5～200 μ m程度に設定することが好ましく、10～80 μ m程度に設定することが特に好ましい。これは、高さが5 μ m未満であると、後述するスタッドパンプ121の頭出し工程において、半導体IC120の主面120a上を覆っている樹脂層111が全て無くなり、半導体IC120の主面120aにダメージが加わるおそれがあるからである。一方、高さが200 μ mを超える

10

【0031】

尚、図1には示されていないが、最外層の配線パターン161, 162の少なくとも一方には、コンデンサ等の受動部品を搭載することができる。

【0032】

本実施形態による半導体IC内蔵基板100では、内蔵される半導体IC120は研磨により薄型化されており、これにより半導体IC内蔵基板100の全体の厚さを1mm以下、例えば、200 μ m程度まで薄くすることが可能である。また後述するように、本実施形態では、半導体IC120がアライメントマーク130に対して位置合わせがされて

20

【0033】

図2は、半導体IC120の構造を示す略斜視図である。

【0034】

図2に示すように、半導体IC120はベアチップ状態の半導体ICであり、その主面120aには多数のパッド電極121aが備えられている。後述するが、本実施形態による半導体IC内蔵基板100では、スタッドパンプ121の頭出しをウェットブラスト法により一括して行うため、従来のようにレーザー照射によってパッド電極を露出させる場合の問題が生じない。このため、特に限定されるものではないが、パッド電極121aの

30

【0035】

また、半導体IC120の裏面120bは研磨されており、これにより半導体IC120の厚さt(主面120aから裏面120bまでの距離)は、通常半導体ICに比べて非常に薄くされている。半導体IC120の厚さtについては、特に限定されないが、200 μ m以下、例えば20～100 μ m程度に設定することが好ましい。裏面120bの研磨は、ウエハの状態多数の半導体ICに対して一括して行い、その後、ダイシングにより個別の半導体IC120に分離することが好ましい。研磨により薄くする前にダイシングによって個別の半導体IC120に分離した場合には、熱硬化性樹脂等により半導体

40

【0036】

但し、本発明において、半導体IC120の薄型化方法が研磨に限定されるものではなく、他の方法、例えば、エッチング、プラズマ処理、レーザー照射、ブラスト処理による薄型化方法を用いても構わない。

【0037】

また、各パッド電極121aには、スタッドパンプ121が形成されている。スタッドパンプ121の大きさについては、電極ピッチに応じて適宜設定すればよく、例えば、電極ピッチが約100 μ mである場合には、径を30～80 μ m程度、高さを10～80 μ m程度に設定すればよい。スタッドパンプ121の形成は、ダイシングにより個別の半導

50

体 I C 1 2 0 に分離した後、ワイヤボンダーを用いて各パッド電極 1 2 1 a にこれらを形成することにより行うことができる。スタッドバンプ 1 2 1 の材料としては、特に限定されるものではないが銅 (C u) を用いることが好ましい。スタッドバンプ 1 2 1 の材料として銅 (C u) を用いれば、金 (A u) を用いた場合と比べ、パッド電極 1 2 1 a に対して高い接合強度を得ることが可能となり、信頼性が高められる。

【 0 0 3 8 】

図 1 に示すように、本実施形態による半導体 I C 内蔵基板 1 0 0 では、半導体 I C 1 2 0 の主面 1 2 0 a が樹脂層 1 1 1 によって直接覆われ、半導体 I C 1 2 0 の裏面 1 2 0 b が樹脂層 1 1 2 によって直接覆われている。また、半導体 I C 1 2 0 のスタッドバンプ 1 2 1 は、樹脂層 1 1 1 の表面から突出しており、この突出部分において配線パターン 1 5 0 と接続されている。

10

【 0 0 3 9 】

また、半導体 I C 1 2 0 の裏面 1 2 0 b には、金属層 1 2 2 が形成されている。金属層 1 2 2 は、半導体 I C 1 2 0 の動作によって発生する熱の放熱経路としての役割を果たすとともに、半導体 I C 1 2 0 の裏面 1 2 0 b に発生するクラックをより効果的に防止する役割を果たす。さらに、半導体 I C 1 2 0 のハンドリング性を向上させる役割をも果たす。

【 0 0 4 0 】

金属層 1 2 2 は、樹脂層 1 1 2 , 1 1 4 を貫通して設けられた貫通電極 1 6 5 によって、最外層に形成された配線パターン 1 6 2 に接続されている。この貫通電極 1 6 5 は、半導体 I C 1 2 0 が発する熱の放熱経路となることから、極めて効率よくマザーボードへと放熱することができる。このため、特に限定されるものではないが、半導体 I C 1 2 0 の種類としては、 C P U や D S P のように動作周波数が非常に高いデジタル I C を選択することが可能である。

20

【 0 0 4 1 】

樹脂層 1 1 1 ~ 1 1 4 の材料としては、リフロー耐久性を有する材料であれば熱硬化性、熱可塑性樹脂を問わず用いることができる。具体的には、エポキシ樹脂、ビスマレイミド - トリアジン樹脂 (B T レジン)、フェノール樹脂、ビニルベンジル樹脂、ポリフェニレンエーテル (ポリフェニレンエーテルオキサイド) 樹脂 (P P E , P P O)、シアネート樹脂、ベンゾオキサジン樹脂、ポリイミド樹脂、芳香族ポリエステル樹脂、ポリフェニレンサルファイド樹脂、ポリエーテルイミド樹脂、ポリアリレート樹脂、ポリエーテルエーテルケトン樹脂などを選択することができる。また、ガラスクロス、アラミド、芳香族ポリエステル等の不織布に上記樹脂を含浸させた材料や上記樹脂にフィラーを含有させた材料を用いてもよい。

30

【 0 0 4 2 】

次に、図 1 に示す半導体 I C 内蔵基板 1 0 0 の製造方法について、図面を参照しながら説明する。

【 0 0 4 3 】

図 3 乃至図 2 2 は、図 1 に示す半導体 I C 内蔵基板 1 0 0 の製造方法を説明するための工程図である。

40

【 0 0 4 4 】

まず、図 3 に示すように、アライメントマーク 1 3 0 が形成された樹脂層 1 1 1 を用意し、これに支持基板 1 8 1 を貼り付ける。アライメントマーク 1 3 0 は、樹脂層 1 1 1 の表面に形成された導体層をパターンングすることによって形成しても構わないし、樹脂層 1 1 1 の表面に転写法によって形成しても構わない。いずれにしても、アライメントマーク 1 3 0 は、半導体 I C 1 2 0 の位置合わせに使用されることから、その形成位置については正確に制御する必要がある。尚、アライメントマーク 1 3 0 は、実際の配線パターンによって代用しても構わないし、アライメント専用のパターンであっても構わない。

【 0 0 4 5 】

支持基板 1 8 1 の材料については、特に限定されるものではないが、例えば、ニッケル

50

(Ni) やステンレスを用いることができる。支持基板 181 の厚さについては、必要な機械的強度が確保される限り特に限定されず、例えば 50 ~ 2000 μm 程度に設定すればよい。一方、樹脂層 111 の厚さについては、少なくともスタッドバンプ 121 の高さを超える厚みを有している必要がある。

【0046】

次に、図 4 に示すように、アライメントマーク 130 を用いて位置合わせしながら、半導体 IC 120 を樹脂層 111 の表面に搭載する。本実施形態では、半導体 IC 120 をフェイスダウン方式、つまり、主面 120a を下側にして搭載する。このとき、樹脂層 111 は熱硬化性樹脂の場合は加熱により溶融させるか、熱可塑性樹脂の場合はその弾性によってスタッドバンプ 121 が樹脂層 111 にめり込む。これにより、半導体 IC 120 は、樹脂層 111 に仮止めされた状態となる。また、半導体 IC 120 の主面 120a と樹脂層 111 は、接触した状態となる。樹脂層 111 の材料が熱硬化性樹脂である場合は、その後、加熱させることにより完全に固定することもできる。また熱可塑性樹脂である場合も、加熱・溶融により密着性を高めて固定することもできる。

10

【0047】

次に、図 5 に示すように、未硬化又は半硬化状態である樹脂層 112 と導体層 140a の積層シートを、樹脂層 112 と半導体 IC 120 の裏面 120b とが向き合うよう重ね、熱を加えながら両者をプレスする。これにより樹脂層 112 は硬化し、図 6 に示すように、半導体 IC 120 の裏面 120b 及び側面 120c が、樹脂層 112 によって完全に覆われた状態となる。また、樹脂層 112 の材料が熱可塑性材料である場合は、重ね合わせた後、やはり熱を加えながら両者をプレスすることにより、同様の状態となる。つまり、この時点で、半導体 IC 120 は、樹脂層 111, 112 に挟み込まれた状態となる。

20

【0048】

次に、図 6 に示すように、半導体 IC 120 からみて支持基板 181 とは反対側の表面に、別の支持基板 182 を貼り付ける。このようにして、別の支持基板 182 を貼り付けた後、図 7 に示すように、先に貼り付けた支持基板 181 を剥離する。

【0049】

次に、図 8 に示すように、樹脂層 111 の表面をウエットブラスト法によりエッチングする。ウエットブラスト法は、エッチングする材料の展性によってエッチングレートが異なり、具体的には、相対的に展性の小さい材料（硬化した樹脂など）はエッチングレートが大きく、相対的に展性の大きい材料（金属など）はエッチングレートが小さくなる。このため、樹脂層 111 の表面をウエットブラスト法によりエッチングすると、エッチング量・エッチング条件の調整により、半導体 IC 120 に設けられたスタッドバンプ 121 が樹脂層 111 の表面から突出した状態とすることができる。突出量については特に限定されるものではないが、0.1 ~ 20 μm 程度に設定することが好ましい。

30

【0050】

但し、樹脂層 111 の厚さを減少させる方法としては、ウエットブラスト法に限定されるものではなく、ドライブラスト法、イオンミリング法、プラズマエッチング法など、他のエッチング法を用いても構わない。但し、十分な選択比が確保できる点、高い加工精度が得られる点、並びに、作業効率に優れる点などから、ウエットブラスト法を用いることが非常に好ましい。尚、樹脂層 111 の厚さを減少させる方法として、パフなどを用いた研磨は、本発明においては不適合である。これは、パフなどを用いた研磨では、スタッドバンプ 121 と樹脂層 111 とが同一平面となり、スタッドバンプ 121 を突出させることができないばかりでなく、研磨条件によっては、スタッドバンプ 121 を構成する導電材料がパフの回転方向にスジとなって延在し、ショートの原因となるおそれがあるからである。

40

【0051】

このように、スタッドバンプ 121 を露出させる方法として、従来のようにレーザー照射により樹脂層 111 にレーザビアを形成するのではなく、ウエットブラスト法などによって樹脂層 111 の厚さを全体的に減少させていることから、電極ピッチが狭い場合であ

50

っても、一括してスタッドバンプ 1 2 1 の頭出しを正しく行うことができる。

【 0 0 5 2 】

次に、図 9 に示すように、樹脂層 1 1 1 側からレーザーを照射することにより、樹脂層 1 1 1 , 1 1 2 を貫通する貫通孔 1 1 2 a を形成する。但し、貫通孔 1 1 2 a の形成は、レーザー照射以外の方法を用いても構わない。

【 0 0 5 3 】

次に、図 1 0 に示すように、スパッタリング法等の気相成長法により、貫通孔 1 1 2 a の内部を含む樹脂層 1 1 1 側の全表面に、薄い下地導体層 1 5 1 を形成する。これにより、導体層 1 4 0 a のうち貫通孔 1 1 2 a の底部にて露出する部分や、スタッドバンプ 1 2 1 の突出部分は、下地導体層 1 5 1 によって直接覆われることになる。但し、下地導体層 1 5 1 の形成においては、気相成長法の代わりに無電解メッキ法や蒸着法を用いても構わない。下地導体層 1 5 1 の不要部分はその後除去されることから、下地導体層 1 5 1 の厚さは十分に薄く設定する必要があり、0 . 0 0 5 ~ 3 μ m 程度、例えば 0 . 3 ~ 2 μ m 程度に設定することが好ましい。

10

【 0 0 5 4 】

尚、本実施形態では、ウエットプラスト処理により、スタッドバンプ 1 2 1 が樹脂層 1 1 1 の表面から突出した状態となっていることから、下地導体層 1 5 1 を形成する前に、エッチング残渣の除去などの前処理を行う必要はない。つまり、スタッドバンプ 1 2 1 と樹脂層 1 1 1 とが同一平面であると、スタッドバンプ 1 2 1 の表面がエッチング残渣で覆われている可能性があり、そのまま下地導体層 1 5 1 を形成すると導通不良を起こす可能性もある。これに対し、本実施形態のように、樹脂層 1 1 1 の表面からスタッドバンプ 1 2 1 が突出するような条件でウエットプラスト処理すれば、スタッドバンプ 1 2 1 の表面からはエッチング残渣が確実に取り除かれるため、前処理などを行うことなく、下地導体層 1 5 1 を形成することが可能となる。

20

【 0 0 5 5 】

次に、図 1 1 に示すように、基材の両面、つまり、下地導体層 1 5 1 の表面及び支持基板 1 8 2 の表面に感光性のドライフィルム 1 0 1 , 1 0 2 をそれぞれ貼り付けた後、図示しないフォトマスクを用いてドライフィルム 1 0 1 を露光し、配線パターン 1 5 0 を形成すべき領域 1 5 0 a のドライフィルム 1 0 1 を除去する。これにより、配線パターン 1 5 0 を形成すべき領域 1 5 0 a においては、下地導体層 1 5 1 が露出した状態となる。

30

【 0 0 5 6 】

このときドライフィルム 1 0 2 の除去は行わず、これにより支持基板 1 8 2 の表面については実質的に全面が覆われた状態を保っておく。ドライフィルム 1 0 1 の厚さについては、配線パターン 1 5 0 よりもやや厚く設定する必要があり、例えば、配線パターン 1 5 0 の厚さを 2 0 μ m 程度とする場合には、ドライフィルム 1 0 1 の厚さとしては 2 5 μ m 程度に設定すればよい。一方、ドライフィルム 1 0 2 は、支持基板 1 8 2 の表面にメッキが施されるのを防止する目的で設けられるものであり、その厚さについては任意である。

【 0 0 5 7 】

ここで、配線パターン 1 5 0 を形成すべき領域 1 5 0 a には、図 1 1 に示すように、スタッドバンプ 1 2 1 に対応する領域が含まれている。電極ピッチが非常に狭い半導体 IC 1 2 0 が用いられる場合、スタッドバンプ 1 2 1 と領域 1 5 0 a の平面方向における位置関係に大きなずれは許容されないが、本実施形態では、半導体 IC 1 2 0 がアライメントマーク 1 3 0 に対して位置合わせされていることから、スタッドバンプ 1 2 1 と領域 1 5 0 a の平面方向における位置関係に生じるずれを少なくすることが可能となる。

40

【 0 0 5 8 】

ここで、図 1 1 に示す例では、配線パターン 1 5 0 を形成すべき領域 1 5 0 a の幅がスタッドバンプ 1 2 1 の径よりも大きく設定されているが、電極ピッチが特に狭い場合には、配線パターン 1 5 0 を形成すべき領域 1 5 0 a の幅をスタッドバンプ 1 2 1 の径よりも小さく設定することにより、製造マージンを確保することが可能である。

【 0 0 5 9 】

50

つまり、模式的な平面図である図 1 2 に示すように、スタッドバンプ 1 2 1 の突出部分の径を A とし、配線パターン 1 5 0 を形成すべき領域 1 5 0 a の幅を B とした場合、

$A < B$ 、又は

$A = B$

であると、図 1 3 に示すように、ドライフィルム 1 0 1 のパターンニング時に大きなずれが生じた場合、一つの領域 1 5 0 a 内に 2 つのスタッドバンプ 1 2 1 が含まれてしまうことになる。このようなずれが生じた場合、最終的にこれら 2 つのスタッドバンプ 1 2 1 は配線パターン 1 5 0 によって短絡されるため、ショート不良となってしまう。

【 0 0 6 0 】

このような問題は、スタッドバンプ 1 2 1 の突出部分の径を A とし、配線パターン 1 5 0 を形成すべき領域 1 5 0 a の幅を B とした場合、図 1 4 に示すように、

$A > B$

に設定することにより解決できる。これによれば、ドライフィルム 1 0 1 のパターンニング時に多少のずれが生じたとしても、一つの領域 1 5 0 a 内に 2 つのスタッドバンプ 1 2 1 が含まれてしまう可能性を低減することができる。具体的には、

$A = B$

である場合と比べ、

$A - B$

で与えられる距離だけマージンが拡大する。したがって、実現可能なマージンを X とすると、

$B < A - X$

を満たすように領域 1 5 0 a の幅 B を設定すれば、隣り合うスタッドバンプ 1 2 1 のショートを確実に防止することが可能となる。

【 0 0 6 1 】

但し、本発明において

$A > B$

に設定することは必須でなく、図 1 2 に示す例のように、

$A < B$ 、又は

$A = B$

であっても構わない。

【 0 0 6 2 】

このようにして下地導体層 1 5 1 の一部を露出させた後、図 1 5 に示すように、下地導体層 1 5 1 を基体とした電解メッキを行う。これにより、下地導体層 1 5 1 が露出している領域 1 5 0 a には、配線パターン 1 5 0 が形成される。したがって、領域 1 5 0 a の幅が B に設定されていれば、形成される配線パターン 1 5 0 の幅も B となる。また、貫通孔 1 1 2 a の内部は貫通電極 1 5 2 によって満たされる。つまり、貫通電極 1 5 2 は、樹脂層 1 1 1 , 1 1 2 を貫通し、これにより、導体層 1 4 0 a と配線パターン 1 5 0 は貫通電極 1 5 2 を介して接続されることになる。支持基板 1 8 2 の表面については、実質的にその全面がドライフィルム 1 0 2 によって覆われていることから、メッキが形成されることはない。

【 0 0 6 3 】

メッキ液の種類については、配線パターン 1 5 0 及び貫通電極 1 5 2 を構成すべき材料に応じて適宜選択すればよく、例えば、これらの材料を銅 (C u) とする場合には、メッキ液として硫酸銅浴を用いればよい。

【 0 0 6 4 】

次に、図 1 6 に示すように、ドライフィルム 1 0 1 , 1 0 2 を剥離し、さらに、酸などのエッチング液を用いて配線パターン 1 5 0 が形成されていない部分の不要な下地導体層 1 5 1 を除去 (ソフトエッチング) する。

【 0 0 6 5 】

次に、図 1 7 に示すように、樹脂層 1 1 3 と導体層 1 7 1 の積層シートをプレスし、加

10

20

30

40

50

熱する。これにより図 18 に示すように、配線パターン 150 及び樹脂層 111 が樹脂層 113 によって覆われた状態となる。

【0066】

次に、後に貼り付けた支持基板 182 を剥離し、露出した導体層 140a をパターンニングすることによって、図 19 に示すように配線パターン 140 を形成する。

【0067】

次に、図 20 に示すように、樹脂層 114 と導体層 172 の積層シートをプレスし、加熱する。これにより、図 21 に示すように、配線パターン 140 及び樹脂層 112 が樹脂層 114 によって覆われた状態となる。

【0068】

さらに、図 22 に示すように、導体層 171, 172 を除去又は薄膜化した後、レーザー照射などによって貫通孔 113a, 114a, 114b を形成する。貫通孔 113a は、樹脂層 113 を貫通して配線パターン 150 を露出させる貫通孔であり、貫通孔 114a は、樹脂層 114 を貫通して配線パターン 140 を露出させる貫通孔であり、貫通孔 114b は、樹脂層 114, 112 を貫通して金属層 122 を露出させる貫通孔である。

【0069】

そして、貫通孔 113a, 114a, 114b の内部を含む全表面に薄い下地導体層 160 を形成し、その後、図 11、図 15 及び図 16 を用いて説明した工程と同様の工程を行うことにより、図 1 に示した最外面の配線パターン 161, 162 を形成する。この工程により、貫通孔 113a の内部は貫通電極 163 によって満たされ、これにより、配線パターン 161 と配線パターン 150 とが接続される。また、貫通孔 114a の内部は貫通電極 164 によって満たされ、これにより、配線パターン 162 と配線パターン 140 とが接続される。さらに、貫通孔 114b の内部は貫通電極 165 によって満たされ、これにより、配線パターン 162 と金属層 122 とが接続される。

【0070】

このようにして、図 1 に示した半導体 IC 内蔵基板 100 が完成する。

【0071】

以上説明したように、本実施形態においては、スタッドバンプ 121 を露出させる方法として、レーザー照射ではなく、ウエットブラスト法などによって樹脂層 111 の厚さを全体的に減少させていることから、電極ピッチが狭い場合であっても、正しくスタッドバンプ 121 の頭出しを行うことができる。しかも、スタッドバンプ 121 の数にかかわらず、短時間でスタッドバンプ 121 の頭出しを行うことが可能となる。また、レーザー照射によって微小なビアを形成する場合のように、スミアが発生しないことから、デスミア処理を省略することも可能となる。

【0072】

特に、本実施形態では、スタッドバンプ 121 の頭出し方法としてウエットブラスト法を用い、エッチング量・エッチング条件の調整によって、スタッドバンプ 121 を樹脂層 111 の表面から突出させていることから、下地導体層 151 を形成する前に、エッチング残渣の除去などの前処理を行う必要もない。

【0073】

さらに、半導体 IC 120 の搭載時に、樹脂層 111 の表面に形成されたアライメントマーク 130 を基準として位置合わせしていることから、高い搭載位置精度を得ることができる。

【0074】

これらにより、本実施形態によれば、電極ピッチの狭い半導体 IC を基板に埋め込む場合に従来生じていた種々の問題を解消することが可能となる。しかも、本実施形態では、半導体 IC 120 をフェイスダウン方式で搭載していることから、下側からスタッドバンプ 121 を画像認識しながら搭載することができるため、非常に高い搭載位置精度を得ることが可能となる。

【0075】

10

20

30

40

50

また、本実施形態において用いている半導体 IC 120 は、研磨などによりその厚さ t が非常に薄く設定されていることから、半導体 IC 内蔵基板 100 全体の厚さを非常に薄く、例えば $200\ \mu\text{m}$ 程度とすることが可能となる。

【0076】

さらに、本実施形態では、一連の工程の大部分において、仕掛かり中の基材を支持基板 181 又は支持基板 182 によって保持しながらプロセスを進めていることから、ハンドリング性が向上するとともに、基材のワレ、カケ、変形による半導体 IC 120 への負荷を低減することができる。また、パターニング時における基材の寸法変化、歪みを防止することもできる。これらにより、スタッドバンプ 121 と配線パターン 150 とのずれや歪みを抑えることができ、接続安定性を高めることが可能となる。

10

【0077】

しかも、配線パターン 150 の幅 (B) がスタッドバンプ 121 の突出部分の径 (A) よりも小さくなるように設定すれば、電極ピッチが特に狭い場合であっても、ショート不良の発生を防止することが可能となる。このような構成は、レーザー照射によってスタッドバンプ 121 を露出させる方法では採用困難であり、この点も、ウエットブラスト法によりスタッドバンプ 121 の頭出しを行う本実施形態の大きな利点である。

【0078】

つまり、レーザー照射によってスタッドバンプ 121 を露出させる方法では、レーザー開口径の縮小は $50\ \mu\text{m} \sim 80\ \mu\text{m}$ 程度が限界である。しかも、レーザー照射時には不可避免的に位置ずれが生じるため、スタッドバンプ 121 の径が例えば $50 \sim 60\ \mu\text{m}$ 程度のサイズであると、レーザー照射により所望のスタッドバンプ 121 だけを正しく露出させるのは事実上不可能となる。また、レーザーでビアを形成した後、セミアディティブ法を用いて配線パターン 150 を形成する場合、配線パターン 150 の幅 (B) をビアの径と同じかそれ以下に設定しようとする、ドライフィルムの露光、現像、剥離性に問題が生じ、正しくパターニングできなくなってしまう。サブトラクティブ法を用いる場合も、ビアの径より配線パターン 150 の幅 (B) を小さくすると、ビア内のメッキもエッチングされてしまい、オープン不良となってしまう。

20

【0079】

このように、レーザー照射によってスタッドバンプ 121 を露出させる方法では、配線パターン 150 の幅 (B) をスタッドバンプ 121 の径よりも小さく設定することは極めて困難である。これに対し、本実施形態では、ウエットブラスト法を用いてスタッドバンプ 121 の頭出しを行っていることから、このような問題が生じることがなく、配線パターン 150 の幅 (B) をスタッドバンプ 121 の突出部分の径 (A) よりも小さくなるように設定することが可能となる。

30

【0080】

次に、本発明の好ましい第 2 の実施形態による半導体 IC 内蔵基板について説明する。

【0081】

図 23 は本発明の好ましい第 2 の実施形態による半導体 IC 内蔵基板 200 の構造を示す略断面図である。

【0082】

図 23 に示すように、本実施形態による半導体 IC 内蔵基板 200 は、積層された樹脂層 211 ~ 214 と、樹脂層 211 と樹脂層 212 との間に埋め込まれた半導体 IC 220 と、アライメントマーク 230 と、各種配線パターン 250, 261, 262 と、貫通電極 252, 263 ~ 265 とを備えて構成されている。半導体 IC 220 は、図 2 に示した半導体 IC 120 と同様の構成を有している。本実施形態においても、スタッドバンプ 221 は、樹脂層 211 の表面から突出しており、突出部分において配線パターン 250 と電氣的に接続されている。

40

【0083】

本実施形態においても、最外層の配線パターン 261, 262 の少なくとも一方には、コンデンサ等の受動部品を搭載することができる。また、樹脂層 211 ~ 214 の材料と

50

しては、上記第1の実施形態における樹脂層111～114と同様の材料を用いることができる。

【0084】

次に、図23に示す半導体IC内蔵基板200の製造方法について、図面を参照しながら説明する。

【0085】

図24乃至図38は、図23に示す半導体IC内蔵基板200の製造方法を説明するための工程図である。

【0086】

まず、図24に示すように、両面に導体層230a, 271が形成された樹脂層213 10
を用意し、これに支持基板281を貼り付ける。

【0087】

次に、図25に示すように、導体層230aをパターニングし、これによりアライメントマーク230を形成する。本実施形態におけるアライメントマーク230は、実際の配線パターンとしても用いられるパターンである。

【0088】

次に、図26に示すように、樹脂層213及びアライメントマーク230を覆う樹脂層212を形成する。

【0089】

次に、図27に示すように、アライメントマーク230を用いて位置合わせしながら、 20
半導体IC220を樹脂層212の表面に搭載する。本実施形態では、半導体IC220をフェイスアップ方式、つまり、主面220aを上側にして搭載する。これにより、半導体IC220の裏面220bは、樹脂層212によって完全に覆われた状態となる。

【0090】

次に、図28に示すように、樹脂層211と導体層270の積層シートを、樹脂層211と半導体IC220の主面220aとが向き合うよう重ね、熱を加えながら両者をプレスする。これにより図29に示すように、半導体IC220の主面220a及び側面220cが、樹脂層211によって完全に覆われた状態となる。つまり、この時点で、半導体IC220は、樹脂層211, 212に挟み込まれた状態となる。

【0091】

次に、図30に示すように、導体層270を除去した後、樹脂層211の表面をウエットプラスト法等を用いてエッチングする。このとき、上記実施形態と同様、エッチング量・エッチング条件の調整によって、半導体IC220に設けられたスタッドバンプ221が樹脂層211の表面から突出させる。 30

【0092】

次に、図31に示すように、樹脂層211側からレーザーを照射することにより、樹脂層211, 212を貫通する貫通孔211aを形成する。但し、貫通孔211aの形成は、レーザー照射以外の方法を用いても構わない。

【0093】

次に、図32に示すように、スパッタリング法等の気相成長法により、貫通孔211a 40
の内部を含む樹脂層211側の全表面に、薄い下地導体層251を形成する。これにより、アライメントマーク230のうち貫通孔211aの底部にて露出する部分や、スタッドバンプ221の突出部分は、下地導体層251によって直接覆われることになる。本実施形態においても、ウエットプラスト処理により、スタッドバンプ221が樹脂層211の表面から突出した状態となっていることから、下地導体層251を形成する前に、エッチング残渣の除去などの前処理を行う必要はない。

【0094】

次に、図33に示すように、基材の両面、つまり、下地導体層251の表面及び支持基板281の表面に感光性のドライフィルム201, 202をそれぞれ貼り付けた後、図示しないフォトリソマスクを用いてドライフィルム201を露光し、配線パターン250を形成 50

すべき領域 250 a のドライフィルム 201 を除去する。これにより、配線パターン 250 を形成すべき領域 250 a においては、下地導体層 251 が露出した状態となる。このときドライフィルム 202 の除去は行わず、これにより支持基板 281 の表面については実質的に全面が覆われた状態を保っておく。

【0095】

本実施形態においても、配線パターン 250 を形成すべき領域 250 a には、図 33 に示すように、スタッドバンプ 221 に対応する領域が含まれているが、半導体 IC 220 がアライメントマーク 230 に対して位置合わせされていることから、スタッドバンプ 221 と領域 250 a の平面方向における位置関係に生じるずれは少ない。

【0096】

ここでも、電極ピッチが特に狭い場合には、スタッドバンプ 221 の突出部分の径を A とし、配線パターン 250 を形成すべき領域 250 a の幅を B とした場合、 $A > B$

に設定することが好ましい。

【0097】

このようにして下地導体層 251 の一部を露出させた後、図 34 に示すように、下地導体層 251 を基体とした電解メッキを行う。これにより、下地導体層 251 が露出している領域 250 a には、配線パターン 250 が形成される。したがって、領域 250 a の幅が B に設定されていれば、形成される配線パターン 250 の幅も B となる。また、貫通孔 211 a の内部は貫通電極 252 によって満たされる。つまり、貫通電極 252 は、樹脂層 211, 212 を貫通し、これにより、アライメントマーク 230 と配線パターン 250 は貫通電極 252 を介して接続されることになる。支持基板 281 の表面については、実質的にその全面がドライフィルム 202 によって覆われていることから、メッキが形成されることはない。

【0098】

次に、図 35 に示すように、ドライフィルム 201, 202 を剥離し、さらに、酸などのエッチング液を用いて配線パターン 250 が形成されていない部分の不要な下地導体層 251 を除去（ソフトエッチング）する。

【0099】

次に、図 36 に示すように、樹脂層 214 と導体層 272 の積層シートをプレスし、加熱する。これにより、図 37 に示すように、配線パターン 250 及び樹脂層 211 が樹脂層 214 によって覆われた状態となる。その後、支持基板 281 を剥離する。

【0100】

さらに、図 38 に示すように、導体層 271, 272 を除去又は薄膜化した後、レーザー照射などによって貫通孔 213 a, 213 b, 214 a を形成する。貫通孔 213 a は、樹脂層 213 を貫通してアライメントマーク 230 を露出させる貫通孔であり、貫通孔 213 b は、樹脂層 213, 212 を貫通して金属層 222 を露出させる貫通孔であり、貫通孔 214 a は、樹脂層 214 を貫通して配線パターン 250 を露出させる貫通孔である。

【0101】

そして、貫通孔 213 a, 213 b, 214 a の内部を含む全表面に薄い下地導体層 260 を形成し、その後、図 33 ~ 図 35 を用いて説明した工程と同様の工程を行うことにより、図 23 に示した最外面の配線パターン 261, 262 を形成する。この工程により、貫通孔 213 a の内部は貫通電極 263 によって満たされ、これにより、配線パターン 261 とアライメントマーク 230 とが接続される。また、貫通孔 213 b の内部は貫通電極 264 によって満たされ、これにより、配線パターン 261 と金属層 222 とが接続される。さらに、貫通孔 214 a の内部は貫通電極 265 によって満たされ、これにより、配線パターン 262 と配線パターン 250 とが接続される。

【0102】

このようにして、図 23 に示した半導体 IC 内蔵基板 200 が完成する。

10

20

30

40

50

【0103】

以上説明したように、本実施形態においても、ウエットブラスト法などによって樹脂層211の厚さを全体的に減少させ、これにより、スタッドバンプ221を樹脂層211の表面から突出させていることから、上記実施形態と同様の効果を得ることが可能となる。しかも、本実施形態では、半導体IC220をフェイスアップ方式で搭載していることから、支持基板281が1枚で済み、工程の途中で張り替えを行う必要がなくなる。このため、より単純なプロセスによって基材の変形などを防止することが可能となる。

【0104】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

10

【0105】

例えば、上述した第1及び第2の実施形態では、導体パターンをアライメントマークとして用いているが、アライメントマークが導体パターンに限定されるものではなく、樹脂層に設けた凹部などをアライメントマークとして利用しても構わない。一例として、図39に示すように、突起302を有する金型301を用いたプレスにより、樹脂層111に凹部130aを形成し、図40に示すように、この凹部130aをアライメントマークとして、半導体IC120を搭載しても構わない。

【0106】

また、第1の実施形態では、アライメントマーク130を樹脂層111の表面のうち、半導体IC120が搭載される側の面に設けられているが、アライメントマーク130の位置としてはこれに限定されるものではなく、例えば、樹脂層111の反対側の表面に設けても構わない。同様に、第2の実施形態では、アライメントマーク230を樹脂層212の表面のうち、半導体IC220が搭載される側とは反対側の面に設けられているが、アライメントマーク230の位置としてはこれに限定されるものではなく、例えば、樹脂層212の反対側の表面に設けても構わない。

20

【0107】

さらに、上述した第1及び第2の実施形態では、半導体ICを樹脂層に直接搭載しているが、半導体ICにダイアタッチフィルムを設け、ダイアタッチフィルムを介して樹脂層に搭載しても構わない。一例として、図41に示すように、半導体IC220の裏面にダイアタッチフィルム229を設け、ダイアタッチフィルム229と樹脂層212とを接着することによって、半導体IC220を樹脂層212に仮止めしても構わない。この場合、樹脂層212が接着性を有している必要はない。図42に示す例の場合、半導体IC200の裏面220bと樹脂層212との間にダイアタッチフィルム229が介在するため、両者は直接接触しなくなるが、半導体IC200の裏面220bは、ダイアタッチフィルム229を介して樹脂層212によって覆われることになる。

30

【図面の簡単な説明】

【0108】

【図1】本発明の好ましい第1の実施形態による半導体IC内蔵基板100の構造を示す略断面図である。

40

【図2】半導体IC120の構造を示す略斜視図である。

【図3】半導体IC内蔵基板100の製造工程の一部（アライメントマーク130の形成）を示す図である。

【図4】半導体IC内蔵基板100の製造工程の一部（半導体IC120の搭載）を示す図である。

【図5】半導体IC内蔵基板100の製造工程の一部（樹脂層112のプレス）を示す図である。

【図6】半導体IC内蔵基板100の製造工程の一部（支持基板182の貼り付け）を示す図である。

【図7】半導体IC内蔵基板100の製造工程の一部（支持基板181の剥離）を示す図

50

である。

【図 8】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（樹脂層 1 1 1 のエッチング）を示す図である。

【図 9】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（貫通孔 1 1 2 a の形成）を示す図である。

【図 1 0】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（下地導体層 1 5 1 の形成）を示す図である。

【図 1 1】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（ドライフィルム 1 0 1 , 1 0 2 の貼り付け及び露光）を示す図である。

【図 1 2】スタッドバンプ 1 2 1 と配線パターン 1 5 0 を形成すべき領域 1 5 0 a との関係を示す模式的な平面図であり、 $A < B$ である場合を示している。 10

【図 1 3】図 1 2 に示す領域 1 5 0 a に大きなずれが生じた状態を示す模式的な平面図である。

【図 1 4】スタッドバンプ 1 2 1 と配線パターン 1 5 0 を形成すべき領域 1 5 0 a との関係を示す模式的な平面図であり、 $A > B$ である場合を示している。

【図 1 5】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（配線パターン 1 5 0 の形成）を示す図である。

【図 1 6】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（ドライフィルム 1 0 1 , 1 0 2 及び下地導体層 1 5 1 の除去）を示す図である。

【図 1 7】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（樹脂層 1 1 3 のプレス（プレス前））を示す図である。 20

【図 1 8】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（樹脂層 1 1 3 のプレス（プレス後））を示す図である。

【図 1 9】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（支持基板 1 8 2 の剥離）を示す図である。

【図 2 0】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（樹脂層 1 1 4 のプレス（プレス前））を示す図である。

【図 2 1】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（樹脂層 1 1 4 のプレス（プレス後））を示す図である。

【図 2 2】半導体 I C 内蔵基板 1 0 0 の製造工程の一部（貫通孔 1 1 3 a , 1 1 4 a , 1 1 4 b 及び下地導体層 1 6 0 の形成）を示す図である。 30

【図 2 3】本発明の好ましい第 2 の実施形態による半導体 I C 内蔵基板 2 0 0 の構造を示す略断面図である。

【図 2 4】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（支持基板 2 8 1 の貼り付け）を示す図である。

【図 2 5】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（アライメントマーク 2 3 0 の形成）を示す図である。

【図 2 6】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（樹脂層 2 1 2 の形成）を示す図である。

【図 2 7】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（半導体 I C 2 2 0 の搭載）を示す図である。 40

【図 2 8】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（樹脂層 2 1 1 のプレス（プレス前））を示す図である。

【図 2 9】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（樹脂層 2 1 1 のプレス（プレス後））を示す図である。

【図 3 0】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（樹脂層 2 1 1 のエッチング）を示す図である。

【図 3 1】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（貫通孔 2 1 1 a の形成）を示す図である。

【図 3 2】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（下地導体層 2 5 1 の形成）を示す 50

す図である。

【図 3 3】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（ドライフィルム 2 0 1 , 2 0 2 の貼り付け及び露光）を示す図である。

【図 3 4】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（配線パターン 2 5 0 の形成）を示す図である。

【図 3 5】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（ドライフィルム 2 0 1 , 2 0 2 及び下地導体層 2 5 1 の除去）を示す図である。

【図 3 6】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（樹脂層 2 1 4 のプレス（プレス前））を示す図である。

【図 3 7】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（樹脂層 2 1 4 のプレス（プレス後））を示す図である。 10

【図 3 8】半導体 I C 内蔵基板 2 0 0 の製造工程の一部（貫通孔 2 1 3 a , 2 1 3 b , 2 1 4 a 及び下地導体層 2 6 0 の形成）を示す図である。

【図 3 9】樹脂層 1 1 1 に凹部 1 3 0 a を形成する方法を説明するための図である。

【図 4 0】樹脂層 1 1 1 に設けた凹部 1 3 0 a をアライメントマークとして半導体 I C 1 2 0 を搭載した状態を示す図である。

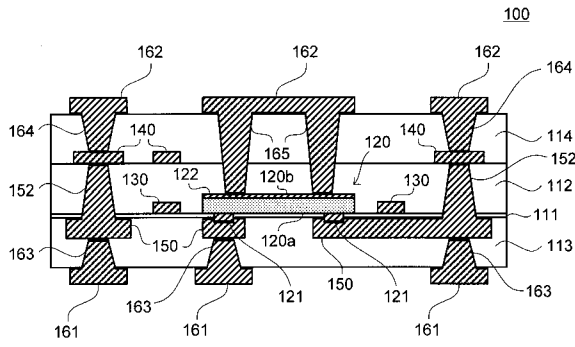
【図 4 1】ダイアタッチフィルム 2 2 9 を介して半導体 I C 2 2 0 を樹脂層 2 1 2 に搭載した状態を示す図である。

【符号の説明】

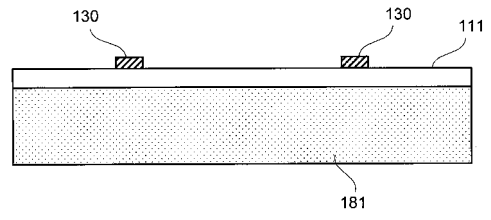
【 0 1 0 9 】

1 0 0 , 2 0 0	半導体 I C 内蔵基板	20
1 0 1 , 1 0 2 , 2 0 1 , 2 0 2	ドライフィルム	
1 1 1 ~ 1 1 4 , 2 1 1 ~ 2 1 4	樹脂層	
1 1 2 a , 1 1 3 a , 1 1 4 a , 1 1 4 b , 2 1 1 a , 2 1 3 a , 2 1 3 b , 2 1 4 a	貫通孔	
1 2 0 , 2 2 0	半導体 I C	
1 2 0 a , 2 2 0 a	半導体 I C の主面	
1 2 0 b , 2 2 0 b	半導体 I C の裏面	
1 2 0 c , 2 2 0 c	半導体 I C の側面	
1 2 1 , 2 2 1	スタッドバンプ	30
1 2 1 a	パッド電極	
1 2 2 , 2 2 2	金属層	
1 3 0 , 2 3 0	アライメントマーク	
1 3 0 a	凹部	
1 4 0 , 1 5 0 , 1 6 1 , 1 6 2 , 2 5 0 , 2 6 1 , 2 6 2	配線パターン	
1 4 0 a , 1 7 1 , 1 7 2 , 2 3 0 a , 2 7 1 , 2 6 1 , 2 6 2 , 2 7 0 , 2 7 1 , 2 7 2	導体層	
1 5 0 a , 2 5 0 a	導体層を形成すべき領域	
1 5 1 , 1 6 0 , 2 5 1 , 2 6 0	下地導体層	
1 5 2 , 1 6 3 ~ 1 6 5 , 2 5 2 , 2 6 3 ~ 2 6 5	貫通電極	40
1 8 1 , 1 8 2 , 2 8 1	支持基板	
2 2 9	ダイアタッチフィルム	
3 0 1	金型	
3 0 2	突起	

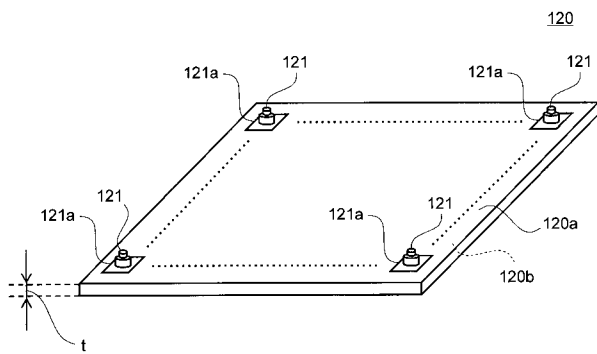
【 図 1 】



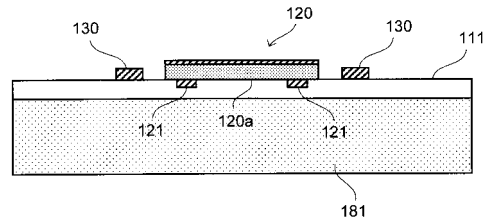
【 図 3 】



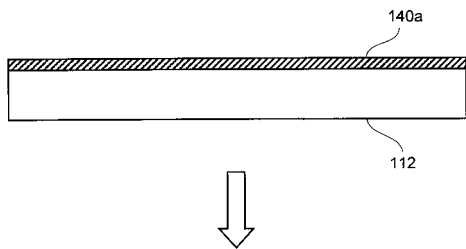
【 図 2 】



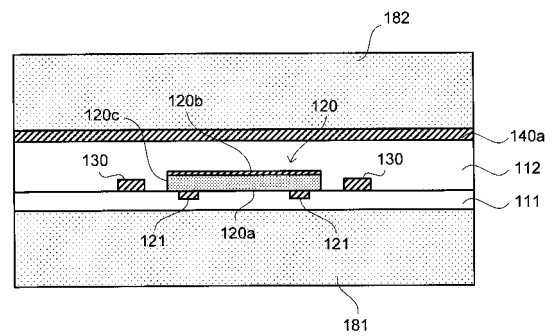
【 図 4 】



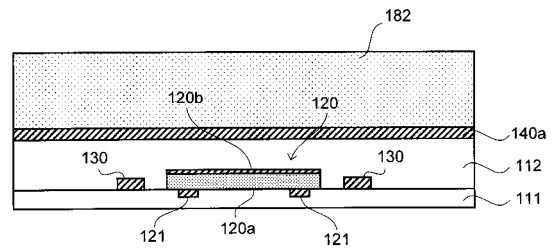
【 図 5 】



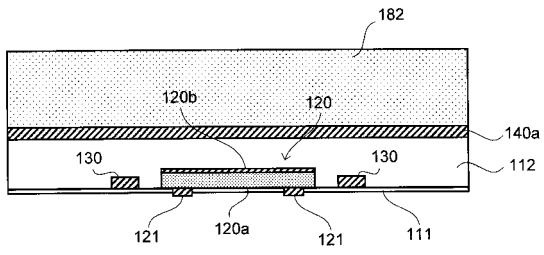
【 図 6 】



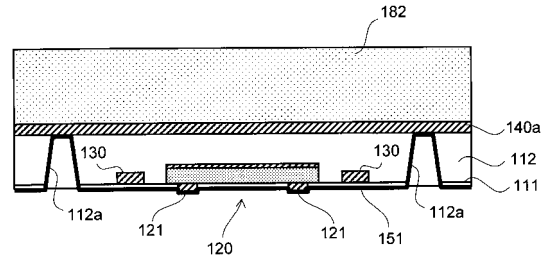
【 図 7 】



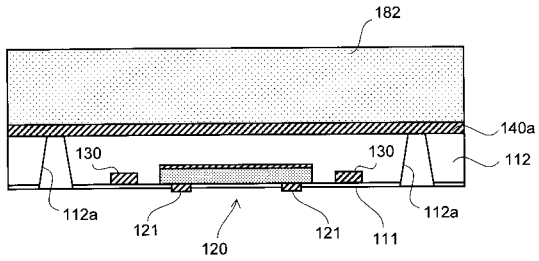
【 図 8 】



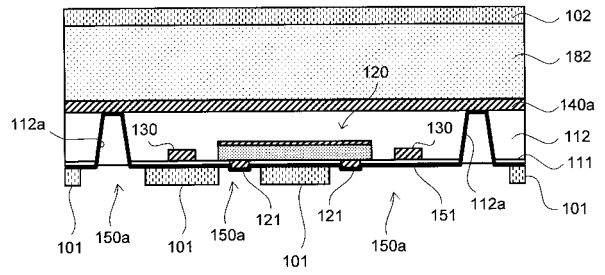
【 図 10 】



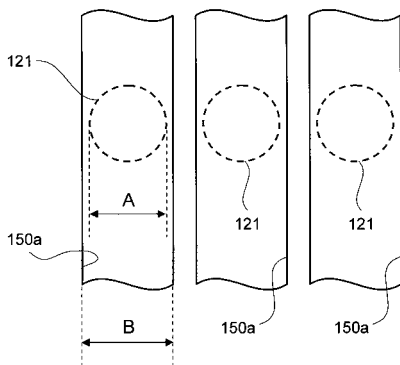
【 図 9 】



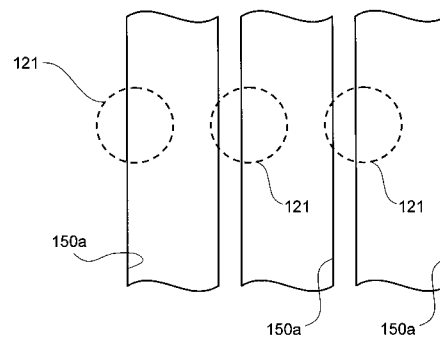
【 図 11 】



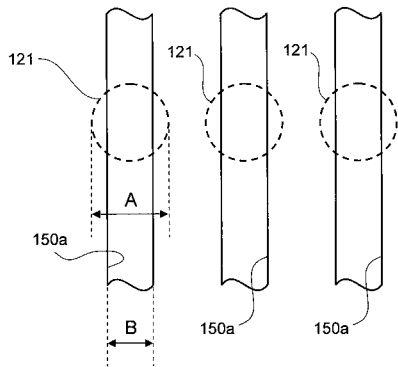
【 図 12 】



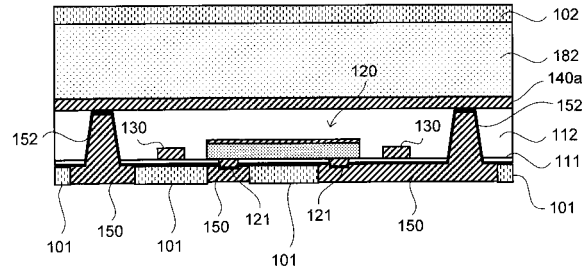
【 図 13 】



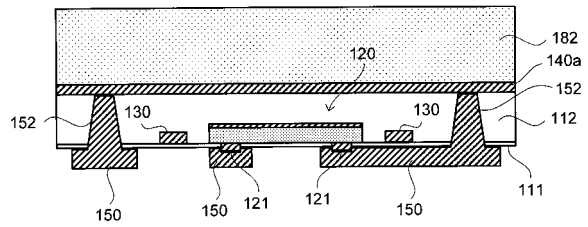
【 図 1 4 】



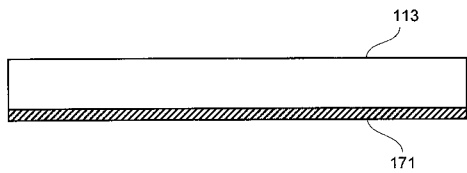
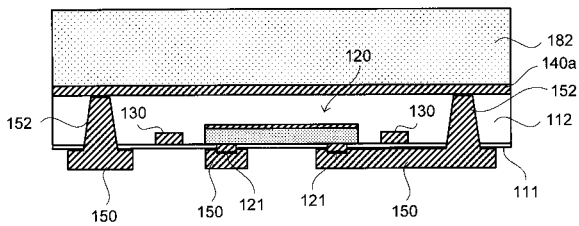
【 図 1 5 】



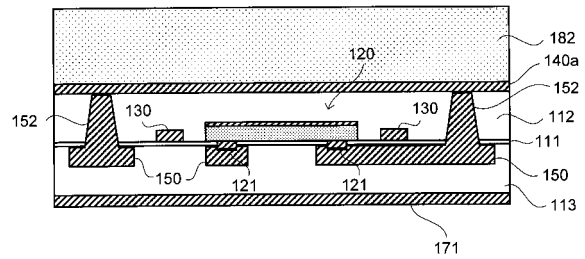
【 図 1 6 】



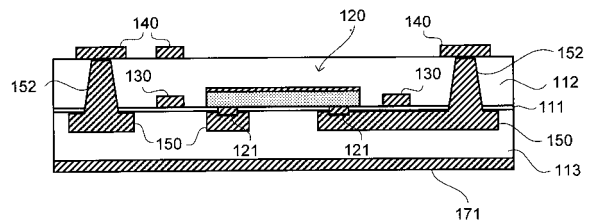
【 図 1 7 】



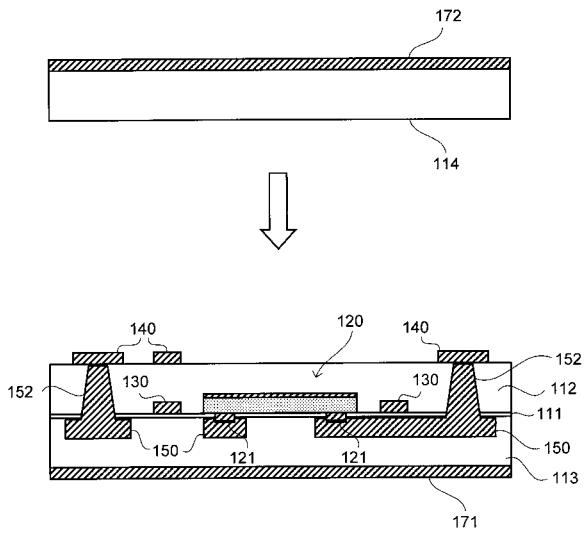
【 図 1 8 】



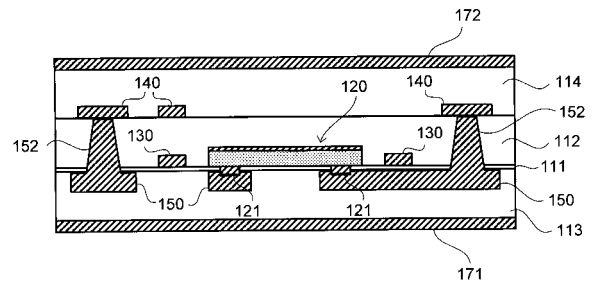
【 図 1 9 】



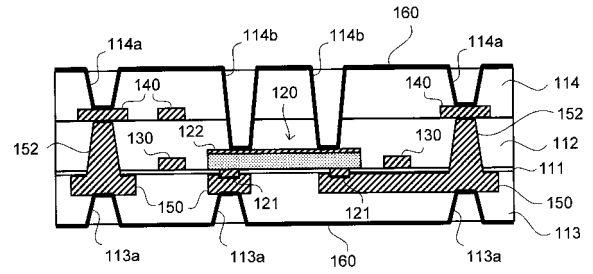
【図 20】



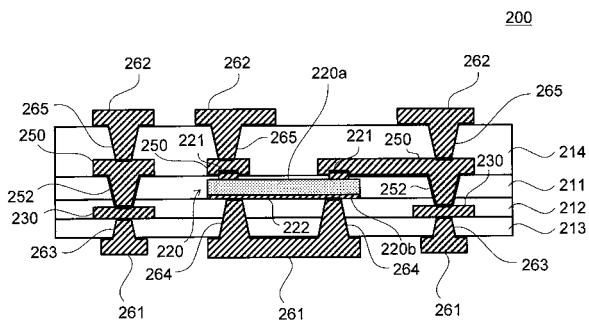
【図 21】



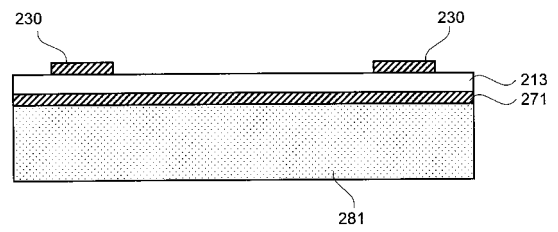
【図 22】



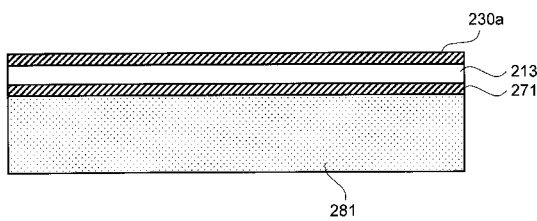
【図 23】



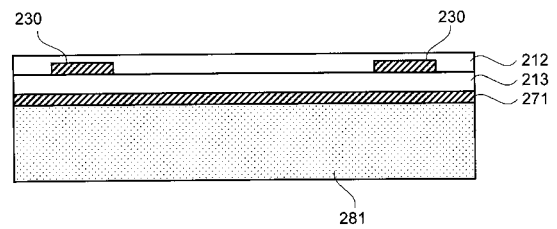
【図 25】



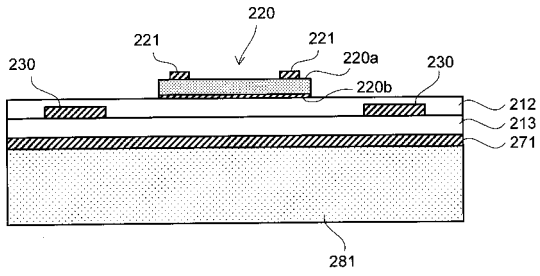
【図 24】



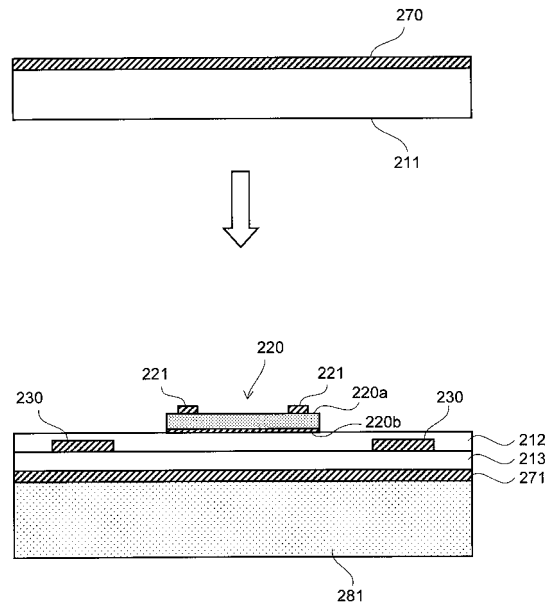
【図 26】



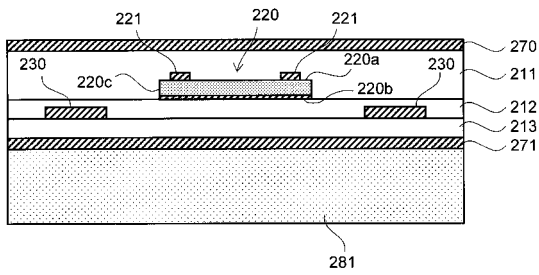
【図 27】



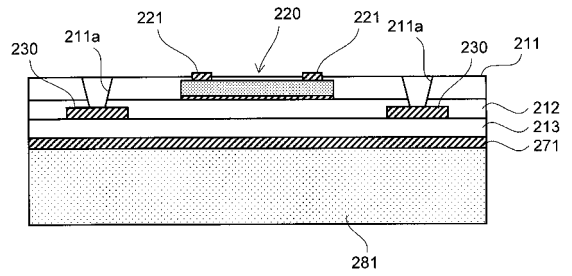
【図 28】



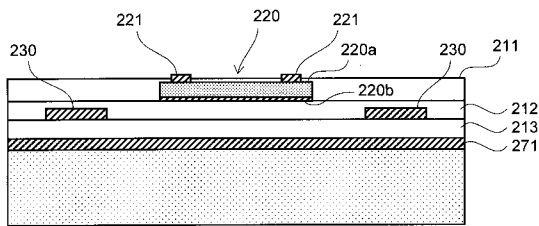
【図 29】



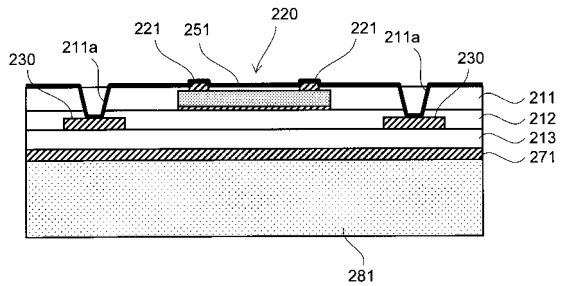
【図 31】



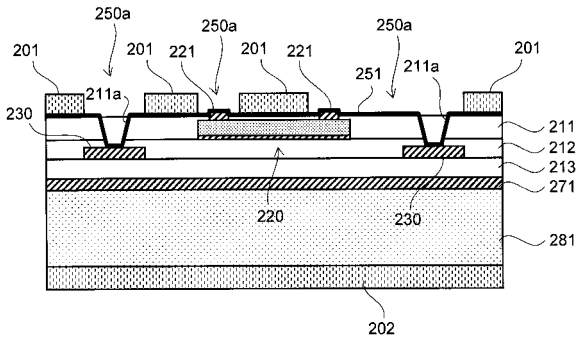
【図 30】



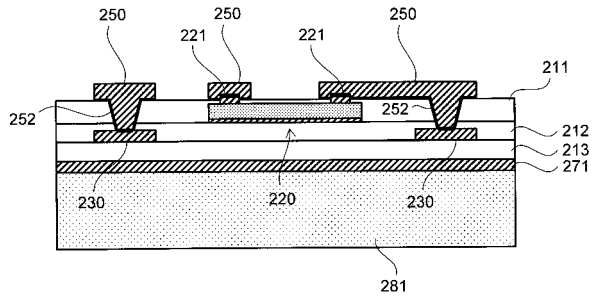
【図 32】



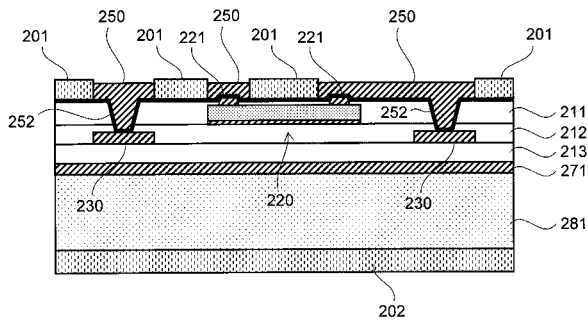
【 図 3 3 】



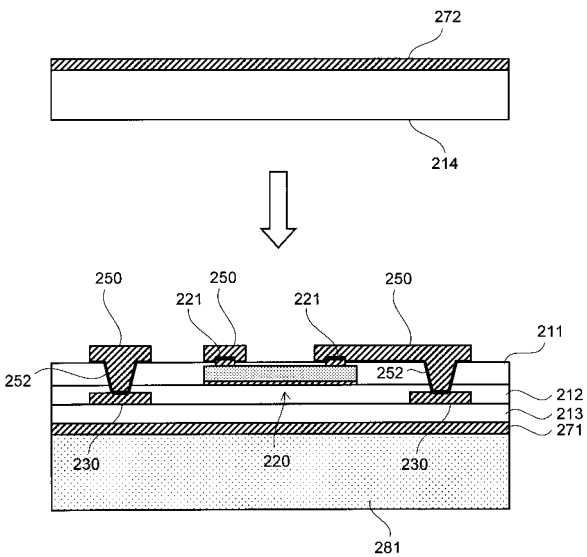
【 図 3 5 】



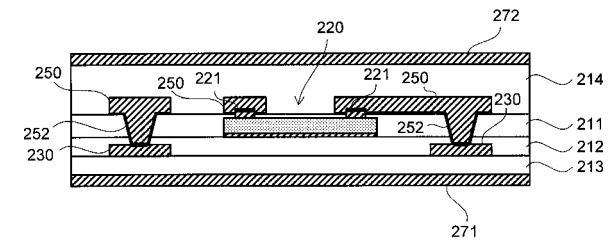
【 図 3 4 】



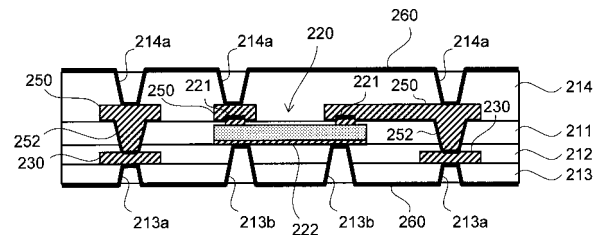
【 図 3 6 】



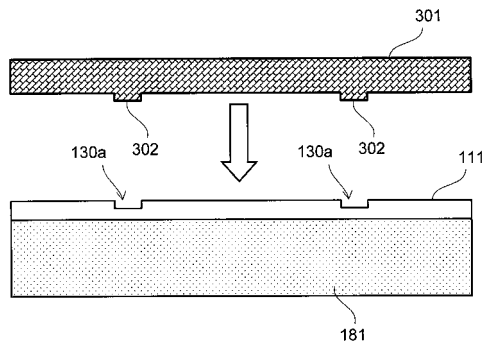
【 図 3 7 】



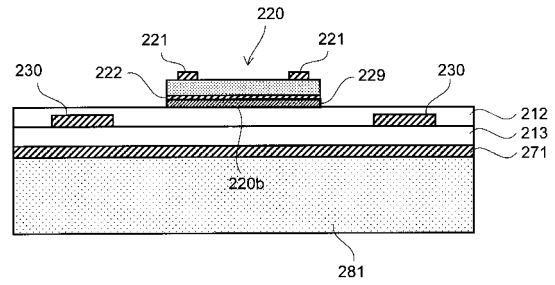
【 図 3 8 】



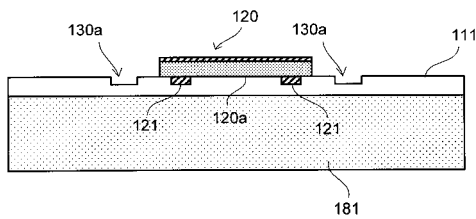
【図 39】



【図 41】



【図 40】



【手続補正書】

【提出日】平成19年3月9日(2007.3.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0107

【補正方法】変更

【補正の内容】

【0107】

さらに、上述した第1及び第2の実施形態では、半導体ICを樹脂層に直接搭載しているが、半導体ICにダイアタッチフィルムを設け、ダイアタッチフィルムを介して樹脂層に搭載しても構わない。一例として、図41に示すように、半導体IC220の裏面にダイアタッチフィルム229を設け、ダイアタッチフィルム229と樹脂層212とを接着することによって、半導体IC220を樹脂層212に仮止めしても構わない。この場合、樹脂層212が接着性を有している必要はない。図41に示す例の場合、半導体IC220の裏面220bと樹脂層212との間にダイアタッチフィルム229が介在するため、両者は直接接触しなくなるが、半導体IC220の裏面220bは、ダイアタッチフィルム229を介して樹脂層212によって覆われることになる。

フロントページの続き

F ターム(参考) 5E346 AA06 AA12 AA15 AA43 AA60 BB01 BB16 CC02 CC08 CC32
CC54 DD02 DD12 DD22 DD33 EE31 FF04 FF45 GG01 GG15
GG17 GG22 GG23 GG28 GG40 HH25 HH33