

發明專利說明書

200529370

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94100806

※申請日期：94.1.12.

※IPC 分類：

H01L²¹/77

一、發明名稱：(中文/英文)

以墊下裝置方式之晶圓區域的有效使用

EFFICIENT USE OF WAFER AREA WITH DEVICE UNDER THE PAD APPROACH

二、申請人：(共1人)

姓名或名稱：(中文/英文)

史班遜股份有限公司

SPANSION LLC

代表人：(中文/英文) 歐布萊恩 郝力斯 M / O'BRIEN, HOLLIS M.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453,

U. S. A.

國籍：(中文/英文) 美國 / U. S. A.

三、發明人：(共6人)

姓名：(中文/英文)

1. 楊念 / YANG, NIAN
2. 小川裕之 / OGAWA, HIROYUKI
3. 吳怡德 / WU, YIDER
4. 張國棟 / CHANG, KUO-TUNG
5. 孫禹 / SUN, YU
6. 哈莫頓 戴爾蘭 / HAMILTON, DARLENE

國籍：(中文/英文)

1. 中國大陸 / CHINA
2. 日本國 / JAPAN
3. 中華民國 / R. O. C.
4. 至 6. 美國 / U. S. A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2004 年 01 月 14 日；10/758,148（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明之具體實施例係有關半導體裝置設計之領域。更特別的是，本發明之具體實施例係有關以墊下裝置提供晶圓區域更有效的使用。

【先前技術】

半導體電路設計與製造技術的發展已成就極複雜又密集且運作於低電壓的裝置，例如快閃記憶體、積體電路、與邏輯電路以及其他裝置。由於尺度縮放(scaling)係設計複雜又密集的半導體晶片所固有，因此有效使用可用的矽面積(silicon area)而不犧牲效能或劣化物理特性成為一項重要的考量。

有些晶片與晶圓之設計係加上一墊區(pad area)。該墊區通常是在積體電路與外部電路或系統之間可建立的界面處。晶片與外部電路且/或系統之間的界面可包含例如接合(bonding)、針測(probing)、與封裝用之界面。為有效建立此等界面，相對於內部電路該墊區通常是寬大的。因此，該墊區明顯佔用不少晶片的矽面積。

以先進的快閃記憶體為例，該墊區佔用包含 512 千位元的典型記憶體扇區一半以上的面積。一典型墊之尺寸約為 80 微米 x 80 微米，因而覆蓋的面積為 6,400 平方微米。對於有數個墊的晶片，例如範例的快閃記憶體晶片有 40 個墊，則墊區所覆蓋的矽面積變為相當顯著。例如，範例的快閃記憶體晶片上有 40 個墊，各覆蓋 6,400 平方微米，

則總共覆蓋 50 萬平方微米以上的矽基板。

該墊區習知係與晶片內的其他電路隔開。墊與晶片內部電路隔開係有利於針測、接合、與封裝，且使該墊區也可用來保護晶片免於靜電釋放(ESD)的潛在有害效應。與墊隔開後，晶片的電路與裝置特性則運作於晶片內的其他地方。第 1 圖係圖示習知半導體結構 10 之佈局。半導體裝置 10 的墊 11 與內部電路 12 的主動裝置(active device)是被隔開的。

不過，隨著晶片尺寸與工作電壓的縮降，墊區所覆蓋的矽面積之顯著性則變得愈來愈大。該墊通常有數層金屬層，最頂端一層用於接合、針測、與封裝，下方的數個金屬層通常是用來導引墊訊號在晶片的內部電路與例如外部系統之間的進出。最底下的金屬層則直接連接於包含晶片之矽基板。不過，在典型的墊下方之基板內沒有主動裝置。

【發明內容】

由於晶片被設計成愈來愈密集、複雜且由於工作電壓減少，以致想要更有效地使用矽。本發明之具體實施例可更有效地使用矽面積。在本發明之一具體實施例中，數個包含快閃或 SRAM 記憶體、積體電路、或其類似物的晶粒之半導體結構(例如晶圓片)係加上主動裝置於墊區下方。該半導體結構之元件則可執行記憶功能、邏輯功能、或其他功能。

茲揭示一種墊區下有主動裝置之半導體結構。在一具體實施例中，半導體結構係具有墊區與配置於該墊區下方

的主動裝置。該主動裝置可為例如，電晶體或電路。該主動裝置可為該半導體結構數個裝置中之一個，該半導體結構也可包含一個至少部份以該墊區為界之非墊區(non-pad)與另一配置於該非墊區內之主動裝置。在一具體實施例中，該等數個裝置係執行類似之功能。

在一具體實施例中，該墊區係包含基板，其係帶有配置於其上方之第一金屬層且有第二金屬層配置於該第一金屬層下方。該主動裝置(active component)係經配置成在該第二金屬層的下方。在一具體實施例中，該半導體結構也有配置於第一與第二金屬層之間的介電層與配置於該介電層內的導通孔(via)，該介電層係使該第一與第二金屬層兩者電氣性耦合。一導通孔則連接至該主動裝置。可將後續的金屬層配置成在該第一與第二金屬層之間。

一具體實施例係提供一種半導體結構用之墊區裝置，該半導體結構在金屬層下方具有配置於基板內的主動裝置。一具體實施例係提供一種用於製造半導體結構之方法，該半導體結構包含墊區，該墊區下有主動裝置。

【實施方式】

茲揭示一種墊區下有主動裝置之半導體結構。以下本發明的詳細說明中係提出許多供徹底瞭解本發明之特定細節。不過，顯然熟諳此藝者可實施本發明而不需該等特定細節或者是等效者。其他的實施例、習知方法、製程、程序、元件、以及電路等不予詳述以免模糊本發明之觀點。

以下就方法這方面提出本發明明具體實施例的部份詳細

說明。雖然方法的特定步驟與順序係揭露於描述這些方法操作(例如方法 60、80、90、與 100)的各圖中(例如,第 6 至 10 圖),但這些步驟與順序僅為範例。本發明之具體實施例均適合執行多種其他的步驟或本文流程圖所描述諸步驟之變化,且順序可不同於所圖示與描述之順序。

在此主要係以墊區下具有主動裝置的半導體結構說明本發明。此半導體結構係墊下裝置方式提供晶圓區域有效使用。在一具體實施例中,半導體結構係具有墊區與配置於該墊區下方的該半導體結構之主動裝置。藉由加入裝置於該墊區下方,本發明之具體實施例可改善矽面積的使用有效性。根據本發明具體實施例製造半導體結構除能提供經濟效益,也可改善晶圓可用的個別晶粒之產量。

[示範結構]

第 2 圖係圖示本發明一具體實施例的半導體結構 20 之斷面圖。半導體結構 20 有墊區 21,其係與非墊區 28 毗鄰。非墊區 28 係至少部份以墊區 21 為界。半導體結構 20 有配置於該墊區 21 下方之主動裝置 25。主動裝置 25 可為例如電晶體。主動裝置 25 可為半導體結構 20 的數個元件中之一個。例如,可將另一裝置 29 配置於該非墊區 28 內。在一具體實施例中,裝置 25 與 29 係執行類似的功能。

該墊區 21 包含基板 22。基板 22 具有配置於其上方的第一金屬層 26。基板 22 也有第二金屬層 23,其係經配置成在該第一金屬層 26 的上方。該主動裝置 25 係經配置成在該第一金屬層 26 的下方。在一具體實施例中,該半導體

結構 20 也有介電層 24，其係經配置成在第一金屬層 23 與第二金屬層 26 之間。在一具體實施例中，導通孔 27 係經配置成在該介電層 24 內。導通孔 27 係使該第一金屬層 23 與第二金屬層 26 兩者電氣性耦合。在一具體實施例中，導通孔 27 係連接至該主動裝置。隨後的金屬層也可被配置成在該第一金屬層 23 與第二金屬層 26 之間。

在一具體實施例中，基板 22 包含矽。在一具體實施例中，該介電層 24 係層間介電質 (ILD) 且可包含材料，例如正矽酸乙酯 (TEOS)、類似的介電材料、或其他的介電材料。金屬層 23 與 26 (以及任一層間的金屬層) 與導通孔 27 可包含任何導電材料，包含，但不受限於，銅、鋁、金、銀、鎢、或任何其他導電金屬、或其他的導電材料，尤其是例如複晶矽 (POLY) 與矽化鎢。

第 3 圖係根據本發明之一具體實施例圖示墊區 21 下具有主動裝置 (例如，電晶體，電路，或其類似物，等等) 的半導體結構 20 之上視圖。半導體裝置 20 的部份非墊區 29 係以墊區 21 為界。在一示範具體實施例中，半導體裝置 20 包含快閃記憶體。

在此快閃記憶體中，該墊之尺寸可約為 80 微米 x 80 微米且半導體裝置 20 的垂直尺寸約為 3,000 微米。在一示範性的具體實作中，可由半導體結構 20 之非墊區 29 切割 100 個個別的晶粒 (例如，個別的主動裝置) 且可由該墊區 21 下方多切 3 個個別的主動裝置。相較於墊區下無主動裝置的半導體結構，此具體實作可增加百分之 3 的主動裝置。

第 4 圖係根據本發明之一具體實施例圖示底下有主動裝置 25 的墊區 400 之斷面圖。墊區 400 係經配置成在矽基板 22 的上方，其中係配置主動裝置 25。

在一具體實施例中，頂部金屬層 23 係形成墊區 400 之上表面。在另一具體實施例中，頂部金屬層 23 的上方可具有另一材料層，例如塗層，氧化物層，等等。第二金屬層 424 係經配置成在該頂部金屬層 23 下方。層間介電層 (ILD) 24 被配置成在頂部金屬層 23 與第二金屬層 424 之間。頂部金屬層 23 與第二金屬層 424 係藉由導通孔 27 而電氣性互連，在一具體實施例中，其係包含複數個個別的導通孔。

第二金屬層 424 下方係配置一第三金屬層 425。第四金屬層 426 係經配置成在第三金屬層 425 的下方。層間介電層 (ILD) 24 係經配置成在第三金屬層 425 與第四金屬層 426 之間。第三金屬層 425 與第四金屬層 426 係藉由導通孔 27 而電氣性互連，在一具體實施例中，其係包含複數個個別的導通孔。一導通孔 27 可使第三金屬層 425 與第二金屬層 424 兩者電氣性耦合。

底部金屬層 (M1) 26 係經配置成在矽基板 22 上方且在第四金屬層 426 下方。在一具體實施例中，可配置任何數層的額外金屬層於底部金屬層 26 上方以及於第四金屬層 426 下方。可將層間介電層 (ILD) 24 配置於附加的金屬層之間、附加金屬層中之一層與底部金屬層 26 且/或第四金屬層 426 之間，且/或於該第三金屬層 425 與第二金屬層 424

之間。

導通孔 27 可使該等附加金屬層中之任何一層電氣性相互耦合且/或可使彼等電氣性耦合於任一其他的金屬層，例如底部金屬層 26、或第四金屬層 426。導通孔 27 可使底部金屬層 26 電氣性耦合於配置於其上方之任一金屬層。導通孔 27 可使主動裝置 25 電氣性耦合於任一金屬層，例如底部金屬層 26 或配置於其上方之任一金屬層。

第 5 圖係根據本發明之一具體實施例圖示底下有兩個作為主動裝置的電晶體 598 與 599 的墊區 500 之斷面圖。電晶體 598 與 599 均被配置成在墊區 500 底下的矽基板 22 內。墊區 500 係具有配置於基板 22 上方的底部(M1)金屬層 26。

電晶體 598 係包含源極區 501 與汲極區 502，經配置成在基板 22 的適當摻雜區內。源極區 501 與汲極區 502 係各自藉由一個別的導通孔 527 電氣性耦合於底部金屬層 26 (或耦合至另一金屬層)。電晶體 598 也包含可為複晶矽 II(POLY-II)或另一閘極材料之閘極 503，其係經配置成在源極區 501 與閘極區 502 的上方及其間且在底部金屬層 26 的下方。

電晶體 599 係包含源極區 504 與汲極區 505，經配置成在基板 22 的適當摻雜區內。源極區 504 與汲極區 505 係各自藉由一個別的導通孔 527 電氣性耦合於底部金屬層 26(或耦合至另一金屬層)。電晶體 599 也包含可為 POLY-II 或另一閘極材料之閘極 506，其係經配置成在源極

區 504 與閘極區 505 的上方及其間且在底部金屬層 26 的下方。

在一具體實施例中，頂部金屬層 23 係形成墊區 500 之上表面。第二金屬層 424 係經配置成在頂部金屬層 23 的下方。層間介電層 (ILD) 24 係經配置成在頂部金屬層 23 與第二金屬層 424 之間。頂部金屬層 23 與第二金屬層 424 係藉由導通孔 27 而電氣性互連，在一具體實施例中，其係包含複數個個別的導通孔。

第二金屬層 424 的下方係配置第三金屬層 425。第四金屬層 426 係經配置成在第三金屬層 425 的下方。層間介電層 (ILD) 24 係經配置成在第三金屬層 425 與第四金屬層 426 之間。第三金屬層 425 與第四金屬層 426 係藉由導通孔 27 而電氣性互連，在一具體實施例中，其係包含複數個個別的導通孔。導通孔 27 可使第三金屬層 425 與第二金屬層 424 兩者電氣性耦合。

底部金屬層 (M1) 26 係經配置成在矽基板 22 上方與第四金屬層 426 下方。在一具體實施例中，於底部金屬層 26 上方與第四金屬層 426 下方可配置任意數量的額外金屬層。可將層間介電層 (ILD) 24 配置成在附加金屬層之間、附加金屬層中之一層與底部金屬層 26 且/或第四金屬層 426 之間，且/或該第三金屬層 425 與第二金屬層 424 之間。導通孔 27 可使該等附加金屬層中之任何一層電氣性相互耦合且/或可使彼等電氣性耦合於任一其他的金屬層，例如底部金屬層 26、或第四金屬層 426。導通孔 27 可使底部

金屬層 26 電氣性耦合於配置於其上方之任一金屬層。

[示範方法]

以下描述的方法係解釋用於製造半導體結構與半導體結構用之墊區的方法。該等方法可使用本技藝所習知的技術而予以具體實作，從而在此不予詳述以免混淆本發明之具體實施例。例如，方法 80(第 8 圖)之步驟 81 係包含形成一基板。形成基板乃本技藝所習知，且任一可應用的技術均可用來完成步驟 81。同樣，可適當應用任何一習知技術實施本發明之具體實施例。

此外，為求簡明，係以列於一示範性順序中的個別步驟說明以下所描述的方法。儘管將彼等之特定步驟與順序揭示於本文的各圖中(例如，第 6 至 10 圖)用來描述該等方法(例如，方法 60、70、80、90、與 100)之作業，該等步驟及順序仍只具示範性。本發明之具體實施例均適合多種其他的步驟或本文流程圖所描述諸步驟之變體的執行，且順序可不同於所圖示與描述的順序。

[用於製造半導體結構之示範方法]

第 6 圖係根據本發明之一具體實施例圖示一種製造半導體結構用之方法 60 的流程圖。方法 60 由步驟 61 開始，其中設置墊區。在步驟 62，主動裝置(例如，電晶體)係經配置成在該墊區的下方，即完成方法 60。

第 7 圖係根據本發明之一具體實施例圖示用於製造半導體結構之方法 70 的流程圖。方法 70 係由步驟 71 開始，其中設置墊區。在步驟 72，主動裝置係經配置成在該墊區

的下方。

步驟 73 中，係設置非墊區，使得該非墊區至少部份以該墊區為界。步驟 74 中，係將第二元件（例如，主動裝置、電路、等等）配置成在該非墊區內，即完成方法 70。

[用於製造半導體結構用之墊區的示範方法]

第 8 圖係根據本發明之一具體實施例圖示用於製造半導體結構用之墊區的方法 80 之流程圖。方法 80 係由步驟 81 開始，其中係形成基板。在步驟 82，主動裝置（例如電晶體）係經配置成在該基板內。

在步驟 83，第一金屬層係經配置成在該基板的上方。該第一金屬層，於一具體實施例中，其係包含配置於該基板上方的底部 (M1) 金屬層。步驟 84 中，第二金屬層係經配置成在該第一金屬層的上方，即完成方法 80。

第 9 圖係根據本發明之一具體實施例圖示用於製造墊區之方法 90 的流程圖。方法 90 係由步驟 91 開始，其中形成基板。步驟 92 中，主動裝置（例如，電晶體）係經配置成在該基板內。

在步驟 93，第一金屬層係經配置成在該基板的上方。該第一金屬層，在一具體實施例中，係包含配置於該基板上方的底部 (M1) 金屬層。步驟 94 中，第二金屬層係經配置成在該第一金屬層的上方。

在步驟 95，介電層，例如層間介電層 (ILD)，係經配置成在該第一與第二金屬層之間。步驟 96 中，導通孔係經配置成在該介電層內藉以使該第一與第二金屬層兩者電氣

性耦合。步驟 97 中，一導通孔係經配置成在該基板內且在該第二金屬層的下方，藉以使該主動裝置電氣性耦合至一金屬層，即完成方法 90。

第 10 圖的流程圖係根據本發明之一具體實施例圖示製造半導體元件用之墊區的方法 100。方法 100 由步驟 101 開始，其中係形成基板。步驟 102 中，主動裝置，例如電晶體，係經配置成在該基板內。

步驟 103 中，第一金屬層係經配置成在該基板的上方。在一具體實施例中，該第一金屬層包含配置於該基板上方的底部(M1)金屬層。步驟 104 中，第二金屬層係經配置成在該第一金屬層的上方。

在步驟 105，隨後一金屬層係經配置成在該第一與第二金屬層之間，在一具體實施例中，即完成 100。在另一具體實施例中，可配置數層介電層藉以電氣性隔開數個金屬層。在另一具體實施例中，導通孔可經配置成在該介電層內藉以使金屬層電氣性相互耦合且/或耦合至該主動裝置。

從而以本發明之具體實施例描述一種以墊下的裝置更有效使用晶圓區域的方法。儘管已用特定的具體實施例描述本發明，應瞭解，本發明不應被解釋成是受限於該等具體實施例，反而是根據以下之申請專利範圍解釋本發明。

【圖式簡單說明】

為本專利說明書之一部份的附圖係圖解本發明之具體實施例，且與實施方式一併用來說明本發明之原理。諸圖

均不按比例圖示。

第 1 圖係圖示一習知半導體結構之上視圖。

第 2 圖係根據本發明之一具體實施例圖示於墊區下具有主動裝置的半導體結構之斷面圖。

第 3 圖係根據本發明之一具體實施例圖示於墊區下具有主動裝置的半導體結構之上視圖。

第 4 圖係根據本發明之一具體實施例圖示底下有主動裝置的墊區之斷面圖。

第 5 圖係根據本發明之一具體實施例圖示底下有兩個電晶體作為主動裝置的墊區之斷面圖。

第 6 圖係根據本發明之一具體實施例圖示用於製造半導體結構之方法的流程圖。

第 7 圖係根據本發明之一具體實施例圖示用於製造半導體結構之方法的流程圖。

第 8 圖係根據本發明之一具體實施例圖示用於製造墊區之方法的流程圖。

第 9 圖係根據本發明之一具體實施例圖示用於製造墊區之方法的流程圖。

第 10 圖係根據本發明之一具體實施例圖示用於製造墊區之方法的流程圖。

【主要元件符號說明】

10	半導體裝置	11	墊
12	內部電路	20	半導體結構
21	墊區	22	基板

23	金屬層	24	介電層
25	主動裝置	26	金屬層
27	導通孔	28	非墊區
29	裝置	400	墊區
424	金屬層	425	金屬層
426	金屬層	500	墊區
501、504	源極區	502、505	汲極區
503	閘極	506	閘極
● 527	導通孔	598、599	電晶體

五、中文發明摘要：

更有效的使用矽面積係藉由加入主動裝置(25)於半導體結構(20)的墊區(21)下方而達成。該墊區(21)係包含上有第一金屬層(23)之基板(22)。第二金屬層(26)則位在該第一金屬層(23)的下方。該主動裝置(25)是在第二金屬層(26)下方的基板(22)內。介電層(24)係將該第一(23)與第二金屬層(26)隔開。在該介電層(24)內之一導通孔(27)係使該第一(23)與第二金屬層(26)兩者電氣性耦合。一導通孔(27)係連接至該主動裝置(25)。隨後的金屬層(424, 425, 426)係經佈置成在該第一(23)與第二金屬層(26)之間。

六、英文發明摘要：

More efficient use of silicon area is achieved by incorporating an active device (25) beneath a pad area (21) of a semiconductor structure (20). The pad area (21) includes a substrate (22) having a first metal layer (23) above it. A second metal layer (26) is below the first metal layer (23). The active device (25) resides in the substrate (22) below the second metal layer (26). A layer of dielectric (24) separates the first (26) and second metal layers (23). A via (27) within the dielectric layer (24) electrically couples the first (23) and second metal layers (26). A via (27) connects to the active component (25). Subsequent metal layers (424, 425, 426) can be arranged between the first (23) and second metal layers (26).

十、申請專利範圍：

1. 一種半導體結構(20)，包含：

墊區(21)；以及

該半導體結構(20)之主動裝置(25)，係經配置成在該墊區(21)的下方。

2. 如申請專利範圍第1項之半導體結構(20)，其中該主動裝置(25)係包含電晶體。

3. 如申請專利範圍第1項之半導體結構(20)，其中該半導體結構(20)之元件(29)係執行邏輯功能。

4. 如申請專利範圍第1項之半導體結構(20)，其中該半導體結構(20)之元件(29)係執行記憶功能。

5. 如申請專利範圍第1項之半導體結構(20)，其中該主動裝置(25)係包含第一裝置，該半導體結構(20)更包含：

非墊區(28)，該非墊區至少部份以該墊區(21)為界；以及

第二裝置(29)，經配置成在該非墊區(28)內。

6. 如申請專利範圍第5項之半導體結構(20)，其中該第一(25)與該第二裝置(29)係執行類似的功能。

7. 如申請專利範圍第1項之半導體結構(20)，其中該墊區(21)係包含：

基板(22)；

第一金屬層(26)，經配置成在該基板(22)的上方，其中該主動裝置(25)係經配置成在該第一金屬層(26)的下方；

第二金屬層(23)，經配置成在該第一金屬層(26)的上方。

8. 如申請專利範圍第7項之半導體結構(20)，進一步包含：

介電層(24)，經配置成在該第一金屬層(26)與該第二金屬層(23)之間；且

導通孔(27)，經配置成在該介電層(24)內，其中該導通孔(27)係使該第一金屬層(26)與該第二金屬層(23)兩者電氣性耦合。

9. 如申請專利範圍第7項之半導體結構(20)，在該第一(26)與該第二金屬層(23)之間更包含一後續的金屬層(424)。

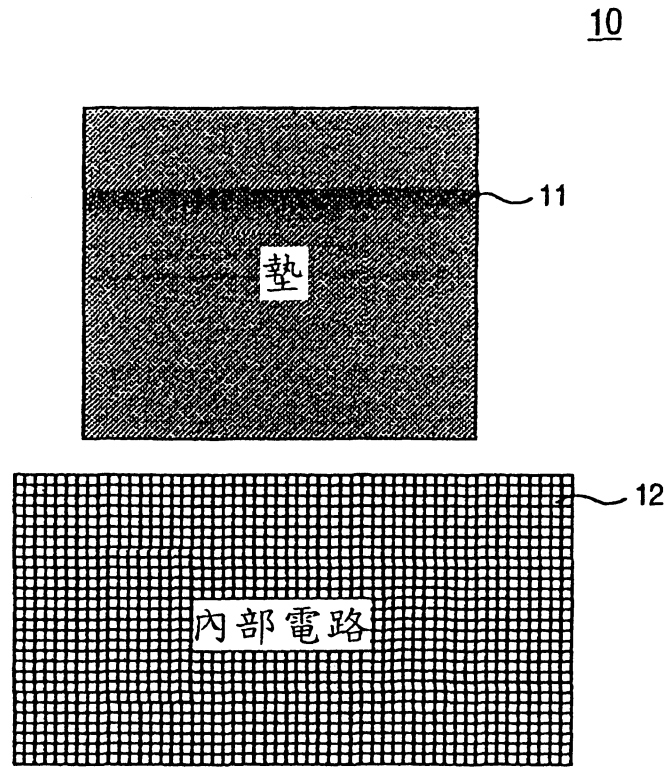
10. 一種半導體結構(20)用之墊區裝置(21)，包含：

基板(22)；

第一金屬層(26)，經配置成在該基板(22)的上方；

第二金屬層(23)，經配置成在該第一金屬層(26)的上方；以及

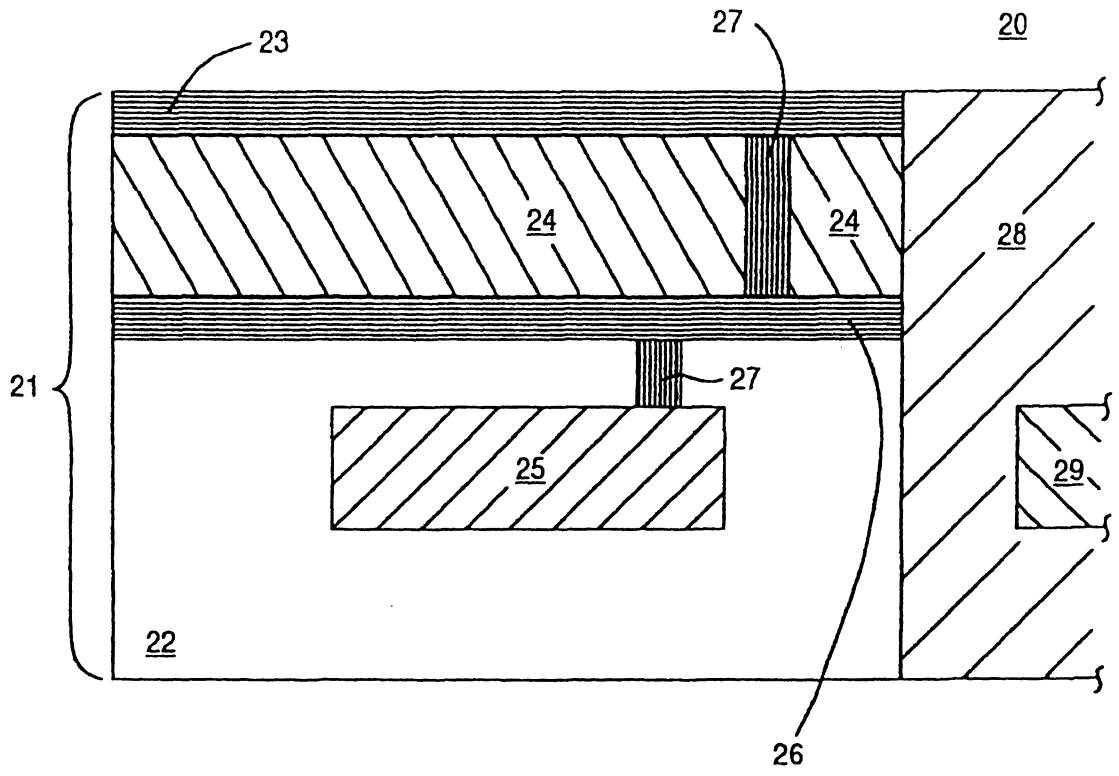
主動裝置(25)，其中該主動裝置(25)係經配置成在該基板(22)內。



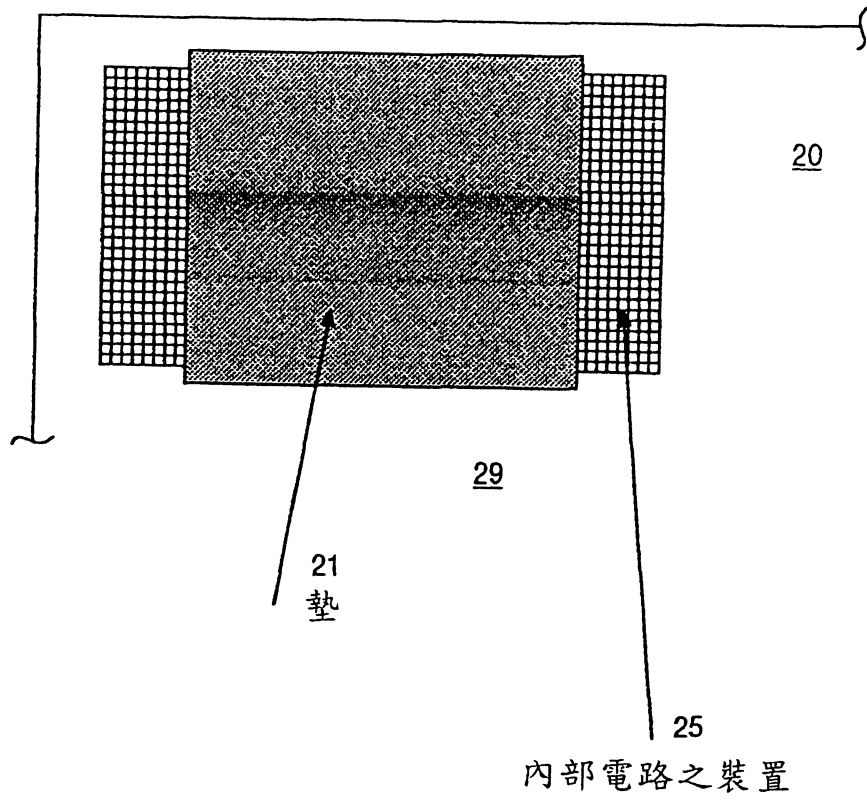
上視圖

(先前技術)

第1圖



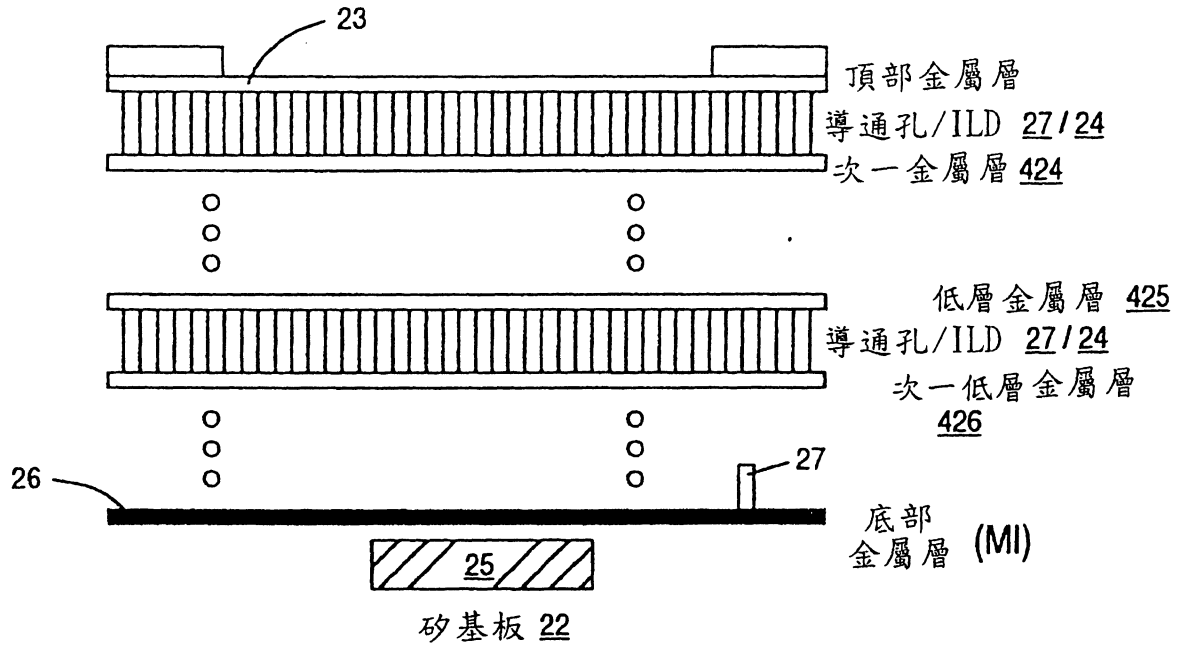
第2圖



上視圖

第3圖

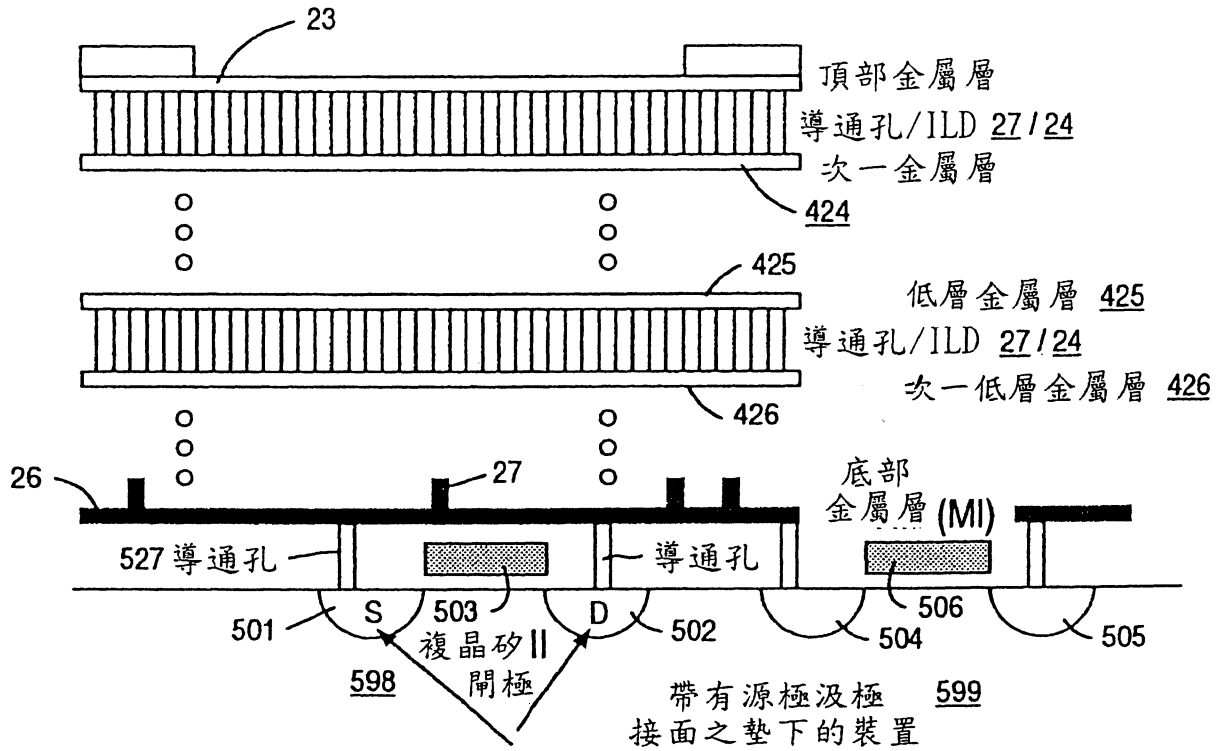
400



斷面圖

第4圖

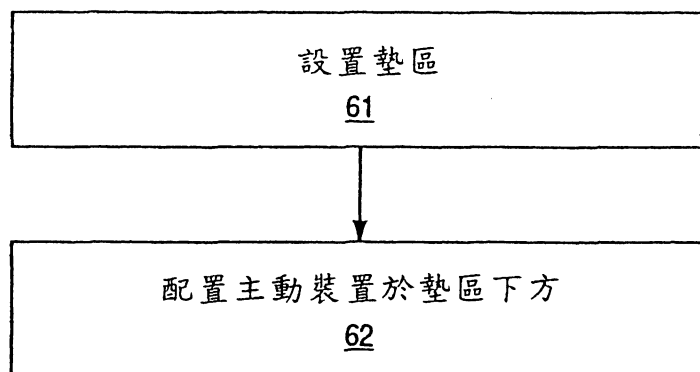
500



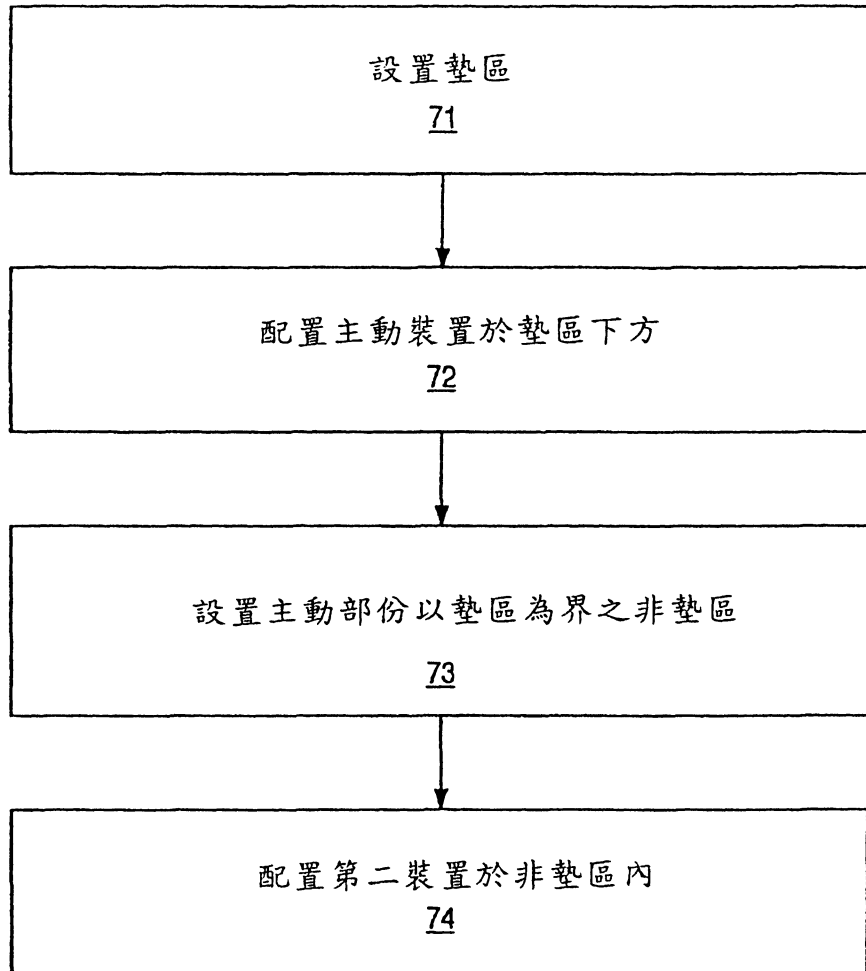
22

斷面圖

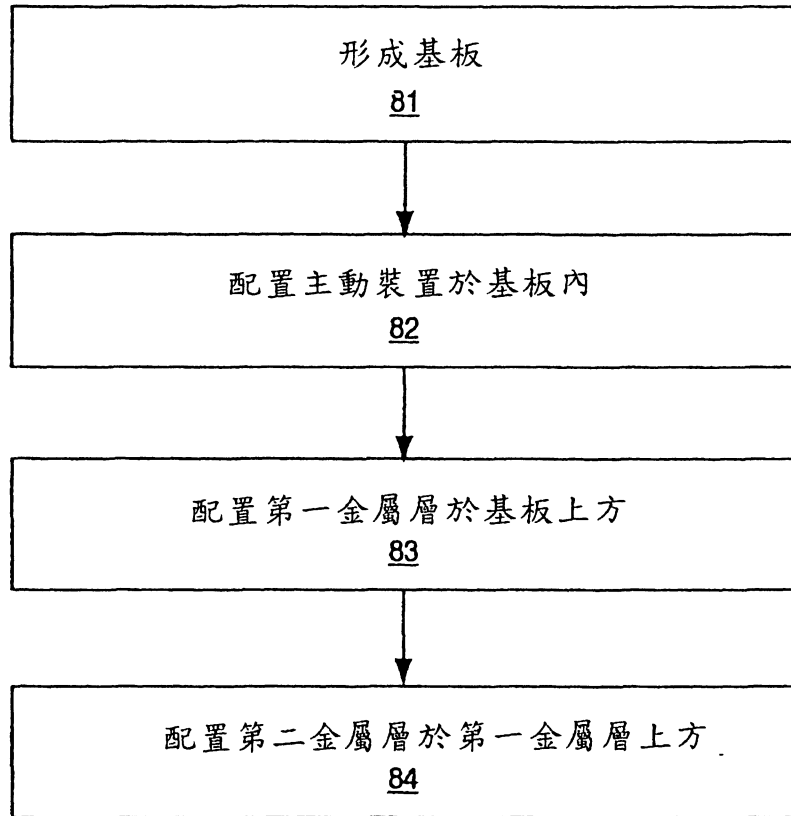
第5圖



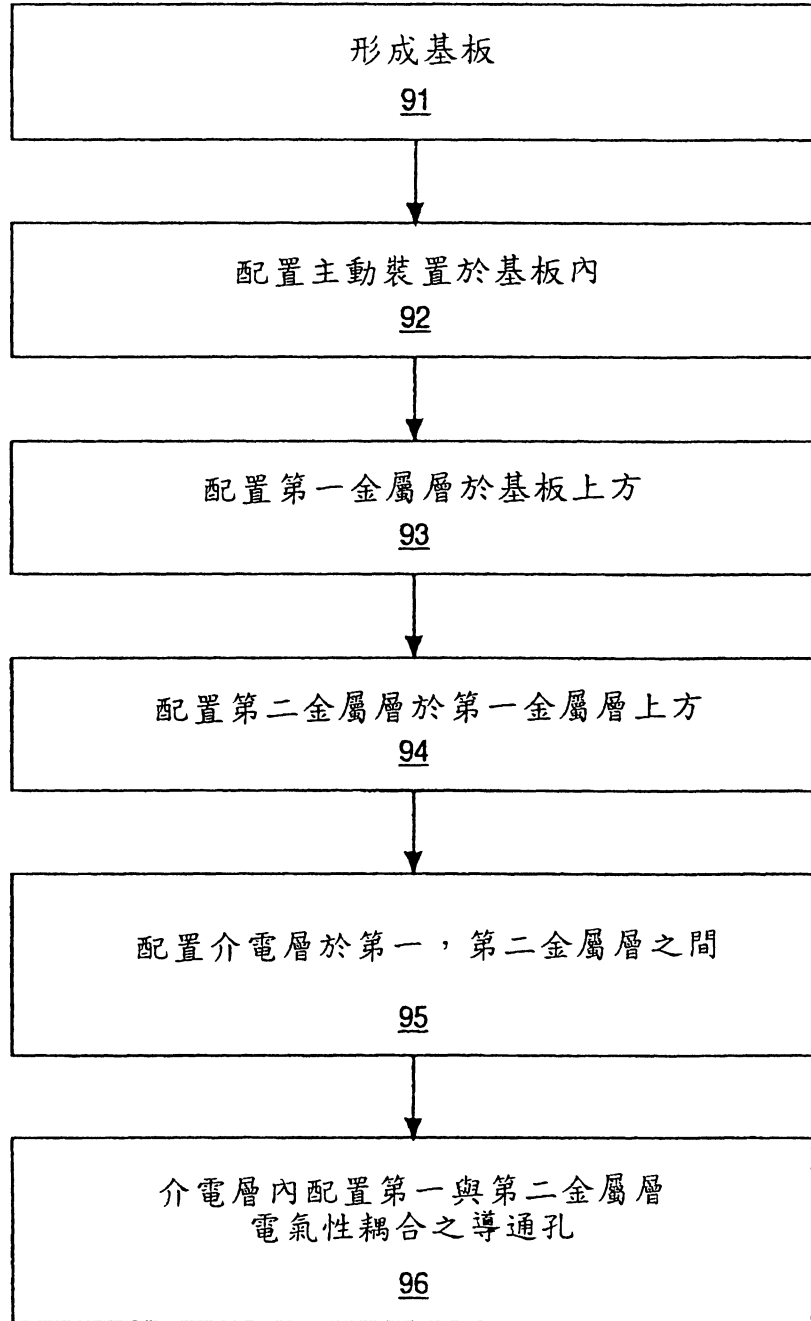
第6圖



第7圖



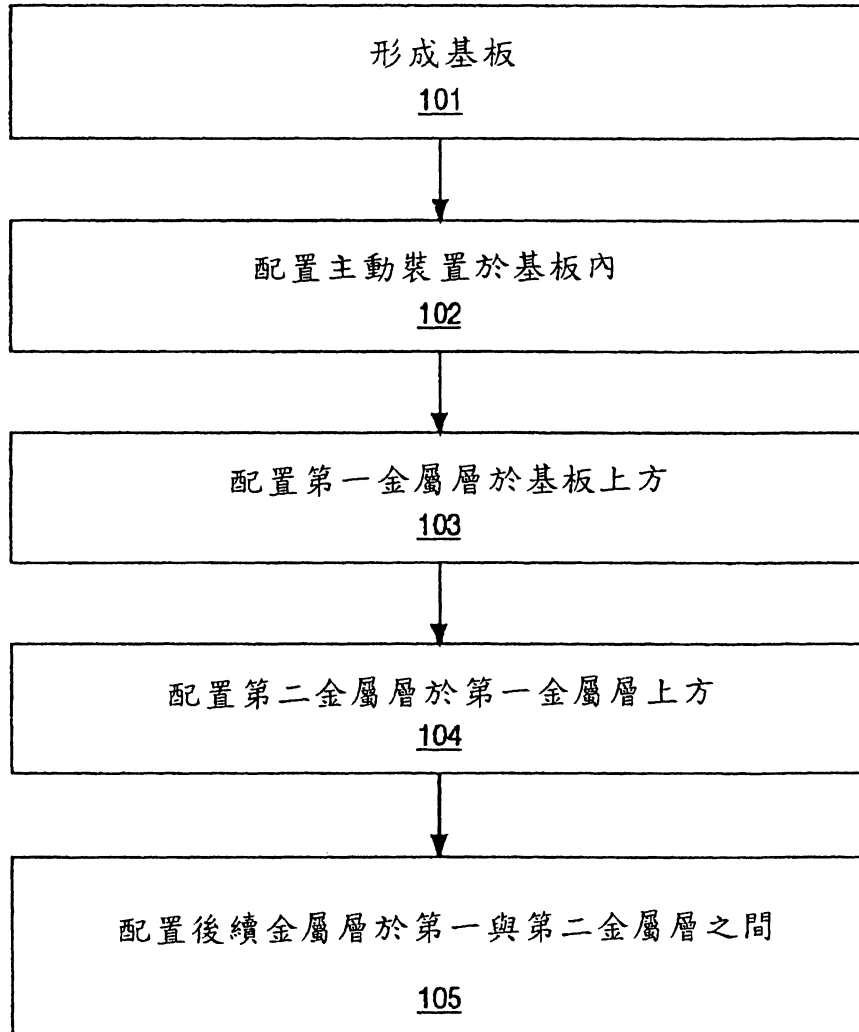
第8圖



第9圖

100

製造墊區



第10圖

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

22	基板	23	金屬層
24	介電層	25	主動裝置
26	金屬層	27	導通孔
400	墊區	424	金屬層
425	金屬層	426	金屬層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：