

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5254342号
(P5254342)

(45) 発行日 平成25年8月7日 (2013.8.7)

(24) 登録日 平成25年4月26日 (2013.4.26)

(51) Int. Cl.

F I

G 0 6 F 12/08 (2006.01)

G 0 6 F 12/08 5 0 7 J

G 0 6 F 12/08 5 1 1 E

G 0 6 F 12/08 5 7 9

請求項の数 28 (全 20 頁)

(21) 出願番号 特願2010-524953 (P2010-524953)
 (86) (22) 出願日 平成20年9月10日 (2008.9.10)
 (65) 公表番号 特表2010-539598 (P2010-539598A)
 (43) 公表日 平成22年12月16日 (2010.12.16)
 (86) 国際出願番号 PCT/US2008/075822
 (87) 国際公開番号 W02009/036038
 (87) 国際公開日 平成21年3月19日 (2009.3.19)
 審査請求日 平成22年4月20日 (2010.4.20)
 (31) 優先権主張番号 11/852, 348
 (32) 優先日 平成19年9月10日 (2007.9.10)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 595020643
 クゥアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 n-ウェイキャッシュを用いるシステムおよび方法

(57) 【特許請求の範囲】

【請求項 1】

マルチウェイキャッシュ内に格納された第1の命令の第1のウェイを決定することと、
 ウェイリスト内に前記第1のウェイを格納することと、
 前記マルチウェイキャッシュ内に格納された第2の命令の第2のウェイを決定すること
 と、
 前記ウェイリスト内に前記第2のウェイを格納すること、
ループ終了パケットを検出すること、
前記ウェイリストから少なくとも1つのウェイを検索すること、
前記少なくとも1つの検索されたウェイに基づいて前記マルチウェイキャッシュ内の前
記ループパケットの命令にアクセスすること、を含む方法。

10

【請求項 2】

前記第1のウェイが、タグアレイから検索されたウェイ値を含む、請求項1に記載の方法。

【請求項 3】

前記マルチウェイキャッシュが、n-ウェイキャッシュであり、nが2より大きい、請求項1に記載の方法。

【請求項 4】

nが4である請求項3に記載の方法。

【請求項 5】

20

前記第 1 のウェイおよび前記第 2 のウェイが、タグアレイから検索される、請求項 1 に記載の方法。

【請求項 6】

前記マルチウェイキャッシュ内の前記命令が、前記タグアレイの複数のタグを評価することなく、前記少なくとも 1 つの検索されたウェイに応答してアクセスされる、請求項 5 に記載の方法。

【請求項 7】

キャッシュラインの一部が読み出され、かつ同一キャッシュラインがアクセスされる場合に前記タグアレイ内のエントリーが評価されないように同一ラインビットを格納することをさらに含む、請求項 6 に記載の方法。

【請求項 8】

前記ループ終了パケットに関係づけられた特有アドレスを格納することをさらに含む、請求項 1 に記載の方法。

【請求項 9】

複数のウェイを含むエントリーのテーブルであって、前記エントリーのテーブル内の各エントリーが n - ウェイキャッシュのウェイを特定する、エントリーのテーブルと、

インデックスを有するアドレスを提供するためのプログラムカウンタとを含み、

前記インデックスおよび前記ウェイが前記 n - ウェイキャッシュ内の命令の位置を特定し、前記 n - ウェイキャッシュ内の命令が、前記 n - ウェイキャッシュのタグアレイの複数のタグを評価することなく、前記ウェイを使用してアクセスされる、

機器。

【請求項 10】

タグアレイは、インデックスに응答する入力を有する、請求項 9 に記載の機器。

【請求項 11】

前記エントリーのテーブルへのアクセスを有するウェイトレース論理回路をさらに含む、請求項 9 に記載の機器。

【請求項 12】

前記ウェイトレース論理回路が、前記 n - ウェイキャッシュへの出力を提供する、請求項 11 に記載の機器。

【請求項 13】

前記ウェイトレース論理回路が、前記タグアレイへウェイ項目およびインデックスを出力し、前記ウェイトレース論理回路が、タグアレイから検索されたタグ値を前記プログラムカウンタからの対応するタグ値と比較するための論理を含む、請求項 12 に記載の機器。

【請求項 14】

前記ウェイトレース論理回路が、前記タグアレイから検索した前記タグ値が前記プログラムカウンタからの対応するタグ値と合致する判定をした後、前記ウェイ項目を前記 n - ウェイキャッシュへ出力する、請求項 13 に記載の機器。

【請求項 15】

前記複数のウェイが、前記 n - ウェイキャッシュ内に格納された対応する複数の計算機実行可能命令に関係づけられた順に格納される、請求項 9 に記載の機器。

【請求項 16】

前記エントリーのテーブル内の第 1 のエントリーが、命令のループの開始に対応する、請求項 15 に記載の機器。

【請求項 17】

前記複数の計算機実行可能命令の 1 つが、前記命令のループの終了に関係づけられている、請求項 16 に記載の機器。

【請求項 18】

前記エントリーのテーブルが、前記 n - ウェイキャッシュ内に格納されたデータとは独立しており、前記エントリーのテーブルが、ウェイ値を格納するが計算機実行可能命令を

10

20

30

40

50

格納しない、請求項 9 に記載の機器。

【請求項 19】

前記エントリーのテーブルが、複数のウェイトレースを格納するための先入れ先出しバッファを含む、請求項 9 に記載の機器。

【請求項 20】

ウェイトテーブルにウェイ値を格納することであって、前記ウェイ値が n - ウェイキャッシュから順次データ読み出し操作に関係づけられ、前記順次データ読み出し操作が処理ループの第 1 の反復に対応する、ウェイ値を格納することと、

前記処理ループの次の反復の間に、前記ウェイトテーブルから前記順次データ読み出し操作に対する前記ウェイ値を順次検索することと、

前記 n - ウェイキャッシュのタグアレイの複数のタグを評価することなく、前記検索されたウェイ値に基づいて前記次の反復で命令にアクセスすることと、

を含む方法。

【請求項 21】

前記処理ループの前記第 1 の反復の開始が、前記 n - ウェイキャッシュからのループ終了命令の第 1 の検索に関係づけられ、前記処理ループの前記第 1 の反復の終了が、前記 n - ウェイキャッシュからの前記ループ終了命令の次の検索に関係づけられる、請求項 20 に記載の方法。

【請求項 22】

n - ウェイのタグアレイからただ 1 つのキャッシュラインにアクセスするために少なくとも 1 つのウェイ値を用いることをさらに含む、請求項 20 に記載の方法。

【請求項 23】

ウェイトテーブルからの少なくとも 1 つのウェイ値を用いて前記 n - ウェイキャッシュに格納されたデータにアクセスすることをさらに含む、請求項 20 に記載の方法。

【請求項 24】

アンテナと、

前記アンテナに接続された送受信機と、

前記送受信機に接続されたプロセッサとを含み、

前記プロセッサが、

複数のウェイを含むエントリーのテーブルを含むプロセッサ可読メモリーであって、前記エントリーのテーブル内の各エントリーが n - ウェイキャッシュのウェイを特定する、プロセッサ可読メモリーと、

インデックスを有するプロセッサ命令アドレスを出力するプログラムカウンタとを含み、

前記インデックスおよび前記ウェイが、前記 n - ウェイキャッシュ内の処理実行可能命令の前記アドレスを特定し、前記処理実行可能命令は、前記 n - ウェイキャッシュのタグアレイの複数のタグを評価することなく、前記ウェイを使用してアクセスされる、

無線機器。

【請求項 25】

前記プロセッサが、デジタル信号プロセッサである、請求項 24 に記載の無線機器。

【請求項 26】

音響データを符号化および復号するための手段と、

画像情報を提供するための手段と、

をさらに含む請求項 24 に記載の無線機器。

【請求項 27】

音響データを符号化および復号するための手段が、前記プロセッサに接続されマイクロホンおよびスピーカの各々にさらに接続されたコーデックを含み、かつ画像情報を提供するための手段が、プロセッサに接続されディスプレイにさらに接続されたディスプレイ制御器を含む、請求項 26 に記載の無線機器。

【請求項 28】

10

20

30

40

50

同一ラインビットを格納する同一ラインビットアレイをさらに備え、前記同一ラインビットは、特定の命令が直前の先行命令と同じ命令アレイのキャッシュラインにあることを識別するように構成されるので、前記同一ラインビットに基づいて、前記同じキャッシュラインがアクセスされるとき、前記タグアレイ内のエントリーは評価されない、請求項26に記載の無線機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、 n -ウェイキャッシュを用いるシステムおよび方法に関する。

【背景技術】

【0002】

科学技術の進展により、より小さくより強力なパーソナル計算機器が生まれてきた。例えば、現在、小型軽量で携帯容易な携帯無線電話機、携帯情報端末(PDA)、ページング機器のような、無線計算機器を含む携帯パーソナル計算機器が存在する。より詳細には、携帯電話およびIP電話のような携帯無線電話機は、無線ネットワーク上で音声およびデータパケットを伝達できる。さらに、多くのそのような無線電話機はそこに組み込まれる他の形式の機器を含む。例えば、無線電話機はデジタルスチルカメラ、デジタルビデオカメラ、デジタルレコーダ、およびオーディオファイルプレーヤも含むかもしれない。また、そのような無線電話機はインターネットにアクセスするために用いられるウェブインタフェースを含むかもしれない。したがって、これらの無線電話機には優れた計算能力がある。

【0003】

通常、これらの機器は、より小さくより強力になるとともに、ますます資源が制約されることになる。例えば、画面サイズ、利用可能なメモリーおよびファイルシステム空間の量、並びに入出力容量は機器が小型であることによる制約を受けるかもしれない。さらに、バッテリー形状、バッテリーが供給する電力量、およびバッテリーの寿命も制限される。機器のバッテリー寿命を延ばす1つの方法は、機器内のプロセッサによって実行されるデータ操作で消費される電力を減少させることである。

【0004】

通常、プロセッサは記憶容量は小さいが、高速アクセス時間を提供するメモリーキャッシュを含む。通常、このメモリーキャッシュは要求されるメモリーアドレスの一部を用いてインデックスをつけられる。メモリーキャッシュの一例は、各インデックス値に関係づけられた複数のキャッシュラインを格納する n -ウェイキャッシュである。 n -ウェイキャッシュを用いて、要求されたデータが、特定のインデックス値に対する n -ウェイキャッシュの特定のウェイに格納されているかどうかを判定するために、通常、複数の比較が実行される。複数の比較は電力および限られた処理資源を消費する。

【0005】

従って、 n -ウェイキャッシュを用いる改良されたシステムおよび方法を提供することは有益であるだろう。

【発明の概要】

【0006】

特定の実施例において、マルチウェイキャッシュに格納された第1の命令の第1のウェイを決定することを含む方法が開示される。本方法は、ウェイリスト内に第1のウェイを格納することを含む。本方法は、マルチウェイキャッシュに格納された第2の命令の第2のウェイを決定することも含む。本方法は、前記ウェイリスト内に第2のウェイを格納することをさらに含む。

【0007】

別の実施例において、ウェイテーブルにウェイ値を格納することを含む一方法が開示される。このウェイ値は n -ウェイキャッシュからの順次データ読み出し操作に関連している。前記順次データ読み出し操作は処理ループの第1の反復に対応する。本方法は、処理

10

20

30

40

50

ループの次の反復操作の間にウェイトテーブルからの順次データ読み出し操作に対するウェイト値を順次検索することも含む。

【 0 0 0 8 】

別の実施例において、複数のウェイトを含むエントリテーブルを含む機器が開示される。前記エントリテーブルの各エントリは n - ウェイトキャッシュのウェイトを特定する。本機器は、インデックスを有するアドレスを提供するためのプログラムカウンタも含む。前記インデックスおよびウェイトは n - ウェイトキャッシュ内の 1 つの命令の位置を特定する。

【 0 0 0 9 】

別の実施例において、アンテナおよびそのアンテナに接続された送受信機を含む無線機器が開示される。本無線機器は前記送受信機に接続されたプロセッサも含む。このプロセッサは、複数のウェイトを含むエントリテーブルを含むプロセッサ可読メモリを有する。前記エントリテーブルの各エントリは n - ウェイトキャッシュのウェイトを特定する。前記プロセッサは、インデックスを有するプロセッサ命令のアドレスを提供するためのプログラムカウンタも含む。前記インデックスおよびウェイトは n - ウェイトキャッシュ内の 1 つのプロセッサ実行可能命令の位置を特定する。

【 0 0 1 0 】

n - ウェイトキャッシュを用いるシステムおよび方法の複数の実施例によって提供される 1 つの特定の利点は、消費電力操作、より速いキャッシュアクセス、またはその双方が得られるということである。

【 0 0 1 1 】

本開示の他の態様、利点、および特徴は以下の章、すなわち図面の簡単な説明、発明を実施するための形態、および特許請求の範囲、を含む出願全体を概観することによって明らかになるだろう。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】本発明の、 n - ウェイトキャッシュを用いるためのシステムの一実施例のブロック図。

【図 2】本発明の、 n - ウェイトキャッシュを用いる方法の一実施例のフロー図。

【図 3】本発明の、 n - ウェイトキャッシュと共に用いられるデータ構造の図。

【図 4】本発明の、 n - ウェイトキャッシュを用いる方法の別の実施例のフロー図。

【図 5】本発明の、 n - ウェイトキャッシュを用いるためのシステムの別の実施例のブロック図。

【詳細な説明】

【 0 0 1 3 】

図 1 を参照して、例えばプロセッサの一部である機器 100 を示す。機器 100 はシステムオンチップ部分および外部メモリ 110 を含む。このシステムオンチップはキャッシュメモリ 102 およびプログラムカウンタ 106 を含む。キャッシュメモリ 102 は、ウェイトレース論理回路 104、タグアレイ 120、およびデータキャッシュアレイ 130 を含むマルチウェイトキャッシュである。特定の実施例において、データキャッシュアレイ 130 は命令キャッシュアレイであるかもしれない。

【 0 0 1 4 】

ウェイトレース論理回路 104 は、プログラムカウンタ 106 から入力するアドレスに応答する。プログラムカウンタ 106 からの各アドレスはタグ部分 112 およびインデックス部分 114 を含む。図 1 に示すような特定の例示的实施例において、プログラムカウンタアドレスは 32 ビットを有する。

【 0 0 1 5 】

ウェイトレース論理回路 104 はタグ迂回論理回路 140 および先入れ先出し (FIFO) メモリアレイのようなウェイトレースバッファメモリ 150 を含む。タグ迂回論理回路 140 は制御信号 118 をタグアレイ 120 に出力する。特定の実施例において、

前記制御信号 1 1 8 はインデックス値 I_x とタグ値 T_x を含む。制御信号 1 1 8 のインデックス値およびタグ値がタグアレイの入力として提供され、その入力インデックス値に基づいて複数のタグ値を検索する。タグアレイ 1 2 0 から検索されたタグ値の各々は、複数のウェイの異なる 1 つに対応する。特定の実施例において、 n - ウェイキャッシュはキャッシュの各インデックス値に関係づけられた n 個のメモリー位置を含む。したがって、 n - ウェイキャッシュに格納されたデータ値は、このインデックスおよびデータ値に関係づけられたウェイを特定する番号を用いることによって位置が決定される。特定の実施例において、タグアレイ 1 2 0 は n - ウェイキャッシュ 1 0 2 の一部である。

【 0 0 1 6 】

入力タグ値 (T_x) は、ウェイトレース論理回路 1 0 4 において、タグアレイ 1 2 0 からの複数のタグの各々とインデックス値に基づいて比較され、合致するタグおよび関係する特定されたウェイを決定する。図 1 の特定の例示的例において、タグ値 T_x はウェイ W_2 に対応する。この例において、特定されたウェイ W_2 はタグアレイ 1 2 0 の出力 1 2 2 で出力され、そのウェイ出力 1 2 2 はウェイトレース論理回路 1 0 4 およびデータキャッシュアレイ 1 3 0 へ出力される。タグアレイ 1 2 0 が入力インデックス値 (I_x) に関係づけられるいずれのウェイにおいてもタグ値 T_x に合致するタグを含まない場合、キャッシュミスが起こっており、命令を検索する要求は外部メモリー 1 1 0 に対してなされる。

【 0 0 1 7 】

ウェイトレース論理回路 1 0 4 は、特定されたウェイ値を入力した後に、出力 1 3 2 でインデックス値を出力する。これはデータキャッシュアレイ 1 3 0 の入力端に供給される。さらに、ウェイトレース論理回路 1 0 4 は、ウェイトレースバッファメモリー 1 5 0 から読み込まれる予め定められたウェイ値 1 1 6 も出力する。

【 0 0 1 8 】

データキャッシュアレイ 1 3 0 は複数の異なるウェイに従って特定される複数の計算機実行可能命令を含む。例えば、図 1 に示すように、4 つの異なるウェイが示され、各ウェイは計算機実行可能命令のセットに対応する。したがって、データキャッシュアレイ 1 3 0 がインデックス値およびウェイ値を受けると、特定された計算機実行可能命令 D_x がデータキャッシュアレイ 1 3 0 から検索され、出力 1 3 4 で出力される。インデックス値およびウェイ値に基づいて特定された計算機実行可能命令がデータキャッシュアレイ 1 3 0 で見つからない場合、キャッシュミスが起こっており、命令を検索する要求が外部メモリー 1 1 0 に対してなされる。

【 0 0 1 9 】

いったん計算機実行可能命令 1 3 4 (D_x) がデータキャッシュアレイ 1 3 0 から出力されると、その計算機実行可能命令のウェイ値はトレースされ、ウェイトレース論理回路 1 0 4 内のエン트리テーブルに格納される。特定の実施例において、エン트리テーブルはウェイトレース F I F O バッファ 1 5 0 に格納され、図 3 に示すウェイテーブル 3 0 4 のように構成される。別の実施例において、ウェイトレースデータは計算機可読メモリー内にテーブルとしてもしくは単純なアレイとして、または専用レジスタ内に格納されるかもしれない。命令 1 3 4 がキャッシュメモリー 1 0 2 から出力されると、その命令は、ウェイトレース論理回路 1 0 4 への入力へも提供され、タグアレイ 1 2 0 から出力される関係するウェイ情報 1 2 2 と相互に関連され配列される。その結果そのような情報はウェイトレース F I F O バッファ 1 5 0 に格納される。この格納されたウェイトレース情報は後続の処理で用いられ、ウェイトレース論理回路 1 0 4 からデータキャッシュアレイ 1 3 0 へ特定のウェイ情報を送ることで、タグアレイから多数の値を検索することおよび関係するウェイを決定するための多数の照合操作を実行することに伴う付加的な計算を避けることにより、電力および処理資源を保存する。特定の実施例において、特定のウェイ情報はウェイ番号を含む。

【 0 0 2 0 】

特定の例示的実施例において、プログラムカウンタ 1 0 6 はインデックス 1 1 4 を有するアドレスを出力する。インデックス 1 1 4 および n - ウェイキャッシュのウェイは、共

10

20

30

40

50

同してデータキャッシュレイ 130 内の特定の命令の位置を特定する。特定の実施例において、タグアレイ 120 は、インデックス値 114 に応答する入力 118 も有する。

【0021】

さらに、ウェイトレース論理回路 104 は、例えばウェイトレース F I F O バッファ 150 を用いて、格納されたウェイ値を含むエン트리テーブルにアクセスできる。ウェイトレース論理回路 104 は、命令 D x に関係するウェイを決定するために、タグアレイ 120 から検索したタグ値 112 をプログラムカウンタ 106 から検索した対応するタグ値と比較する論理回路を含む。この照合論理回路を用いて、ウェイトレース論理回路 104 はタグアレイ 120 から検索したタグを検証し、認証できる。ウェイトレース論理回路 104 はタグアレイ 120 からのタグ値がプログラムカウンタ 106 からのタグ値に合致していることを判定した後、インデックス 132 およびウェイ 116 をデータキャッシュレイ 130 へ出力する。

10

【0022】

特定の例示の実施例において、ウェイのエン트리テーブル（例えばウェイトレース F I F O バッファ 150）に格納された複数のウェイの各々は、n - ウェイデータキャッシュレイ 130 内に格納された対応する複数の計算機実行可能命令に関係づけられた順に格納される。特定の実施例において、エン트리テーブルの最初のエントリーは命令のループの開始に対応する。命令のループの一例は、デジタル信号プロセッサによって実行される処理ループである。そのような処理ループは多くの種々の用途においてデジタル信号プロセッサ機器によって用いられる。別の例において、計算機実行可能命令の 1 つはループに入ることに関係している。このように、ウェイトレース F I F O バッファ 150 は、特定のループ内の命令の各々を格納でき、また格納された情報を第 1 のパスからループを通じて用いることができ、これにより処理ループを通じて後続のパスの命令に対するウェイ値を検索することにより電力および処理資源を保存する。したがって、このような処理をより低い電力と低減されたコストで実行できる。

20

【0023】

特定の実施例において、ウェイトレース F I F O バッファ 150 のエン트리テーブルは、n - ウェイデータキャッシュレイ 130 に格納されたデータとは独立のメモリーとして実施される。ウェイトレース F I F O バッファ 150 に格納されたエン트리テーブルは、ウェイ値 W2 のようなウェイ値を含むが、ウェイトレース F I F O バッファ 150 はデータキャッシュレイ 130 内にある計算機実行可能命令を含まない。

30

【0024】

例えば、閉処理ループの開始へのジャンプを指示するループ終了パケットが検出された場合、ウェイトレース論理回路 104 は、ウェイトレース F I F O バッファ 150 に格納されたエン트리テーブルへの追加を開始する。ウェイトレース F I F O バッファ 150 に書き込まれる最初のエントリーは、検出されたループ終了パケットによって指示されるループ開始のアドレスである。ループの各命令がデータキャッシュレイ 130 から順次検索される故、ウェイトレース論理回路 104 は、ウェイトレース F I F O バッファ 150 に、命令に関係づけられたウェイ値を格納する。

【0025】

40

ループの間、ウェイ値がウェイトレース F I F O バッファ 150 に格納されている故に、ウェイトレース論理回路 140 は要求された命令のアドレスをウェイトレース F I F O バッファ 150 に格納されたループ開始アドレスと比較する。現在のループの反復が完了し次のループの反復が始まることを示すループ開始アドレスが検出されると、ウェイトレース F I F O バッファ 150 は、プロセッサによって要求される順に、ループ命令に関係づけられたウェイ値を追加されるだろう。ウェイトレース論理回路 104 はウェイトレース F I F O バッファ 150 からのウェイ値を読み出し始め、したがって後続するループの反復の間、タグアレイ 120 から操作の読み出しを実行することが少なくなる。

【0026】

データキャッシュレイ 130 の各ウェイは単一の命令を格納するとして述べているが

50

、データキャッシュアレイ 130 の各ウェイが、キャッシュラインと呼ばれるデータのユニットに複数のデータワードまたは命令を格納しても良いことは明確に理解されるべきである。データキャッシュアレイ 130 における各データ読み出し操作では、複数の命令を含むキャッシュラインをリターンしても良い。このキャッシュラインから、要求される命令が検索される

図 2 を参照して、マルチウェイキャッシュに関する操作方法を例示する。この方法は、202 に示すように、キャッシュに格納された第 1 の命令の第 1 のウェイを決定することを含む。この方法は、204 に示すように、図 1 のウェイトレース FIFO バッファ 150 への格納のような、ウェイリストに前記第 1 のウェイを格納することをさらに含む。この方法は、206 において、キャッシュに格納された第 2 の命令の第 2 のウェイを決定すること、および 208 において、ウェイリストに第 2 のウェイを格納することとをさらに含む。

10

【0027】

特定の実施例において、本方法は、210 に示すように、ループ終了パケットを検出することをさらに含む。ループ終了パケットは、命令の処理ループのパスまたは反復の終了を表すジャンプ命令のような特定の命令を検出することによって判定される。212 において、本方法はループ終了パケットに関係づけられた特有アドレスを格納することをさらに含む。ループ終了パケットの検出後、本方法は 214 に示すようにウェイリストから検索した少なくとも 1 つのウェイにアクセスすることを含む。例えば、プロセッサがループの開始を参照している場合、図 1 のウェイトレース論理回路 104 のような論理回路は、ループの開始に関係づけられた格納されたウェイ情報をウェイリストから検索する。

20

【0028】

216 において、キャッシュ内の命令は検索された少なくとも 1 つのウェイに基づいてアクセスされる。例えば、検索されたウェイ値は、タグアレイ 120 のようなタグアレイの単一読み出しを実行するために用いられ、その命令が命令アレイに格納されておりキャッシュミスにならないことを確認する。次に、その命令を含む命令アレイのキャッシュラインを検索するために、検索されたウェイ値が用いられる。

【0029】

特定の実施例において、本方法は、218 において、命令に対するウェイ情報に加え、もしくは代わりに同一ライン (same line) ビットまたは他の識別子を格納することを選択的に含むかもしれない。これにより、同じキャッシュラインがアクセスされた場合、タグアレイ内のエントリは評価されない。同一ラインビットは、特定の命令が直前の先行命令と同じ命令アレイのキャッシュラインにあることを識別する。したがって、先行命令の検索が成功すると、同一ラインビットは、タグアレイを介してキャッシュミスに対する最初の検査をすることなしに、キャッシュからの後続命令を検索することを可能にする。例示的实施例において、同一ラインビットは、図 4 に示すような同一ラインビットアレイ 406 のような独立したビットアレイに格納される。

30

【0030】

特定の実施例において、第 1 のウェイはタグアレイから検索したウェイ値に対応する。さらに、第 2 のウェイはタグアレイからのウェイ値として検索される。キャッシュはマルチウェイキャッシュとして説明されているが、キャッシュは、 n が 1 より大きい値である n - ウェイキャッシュとして説明されても良い。特定の実施例において n は 4 である。さらに、ループ終了パケットに関係づけられた特有アドレスがアクセスされウェイリスト内に格納されることが理解されるべきである。このループ終了パケットに関係づけられた特有アドレスは、後続の処理に対してループ終了を特定する命令を特定するために用いられる。説明した方法を用いることによって、タグアレイの複数のタグを評価する代わりに、あらかじめ格納されたウェイリストからのウェイに応じてキャッシュ内の命令がアクセスされる。

40

【0031】

特定の実施例において、開示されたシステムは、デジタル信号プロセッサループを実

50

行するためのタグアレイアクセスおよびタグ照合に起因する電力消費を抑圧するための低コストな方法を提供する。開示されたシステムおよび方法は、アクセスされたウェイのトレースは格納するが n - ウェイキャッシュからの特定の計算機実行可能命令は格納しないことにより、低電力操作をもたらす。ウェイリストに関連するハードウェア構造は所要面積および電力要求において低コストである。また、この構造は大きいプログラミングループのトレースを格納するためのキャッシュラインにアクセスする能力を提供する。さらに、FIFO について言及してきたが、いかなる他の類似のハードウェア構造をウェイトレースデータの格納に用いてもよい。DSP ループを通じて後続の処理をするためのウェイトレースデータを格納することによって、本方法はタグアレイのただ 1 つのウェイを読み出すだけでよく、したがって消費電力を低くする。また、システムがアクセス毎にキャッシュラインの部分を読み出すキャッシュにおいて、システムはタグアレイへのアクセスを必要としないように、キャッシュラインに対する同一ラインビットを格納しても良い。

10

【0032】

図3を参照して、 n - ウェイキャッシュと共に用いられるデータ構造の特定の例示的实施例を示し、一般的に、300で表す。システム300は例示的命令リスト302およびウェイテーブル304を含む。特定の実施例において、ウェイテーブル304は図1に示すウェイトレースFIFOバッファ150のようなFIFOバッファに格納される。

【0033】

特定の実施例において、例示的命令リスト302は、DSPのようなプロセッサによって図1のキャッシュ102のようなキャッシュに要求された命令に対応するデータを表す。例示的命令リスト302は、命令アドレスの第1の列、ウェイ値の第2の列、および命令語の第3の列を含む。命令に関係づけられた命令アドレスおよびウェイは、キャッシュから要求された命令を含む対応するキャッシュラインにアクセスするために用いられる。例えば、例示的命令リスト302の最初のデータ行はウェイ3にある第1のアドレスA1を含み、対応する命令INSTR1はアドレスA1とウェイ3とに関係づけられたキャッシュラインの計算機命令語である。ウェイテーブル304での操作を例示するために、例示的命令リスト302が順次キャッシュ要求に関連したデータを示していることが理解されるべきである。例示的命令リスト302は、 n - ウェイキャッシュと共に用いられる実際のテーブルまたはデータ構造に対応している必要はない。

20

【0034】

図3の例示的实施例における例示的命令リスト302は、アドレスA1およびデータキャッシュアレイのウェイ3にある命令語INSTR1で始まり、アドレスA9、ウェイ1にある命令に続く9個の命令語を含む。

30

【0035】

図3に示す特定の実施例のアドレスA9、ウェイ1にある命令は、ループ終了を示す特有パケットである。さらに、アドレスA9、ウェイ1にある命令は、アドレスA4へのジャンプコマンドを含む。特定の実施例において、アドレスA9にあるループ終了の特有パケットは、プロセッサループの各反復がアドレスA4にある命令で始まりアドレスA9にある命令で終了することを示す。

【0036】

ウェイテーブル304はプロセッサで実行されるループにおいて順次アクセスされるキャッシュラインに対応する各ウェイ値に関係づけられたデータを含む。ウェイテーブル304の最初のエントリーはループ終了の特有パケットから検索されたアドレスA4である。ウェイテーブル304の以下の順次データの要素は、処理ループにおいてプロセッサによってキャッシュメモリに要求された各順次キャッシュラインに関係づけられたウェイ値を示す。

40

【0037】

例えば、アドレスA4にある命令に関係づけられたウェイ値は、命令リスト302に示すように、2である。同様に、ウェイテーブル304の最初のウェイデータ要素は数字2である。例示的命令リスト302に示す順次キャッシュライン検索を続けると、アドレス

50

A 5にあるキャッシュアクセスを引き起こす次の命令は、関連するウェイ0を有する。同様に、ウェイテーブル304の2番目のウェイデータ要素も0である。ウェイテーブル304は、アドレスA9、ウェイ1の命令で終了する処理ループ終了までの、プロセッサの順次キャッシュライン要求に対するウェイ値を含む。

【0038】

特定の実施例において、命令の処理において例えばループ終了の特有パケットを介してループが検出されると、ウェイテーブル304は処理ループの次の反復の最初の命令のアドレスを取り込む。図3の例示的实施例において、最初の命令のアドレスはA4である。ウェイテーブル304は、データキャッシュアレイ130のようなキャッシュから検索される各順次キャッシュラインに対するウェイデータに対応するデータ値を続けて書き込まれる。また、ウェイテーブル304は、図1のタグアレイ120のようなタグアレイを介して決定される。

10

【0039】

いったんウェイテーブル304が処理ループに対応するデータ値で生成されると、各検索されたキャッシュラインに対するウェイ値を決定するためのタグアレイへの付加的アクセスを必要とせずに、その処理ループの付加的反復が実行される。したがって、処理速度、電力消費量、および他の利益が得られる。

【0040】

例示的命令リスト302およびウェイテーブル304を図3に示すが、例示的命令リスト302もウェイテーブル304も個別のテーブルまたはアレイとして実施される必要がないことが理解されるべきである。例えば、ウェイテーブル304は先入れ先出し(FIFO)バッファで実施されてもよい。別の例として、例示的命令リスト302に関係づけられているデータは任意の他のデータ構造もしくは複数の構造にも格納されるかもしれないし、または、プロセッサが要求される命令を要求し受け取ることができる限り、全く格納されないかもしれない。

20

【0041】

図4を参照して、n-ウェイキャッシュと共に用いられるデータ構造の別の例示的实施例を示し、一般的に、400で表す。システム400は例示的命令リスト402、ウェイテーブル404、および同一ラインビットアレイ406を含む。一般に、例示的命令リスト402は図3に示す例示的命令リスト302に対応し、ウェイテーブル404は図3に示すウェイテーブル304に対応する。

30

【0042】

特定の実施例において、同一ラインビットアレイ406は処理ループの各命令がそのループの先行する命令と同じキャッシュラインにあるかどうかを示すデータを格納する。図4の例において、処理ループは、アドレスA4、A5、A6、A7、A8にある命令、およびA9にあるループ終了命令を含む。アドレスA5、A6、およびA7にある命令は、命令キャッシュの同じキャッシュラインに格納される。これは、各命令を検索するために同じインデックスおよびウェイを命令キャッシュから用いることを意味する。

【0043】

特定の実施例において、命令の処理においてループが検出されると、同一ラインビットアレイ406は、各命令に対してその命令が先行命令と同じキャッシュラインに格納されているかどうかを指示するデータ値を順次的に追加する。ループの各命令は、同一ラインビットアレイ406に、対応するビットを有する。これは論理的高レベル「1」または論理的低レベル「0」に設定される。命令が先行命令と異なるキャッシュラインに格納されると、同一ラインビットアレイ406に「0」が格納され、ウェイ値がウェイテーブル404に格納される。しかし、命令が先行命令と同じキャッシュラインに格納されると、同一ラインビットアレイ406に「1」が格納され、その命令に対してウェイテーブル404にエントリがなされない。したがって、同一ラインビットアレイ406は処理ループの各命令に対するデータ値を含むが、ウェイテーブル404はループ内の命令の数より少ないウェイ値を含む。

40

50

【 0 0 4 4 】

例えば、アドレス A 4 にある最初のループ命令は同一ラインビットアレイ 4 0 6 に、この命令が先行キャッシュラインにはないことを示す「 0 」の対応エントリーを有する。タグアレイを介して検索された A 4 にある命令に対するウェイ値「 2 」がウェイテーブル 4 0 4 の最初のウェイ格納位置に格納される。A 5 にある次の命令は、同一ラインビットアレイ 4 0 6 に、この命令が A 4 にある命令と異なるキャッシュラインにあることを示す「 0 」のエントリーを有する。この対応するウェイ値「 0 」がウェイテーブル 4 0 4 の 2 番目のウェイエントリーに格納される。以下の A 6 および A 7 にある命令は、同一ラインビットアレイ 4 0 6 に「 1 」で示されるため、A 5 にある命令と同じキャッシュラインにあり、したがってウェイテーブル 4 0 4 内に対応するエントリーを有しない。A 8 および A 9 にある最後の 2 つの命令は各々が別々のキャッシュラインにあり、ウェイテーブル 4 0 4 の対応する「 2 」および「 1 」のエントリーと共に同一ラインビットアレイ 4 0 6 の「 0 」エントリーによって示される。したがって、ループが 6 つの命令を含むにも拘わらず、僅か 4 個のウェイ値がウェイテーブル 4 0 4 に格納される。

10

【 0 0 4 5 】

いったんウェイテーブル 4 0 4 が処理ループに対応するデータ値を追加されると、その処理ループの付加的反復が、各検索されたキャッシュラインに対するウェイ値を決定するためのタグアレイへの付加的アクセスを必要とせず、実行される。命令が検索される前に、命令がキャッシュに上書きされていないことを確実にするために、1 つのインデックスおよびウェイ値がタグアレイに送られる。しかし、同一ラインビットアレイ 4 0 6 が、この命令が先行命令と同一キャッシュラインにあることを示す場合、タグアレイにおいてそのようなチェックが実行される必要はない。したがって複数の順次命令が同一のキャッシュラインにある場合、同一ラインビットアレイ 4 0 6 およびウェイテーブル 4 0 4 を用いるシステムは、同一ライン情報を記録しないシステムに較べ、メモリーの使用がより少なく、タグアレイ読み出し操作の実行がより少なくなる。

20

【 0 0 4 6 】

別の実施例において、同一ラインビットアレイ 4 0 6 の同一ラインデータおよびウェイテーブル 4 0 4 のウェイデータは単一のデータ構造に組み合わせられても良い。例えば、ウェイテーブル 4 0 4 のようなテーブルは先行する命令と同じキャッシュラインにある各命令に対するウェイ値に加えて、もしくは代わりに「同一ライン」指標を格納しても良い。

30

【 0 0 4 7 】

図 5 を参照して、ウェイトレース情報を用いる方法の特定の例示的实施例を示し、一般的に、5 0 0 で表す。5 0 2 において、命令のアドレスが入力される。特定の实施例において、命令のアドレスは n - ウェイキャッシュへの入力端で入力される。特定の实施例において、5 0 4 において、そのアドレスに関連づけられた 1 つのウェイが決定される。例えば、このウェイは図 1 のタグアレイ 1 2 0 のようなタグアレイから決定される。5 0 6 において、命令が検索される。5 0 6 において、命令は、図 1 のデータキャッシュアレイ 1 3 0 のようなデータキャッシュアレイから、命令アドレスおよび命令アドレスに関係づけられたウェイを用いて検索される。

40

【 0 0 4 8 】

本方法は判定ステップ 5 0 8 に続く。ステップ 5 0 8 において、処理ループに入っていることを命令が示すかどうかの判定がなされる。特定の实施例において、処理ループに入るとは、処理ループの最初の命令のアドレスを含む特有パケットによって示される。処理ループへ入ったことを命令が示さない場合、方法は 5 0 2 へ戻る。処理ループへ入ったことを命令が示す場合、方法は 5 1 0 へ続く。5 1 0 において、処理ループの最初の命令のアドレスが入力される。

【 0 0 4 9 】

5 1 2 に進み、要求された命令に対するウェイがタグアレイから決定され、次に 5 1 6 において対応するウェイがウェイテーブルに保存される。例示的一実施例において、ウェイテーブルは図 3 のウェイテーブル 3 0 4 である。別の例示的实施例において、ウェイテ

50

ーブルはウェイ値に対するデータ格納部品、例えば図1のウェイトレースFIFOバッファ150、を含む。

【0050】

処理は518へ続く。518において、要求された命令が検索される。520において、命令が処理ループの最初の反復の終了を示すかどうかの判定がなされる。命令が処理ループの最初の反復の終了を示さない場合、方法は510へ戻る。510において、ループの次の命令のアドレスが入力される。上記と異なり、命令が処理ループの最初の反復の終了を示す場合、処理ループの第2の反復が522で始まる。522において命令アドレスが入力される。

【0051】

特定の実施例において、522で要求された命令は、処理ループの最初の反復の間に予め検索されており、したがって、ウェイテーブルに格納された対応するウェイを既に有している。524において、要求された命令に対応するウェイはウェイテーブルから決定される。

【0052】

特定の実施例において、ウェイは526においてタグアレイを用いて確認される。例えば、1つ以上の他の処理は命令に上書きするキャッシュにデータ記入を実行する。要求された命令のインデックスおよびウェイに関係づけられたタグアレイからタグ値のみを検索することにより、その検索されたタグは、命令が上書きされていないことを確認するために、要求された命令のタグと比較される。特定の実施例において、特定の命令に対するキャッシュラインが直前の命令に対するものと同一である場合を示すために、同一ラインビットが用いられる。その場合、タグアレイを用いる確認ステップは、先行命令に対して実行されるだけでよい。

【0053】

528において、アドレスからのインデックスとウェイテーブルからのウェイを用いて命令が検索される。530において、命令がプロセッサにループを出る論理処理分岐を実行させるかどうかの判定がなされる。命令がループ終了を引き起こさないという判定がなされる場合、方法は522へ戻る。上記と異なり、530において命令がループ終了を引き起こす場合、方法は502へ戻る。

【0054】

図6はn-ウェイキャッシュを用いるシステムの一実施例のブロック図であり、携帯通信機器600として例示される。携帯通信機器600はウェイトレース論理回路670に接続されたn-ウェイキャッシュ660を含む。特定の実施例において、ウェイトレース論理回路670およびn-ウェイキャッシュ660は図1のキャッシュ102およびウェイトレース論理回路104を含む。また、例えば図3のウェイテーブル304のようなテーブルを用いてウェイトレースデータを格納し更新することによって、図2および図4に示す1つ以上の方法の少なくとも一部分を実行する。携帯通信機器600はデジタル信号プロセッサ610のようなプロセッサを含むオンチップシステム622を含む。このデジタル信号プロセッサ610は、図1乃至図5に関連して説明したように、ウェイトレース論理回路670に接続されたn-ウェイキャッシュ660を含む。特定の例示的一実施例において、ウェイトレース論理回路670が、デジタル信号プロセッサ610のようなプロセッサおよびオンチップシステム622のようなシステムオンチップ機器の電力消費量を抑圧するため、処理速度を向上させるため、またはその双方のために用いられるかもしれない。

【0055】

特定の実施例において、処理操作ループの間デジタル信号プロセッサ610によって要求される各命令に対するウェイ情報を格納し検索することにより、処理の間、電力消費量が抑圧される。その結果、n-ウェイキャッシュ660から各命令を検索することに関係する多くのタグアレイアクセスおよび比較を減少させる。多くのタグアレイアクセスおよび比較を減少させることは、命令検索に関係する電力消費量を減少させる。同様に、各

10

20

30

40

50

命令に対する多くのタグアレイアクセスおよび比較を減少させることは、 n -ウェイキャッシュ 660 からの個々のまたは全体の命令検索時間を減少させる。

【0056】

図 6 は、デジタル信号プロセッサ 610 およびディスプレイ 628 に接続されたディスプレイ制御器 626 も示す。さらに、入力機器 630 がデジタル信号プロセッサ 610 に接続される。さらに、メモリー 632 がデジタル信号プロセッサ 610 に接続される。符号器/復号器(コーデック) 634 もデジタル信号プロセッサ 610 に接続されても良い。スピーカ 636 およびマイクロホン 638 がコーデック 634 に接続されても良い。

【0057】

また、図 6 は、無線制御器 640 がデジタル信号プロセッサ 610 および無線アンテナ 642 に接続されても良いことを示す。特定の実施例において、電源 644 がオンチップシステム 622 に接続される。さらに、特定の実施例において、図 6 に示すように、ディスプレイ 628、入力機器 630、スピーカ 636、マイクロホン 638、無線アンテナ 642、および電源 644 はオンチップシステム 622 の外部にある。しかし、各々はオンチップシステム 622 の部品に接続される。

【0058】

特定の例示的实施例において、ウェイトレース論理回路 670 は携帯通信機器 600 の全体の性能を向上させるために用いられる。特に、ウェイトレース論理回路 670 は、処理ループの間、各検索された命令に関係する複数のキャッシュ読み出しおよび比較を行わ

【0059】

n -ウェイキャッシュ 660 およびウェイトレース論理回路 670 をデジタル信号プロセッサ 610 の別々の部品として示したが、そうではなく n -ウェイキャッシュ 660 およびウェイトレース論理回路 670 は、図 1 のキャッシュ 102 のような単一のキャッシュユニットに集積されても良い、ということが理解されるべきである。同様に、複数のウェイトレース論理部品が、例えば単一処理ループの複数の処理パスに対して含まれても良い、ということが理解されるべきである。別の例において、デジタル信号プロセッサ 610 の複数のキャッシュ、例えば専用命令キャッシュおよび専用データキャッシュ、に

【0060】

当業者は、ここに開示された実施例に関連して説明された種々の例示的論理ブロック、構成、モジュール、回路およびアルゴリズムのステップは、電子的ハードウェア、計算機ソフトウェア、またはその双方の組み合わせとして実施されるかもしれないことをさらに認識するだろう。ハードウェアとソフトウェアのこの互換性を明確に例示するために、種々の例示的部品、ブロック、構成、モジュール、回路、およびステップは、ここまで、それらの機能の面から一般的に説明してきた。そのような機能がハードウェアまたはソフト

【0061】

ここに開示された実施例に関して説明された方法またはアルゴリズムのステップは、直接ハードウェアで、プロセッサで実行されるソフトウェアモジュールで、またはその 2 つの組合せで具体化されるかもしれない。ソフトウェアモジュールは RAM メモリー、フラッシュメモリ、ROM メモリー、PROM メモリー、EPROM メモリー、EEPROM メモリー、レジスタ、ハードディスク、可搬形ディスク、CD-ROM、または当業者に

10

20

30

40

50

既知の任意の他の形式の記憶媒体の中にあるかもしれない。代表的記憶媒体は、プロセッサが情報を記憶媒体から読み出しおよび情報を記憶媒体に書き込むことができるようにプロセッサに接続される。代替的には、記憶媒体はプロセッサの構成部品であるかもしれない。プロセッサおよび記憶媒体はASIC内にあるかもしれない。ASICは計算機器またはユーザ端末内にあるかもしれない。代替的に、プロセッサおよび記憶媒体は個別部品として計算機器またはユーザ端末内にあるかもしれない。

【 0 0 6 2 】

開示された実施例のこれまでの説明は、いかなる当業者も開示された実施例を製造または使用することを可能にするように提供されている。これらの実施例への種々の変形は当業者に容易に明らかになるだろう。また、ここに定義した一般的原理は本開示の精神または範囲から逸脱することなく他の実施例に適用されるかもしれない。したがって、本開示は、ここに示した実施例に限定されることを意図されていず、以下の特許請求範囲によって定義される原理および新規な特徴に矛盾しない最も広い範囲に一致されるということである。

以下に本件出願当初の特許請求の範囲を付記する。

[C 1]

マルチウェイキャッシュ内に格納された第1の命令の第1のウェイを決定することと、
ウェイリスト内に第1のウェイを格納することと、

前記マルチウェイキャッシュ内に格納された第2の命令の第2のウェイを決定することと、

前記ウェイリスト内に第2のウェイを格納すること、
とを含む方法。

[C 2]

第1のウェイが、タグアレイから検索されたウェイ値を含む、[C 1]に記載の方法。

[C 3]

ループ終了パケットを検出することをさらに含む、[C 1]に記載の方法。

[C 4]

ループ終了パケットを検出した後に、ウェイリストからの少なくとも1つの検索されたウェイにアクセスすることをさらに含む、[C 3]に記載の方法。

[C 5]

少なくとも1つの検索されたウェイに基づいてマルチウェイキャッシュ内の命令にアクセスすることをさらに含む、[C 4]に記載の方法。

[C 6]

マルチウェイキャッシュが、n - ウェイキャッシュであり、nが2より大きい、[C 5]に記載の方法。

[C 7]

nが4である[C 6]に記載の方法。

[C 8]

第1のウェイおよび第2のウェイが、タグアレイから検索される、[C 7]に記載の方法。

[C 9]

マルチウェイキャッシュ内の命令が、タグアレイの複数のタグを評価することなく、少なくとも1つの検索されたウェイに応答してアクセスされる、[C 5]に記載の方法。

[C 1 0]

キャッシュラインの一部が読み出され、かつ同一キャッシュラインがアクセスされる場合にタグアレイ内のエントリーが評価されないように同一ラインビットを格納することをさらに含む、[C 9]に記載の方法。

[C 1 1]

ループ終了パケットに関係づけられた特有アドレスを格納することをさらに含む、[C 3]に記載の方法。

[C 1 2]

複数のウェイを含むエントリーのテーブルであって、前記エントリーのテーブル内の各エントリーが n - ウェイキャッシュのウェイを特定する、テーブルと、
インデックスを有するアドレスを提供するためのプログラムカウンタとを含み、
前記インデックスおよび前記ウェイが前記 n - ウェイキャッシュ内の命令の位置を特定する、
機器。

[C 1 3]

n - ウェイキャッシュが、インデックスに応答する入力に有するタグアレイを含む、 [C 1 2] に記載の機器。

10

[C 1 4]

エントリーのテーブルへアクセスできるウェイトレース論理回路をさらに含む、 [C 1 2] に記載の機器。

[C 1 5]

ウェイトレース論理回路が、 n - ウェイキャッシュへの出力を提供する、 [C 1 4] に記載の機器。

[C 1 6]

ウェイトレース論理回路が、タグアレイへウェイ項目およびインデックスを出力し、ウェイトレース論理回路が、タグアレイから検索されたタグ値をプログラムカウンタからの対応するタグ値と比較するための論理を含む、 [C 1 5] に記載の機器。

20

[C 1 7]

ウェイトレース論理回路が、タグアレイから検索したタグ値がプログラムカウンタからの対応するタグ値と合致する判定をした後、ウェイ項目を n - ウェイキャッシュへ出力する、 [C 1 6] に記載の機器。

[C 1 8]

複数のウェイが、 n - ウェイキャッシュ内に格納された対応する複数の計算機実行可能命令に関係づけられた順に格納される、 [C 1 2] に記載の機器。

[C 1 9]

エントリーのテーブル内の第 1 のエントリーが、命令のループの開始に対応する、 [C 1 8] に記載の機器。

30

[C 2 0]

複数の計算機実行可能命令の 1 つが、命令のループの終了に関係づけられている、 [C 1 9] に記載の機器。

[C 2 1]

エントリーのテーブルが、 n - ウェイキャッシュ内に格納されたデータとは独立しており、エントリーのテーブルが、ウェイ値を格納するが計算機実行可能命令を格納しない、 [C 1 2] に記載の機器。

[C 2 2]

エントリーのテーブルが、複数のウェイトレースを格納するための先入れ先出しバッファを含む、 [C 1 2] に記載の機器。

40

[C 2 3]

ウェイテーブルにウェイ値を格納することであって、前記ウェイ値が n - ウェイキャッシュから順次データ読み出し操作に関係づけられ、前記順次データ読み出し操作が処理ループの第 1 の反復に対応する、ウェイ値を格納することと、

前記処理ループの次の反復の間に、前記ウェイテーブルから前記順次データ読み出し操作に対するウェイ値を順次検索すること、

とを含む方法。

[C 2 4]

処理ループの第 1 の反復の開始が、 n - ウェイキャッシュからのループ終了命令の第 1 の検索に関係づけられ、処理ループの第 1 の反復の終了が、 n - ウェイキャッシュからの

50

ループ終了命令の次の検索に関係づけられる、[C 2 3] に記載の方法。

[C 2 5]

n - ウェイのタグアレイからただ1つのキャッシュラインにアクセスするために少なくとも1つのウェイ値を用いることをさらに含む、[C 2 3] に記載の方法。

[C 2 6]

ウェイテーブルからの少なくとも1つのウェイ値を用いて n - ウェイキャッシュに格納されたデータにアクセスすることをさらに含む、[C 2 3] に記載の方法。

[C 2 7]

アンテナと、

前記アンテナに接続された送受信機と、

前記送受信機に接続されたプロセッサとを含み、

前記プロセッサが、

複数のウェイを含むエントリーのテーブルを含むプロセッサ可読メモリーであって、前記エントリーのテーブルの各エントリーが n - ウェイキャッシュのウェイを特定する、プロセッサ可読メモリーと、

インデックスを有するプロセッサ命令アドレスを出力するプログラムカウンタとを含み、

前記インデックスおよび前記ウェイが、 n - ウェイキャッシュ内の処理実行可能命令のアドレスを特定する、

無線機器。

[C 2 8]

プロセッサが、デジタル信号プロセッサである、[C 2 7] に記載の無線機器。

[C 2 9]

音響データを符号化および復号するための手段と、

画像情報を提供するための手段、

とをさらに含む [C 2 7] に記載の無線機器。

[C 3 0]

音響データを符号化および復号するための手段が、プロセッサに接続されマイクロホンおよびスピーカにさらに接続されたコーデックを含み、かつ画像情報を提供するための手段が、プロセッサに接続されディスプレイにさらに接続されたディスプレイ制御器を含む、[C 2 9] に記載の無線機器。

10

20

30

【図 1】

図 1

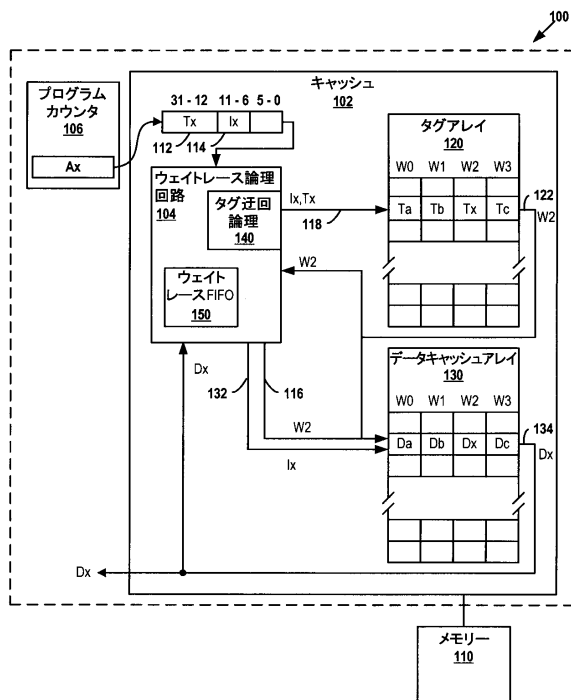


FIG. 1

【図 2】

図 2

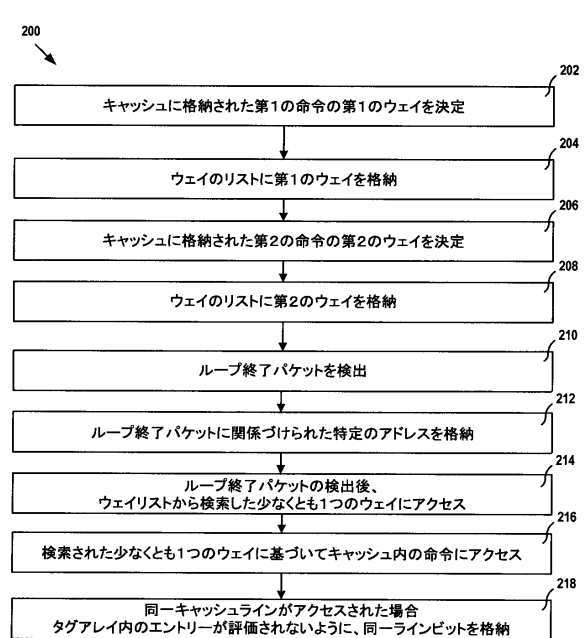


FIG. 2

【図 3】

図 3

300

命令のリスト 302		
アドレス	ウェイ	命令
A1	3	命令 1
A2	0	命令 2
A3	3	命令 3
A4	2	命令 4
A5	0	命令 5
A6	1	命令 6
A7	3	命令 7
A8	2	命令 8
A9	1	ループ 終了-A4へ ジャンプ

ウェイトテーブル 304	
ループ終了アドレス:A4	
2	
0	
1	
3	
2	
1	

FIG. 3

【図 4】

図 4

400

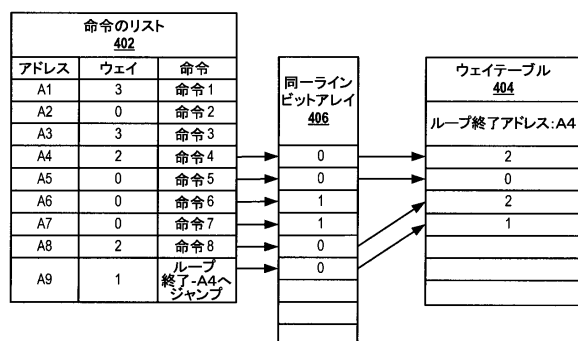


FIG. 4

【図 5】

図 5

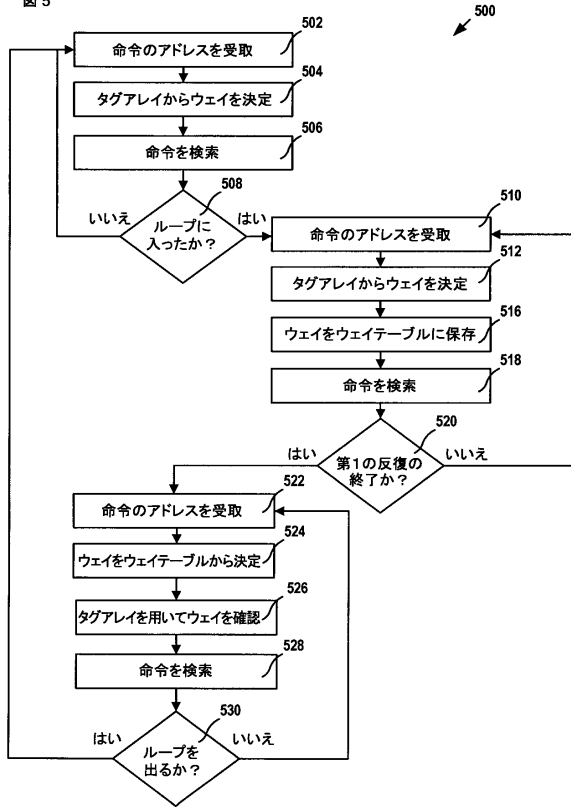


FIG. 5

【図 6】

図 6

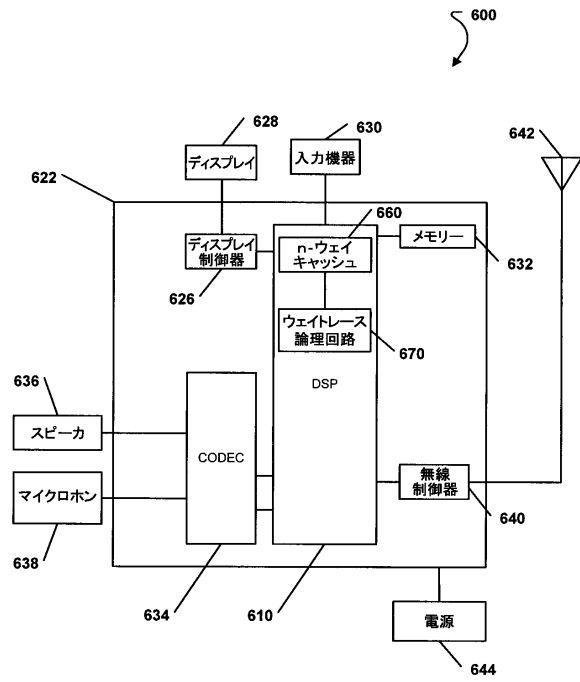


FIG. 6

フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 ベンクマハンティ、スレシュ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ジョーンズ、フィリップ・エム.
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 桜井 茂行

- (56)参考文献 米国特許出願公開第2007/0113057(US, A1)
国際公開第2007/096572(WO, A1)
米国特許出願公開第2004/073749(US, A1)
米国特許出願公開第2006/047884(US, A1)
国際公開第03/001384(WO, A1)
Nicolaescu D., "Reducing Power Consumption for High-Associativity Data Caches in Embedded Processors", PROCEEDINGS OF THE DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION (DATE'03), 米国, IEEE COMPUTER SOCIETY, 2003年 3月 3日, P. 1-5

- (58)調査した分野(Int.Cl., DB名)
G06F 12/08 - 12/12

G 0 6 F 9 / 3 8