

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權日本 2001年04月18日 特願2001-119586 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( 1 )

## 【發明的技術領域】

本發明係關於可發揮具有異質接合型之活性區域之DTMOS或MISFET(金屬絕緣體半導體場效電晶體)機能之半導體裝置，特別係關於可利用低電源電壓施行動作之半導體裝置。

## 【先前技藝】

近年來，利用電池驅動之可攜式資訊終端裝置已廣泛被人使用。在此種裝置中，為了延長電池壽命，強烈要求能在不犧牲高速動作性之情況下，降低電源電壓。為了在低電源電壓下，也能實現高速動作，降低臨限值電壓雖然有效。但此時，開關閉時之漏電流會增大，所以臨限值電壓之降低自然有其下限存在。

因此，如文獻(F. Assaderaghi et. al., 著 "A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-low Voltage, Operation" (超低電壓驅動式動態臨限值電壓型金屬氧化物半導體場效電晶體) IEDM Ext. Abst. p.809 (國際電子器件會議94年發行濃縮摘要版第809頁))所揭示，有所謂DTMOS (Dynamic Threshold Voltage MOSFET: 動態臨限值電壓型金屬氧化物半導體場效電晶體)的提案，以作為解決此種問題，在低電壓時也具有漏電流小，且高驅動能力之裝置。

以往之DTMOS具有設於半導體基板之活性區域上之閘極絕緣膜、閘極、設於活性區域中位於閘極兩側方之區域之源極·汲極區域、及設於基板活性區域中位於源極·汲極

## 五、發明說明 ( 3 )

然而，在上述以往之DTMOS中，隨著閘極偏壓電壓之增

大，源極-通道-本體間會受到順方向偏壓，故所謂基板電流會在源極-通道-本體-閘極間流通。所以在DTMOS中，最好利用一面抑制此基板電流，且一面降低臨限值電壓，以確保較寬之動作電壓範圍。源極-本體間及源極-通道間，分別有PN接合二極體介在其中時，即可單純地模型化，因此，基板電流可由半導體之材料(能帶隙)與接合部分之雜質濃度加以決定。一般而言，源極區域通常被摻入雜質濃度 $1 \times 10^{20}$  atoms  $\cdot$  cm $^{-3}$ 程度之高濃度雜質，故如提高本體之雜質濃度，即可抑制基板電流中源極-本體之成分。

但因隨著本體之雜質濃度的增加，臨限值電壓也會升高，故實際上要利用提高本體之雜質濃度，以確保較寬之動作電壓範圍，頗為困難。

本發明之目的在於一面提高本體區域之雜質濃度，一面提供基板電流小而動作電壓範圍寬之半導體裝置。

**【解決問題之手段】**

本發明之第一半導體裝置係包含半導體層，其係至少含第一半導體膜、及第二半導體膜，其係能帶隙異於上述第一半導體膜，而構成能帶隙由鄰接於上述第一半導體膜之部位向遠離第一半導體膜之方向變小者；閘極絕緣膜，其係設於上述半導體層上者；閘極，其係設於上述閘極絕緣膜上者；源極·汲極區域，其係將第一導電型雜質導入上述半導體層中，位於上述閘極兩側方之區域所形成者；通

## 五、發明說明( 4 )

道區域，其係將第二導電型雜質導入上述第二半導體膜

中，位於上述源極·汲極區域間之區域所形成者；本體區域，其係將濃度高於上述通道區域之第二導電型雜質導入上述第二半導體膜中，位於上述源極·汲極區域間之區域所形成者；及導體構件，其係用於施行上述閘極與上述本體區域之電性連接者。

因此，在上述第二半導體膜中，位於上述源極·汲極區域間之部分中，可形成供第二導電型載子活動之能帶端之電位之凹部(井區域)，確保低臨限值電壓，同時降低全體的基板電流。

上述第一半導體膜最好由以  $\text{Si}_{1-x_1-y_1} \text{Ge}_{x_1} \text{C}_{y_1}$  ( $0 \leq x_1 < 1$ ,  $0 \leq y_1 < 1$ ) 表示其組成之半導體所構成，上述第二半導體膜最好由以  $\text{Si}_{1-x_2-y_2} \text{Ge}_{x_2} \text{C}_{y_2}$  ( $0 \leq x_2 \leq 1$ ,  $0 \leq y_2 \leq 1$ ,  $x_2 + y_2 > 0$ ) 表示其組成之半導體所構成。

上述第一半導體膜由矽所構成，上述第二半導體膜由以  $\text{Si}_{1-x_3} \text{Ge}_{x_3}$  ( $0 < x_3 \leq 0.4$ ) 表示其組成之半導體所構成，且使上述第二半導體膜之Ge組成比由鄰接於上述第一半導體膜之部位向上方增大時，可在通道區域之價電子帶端形成大的能帶補償區，而可獲得適合於p通道型電晶體之構造。

上述第一半導體膜由矽所構成，上述第二半導體膜由以  $\text{Si}_{1-y_3} \text{C}_{y_3}$  ( $0 < y_3 \leq 0.03$ ) 表示其組成之半導體所構成，且使上述第二半導體膜之C組成比由鄰接於上述第一半導體膜之部位向上方增大時，可在通道區域之傳導帶端形成大的

## 五、發明說明 ( 5 )

能帶補償區，而可獲得適合於n通道型電晶體之構造。

上述第一半導體膜由矽所構成，上述第二半導體膜由以  $\text{Si}_{1-x_4-y_4} \text{Ge}_{x_4} \text{C}_{y_4}$  ( $0 < x_4 \leq 0.4$ ,  $0 < y_4 \leq 0.03$ ) 表示其組成之半導體所構成時，可獲得適合於n通道型電晶體及p通道型電晶體雙方之構造。

上述第一半導體膜為n型，上述第二半導體膜為p型，由上述本體區域流向上述第一半導體膜中位於上述源極·汲極區域之區域之基板電流中，有助於電洞之成分最好小於有助於電子之成分。

上述第一半導體膜為p型，上述第二半導體膜為n型，由上述本體區域流向上述第一半導體膜中位於上述源極·汲極區域之區域之基板電流中，有助於電子之成分最好小於有助於電洞之成分。

上述半導體層進一步包含第三半導體膜，其係設於上述第一半導體膜與上述第二半導體膜間者；並進一步包含緩衝區域，其係設於上述第三半導體膜中位於上述源極·汲極區域間之區域，且含低於上述本體區域之濃度之第二導電型雜質或不摻雜質者。因此，在上述第二半導體膜中，位於上述源極·汲極區域間之部分，可使供第二導電型載子活動之能帶端之電位之凹部更為遠離本體區域，故可抑制基板電流。

上述半導體層最好進一步包含矽間隙區域，其係介設於上述第二半導體膜與上述閘極絕緣膜之間者。

進一步包含設於上述第一半導體膜下方之絕緣層時，特

## 五、發明說明( 6 )

別可獲得施行高速動作之半導體裝置。

本發明之第二半導體裝置係包含半導體層，其係至少含第一半導體膜；第二半導體膜，其係設於上述第一半導體膜上，且對載子所活動之能帶端之載子之電位小於上述第一半導體膜者；及第三半導體膜，其係介在上述第一半導體膜與上述第二半導體膜間者；閘極絕緣膜，其係設於上述半導體層上者；閘極，其係設於上述閘極絕緣膜上者；源極·汲極區域，其係將第一導電型雜質導入上述半導體層中，位於上述閘極兩側方之區域所形成者；通道區域，其係將第二導電型雜質導入上述第二半導體膜中，位於上述源極·汲極區域間之區域所形成者；本體區域，其係將濃度高於上述通道區域之第二導電型雜質導入上述第二半導體膜中，位於上述源極·汲極區域間之區域所形成者；緩衝區域，其係設於上述第三半導體膜中位於上述源極·汲極區域間之區域，且含低於上述本體區域之濃度之第二導電型雜質或不摻雜質者；及導體構件，其係用於施行上述閘極與上述本體區域之電性連接者。

因此，在上述第二半導體膜中，位於上述源極·汲極區域之部分中，可形成供第二導電型載子活動之能帶端之電位之凹部(井區域)，但因設有第三半導體膜，可將此電位之凹部與第一半導體膜之距離拉遠。另一方面，可利用通過半導體裝置之閘極之縱剖面之能帶之內建電位，使能帶向障礙本體區域之第二導電型載子活動之方向彎曲，直到遠離第一半導體膜之程度。因此，可抑制本體區域之第二

## 五、發明說明( 7 )

導電型載子通過第二半導體膜構成之通道區域而進入第二半導體膜中位於源極・汲極區域之部分，降低全體的基板電流。

上述第三半導體膜之厚度在15 nm以上較為理想，在30 nm以上更為理想。

## 【發明之實施形態】

## (第1實施形態)

第1實施形態中，係說明有關使用具有傾斜組成之SiGe作為構成通道區域之材料，並利用Si/SiGe異質接合之HDTMOS(以下稱傾斜組成SiGe-HDTMOS)之實施形態。

圖1(a)、(b)、(c)係分別依照順序模式性地顯示本實施形態之p通道型傾斜SiGe-HDTMOS之構造之平面圖、圖1(a)所示之Ib-Ib線之剖面圖及圖1(a)所示之Ic-Ic線之剖面圖。如圖1(a)~(c)所示，本實施形態之p通道型傾斜SiGe-HDTMOS具有p型矽基板10、利用將氧離子植入矽基板等方法所形成之厚約100 nm之埋入氧化膜11、及設於埋入氧化膜11之上之半導體層30。半導體層30係由構成SOI基板之上部之厚約100 nm之上部矽膜12、利用UHV-CVD(超高壓化學氣相沉積)法磊晶生長於上部矽膜12上之厚約10 nm之矽緩衝層13、利用UHV-CVD法磊晶生長於矽緩衝層13上之厚約15 nm之 $\text{Si}_{1-x}\text{Ge}_x$ 膜14及利用UHV-CVD法磊晶生長於 $\text{Si}_{1-x}\text{Ge}_x$ 膜14上之厚約5 nm之矽間隙層15所構成。

另外，HDTMOS具有由設於矽間隙層15上之矽氧化膜所

## 五、發明說明( 8 )

形成之厚約6 nm之閘極絕緣膜16、與設於閘極絕緣膜16

上之閘極17。而在半導體層30，也就是說，在上部矽膜12、矽緩衝層13、 $\text{Si}_{1-x}\text{Ge}_x$ 膜14及矽間隙層15中位於閘極17之兩側方之區域，設有含高濃度之p型雜質之源極區域20a與汲極區域20b。又，在上部矽膜12中，源極區域20a與汲極區域20b間之區域係構成含高濃度之n型雜質之矽本體區域22，矽緩衝層13中位於矽本體區域22正上方之區域係含低濃度之n型雜質之 $n^{++}$ 矽區域23。而 $\text{Si}_{1-x}\text{Ge}_x$ 膜14中，源極區域20a與汲極區域20b間之區域係構成含較低濃度之n型雜質之SiGe通道區域24，矽間隙層15，位於閘極絕緣膜16正下方之區域係構成含低濃度之n型雜質之矽間隙區域25。另外，設有使閘極17與矽本體區域22之電性連接之導體構件之接點26。又，通道長約0.3  $\mu\text{m}$ 。

在此，本實施形態之特徵如圖1(b)左圖所示，係在於 $\text{Si}_{1-x}\text{Ge}_x$ 膜14之Ge組成比x由矽緩衝層13向矽間隙層15呈現由x=0至x=0.3之連續變化之傾斜組成之點上。

而在結晶生長前事先利用離子植入法，將n型雜質摻入上部矽膜12中。以UHV-CVD法依次疊層之際，利用in-situ摻雜法(超傳導材料製造法)，將 $5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度之n型雜質(例如砷)摻入矽緩衝層13、 $\text{Si}_{1-x}\text{Ge}_x$ 膜14及矽間隙層15。 $\text{Si}_{1-x}\text{Ge}_x$ 膜14之能帶隙由於Ge組成連續地發生變化，故在與矽間隙層15相接之境界部，比Si之能帶隙小約220 meV之程度。此能帶隙之差幾乎大部分以價電

## 五、發明說明 ( 9 )

子帶之能帶補償區(異質障壁)之形態顯現，在此異質障壁

中形成用於關入電洞之電位井。

$\text{Si}_{1-x}\text{Ge}_x$ 膜14之組成比 $x$ 以在 $0 < x \leq 0.4$ 之範圍較為理想。

- $\text{Si}_{1-x}\text{Ge}_x$ 膜之構造與基板電流之關係-

在此，說明本實施形態之傾斜組成SiGe-HDTMOS與均勻組成SiGe(箱形組成)-HDTMOS之基板電流之不同。

圖10(a)、(b)係表示具有一般性的矽通道之DTMOS之寄生二極體之剖面圖、及具有箱形組成之SiGe膜之HDTMOS(以下稱箱形組成SiGe-HDTMOS)之寄生二極體之剖面圖。

圖10(a)所示之DTMOS中，在BOX(箱)層上之Si層設有含高濃度之p形雜質之源極·汲極、含高濃度之n形雜質之矽本體、及含低濃度之n形雜質之矽通道。

在DTMOS中，閘極與通道及本體被短路，在此狀態下，將偏壓電壓施加至閘極時，與閘極偏壓電壓相同大小之順方向偏壓電壓會被施加至矽本體及矽通道。因此，在閘極偏壓電壓切斷時，即呈現與通常之MOS電晶體相同之狀態；又，在閘極偏壓電壓接通時，隨著閘極偏壓電壓的增大，本體區域會被施加順方向之偏壓，故可使臨限值電壓降低。而如圖10(a)所示，當電壓施加至源極·汲極間時，源極-矽通道間會生成第一二極體D1，源極-矽本體間會生成第二二極體D2。

此時，第一二極體D1之單位面積之逆飽和電流密度 $J_{s1}$ 可用下式(1)表示：

## 五、發明說明 ( 10 )

$$J_{s1} = q \{ \sqrt{(D_p/\tau_p)} \} (n_{i-si}^2/N_{d-})$$

$$+ q \{ \sqrt{(D_n/\tau_n)} \} (n_{i-si}^2/N_a) \quad (1)$$

但， $q$ 為電荷數量， $D_p$ 為電洞之擴散常數， $D_n$ 為電子之擴散常數， $\tau_p$ 為電洞之壽命， $\tau_n$ 為電子之壽命， $n_{i-si}$ 為本徵載子密度， $N_{d-}$ 為矽通道之施體濃度， $N_a$ 為源極·汲極之受體濃度。式(1)右邊第1項為電洞所產生之電流，右邊第2項為電子所產生之電流。

式(1)右邊第1項所示之電洞電流不流向高濃度 $n$ 層之矽本體而流向汲極，故對基板電流幾乎無助益。另一方面，式(1)右邊第2項所示之電子電流雖也流向矽本體，但因矽層之本徵載子密度 $n_{i-si}$ 較小，且源極·汲極之受體濃度 $N_a$ 較大，故電子電流小到可加以忽視之程度。

另一方面，第二二極體 $D_2$ 之單位面積之逆飽和電流密度 $J_{s2}$ 可用下式(2)表示：

$$J_{s2} = q \{ \sqrt{(D_p/\tau_p)} \} (n_{i-si}^2/N_{d+}) \\ + q \{ \sqrt{(D_n/\tau_n)} \} (n_{i-si}^2/N_a) \quad (2)$$

但， $N_{d+}$ 為矽本體之施體濃度， $N_a$ 為源極·汲極之受體濃度。式(2)右邊第1項為電洞所產生之電流，右邊第2項為電子所產生之電流。

此時，因 $N_a > N_{d+}$ ，式(2)右邊第1項所示之電洞電流雖具有支配性，但如提高矽本體之雜質濃度， $N_{d+}$ 會變大，故可控制電洞電流。另一方面，式(2)右邊第2項所示之電子電流雖也流向矽本體，但因矽層之本徵載子密度 $n_{i-si}$ 較小，且源極·汲極之受體濃度較大，故電子電流小到可加

## 五、發明說明 ( 11 )

以忽視之程度。

其結果，在具有矽通道之DTMOS中，即可將基板電流 ( $J_{s1}+J_{s2}$ ) 全體抑制在較低之值。

相對地，如圖10(b)所示，在均勻組成SiGe-HDTMOS之情形，當電壓施加至源極·汲極間時，源極-SiGe通道間會生成第一二極體D1，源極-矽本體間會生成第二二極體D2。

此時，第一二極體D1之單位面積之逆飽和電流密度 $J_{s1}$ 可用下式(3)表示：

$$J_{s1} = q \left\{ \sqrt{(D_p/\tau_p)} \right\} (n_{i-SiGe}^2/N_{d-}) + q \left\{ \sqrt{(D_n/\tau_n)} \right\} (n_{i-SiGe}^2/N_a) \quad (3)$$

但， $N_{d-}$ 為SiGe通道之施體濃度， $N_a$ 為源極·汲極之受體濃度。式(3)右邊第1項為電洞所產生之電流，右邊第2項為電子所產生之電流。

式(3)右邊第1項所示流向第一二極體D1之電洞電流幾乎不流向高濃度n層之矽本體而流向汲極，故對基板電流無助益。另一方面，式(3)右邊第2項所示流向第一二極體D1之電子電流雖也流向矽本體，但因SiGe層之本徵載子密度 $n_{i-SiGe}$ 比矽層大相當多，故電子電流不可加以忽視。

另一方面，第二二極體D2之單位面積之逆飽和電流密度 $J_{s2}$ 可用下式(4)表示：

$$J_{s2} = q \left\{ \sqrt{(D_p/\tau_p)} \right\} (n_{i-Si}^2/N_{d+}) + q \left\{ \sqrt{(D_n/\tau_n)} \right\} (n_{i-Si}^2/N_a) \quad (4)$$

## 五、發明說明 ( 12 )

但， $N_{d+}$ 為矽本體之施體濃度， $N_a$ 為源極・汲極之受體濃度。式(4)右邊第1項為電洞所產生之電流，右邊第2項為電子所產生之電流。

此時，因 $N_a > N_{d+}$ ，式(4)右邊第1項所示之電洞電流雖具有支配性，但如提高矽本體之雜質濃度， $N_{d+}$ 會變大，故可控制電洞電流。另一方面，式(4)右邊第2項所示之電子電流雖也流向矽本體，但因矽層之本徵載子密度 $n_{i-si}$ 較小，且源極・汲極之受體濃度較大，故電子電流小到可加以忽視之程度。

依據以上所述，在具有SiGe通道之SiGe-DTMOS中，因無法抑制式(3)中之電子電流，故難以將基板電流( $J_{s1}+J_{s2}$ )全體抑制在較低之值。

與具有矽通道之一般性的DTMOS相比，在本發明具有SiGe通道之SiGe-DTMOS中，通道層之SiGe層之能帶隙因係將Ge設定為30%，比Si小約220 meV之程度，此能帶隙之差以異質障壁之形態顯現於有利於關入電洞之價電子帶中，故可實現低臨限值電壓。

然而，如上所述，此種箱形組成型之異質接合構造DTMOS之情形，提高Ge組成率時，就難以降低基板電流中電子電流所產生之成分。

圖11係表示有關箱形組成SiGe-HDTMOS中，本體區域之雜質濃度變化時之汲極電流 $I_d$ 及基板電流 $I_b$ 之閘極偏壓依存性之模擬結果之圖。此模擬係將矽緩衝層之厚度設定為10 nm，將SiGe膜之厚度設定為15 nm，將矽間隙層之厚

## 五、發明說明 ( 13 )

度設定為 5 nm，將閘極絕緣膜之厚度設定為 6 nm，將 SiGe

通道層 Ge 組成設定於一定之 30%，將通道長設定於 0.3  $\mu$  m。也就是說，將各層之厚度及通道層設定為相同於本實施形態之傾斜組成 SiGe-HDTMOS。如圖 11 所示，即使本體區域之雜質發生變化，電子電流之閘極偏壓依存性也幾乎不會變化。另一方面，本體區域之雜質濃度升高時，電洞電流會整體性地減少。即，流向源極-本體間之第二二極體 D2 之電流原本由電洞電流所支配，由於源極區域之雜質濃度為  $1 \times 10^{20}$  atoms  $\cdot$  cm<sup>-3</sup> 程度之高濃度，因此，可藉提高本體區域之雜質濃度來抑制電洞電流。

然而，即使本體區域之雜質發生變化，基板電流中，電子電流之閘極偏壓依存性也幾乎不會變化，故基板電流之下限決定於電子電流，無法將基板電流降低至此下限以下。如此，在箱形組成 SiGe-HDTMOS 中，本體區域之雜質濃度超過  $1 \times 10^{18}$  atoms  $\cdot$  cm<sup>-3</sup> 時，電子電流具有支配性，即使提高本體區域之雜質濃度，也不能抑制基板電流。其結果，在動作電壓範圍之擴大上也會有界限存在。

圖 12 係表示 SiGe 之本徵載子密度之 Ge 組成率依存性之圖。如同圖所示，Ge 組成率 30% 之 SiGe 之本徵載子密度達到 Si 之大約 10 倍。因此，如上所述，難以有效地降低式 (3) 右邊第 2 項之成分，即基板電流中之電子電流之成分難以有效降低。

相對地，在本實施形態之 SiGe-HDTMOS 中，因 SiGe 通道區域 24 具有傾斜組成，假設峰值濃度為 30% 時，平均的 Ge

## 五、發明說明 ( 14 )

組成率為15%之程度。此時，由圖12可知悉，通道區域之

平均的本徵載子密度 $n_{i-SiGe}$ 只上升2.5倍之程度，故可將式(3)之電子電流抑制於可加以忽視之程度。但因採行傾斜組成的關係，臨限值電壓上升至Si-DTMOS之程度時，即失去設置異質接合之意義。

圖2係表示本實施形態之傾斜組成SiGe-HDTMOS之源極區域之能帶構造之剖面圖。將傾斜組成導入SiGe膜中時，在同圖左側所示之內建電位狀態中，在 $Si_{1-x}Ge_x$ 膜14中，源極區域20a之傳導帶電位井之形狀會呈現在矽緩衝層13側較淺，在矽間隙層15側較深之形狀。而由於SiGe-HDTMOS之p通道形成於SiGe通道區域24中接於矽間隙區域25之區域附近，如果此附近之Ge組成率為30%，則可確保大致同等於Ge組成率30%之均勻組成之SiGe通道之低臨限值電壓。

因此，設置傾斜組成之SiGe通道區域24時，即可一面有效發揮低臨限值電壓之HDTMOS之優點，一面將基板電流抑制於較小之值，謀求動作電壓範圍之擴大。

- 基板電流之抑制效果之另一種想法 -

圖13係表示箱形組成SiGe-HDTMOS之構造與電子之活動情形之剖面圖。在圖13所示之箱形組成SiGe-HDTMOS中，在源極區域，雜質濃度設定於 $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ 程度之高濃度，故可利用使矽間隙、SiGe通道、及矽本體之費米位準保持一致之方式，在傳導帶側產生擬似性的電位井。由於矽本體與SiGe通道均為n型層，矽本體方面含有

## 五、發明說明 ( 15 )

高濃度之n型雜質，故電子容易由矽本體流向SiGe通道。

另一方面，SiGe膜中，SiGe通道為低濃度之n型區域，源極為高濃度之p型區域，故在其間形成PN接合部而存在著第一二極體D1，因此，電子也被認為可能利用由矽本體至本體·通道間之順方向電壓而由矽本體流向SiGe通道，而被引導至源極。

相對地，如圖2所示，在本實施形態之SiGe-HDTMOS中，在 $\text{Si}_{1-x}\text{Ge}_x$ 膜14中，源極區域20a之傳導帶電位井之形狀呈現在矽緩衝層13側較淺，在矽間隙層15側較深之形狀。而本體區域之電子雖有流入電位井之深的部分之趨勢，但因由存在大量電子之n型本體區域至電位井之深的部分離開相當距離，故難以產生引導電子之作用。也就是說，如圖2右側所示，在通過閘極17之縱剖面之傳導帶端，傳導帶端之能帶因內建電位而彎曲，故愈遠離 $n^-$ 矽區域23，對電子活動之障礙愈大，此一現象也被認為有助於電子電流之降低。如此，當電子電流降低時，基板電流即可藉此降低至比箱形組成SiGe-HDTMOS之下限更低之值。

電子電流之降低作用以上述二種作用之何者為主，雖尚未確定，但因本實施形態之傾斜組成SiGe-HDTMOS而可獲得以下之效果，卻是事實。

圖3係表示有關在箱形組成SiGe-HDTMOS與傾斜組成SiGe-HDTMOS中之 $V_g-I_d$ 特性及 $V_g-I_b$ 特性之模擬結果之圖。如圖3所示，在傾斜組成SiGe-HDTMOS中，可利用提高本體區域之雜質濃度，以降低電洞電流，並降低電子電

## 五、發明說明 ( 16 )

流。其結果，確認可使電洞與電子構成之基板電流全體下

降1個位數之程度。另一方面，與箱形組成SiGe-HDTMOS相比，汲極電流 $I_d$ 並未降得那麼低。

如此，獲得該效果之理由可認為係由上述二種作用所促成，但利用本實施形態之傾斜組成SiGe-HDTMOS，抑制基板電流之結果，確認動作電壓範圍可擴大至0.05 V至0.08 V之程度。

在本實施形態中，雖係以具有Si/SiGe/Si異質構造之HDTMOS為例加以說明，但在其他半導體材料上，也可獲得同樣之效果。

又，在本實施形態中，係說明有關絕緣層(BOX層)存在於半導體層之下方之SOI基板上所形成之SiGe-HDTMOS之情形。但本發明之SiGe-HDTMOS使用表體矽基板等表體基板，作為半導體基板時，也可發揮與本實施形態同樣之效果。

另外，也可設置含微量(例如0.02至1.0%)之碳C而具有傾斜Ge組成率之SiGeC通道區域，以取代本實施形態之SiGe通道區域24。此時，也因具有傾斜組成SiGeC通道區域，可一面維持低臨限值電壓，一面將基板電流之電流成分抑制於低值，故可發揮與本實施形態同樣之效果。

(第2實施形態)

第二實施型態中，係說明有關使用具有傾斜組成之SiC作為構成通道區域之材料，並利用Si/SiC異質接合之HDTMOS(以下稱傾斜組成SiC-HDTMOS)之實施型態。

## 五、發明說明 ( 17 )

圖 4 係模式性地顯示本實施型態之 n 通道型傾斜 SiC-

HDTMOS 之構造之剖面圖。如圖 4 所示，本實施型態之傾斜 SiC-HDTMOS 具有 p 型矽基板 50、利用將氧離子植入矽基板等方法所形成之厚約 100 nm 之埋入氧化膜 51、及設於埋入氧化膜 51 之上之半導體層 80。半導體層 80 係由構成 SOI 基板之上部之厚約 100 nm 之上部矽膜 52、利用 UHV-CVD 法磊晶生長於上部矽膜 52 上之厚約 10 nm 之矽緩衝層 53、利用 UHV-CVD 法磊晶生長於矽緩衝層 53 上之厚約 15 nm 之  $\text{Si}_{1-y}\text{C}_y$  膜 54 及利用 UHV-CVD 法磊晶生長於  $\text{Si}_{1-y}\text{C}_y$  膜 54 上之厚約 5 nm 之矽間隙層 55 所構成。

另外，HDTMOS 具有由設於矽間隙層 55 上之矽氧化膜所形成之厚約 6 nm 之閘極絕緣膜 56、與設於閘極絕緣膜 56 上之閘極 57。而在半導體層 80，也就是說，在上部矽膜 52、矽緩衝層 53、 $\text{Si}_{1-y}\text{C}_y$  膜 54 及矽間隙層 55 中位於閘極 57 之兩側方之區域，設有含高濃度之 n 型雜質之源極區域 60a 與汲極區域 60b。又，在上部矽膜 52 中，源極區域 60a 與汲極區域 60b 間之區域係構成含高濃度之 p 型雜質之矽本體區域 62，矽緩衝層 53 中位於矽本體區域 62 正上方之區域係含低濃度之 p 型雜質之  $\text{p}^-\text{Si}$  區域 63。而  $\text{Si}_{1-y}\text{C}_y$  膜 54 中，源極區域 60a 與汲極區域 60b 間之區域係構成含較低濃度之 p 型雜質之 SiC 通道區域 64，矽間隙層 55 中，位於閘極絕緣膜 56 正下方之區域係構成含低濃度之 p 型雜質之矽間隙區域 65。另外，設有使閘極 57 與矽本體區域 62 之電性連接之導體構件之接點 66 (具有與圖 1 (c) 所示剖面

## 五、發明說明 ( 18 )

質之矽間隙區域65。另外，設有使閘極57與矽本體區域

62之電性連接之導體構件之接點66(具有與圖1(c)所示剖面構造相同之剖面構造)。又，通道長約 $0.3\ \mu\text{m}$ 。

在此，本實施形態之特徵如圖4之左圖所示，係在於 $\text{Si}_{1-y}\text{C}_y$ 膜54之C組成比y由矽緩衝層53向矽間隙層55呈現由 $y=0$ 至 $y=0.03$ 之連續變化之傾斜組成之點上。

而在結晶生長前事先利用離子植入法，將p型雜質摻入上部矽膜52中。以UHV-CVD法依次疊層之際，利用in-situ摻雜法，將 $5 \times 10^{16}\ \text{atoms} \cdot \text{cm}^{-3}$ 程度之p型雜質(例如硼)摻入矽緩衝層53、 $\text{Si}_{1-y}\text{C}_y$ 膜54及矽間隙層55。 $\text{Si}_{1-y}\text{C}_y$ 膜54之能帶隙由於C組成連續地發生變化，故在與矽間隙層55相接之境界部，比Si之能帶隙小約220 meV之程度。此能帶隙之差幾乎大部分以價電子帶之能帶補償區(異質障壁)之形態顯現，在此異質障壁中形成用於關入正孔之電位井。

在此， $\text{Si}_{1-y}\text{C}_y$ 膜54之C組成比y以在 $0 < y \leq 0.03$ 之範圍內較為理想。

- $\text{Si}_{1-y}\text{C}_y$ 膜之構造與基板電流之關係-

在此，說明本實施形態之傾斜組成SiC-HDTMOS與不具有傾斜組成(箱形組成)之HDTMOS之基板電流之不同。

如同將導電型反過來適用時，即可容易理解依據圖10(a)、(b)所作之說明一般，在n通道型HDTMOS中，可獲得將式(3)、(4)之導電型反過來之式。而相當於式(3)右邊第1項之成分為電子電流，相當於式(3)右邊第2項之成

## 五、發明說明 ( 18 )

構造相同之剖面構造)。又，通道長約 $0.3 \mu\text{m}$ 。

在此，本實施形態之特徵如圖4之左圖所示，係在於 $\text{Si}_{1-y}\text{C}_y$ 膜54之C組成比 $y$ 由矽緩衝層53向矽間隙層55呈現由 $y=0$ 至 $y=0.03$ 之連續變化之傾斜組成之點上。

而在結晶生長前事先利用離子植入法，將p型雜質摻入上部矽膜52中。以UHV-CVD法依次疊層之際，利用in-situ摻雜法，將 $5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度之p型雜質(例如硼)摻入矽緩衝層53、 $\text{Si}_{1-y}\text{C}_y$ 膜54及矽間隙層55。 $\text{Si}_{1-y}\text{C}_y$ 膜54之能帶隙由於C組成連續地發生變化，故在與矽間隙層55相接之境界部，比Si之能帶隙小約220 meV之程度。此能帶隙之差幾乎大部分以價電子帶之能帶補償區(異質障壁)之形態顯現，在此異質障壁中形成用於關入電洞之電位井。

在此， $\text{Si}_{1-y}\text{C}_y$ 膜54之C組成比 $y$ 以在 $0 < y \leq 0.03$ 之範圍內較為理想。

- $\text{Si}_{1-y}\text{C}_y$ 膜之構造與基板電流之關係-

在此，說明本實施形態之傾斜組成SiC-HDTMOS與不具有傾斜組成(箱形組成)之HDTMOS之基板電流之不同。

如同將導電型反過來適用時，即可容易理解依據圖10(a)、(b)所作之說明一般，在n通道型HDTMOS中，可獲得將式(3)、(4)之導電型反過來之式。而相當於式(3)右邊第1項之成分為電子電流，相當於式(3)右邊第2項之成分表示電洞電流。而具備具有箱形組成之SiC膜之HDTMOS(以下稱箱形組成SiC-HDTMOS)不提高C組成率

## 五、發明說明 ( 19 )

時，無法實現低臨限值電壓，因此，需要提高 $\text{Si}_{1-y}\text{C}_y$ 膜之

C組成率。但提高 $\text{Si}_{1-y}\text{C}_y$ 膜之C組成率時，能帶隙會變窄，故與圖12所示同樣，SiC通道之本徵載子密度會升高，以致於相當於式(3)右邊第2項之成分之電洞電流會變大，大到不能忽視之程度。

相對地，本實施形態之SiC-HDTMOS因SiC通道區域64具有傾斜組成，即使降低平均的C組成率(例如0.7%程度)，也可提高C組成率之峰值濃度(例如1.4%程度)，故可抑制電洞電流。即，可利用本實施形態之SiC-HDTMOS，一面實現低臨限值電壓，一面抑制基板電流，故可謀求動作電壓範圍之擴大。

又，上述之效果也可認為係由以下之作用所促成。在箱形組成SiC-HDTMOS中，在源極區域，由於雜質濃度設定於 $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ 程度之高濃度，故可利用使矽間隙、SiC通道、及矽本體之費米位準保持一致之方式，在傳導帶側產生擬似性的電位井。由於矽本體與SiC通道均為p型層，矽本體方面含有高濃度之p型雜質，故電洞容易由矽本體流向SiGe通道。另一方面，SiGe膜中，SiGe通道區域為低濃度之p型區域，源極為高濃度之n型區域，故在其間形成PN接合部。也就是說，SiGe膜中，形成於源極區域之電位井底部與SiGe通道區域之傳導帶端之間不太有電位差。因此，電子有可能利用本體與源極間之順方向電壓而由SiGe通道區域被引導至源極區域。

## 五、發明說明 ( 20 )

圖 5 係表示本實施形態之傾斜組成 SiC-HDTMOS 之源極

區域之能帶構造與電子之活動情形之剖面圖。由於將傾斜組成導入 SiC 膜，如同圖左側所示，在  $\text{Si}_{1-y}\text{C}_y$  膜 54 中，源極區域 60a 之傳導帶電位井之形狀呈現在矽緩衝層 53 側較淺，在矽間隙層 55 側較深之形狀。而本體區域之電洞雖有流入電位井之深的部分之趨勢，但因由於存在大量電洞之 p 型本體區域至電位井之深的部分離開相當距離（相距 SiC 通道層與矽緩衝層膜厚之和之 25 nm 程度），故難以產生引導電洞之作用。當電洞電流降低時，基板電流即可藉此降低至比箱形組成 SiC-HDTMOS 之下限更低之值。

如以上所述，利用本實施形態之 SiC-HDTMOS，導入傾斜組成型 SiC 通道時，可抑制電洞電流，擴大動作電壓範圍。

以上，在第 1 實施形態及第 2 實施形態中，雖係利用以矽為基板之半導體裝置之實施例加以說明，但在使用其他半導體材料之異質構造 DTMOS 上，也可進行同樣之論述。即，在設置具有傾斜組成之通道區域時，在 p 型異質構造 DTMOS 上，可抑制基板電流中之電子電流成分，在 n 型異質構造 DTMOS 上，可抑制基板電流中之電洞電流成分。

又，在本實施形態中，係說明有關絕緣層 (BOX 層) 存在於半導體層之下方之 SOI 基板上所形成之 SiC-HDTMOS 之情形。但本發明之 SiC-HDTMOS 使用表體矽基板等表體基

## 五、發明說明 ( 21 )

板，作為半導體基板時，也可發揮與本實施形態同樣之效果。

另外，也可設置含Ge（例如5至35%）而具有傾斜C組成率之SiGeC通道區域，以取代本實施形態之SiC通道區域24。此時，也因具有傾斜組成SiGeC通道區域，可一面維持低臨限值電壓，一面將基板電流之電流成分抑制於低值，故可發揮與本實施形態同樣之效果。

## (第3實施形態)

第3實施形態中，係說明有關使用具有傾斜組成之SiGe作為構成通道區域之材料，並利用Si/SiGe異質接合，同時設置不摻雜質之矽緩衝層之HDTMOS（以下稱傾斜組成SiGe-HDTMOS）之實施型態。

圖6係表示本實施型態之p通道型傾斜SiGe-HDTMOS構造之剖面圖。如圖6所示，本實施型態之傾斜SiGe-HDTMOS具有p型矽基板10、利用將氧離子植入矽基板等方法所形成之厚約100 nm之埋入氧化膜11、及設於埋入氧化膜11之上之半導體層30。半導體層30係由構成SOI基板之上部之厚約100 nm之上部矽膜12、利用UHV-CVD法磊晶生長於上部矽膜12上之厚約30 nm之不摻雜質之矽緩衝層33、利用UHV-CVD法磊晶生長於不摻雜質之矽緩衝層33上之厚約15 nm之 $\text{Si}_{1-x}\text{Ge}_x$ 膜14及利用UHV-CVD法磊晶生長於 $\text{Si}_{1-x}\text{Ge}_x$ 膜14上之厚約5 nm之矽間隙層15所構成。

另外，HDTMOS具有由設於矽間隙層15上之矽氧化膜所

## 五、發明說明( 22 )

形成之厚約6 nm之閘極絕緣膜16、與設於閘極絕緣膜16

上之閘極17。而在半導體層30，也就是說，在上部矽膜12、不摻雜質之矽緩衝層33、 $\text{Si}_{1-x}\text{Ge}_x$ 膜14及矽間隙層15中位於閘極17之兩側方之區域，設有含高濃度之p型雜質之源極區域20a與汲極區域20b。又，在上部矽膜12中，源極區域20a與汲極區域20b間之區域係構成含高濃度之n型雜質之矽本體區域22，不摻雜質之矽緩衝層33中位於矽本體區域22正上方之區域係含極低濃度之n型雜質之 $\text{n}^-$ 矽緩衝區域35。而 $\text{Si}_{1-x}\text{Ge}_x$ 膜14中，源極區域20a與汲極區域20b間之區域係構成含較低濃度之n型雜質之SiGe通道區域24，矽間隙層15中位於閘極絕緣膜16正下方之區域係構成含低濃度之n型雜質之矽間隙區域25。另外，設有使閘極17與矽本體區域22之電性連接之導體構件之接點26。又，通道長約0.3  $\mu\text{m}$ 。

在此，本實施形態之特徵如圖6左圖所示，係在於 $\text{Si}_{1-x}\text{Ge}_x$ 膜14之Ge組成比x由不摻雜質之矽緩衝層33向矽間隙層15呈現由 $x=0$ 至 $x=0.3$ 之連續變化之傾斜組成之點及在SiGe通道區域24之下方設置厚約30 nm之 $\text{n}^-$ 矽緩衝區域35之點上。

而在結晶生長前事先利用離子植入法，將n型雜質摻入上部矽膜12中。在不摻雜質之矽緩衝層33，利用UHV-CVD法施行磊晶生長之際，並未摻入雜質。另一方面，以UHV-CVD法依次疊層之際，利用in-situ摻雜法，將 $5 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 程度之n型雜質(例如砷)摻入 $\text{Si}_{1-x}\text{Ge}_x$ 膜14

## 五、發明說明 ( 23 )

及矽間隙層 15。Si<sub>1-x</sub>Ge<sub>x</sub>膜 14 之能帶隙由於 Ge 組成連續地

發生變化，故在與矽間隙層 15 相接之境界部，比 Si 之能帶隙小約 220 meV 之程度。此能帶隙之差幾乎大部分以價電子帶之能帶補償區(異質障壁)之形態顯現，在此異質障壁中形成用於關入電洞之電位井。

- Si<sub>1-x</sub>Ge<sub>x</sub>膜之構造與基板電流之關係 -

圖 7 係表示通過具有本實施形態之不摻雜質之矽緩衝區域之傾斜組成 SiGe-HDTMOS 之閘極之剖面之各部能帶構造與電子之活動情形之剖面圖。如圖 7 所示，著眼於位於半導體層 30 內閘極 17 下方之區域之能帶構造時，通過閘極 17 與本體區域間之內建電壓會被施加至不摻雜質之矽緩衝層 33，故不摻雜質之矽緩衝層 33 之厚度變厚時，如圖 7 之左側所示，不摻雜質之矽緩衝層 33 之能帶之彎曲會變大。

圖 8 係表示不摻雜質之矽緩衝層 33 之厚度變為 10 nm、30 nm、50 nm 時之 V<sub>g</sub>-I<sub>d</sub> 特性及 V<sub>g</sub>-I<sub>b</sub> 特性之模擬結果之圖。如同圖所示，不摻雜質之矽緩衝層 33 之厚度 30 nm、50 nm 之樣品之基板電流 I<sub>b</sub> 顯然小於不摻雜質之矽緩衝層 33 之厚度 10 nm 之樣品之基板電流 I<sub>b</sub>。

此資料被認為係因以下之作用而產生。即，如圖 7 所示，由於不摻雜質之矽緩衝層 33 之能帶之彎曲，會形成對來自本體區域之電子活動之障壁。而如上所述，不摻雜質之矽緩衝層 33 之厚度增加超過 10 nm 程度時，由本體區域向形成於源極區域 20a 之 SiGe 膜 14 之傳導帶端之電位井之

## 五、發明說明 ( 24 )

電子的引導作用會受到抑制，其結果，就會降低基板電流

Ib。

又，由此事可以認為判定在第一、第2實施形態中，基板電流能夠降低係由下列二種作用雙方面所促成，應屬合理：即設置具有傾斜組成之通道區域，降低通道區域之平均的組成率，減少因此所生之電流(相當於式(3)右邊第2項之成分)，藉以抑制基板電流之作用、及降低由本體區域，經通道區域而被引導至源極之載子，藉以抑制基板電流之作用。

又，如同圖所示，汲極電流 $I_d$ 在3種樣品之範圍內，不摻雜質之矽緩衝層33之厚度愈大，其值也愈大。由圖7可以知悉，此現象係由於摻入相同n型雜質之本體區域與SiGe通道區域24之距離離得愈遠，以內建電位之狀態，對價電子帶端之載子活動之電位愈小，因而使臨限值電壓下降之故。

綜合以上之結果，可知：即使在具有箱形組成之SiGe-HDTMOS中，在SiGe通道區域24下方設置較厚之不摻雜質之矽緩衝層33時，也可擴大電晶體之動作電壓範圍。

在本實施形態中，係以將Si/SiGe/Si疊層之HDTMOS為例加以說明，但在Si/SiC/Si構造HDTMOS中，同樣之推論也能成立。

又，在本實施形態中，係說明有關形成於SOI基板之SiGe-HDTMOS之情形，但本發明之SiGe-HDTMOS使用表體矽基板等表體基板，作為半導體基板時，也可發揮與本

## 五、發明說明 ( 25 )

實施形態同樣之效果。

## (第4實施形態)

其次，說明有關利用具有傾斜組成之SiGeC ( $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ )構成通道區域之互補型HDTMOS (以下稱傾斜組成SiGeC-cHDTMOS)之例之第4實施形態。

在Si/SiGe異質接合部中，能帶補償區(異質障壁)如圖2所示，主要係顯現於有利於關入電洞之傳導帶端，在Si/SiC異質接合部中，能帶補償區(異質障壁)如圖5所示，主要係顯現於有利於關入電子之傳導帶端。相對地，在Si/SiGeC ( $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ )異質接合部中，可藉適當地調整Ge、C之含有率x、y，而在傳導帶端與價電子帶端雙方形成能帶補償區(異質障壁)。即，可利用單一SiGeC ( $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ )，形成將電子關入SiGeC層內，使其在SiGeC層內活動之n通道、與將電洞關入SiGeC層內，使其在SiGeC層內活動之p通道。

圖9係表示本實施形態之傾斜組成SiGeC-cHDTMOS之構造之剖面圖。如同圖所示，本實施型態之HDTMOS具有p型矽基板110、利用將氧離子值入矽基板等方法所形成之埋入氧化膜111、設於埋入氧化膜111上之p通道型HDTMOS (p-HDTMOS)用之半導體層130及設於埋入氧化膜111上之n通道型HDTMOS (n-HDTMOS)用之半導體層180。半導體層130、180係由分別同時形成之共通膜所構成。

半導體層130、180係由構成SOI基板之上部之上部矽

## 五、發明說明 ( 26 )

膜 112、利用 UHV-CVD 法磊晶生長於上部矽膜 112 上之矽

緩衝層 113、利用 UHV-CVD 法磊晶生長於矽緩衝層 113 上而具有傾斜組成之 SiGeC ( $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$  :  $x=0\sim 0.4$ 、 $y=0\sim 0.03$ ) 膜 114 及利用 UHV-CVD 法磊晶生長於 SiGeC 膜 114 上之矽間隙層 115 所構成。在此，埋入氧化膜 111 厚約 100 nm，上部矽膜 112 厚約 100 nm，矽緩衝層 113 厚約 10 nm，SiGeC 膜 114 厚約 15 nm，矽間隙層 115 厚約 5 nm。

在此，本實施形態之特徵如圖 9 所示，係在於  $\text{Si}_{1-x-y}\text{Ge}_x$  膜 114 之 Ge 組成比  $x$  由矽緩衝層 113 向矽間隙層 115 呈現由  $x=0$  至  $x=0.4$  之連續變化，C 組成比  $y$  由矽緩衝層 113 向矽間隙層 115 呈現由  $y=0$  至  $y=0.03$  之連續變化之傾斜組成之點上。

又，因本實施形態之 Ge 組成率及 C 組成率之變化，會在傳導帶端及價電子帶端雙方產生傾斜，但亦可構成僅在傳導帶端或價電子帶端之任一方產生傾斜。

另外，p-HDTMOS 具有由設於矽間隙層 115 上之矽氧化膜所形成之閘極絕緣膜 116、與設於閘極絕緣膜 116 上之閘極 117。而在半導體層 130 中，位於閘極 117 之兩側方之區域，設有含高濃度之 p 型雜質之源極區域 120a 與汲極區域 120b。又，在上部矽膜 112 中，源極區域 120a 與汲極區域 120b 間之區域係構成含高濃度(約  $1 \times 10^{10} \text{ atoms} \cdot \text{cm}^{-3}$ ) 之 n 型雜質之矽本體區域 122，矽緩衝層 113 中，位於矽本體區域 122 正上方之區域係構成不摻雜質之  $n^+$  矽區域 123。而 SiGeC 膜 114 中，源極區域 120a 與汲極區域 120b

## 五、發明說明 ( 27 )

間之區域係構成含較低濃度之n型雜質之SiGeC通道區域

124，矽間隙層115中，位於閘極絕緣膜116正下方之區域係構成含低濃度之n型雜質之矽間隙區域125。另外，設有使閘極117與矽本體區域122之電性連接之導體構件之接點(未予圖示)。在閘極117之側面上設有矽氧化膜形成之側壁127。

又，n-HDTMOS具有由設於矽間隙層115上之矽氧化膜所形成之閘極絕緣膜156、與設於閘極絕緣膜156上之閘極157。而在半導體層180中，位於閘極157之兩側方之區域，設有含高濃度之n型雜質之源極區域160a與汲極區域160b。又，在上部矽膜112中，源極區域160a與汲極區域160b間之區域係構成含高濃度(約 $1 \times 10^{19}$  atoms  $\cdot$  cm $^{-3}$ )之p型雜質之矽本體區域162，矽緩衝層113中，位於矽本體區域162正上方之區域係構成不摻雜質之p $^{++}$ 矽區域126。而SiGeC膜114中，源極區域160a與汲極區域160b間之區域係構成含較低濃度之p型雜質之SiGeC通道區域164，矽間隙層115中，位於閘極絕緣膜156正下方之區域係構成含低濃度之p型雜質之矽間隙區域165。另外，設有使閘極157與矽本體區域162之電性連接之導體構件之接點(未予圖示)。在閘極157之側面上設有矽氧化膜形成之側壁167。

另外，在基板上設有層間絕緣膜190、貫通層間絕緣膜190而接觸於源極區域與汲極區域120a、120b、160a、160b之接點191及接觸於接點191而在層間絕緣膜190上

## 五、發明說明 ( 28 )

延伸之源極·汲極192。

在本實施形態之傾斜組成SiGeC-cHDTMOS之製造工序中，SOI基板之一部分之上部矽膜係構成在結晶生長前事先利用離子植入法摻入濃度約 $1 \times 10^{19}$  atoms · cm<sup>-3</sup>之雜質之n<sup>+</sup>矽層(p-HDTMOS區域)與p<sup>+</sup>矽層(n-HDTMOS區域)，利用UHV-CVD法磊晶生長之矽緩衝層、SiGeC膜、矽間隙層均在as-grown(正常生長)之狀態下，構成未摻入雜質之非摻雜層。而以最上層之矽膜經熱氧化處理所得之矽氧化膜作為閘極絕緣膜，於其上形成摻入高濃度之n型雜質之多晶矽形成之n<sup>+</sup>閘極與摻入高濃度之p型雜質之多晶矽形成之p<sup>+</sup>閘極。其後，在各閘極之兩側形成植入高濃度之n型雜質之n<sup>+</sup>型源極·汲極區域與植入高濃度之p型雜質之p<sup>+</sup>型源極·汲極區域，在其上方分別形成源極·汲極。利用接點連接閘極與矽本體區域而獲得HDTMO構造。

依據本實施形態，可利用SiGeC(Si<sub>1-x-y</sub>Ge<sub>x</sub>C<sub>y</sub>)構成通道區域，並利用單一SiGeC(Si<sub>1-x-y</sub>Ge<sub>x</sub>C<sub>y</sub>)層形成可將電子關入SiGeC層內，使其在SiGeC層內活動之n通道、與可將電洞關入SiGeC層內，使其在SiGeC層內活動之p通道，實現具有Si/SiGeC異質接合部之傾斜組成SiGeC-cHDTMOS。此時，如第一、第2實施形態中所述，在傾斜組成SiGeC-cHDTMOS構造中，可在nHDTMOS及pHDTMOS雙方，一面維持低臨限值電壓，一面降低基板電流I<sub>b</sub>，以擴大動作電壓範圍。

因此，在具有SiGeC所構成之通道區域之HDTMOS中，

## 五、發明說明( 29 )

即使能帶補償值(異質障壁之高度)稍微小一點，也不會導

致寄生通道所引起之電晶體動作低速化之困擾，而可獲得利用異質接合構造之高速而電流驅動力大之電晶體。

又，採用上述之製造方法時，可利用簡單之製造方法製造高性能之傾斜組成SiGeC-cHDTMOS。

在本實施形態中，雖係就傾斜組成SiGeC-cHDTMOS加以說明，但本發明並不限定於本實施形態所述之半導體裝置，當然亦可設置僅具有傾斜組成Si/SiGeC異質接合部之n通道型HDTMOS或p通道型HDTMOS之半導體裝置。

**【發明之功效】**

本發明之半導體裝置可在通道區域使用能帶隙小於構成本體區域之材料之能帶隙之材料之異質接合構造DTMOS中，利用將傾斜組成層使用於通道區域之方式，以抑制基板電流，並實現擴大動作電壓範圍之目的。

**【圖式之簡單說明】**

圖1(a)、(b)、(c)係分別依照順序模式性地顯示第一實施型態之p通道型傾斜SiGe-HDTMOS之構造之平面圖、圖1(a)所示之Ib-Ib線之剖面圖及圖1(a)所示之Ic-Ic線之剖面圖。

圖2係表示第1實施形態之傾斜組成SiGe-HDTMOS之源極區域之能帶構造與電子之活動情形之剖面圖。

圖3係表示有關在箱形組成SiGe-HDTMOS與傾斜組成SiGe-HDTMOS中之 $V_g$ - $I_d$ 特性及 $V_g$ - $I_b$ 特性之模擬結果之圖。

## 五、發明說明 ( 30 )

圖4係模式性地顯示第二實施型態之n通道型傾斜SiC-

HDTMOS之構造之剖面圖。

圖5係表示第2實施型態之傾斜組成SiC-HDTMOS之源極區域之能帶構造與電子之活動情形之剖面圖。

圖6係表示第三實施型態之p通道型傾斜SiGe-HDTMOS構造之剖面圖。

圖7係表示通過具有第3實施型態之不摻雜質之矽緩衝區域之傾斜組成SiGe-HDTMOS之閘極之剖面之各部能帶構造與電子之活動情形之剖面圖。

圖8係表示改變不摻雜質之矽緩衝層之厚度時之Vg-Id特性及Vg-Ib特性之模擬結果之圖。

圖9係表示第4實施型態之傾斜組成SiGeC-cHDTMOS之構造之剖面圖。

圖10(a)、(b)係表示具有一般性的矽通道之DTMOS之寄生二極體之剖面圖、及具有均勻組成SiGe通道之DTMOS之寄生二極體之剖面圖。

圖11係表示有關箱形組成SiGe-HDTMOS中，本體區域之雜質濃度變化時之汲極電流及基板電流之閘極偏壓依存性之模擬結果之圖。

圖12係表示SiGe之本徵載子密度之Ge組成率依存性之圖。

圖13係表示具備設有箱形組成之SiGe膜之HDTMOS構造與電子之活動情形之剖面圖。

## 五、發明說明 ( 31 )

## 【元件符號之說明】

- 10 矽基板
- 11 埋入氧化膜
- 12 上部矽膜
- 13 矽緩衝層
- 14  $\text{Si}_{1-x}\text{Ge}_x$ 膜
- 15 矽間隙層
- 16 閘極絕緣膜
- 17 閘極
- 20a 源極區域
- 20b 汲極區域
- 22 矽本體區域
- 23  $n^{++}$ 矽區域
- 24 SiGe通道區域
- 25 矽間隙區域
- 33 不摻雜質之矽緩衝層
- 35  $n^{++}$ 矽緩衝區域
- S 源極
- G 閘極
- D 汲極

## 四、中文發明摘要(發明之名稱: 半導體裝置)

本發明係關於半導體裝置，其訴求課題在於提供基板電流小而動作電壓範圍寬之DTMOS(動態臨限值電壓型金屬氧化物半導體)。

傾斜SiGe(鍺化矽)-HDTMOS(高動態臨限值電壓型金屬氧化物半導體)之半導體層30由上部矽膜12、矽緩衝層13、 $Si_{1-x}Ge_x$ 膜14及矽間隙層15所構成。半導體層30中，在源極區域20a與汲極區域20b間之區域，設置高濃度之n型矽本體區域22、 $n^{++}$ 矽區域23、矽間隙區域25及SiGe通道區域24。 $Si_{1-x}Ge_x$ 膜14之Ge組成比x呈現由矽緩衝層13向矽間隙層15擴大之組成分布。在p型HDTMOS上，基板電流中電子電流成分會減少。

## 英文發明摘要(發明之名稱: 半導體裝置)

【課題】 異板電流が小さく動作電圧範囲が広いDTMOSを提供する。

【解決手段】 傾斜SiGe-HDTMOSの半導体層30は、上部Si膜12、Siバッファ層13、 $Si_{1-x}Ge_x$ 膜14、及びSiキャップ層15から構成されている。半導体層30のうちソース領域20aとドレイン領域20bとの間の領域には、高濃度のn型Siボディ領域22と、 $n^{++}$ Si領域23と、Siキャップ領域25と、SiGeチャネル領域24とが設けられている。 $Si_{1-x}Ge_x$ 膜14のGe組成比xは、Siバッファ層13からSiキャップ層15に向かって、増大する組成となっている。p型HDTMOSにおいては、基板電流のうち電子電流成分が減少する。

## 六、申請專利範圍

## 1. 一種半導體裝置，其係包含：

半導體層，其係至少包含第一半導體膜；及第二半導體膜，其係能帶隙異於上述第一半導體膜，而構成能帶隙由鄰接於上述第一半導體膜之部位向遠離第一半導體膜之方向變小者；

閘極絕緣膜，其係設於上述半導體層上者；

閘極，其係設於上述閘極絕緣膜上者；

源極・汲極區域，其係將第一導電型雜質導入上述半導體層中位於上述閘極兩側方之區域所形成者；

通道區域，其係將第二導電型雜質導入上述第二半導體膜中位於上述源極・汲極區域間之區域所形成者；

本體區域，其係將濃度高於上述通道區域之第二導電型雜質導入上述第二半導體膜中位於上述源極・汲極區域間之區域所形成者；及

導體構件，其係用於施行上述閘極與上述本體區域之電性連接者。

## 2. 如申請專利範圍第1項之半導體裝置，其中

上述第一半導體膜由以  $\text{Si}_{1-x_1-y_1} \text{Ge}_{x_1} \text{C}_{y_1}$  ( $0 \leq x_1 < 1$ ,  $0 \leq y_1 < 1$ ) 表示其組成之半導體所構成，

上述第二半導體膜由以  $\text{Si}_{1-x_2-y_2} \text{Ge}_{x_2} \text{C}_{y_2}$  ( $0 \leq x_2 \leq 1$ ,  $0 \leq y_2 \leq 1$ ,  $x_2 + y_2 > 0$ ) 表示其組成之半導體所構成者。

## 3. 如申請專利範圍第2項之半導體裝置，其中

上述第一半導體膜由矽所構成，

上述第二半導體膜由以  $\text{Si}_{1-x_3} \text{Ge}_{x_3}$  ( $0 < x_3 \leq 0.4$ ) 表示其

## 六、申請專利範圍

組成之半導體所構成，且使上述第二半導體膜之Ge組成

比由鄰接於上述第一半導體膜之部位向上方增大者。

4. 如申請專利範圍第2項之半導體裝置，其中

上述第一半導體膜由矽所構成，

上述第二半導體膜由以 $Si_{1-y_3}C_{y_3}$  ( $0 < y_3 \leq 0.03$ )表示其組成之半導體所構成，且使上述第二半導體膜之C組成比由鄰接於上述第一半導體膜之部位向上方增大者。

5. 如申請專利範圍第2項之半導體裝置，其中

上述第一半導體膜由矽所構成，

上述第二半導體膜由以 $Si_{1-x_4-y_4}Ge_{x_4}C_{y_4}$  ( $0 < x_4 \leq 0.4$ ,  $0 < y_4 \leq 0.03$ )表示其組成之半導體所構成者。

6. 如申請專利範圍第1至5項中任一項之半導體裝置，其中

上述第一半導體膜為n型，上述第二半導體膜為p型，

由上述本體區域流向上述第一半導體膜中位於上述源極·汲極區域之區域之基板電流中，有助於電洞之成分小於有助於電子之成分者。

7. 如申請專利範圍第1至5項中任一項之半導體裝置，其中

上述第一半導體膜為p型，上述第二半導體膜為n型，

由上述本體區域流向上述第一半導體膜中位於上述源極·汲極區域之區域之基板電流中，有助於電子之成分小於有助於電洞之成分者。

8. 如申請專利範圍第1至5項中任一項之半導體裝置，其中

上述半導體層進一步包含第三半導體膜，其係設於上述第一半導體膜與上述第二半導體膜間者；

## 六、申請專利範圍

並進一步包含緩衝區域，其係設於上述第三半導體膜

中位於上述源極·汲極區域間之區域，且含低於上述本體區域之濃度之第二導電型雜質或不摻雜質者。

9. 如申請專利範圍第1至5項中任一項之半導體裝置，其中上述半導體層進一步包含矽間隙區域，其係介設於上述第二半導體膜與上述閘極絕緣膜之間者。

10. 如申請專利範圍第1至5項中任一項之半導體裝置，其中進一步包含絕緣層，其係設於上述第一半導體膜下方者。

11. 一種半導體裝置，其係包含：

半導體層，其係至少含第一半導體膜；第二半導體膜，其係設於上述第一半導體膜上，且對載子所活動之能帶端之載子之電位小於上述第一半導體膜者；及第三半導體膜，其係介在上述第一半導體膜與第二半導體膜間者；

閘極絕緣膜，其係設於上述半導體層上者；

閘極，其係設於上述閘極絕緣膜上者；

源極·汲極區域，其係將第一導電型雜質導入上述半導體層中位於上述閘極兩側方之區域所形成者；

通道區域，其係將第二導電型雜質導入上述第二半導體膜中位於上述源極·汲極區域間之區域所形成者；

本體區域，其係將濃度高於上述通道區域之第二導電型雜質導入上述第二半導體膜中位於上述源極·汲極區域間之區域所形成者；

## 六、申請專利範圍

緩衝區域，其係設於上述第三半導體膜中位於上述源

極·汲極區域間之區域，且含低於上述本體區域之濃度之第二導電型雜質或不摻雜質者；及

導體構件，其係用於施行上述閘極與上述本體區域之電性連接者。

12. 如申請專利範圍第11項之半導體裝置，其中

上述第三半導體膜之厚度在15 nm以上者。

13. 如申請專利範圍第12項之半導體裝置，其中

上述第三半導體膜之厚度在30 nm以上者。

14. 如申請專利範圍第11至13項中任一項之半導體裝置，其中

上述半導體層進一步包含矽間隙區域，其係介設於上述第二半導體膜與上述閘極絕緣膜之間者。

15. 如申請專利範圍第11至13項中任一項之半導體裝置，其中

進一步包含絕緣層，其係設於上述第一半導體膜下方者。

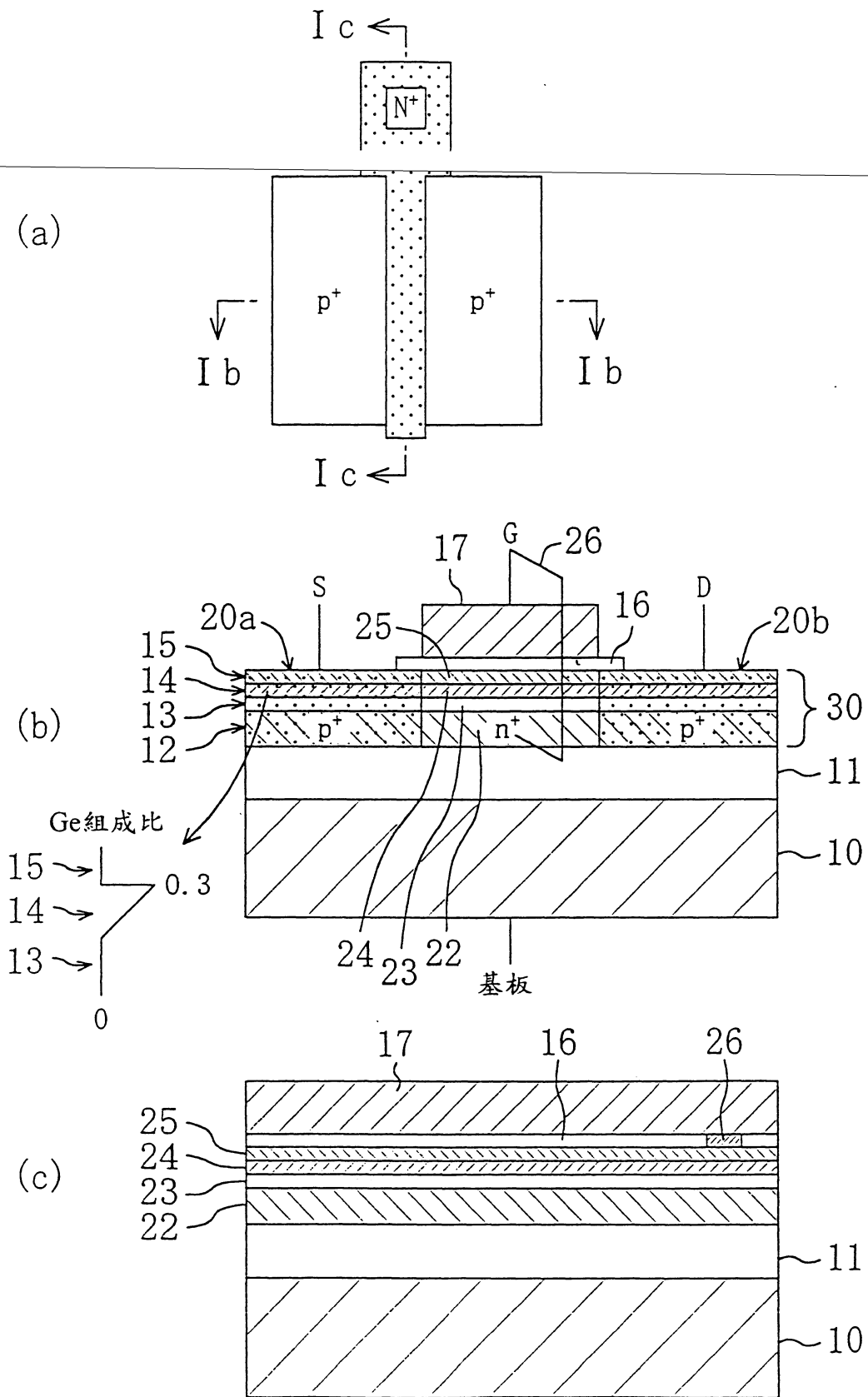


圖 1



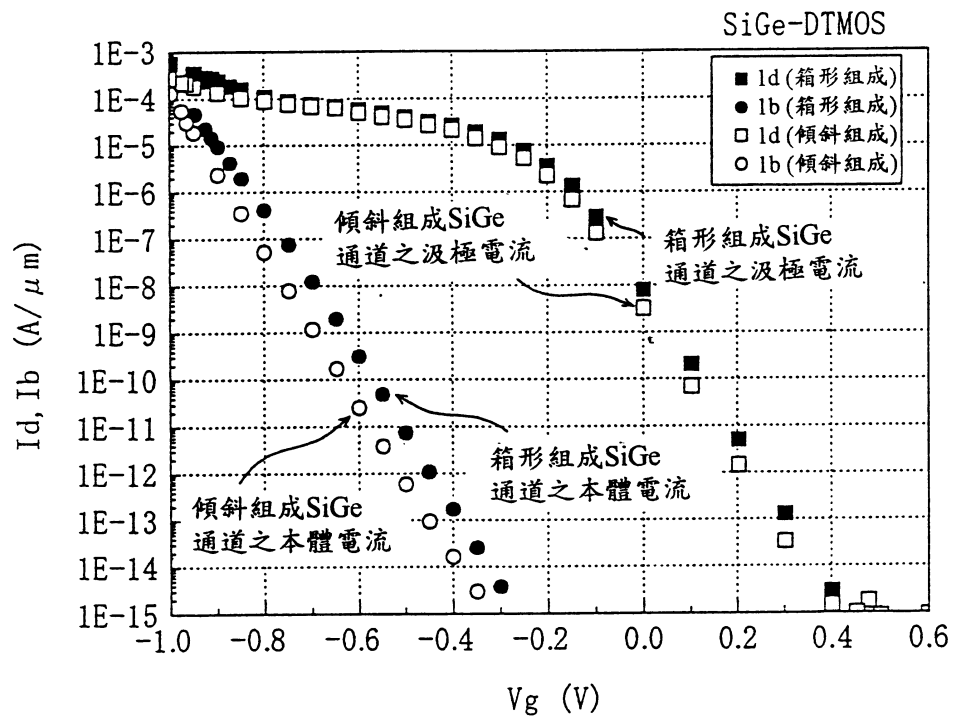


圖 3

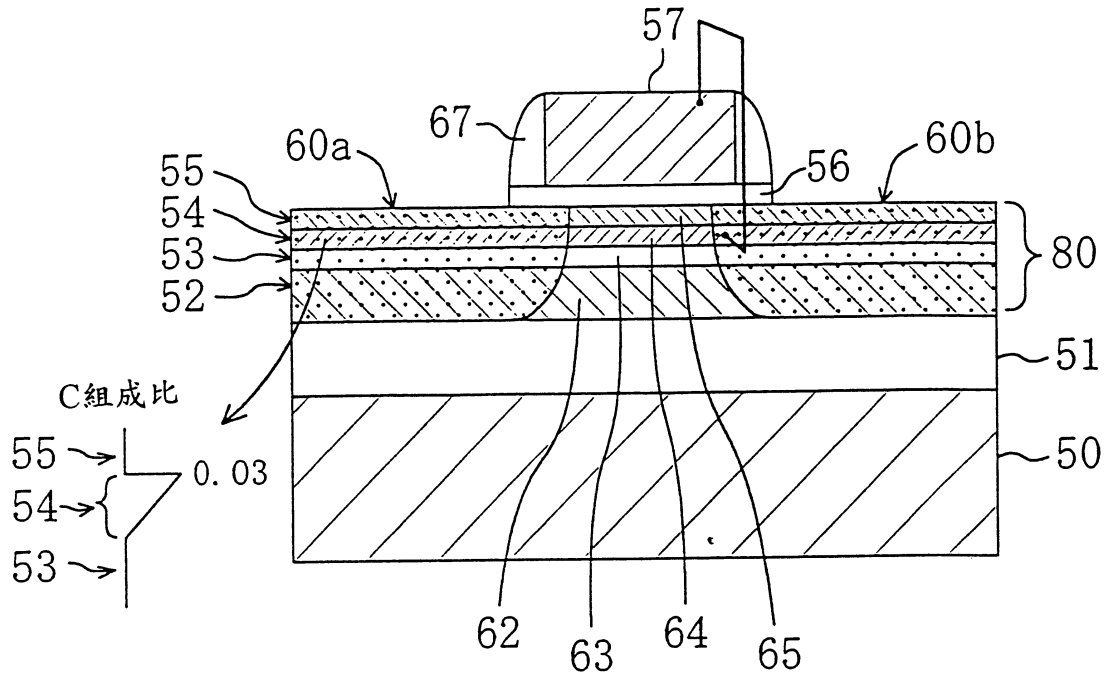


圖 4

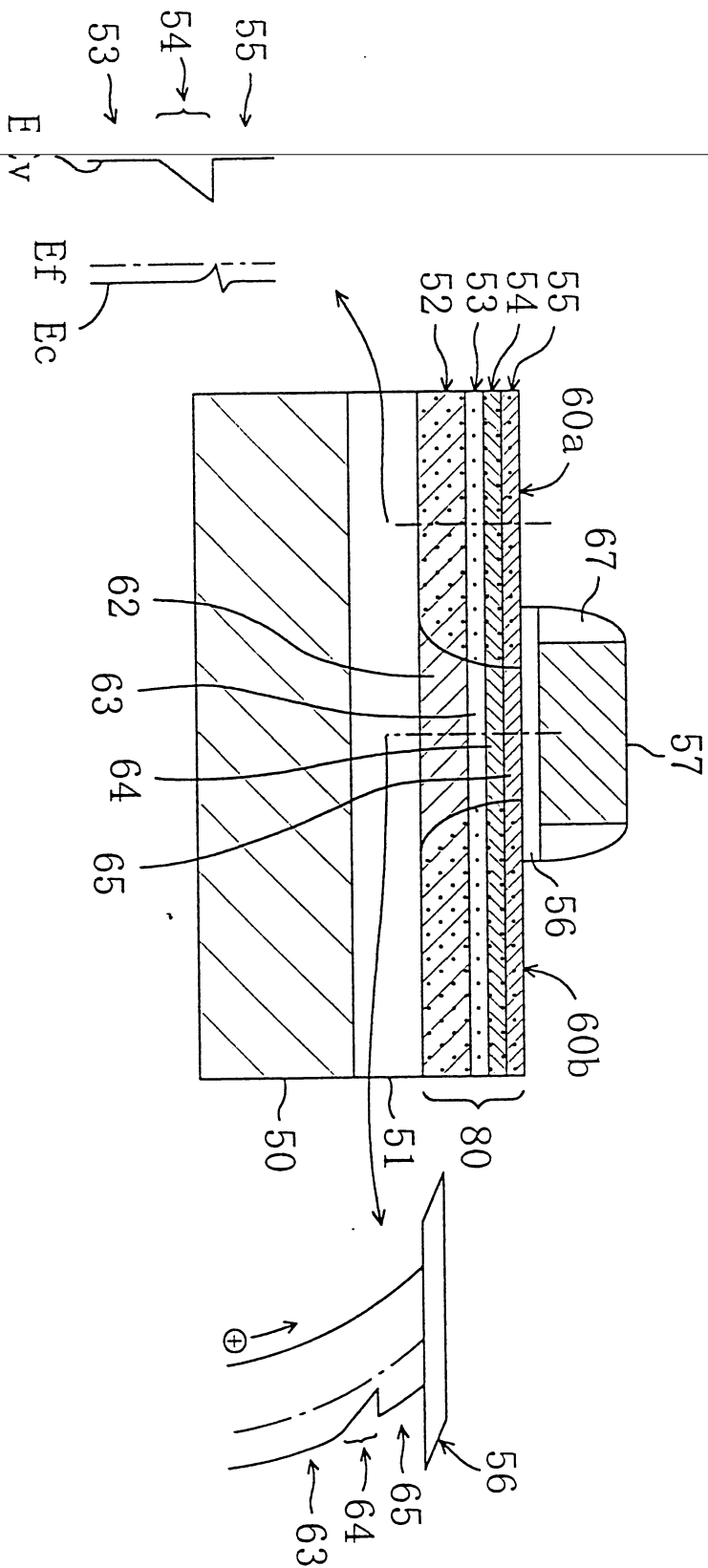


圖 5

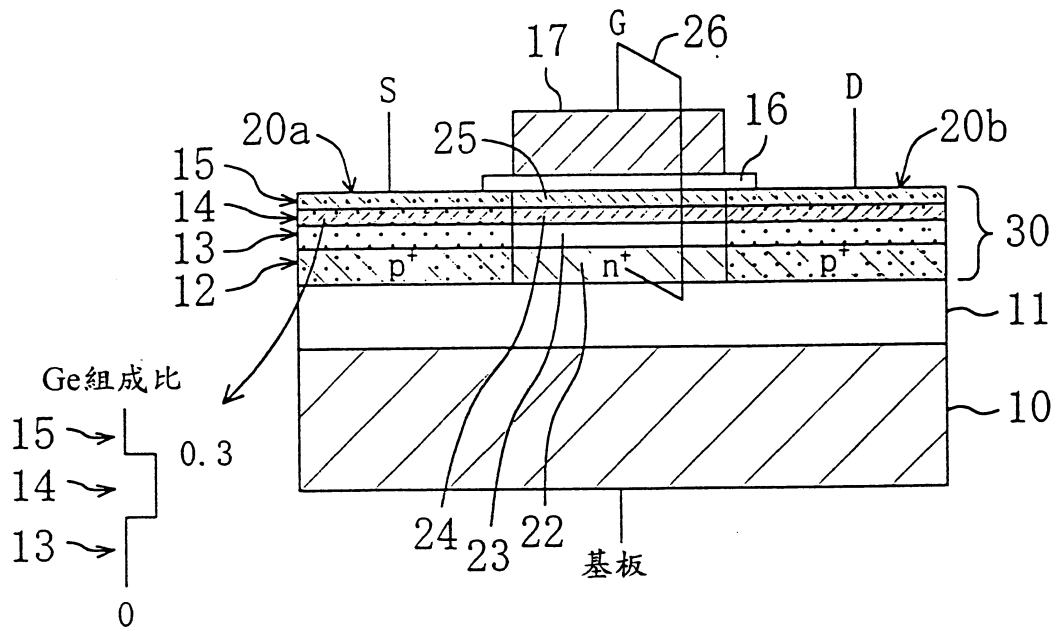


圖 6



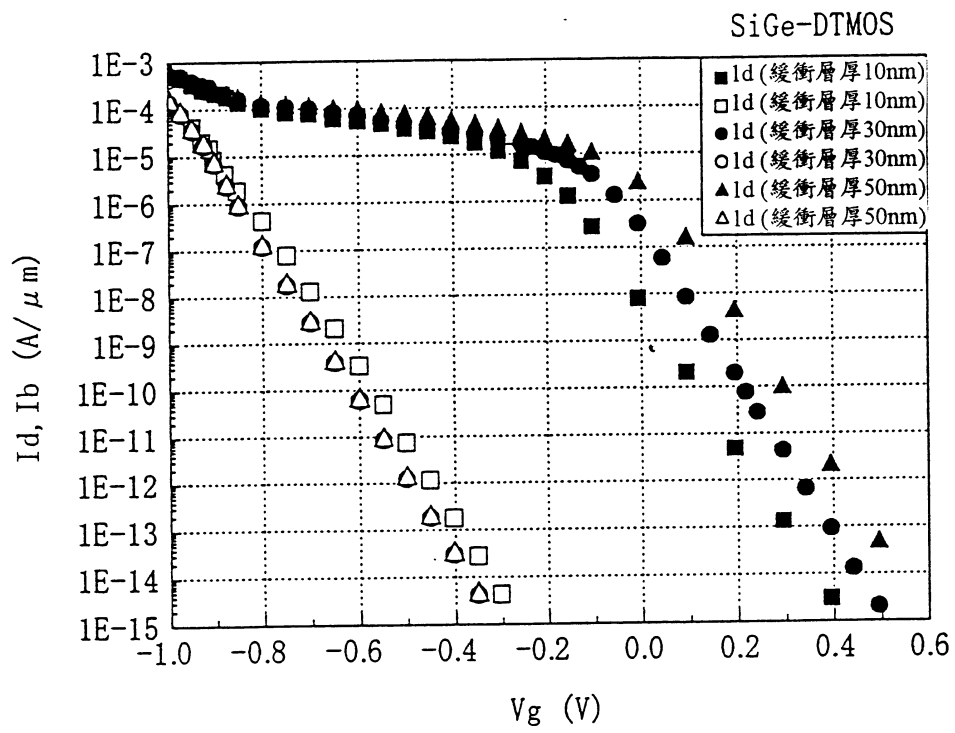


圖 8



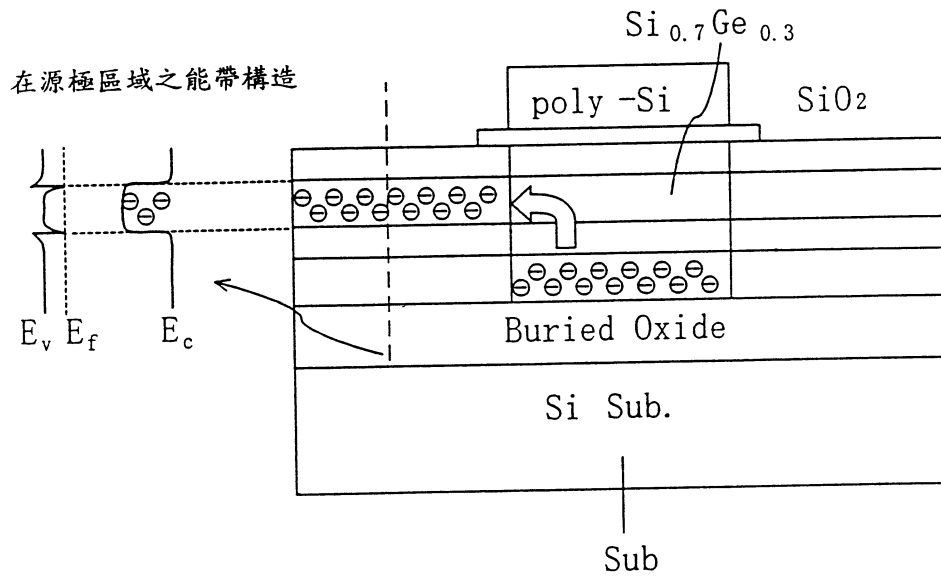


圖 13

公 告 本

申請日期	91.4.18
案 號	9110 7961
類 別	H01L 29/28



A4  
C4

541699

(以上各欄由本局填註)

中文說明書替換本(91年2月)

## 發 明 專 利 說 明 書

### 新 型

一、發明 名稱	中 文	半導體裝置
	英 文	半導體裝置
二、發明 創作人	姓 名	1.井上 彰 AKIRA INOUE 2.高木 剛 TAKESHI TAKAGI 3.原 義博 YOSHIHIRO HARA 4.久保 實 MINORU KUBO
	國 籍	1.-4.均日本 JAPAN
三、申請人	住、居所	1.日本國大阪府門真市宮前町16-1 16-1, MIYAMAE-CHO, KADOMA-SHI, OSAKA 2.日本國京都府京都市右京區大秦北路町3-3 3-3, UZUMASA-KITARO-CHO, UKYO-KU, KYOTO-SHI, KYOTO 3.日本國大阪府枚方市楠葉丘1-61-3 1-61-3, KUZUHAOKA, HIRAKATA-SHI, OSAKA 4.日本國三重縣名張市桔梗丘西一番町125 125, ICHIBAN-CHO, KIKYOGAOKA-NISHI, NABARI-SHI, MIE
	姓 名 (名稱)	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
三、申請人	國 籍	日本 JAPAN
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地 1006, OAZA KADOMA, KADOMA-SHI, OSAKA 571-8501, JAPAN
三、申請人	代 表 人 姓 名	中村 邦夫 KUNIO NAKAMURA

92.2.12 截止  
年 月 日 補充

第091107961號專利申請案  
中文圖式替換頁(92年1月)

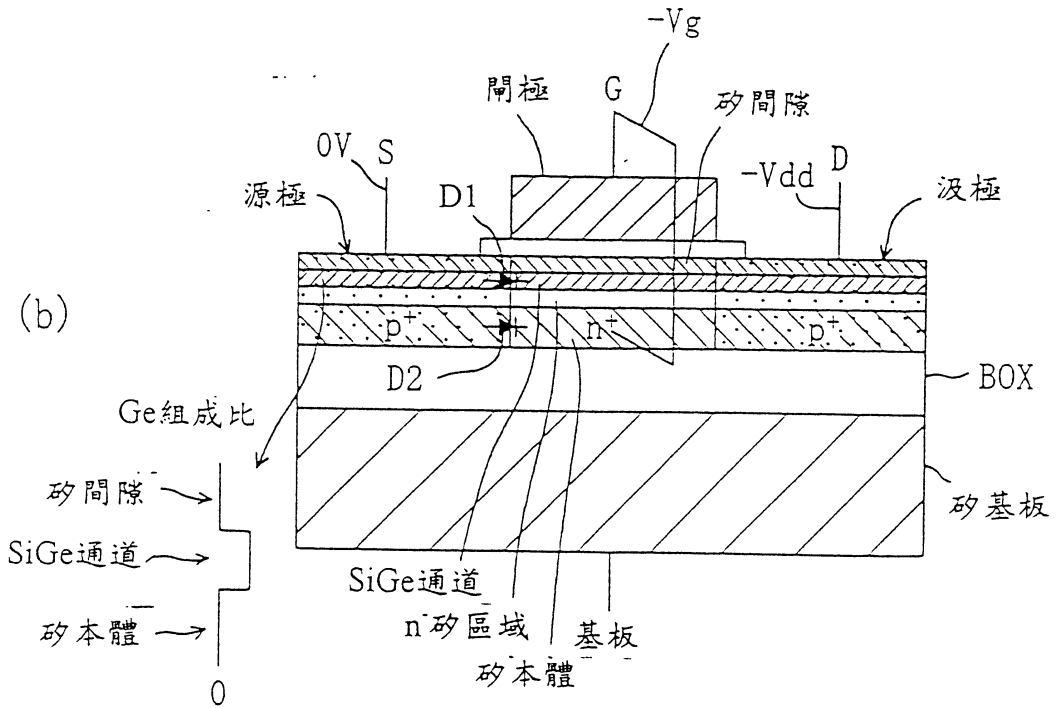
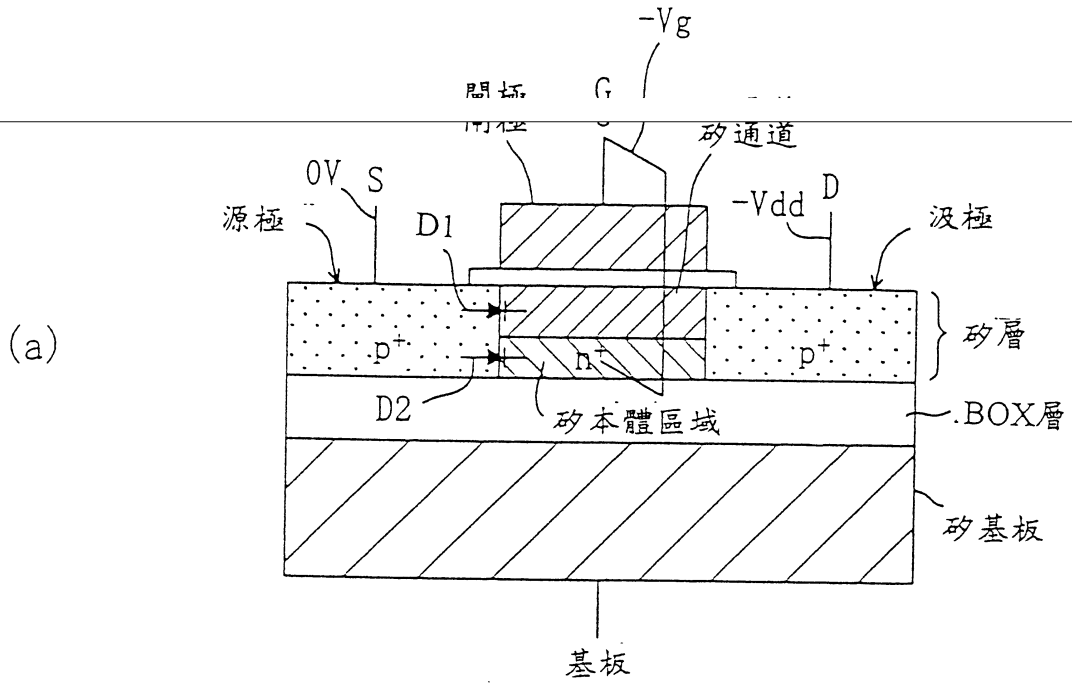


圖 10

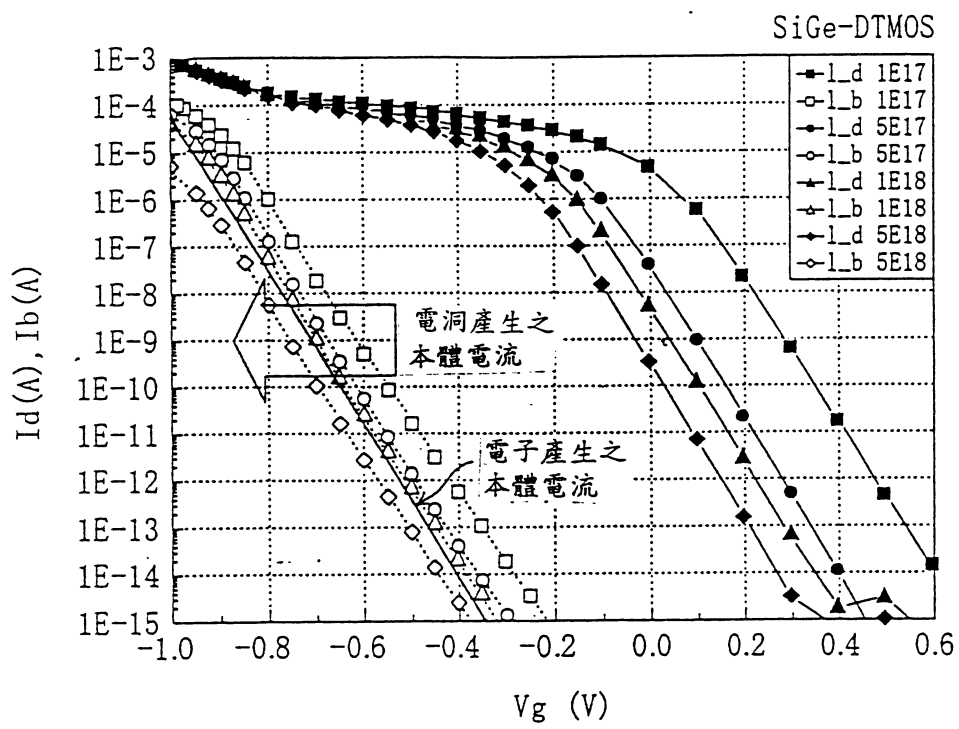


圖 11

年 月 日 正  
號 號 號 號

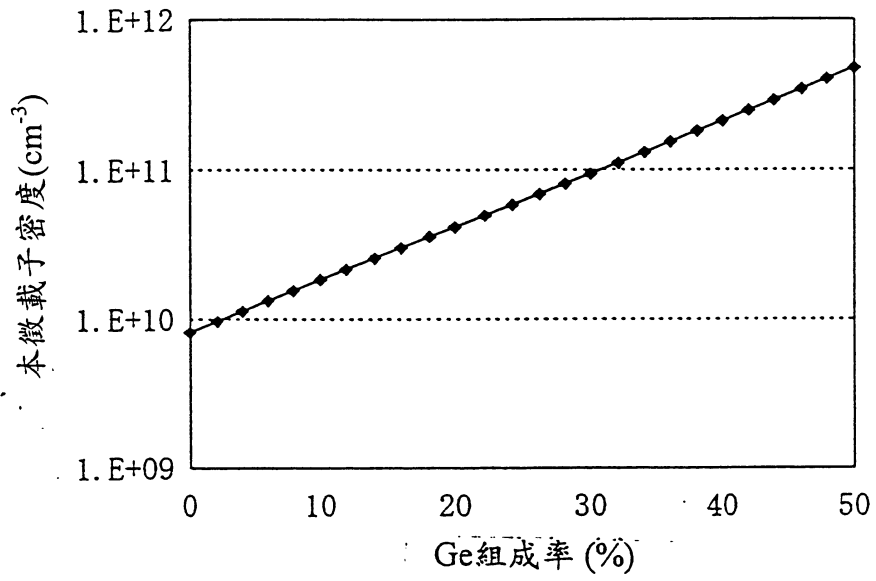


圖 12