



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월02일

(11) 등록번호 10-1489003

(24) 등록일자 2015년01월27일

(51) 국제특허분류(Int. Cl.)

H01L 27/04 (2006.01)

(21) 출원번호 10-2008-0126300

(22) 출원일자 2008년12월12일

심사청구일자 2013년08월22일

(65) 공개번호 10-2009-0063149

(43) 공개일자 2009년06월17일

(30) 우선권주장

JP-P-2007-320973 2007년12월12일 일본(JP)

(56) 선행기술조사문헌

JP06140583 A\*

KR1020050035687 A\*

US20050023692 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

세이코 인스트루 가부시기가이샤

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지

(72) 발명자

다카스 히로아키

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지 세이코 인스트루 가부시기가이샤 내

야마모토 스케히로

일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지 세이코 인스트루 가부시기가이샤 내

(74) 대리인

한양특허법인

전체 청구항 수 : 총 4 항

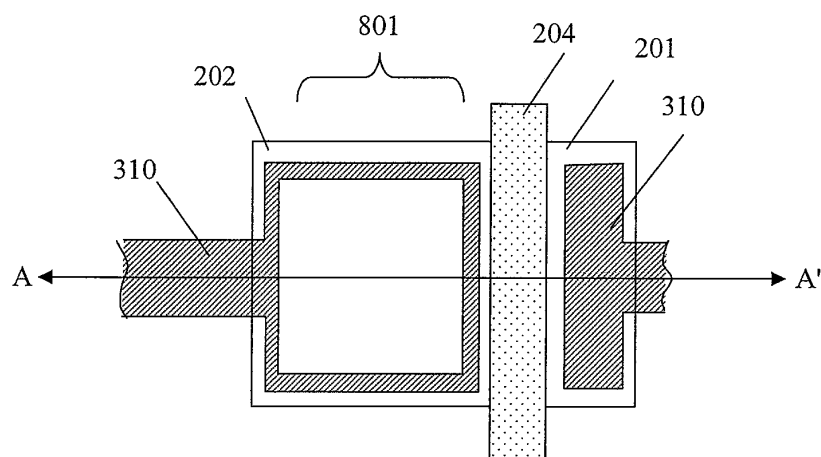
심사관 : 송근배

(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명에 따르는 반도체 장치는, 실리콘 기판, 상기 실리콘 기판 위에 배치된 외부 접속 단자, 상기 실리콘 기판 위에 배치된 내부 회로 영역, 내부 회로 영역 위에 형성된 내부 소자가 정전 방전 브레이크다운하는 것을 방지하기 위해, 외부 접속 단자와 내부 회로 영역 사이에 설치된 정전 방전 보호용 NMOS 트랜지스터, 외부 접속 단자와 정전 방전 보호용 NMOS 트랜지스터를 연결하는 제1 배선, 및 정전 방전 보호용 NMOS 트랜지스터와 내부 회로 영역을 연결하는 제2 배선을 포함하고, 상기 정전 방전 보호용 NMOS 트랜지스터는 전위가 접지 전위에 고정된 게이트를 갖고, 상기 외부 접속 단자는 상기 정전 방전 보호용 NMOS 트랜지스터의 드레인 영역 위에만 형성된다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

실리콘 기관;

상기 실리콘 기관 위에 배치된 외부 접속 단자;

상기 실리콘 기관 위에 배치된 내부 회로 영역; 및

상기 내부 회로 영역 위에 형성된 내부 소자가 정전 방전 브레이크다운하는 것을 방지하기 위해, 상기 외부 접속 단자와 상기 내부 회로 영역 사이에 설치된 정전 방전 보호용 NMOS 트랜지스터를 포함하고,

상기 정전 방전 보호용 NMOS 트랜지스터는 전위가 접지 전위에 고정된 게이트를 갖고,

상기 외부 접속 단자는 상기 정전 방전 보호용 NMOS 트랜지스터의 드레인 영역 위에만 형성되며,

상기 정전 방전 보호용 NMOS 트랜지스터의 드레인 영역이 상기 정전 방전 보호용 NMOS 트랜지스터의 채널 영역 및 게이트 전극을 통해 상기 정전 방전 보호용 NMOS 트랜지스터의 소스 영역에 의해 둘러싸이고,

상기 외부 접속 단자는 상기 정전 방전 보호용 NMOS 트랜지스터의 드레인 영역 위에 적층된 복수의 배선층으로 형성되어 있고, 복수의 비아홀 및 복수의 콘택트홀을 통해 상기 드레인 영역에 접속되어 있으며,

상기 외부 접속 단자를 형성하는 상기 복수의 배선층 중에서 최하층의 배선은 연신된 상기 내부 회로에 접속되어 있고, 상기 게이트 전극 및 상기 소스 영역은 한 번만 교차하는 것을 특징으로 하는, 반도체 장치.

### 청구항 2

삭제

### 청구항 3

청구항 1에 있어서,

상기 드레인 영역은 평면에서 볼 때 라운드된 코너를 갖는 형상을 갖는, 반도체 장치.

### 청구항 4

청구항 1에 있어서,

상기 정전 방전 보호용 NMOS 트랜지스터와 소자 분리용 다른 소자 사이에 배치된 셀로우 트렌치 분리 구조를 더 포함하는, 반도체 장치.

### 청구항 5

삭제

### 청구항 6

청구항 1에 있어서,

상기 외부 접속 단자 및 상기 정전 방전 보호용 NMOS 트랜지스터로부터 상기 내부 소자 사이의 배선이 난용 금속을 포함하는 금속 재료로 형성되는, 반도체 장치.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

본 발명은 내부 회로 영역에 형성된 내부 소자가 ESD(electrostatic discharge, 정전 방전) 브레이크다운되는 것을 보호하기 위해, 외부 접속 단자 및 내부 회로 영역 사이에 형성된 ESD 보호 소자를 포함하는 반도체 장치에 관한 것이다.

[0001]

## 배경 기술

- [0002] MOS(metal oxide semiconductor) 트랜지스터를 포함하는 반도체 장치에서, n형 MOS(NMOS) 트랜지스터의 경우에 오프상태를 유지하기 위해 게이트 전위가 접지( $V_{ss}$ )에 고정되는 소위 오프 트랜지스터가, 외부 접속용 PAD 단자로부터 정전기 입력으로 인한 내부 회로의 브레이크다운을 방지하기 위한 ESD 보호 소자로서 사용된다. 내부 소자의 ESD 브레이크다운을 방지하기 위해, 오프 트랜지스터에 가능한 한 많은 부분의 정전 펄스를 인출하여 정전 펄스가 내부 소자로 진행되는 것을 금지하거나, 내부 소자로 송신되기 전에 빠르고 큰 정전 펄스를 느리고 작은 신호로 변경하는 것이 중요하다.
- [0003] 그러나, 오프 트랜지스터는 논리 회로 등의 내부 회로를 형성하는 MOS 트랜지스터와 다르게, 인출된 정전기에 의해 생긴 다량의 전류를 한번에 흐르게 하는 것이 필요해서, 많은 경우에 몇백 마이크로미터 크기를 가지도록 트랜지스터 폭(W)이 설계된다. 그 결과, 큰 점유 면적이 오프 트랜지스터에 대해 필요하고, 특히 작은 집적 회로(IC) 칩에서 전체 면적의 감소를 방지하고, 또한 전체 IC의 비용의 증가 요인이 된다.
- [0004] 또한, 많은 경우에, 오프 트랜지스터는 복수의 드레인 영역, 소스 영역 및 게이트 전극이 빗형상으로 결합되어 있는 형태를 종종 취한다. 복수의 트랜지스터들의 이러한 결합 구조는 전체 ESD 보호용 NMOS 트랜지스터의 균일한 동작에 어려움을 갖는다. 예를 들면, 외부 접속 단자와 근접한 부분에 생긴 전류 집중은 원래의 ESD 보호 기능이 충분히 행해지지 못하고 오프 트랜지스터의 브레이크다운을 가져올 수 있다.
- [0005] 상기 언급된 문제에 대한 대책으로서, 트랜지스터의 동작을 가속하기 위해 외부 접속 단자로부터의 거리가 더 길어질수록 드레인 영역 위에 형성된 콘택트 홀과 게이트 전극 사이의 거리가 더 작아지는 발명이 제안되었다(예를 들면, JP 7-45829 A의 도 2 참조).
- [0006] 그러나, 오프 트랜지스터가 더 작은 점유 면적을 갖게 할 목적으로 폭(W)이 더 작게 만들어지면, 보호기능이 충분히 달성될 수 없다. 또한, JP 7-45829 A의 방법에서, 드레인 영역의 콘택트 홀과 게이트 전극 사이의 거리가 조정됨으로써, 트랜지스터 동작 속도를 국부적으로 조정한다. 그러나, 이 방법은 드레인 영역의 폭이 감소함에 따라서 소망의 콘택트 폭을 보장할 수 없고, 최근에 난용 금속을 포함하는 배선 구조를 통해 배선 저항이 낮게 만들어져서, 서지의 진행 속도를 가속화하여, 콘택트 홀과 게이트 전극 사이의 거리에 의해서만 트랜지스터 동작 속도가 조정될 수 없는 경우를 발생시키는 문제를 갖는다. 또한, JP 7-45829 A에서, 정전 펄스를 내부 소자로 진행시키기 않고, 오프 트랜지스터로 가능한 한 많은 부분의 정전 펄스를 인출하거나, 내부 소자의 ESD 브레이크다운을 방지하기 위해, 송신 전에 빠르고 큰 정전 펄스를 느리고 작은 신호로 변경하는 개선책이 개시되어 있지 않다.

## 발명의 내용

### 해결 하고자하는 과제

- [0007] 상술한 문제를 해결하기 위해, 본 발명은 작은 점유 면적으로 충분한 ESD 보호 기능을 행할 수 있는 ESD 보호 소자를 포함하는 반도체 장치를 제공하는 것이다.

### 과제 해결수단

- [0008] 상기 서술된 문제를 해결하기 위해, 본 발명에 따르는 반도체 장치는 다음과 같이 구성된다.
- [0009] 외부 접속 단자와 내부 회로 영역 사이에 배치된 접지 전위에 전위가 고정된 게이트를 갖는 ESD 보호용 NMOS 트랜지스터를 포함하는 반도체 장치에서, 외부 접속 단자는 ESD 보호용 NMOS 트랜지스터의 드레인 영역 위에 형성된다.
- [0010] 또한, ESD 보호용 NMOS 트랜지스터의 드레인 영역은 ESD 보호용 NMOS 트랜지스터의 채널 영역을 통해서 ESD 보호용 NMOS 트랜지스터의 소스 영역에 의해 둘러싸여진다. 또한, 드레인 영역은 평면에서 볼 때 코너가 둥근 형상을 갖는다.
- [0011] 또한, ESD 보호용 NMOS 트랜지스터와 다른 소자 사이의 소자 분리가 샬로우(shallow) 트랜치 분리 구조에 의해 실행된다. 또한, 외부 접속 단자는 ESD 보호용 NMOS 트랜지스터의 드레인 영역 위에 적층된 복수의 배선층으로 형성된다. 또한, 외부 접속 단자와 내부 소자 사이의 배선 및 ESD 보호용 NMOS 트랜지스터와 내부 소자 사이의 배선이 난용 금속을 포함하는 금속 재료로 형성된다.

## 효 과

[0012] 이들 구조에서, ESD 보호용 NMOS 트랜지스터는 작은 점유 영역으로 형성될 수 있다. 또한, 내부 소자의 ESD 브레이크다운을 방지하기 위해 내부 소자로 진행하지 않도록 정전 펄스의 최대 가능한 부분이 오프 트랜지스터로 인출되거나, 빠르고 큰 정전 펄스가 송신 전에 느리고 작은 신호로 변경될 수 있다. 따라서, 작은 점유 면적으로 충분한 ESD 보호 기능을 행할 수 있는 ESD 보호 소자를 포함하는 반도체 장치를 얻을 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0013] (제1 실시예)

[0014] 도 1은 본 발명의 제1 실시예에 따르는 반도체 장치의 ESD 보호용 NMOS 트랜지스터를 도시하는 개략 평면도이다.

[0015] n형의 고농도로 도핑된 불순물 영역으로 형성된 소스 영역(201)과 드레인 영역(202)이 형성되고, 소스 영역(201)과 드레인 영역(202) 사이에서, 게이트 전극(204)이 실리콘 산화막 등의 절연막으로 형성된 게이트 절연막(비도시) 위에 배치됨으로써, ESD 보호용 NMOS 트랜지스터를 형성한다. 외부 접속 단자 영역(801)은 드레인 영역(202) 위에 형성된다. 외부 접속 단자 영역(801)의 바로 아래에 위치하는 제1 금속 배선(310)은 콘택트 홀(비도시)을 통해서 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202)에 접속되고, 내부 영역으로 연장된다. 또한, 소스 영역(201)과 게이트 전극(204)의 전위는 접지 전위로 고정되어, 소위 오프 트랜지스터의 구성을 갖는다.

[0016] 도 1의 예에서, 외부 접속 단자 영역(801)은 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202) 바로 위에 형성되고, 평면도에서, ESD 보호 소자 영역의 일부가 외부 접속 단자를 포함하는 형상을 취한다. 따라서, ESD 보호 소자는 종래의 대응 부분과 비교하여 더 작은 점유 면적으로 형성될 수 있다.

[0017] 여기서, 외부 접속 단자 영역(801)은 게이트 전극(204)을 중첩하지 않도록 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202) 위에만 형성된다. 외부 접속 단자 영역(801)은 테스트 프로세스 또는 뒤에 실행되는 다른 처리에서 프루빙(probing)을 통해 전기 측정을 행하고, 와이어 본딩 등을 통해 수지 패키지로 IC 칩을 실장하는데 사용되는 영역이다. 이 영역은 프루빙 또는 와이어 본딩을 통해 스트레스, 텐션, 손상 등에 노출될 위험을 갖는다. 게이트 전극(204)과 거기 아래에 배치된 게이트 절연 막은 NMOS 트랜지스터의 특성을 결정하는 주요 부분이고, 매우 민감하고, 기계적인 스트레스에 약하다. 본 발명에서, 외부 접속 단자 영역(801)은 게이트 전극(204) 위가 아니라 드레인 영역(202) 위에만 설치되어, 본 발명의 특징을 구성한다.

[0018] 외부 접속 단자 영역(801)은 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202) 위에 형성되고, 콘택트 홀을 통해 드레인 영역(202)에 직접 접속된다. 이 때문에, 외부 접속 단자와 ESD 보호 소자 사이의 저항값은, ESD 보호 소자와 내부 소자 사이의 저항값과 비교하여 상당히 더 작아진다. 따라서, ESD 서지 또는 정전 펄스는 보호 소자 측으로 바람직하게 인출될 수 있고, 내부 소자를 향한 배선의 저항을 사용하여, 빠르고 큰 정전 펄스가 그대로 진행되는 것이 아니라 느리고 작은 신호로 바뀌어서 내부 소자로 송신될 수 있다.

[0019] 도 1의 실시예는 ESD 보호용 NMOS 트랜지스터의 예를 도시하며, 게이트 전극(204)이 외부 접속 단자 영역(801)의 일 방향(측)을 따라서 배치되지만, 본 발명은 거기에 한정되지 않는다. 게이트 전극(204)을 외부 접속 단자 영역(801)의 2면 ~ 4면을 따라서 배치될 수도 있다.

[0020] 도 2는 제1 실시예에서 도 1의 A-A' 선을 따라서 취한 개략 단면도이다.

[0021] n형의 고농도로 도핑된 불순물 영역으로 형성된 소스 영역(201)과 드레인 영역(202)이 p형 실리콘 기판(101) 위에 형성되고, 게이트 전극(204)이 실리콘 산화막 등의 절연막으로 형성된 게이트 절연막(203)을 통해서 소스 영역(201)과 드레인 영역(202) 사이에 위치된 p형 실리콘 기판(101)의 일부 위에 배치됨으로써, ESD 보호용 NMOS 트랜지스터를 형성한다. 또한, 소자 분리 영역으로서 기능하는 섀로우 트랜치 분리 영역(610)이 소스 영역(201)과 드레인 영역(202) 외부에 형성된다.

[0022] 이 경우, 소스 영역(201)과 게이트 전극(204)의 전위는 접지 전위(비도시)로 고정되어, 소위 오프 트랜지스터의 구성을 갖는다. 또한, 난용 금속을 포함하는 알루미늄으로 형성된 제1 금속 배선(310)은 제1 절연막(410)을 통해 소스 영역(201)과 드레인 영역(202) 위에 형성된다. 제1 금속 배선(310)을 드레인 영역(202)에 전기적으로 접속하기 위해, 드레인 영역(202) 위에 형성된 제1 절연막(410)에 다수의 콘택트 홀(510)이 설치된다. 드레인 영역(202) 위에 형성된 다수의 콘택트 홀(510)은 전체 드레인 영역(202)위의 대부분에 널리 분포되어 위치

한다. 이것은, ESD 보호용 NMOS 트랜지스터가 ESD 서지를 받아서 바이폴라 동작을 통해 전류를 방출하는 기능을 하는 경우에, 동작이 국부적으로 발생하는 것이 방지되기 때문이다.

[0023] ESD 보호용 NMOS 트랜지스터는 보호 기능을 행하는 많은 전류를 취급해야만 하기 때문에, 넓은 채널 폭(W)이 할당된다. 그러나, 예를 들면 콘택트 홀(510)이 국부적으로 설치된 경우에, 넓은 채널 폭을 전체 사용하는 것은 불가능하여, 그 동작은 부분적인 영역에 제한된다. 몇몇의 경우에, 많은 전류의 국부적인 집중은 브레이크다운을 가져와서, 소망의 ESD 허용 오차가 사용될 수 없다. 전체 드레인 영역(202) 위의 다수의 콘택트 홀(510)의 넓은 분포와 조밀한 배치는 들어오는 정전 펄스에 대해 전체적으로 ESD 보호용 NMOS 트랜지스터(710)의 일정한 동작을 가능하게 하여, 전체 채널 폭을 갖는 정전 펄스의 효과적인 처리(릴리즈(release))를 허용한다.

[0024] 드레인 영역(202)에 접속된 제1 금속 배선(310)은 드레인 영역(202) 위에 외부 접속 단자 영역(801)을 형성하여, 내부 영역으로 확장된다. 또한, 소스 영역(201)은 콘택트 홀(501)을 통해 제1 금속 배선(310)에 접속되고, 게이트 전극(204)을 따라서 접지 전위(비도시)에 고정된다. 실리콘-니트라이드 막 등으로 형성된 보호막(440)은 제1 금속 배선(310) 위에 형성되고, 보호막(440)의 일부는 드레인 영역(202) 위에서 제거됨으로써, 제1 금속 배선(310)이 노출된 외부 접속 단자 영역(801)이 형성된다. 이러한 방식으로, 외부 접속 단자 영역(801)은 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202)의 바로 위에 형성된다. 이 형성에 대한 이유 및 효과가 도 1의 설명에서 미리 서술되어 있다.

[0025] (제2 실시예)

[0026] 도 3은 본 발명의 제2 실시예에 따르는 반도체 장치의 ESD 보호용 NMOS 트랜지스터를 도시하는 개략 평면도이다.

[0027] n형의 고농도로 도핑된 불순물 영역으로 형성된 드레인 영역(202)은 게이트 전극(204)에 의해 한정된 실질적으로 원형의 윤곽을 가지며, 게이트 전극(204)을 통해 소스 영역(201)에 의해 둘러싸여진 평면 형상을 갖는다. 게이트 전극(204)은 실리콘 산화막 등의 절연막으로 형성된 게이트 절연막(비도시) 위의 드레인 영역(202)과 소스 영역(201) 사이에 배치됨으로써, ESD 보호용 NMOS 트랜지스터를 형성한다. 제1 금속 배선(310)은 드레인 영역(202) 위에 배치되고, 콘택트 홀(비도시)을 통해 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202)에 접속되고, 내부 영역으로 연장된다.

[0028] 또한, 제1 금속 배선(310)은 드레인 영역(202) 위의 비아 홀(비도시)을 통해 제2 금속 배선(320)에 접속되고, 외부 접속 단자 영역(801)이 형성된다. 소스 영역(201)과 게이트 전극(204)의 전위는 접지 전위로 고정되어, 소위 오프 트랜지스터의 구성을 갖는다. 이 경우, 드레인 영역(202)은 게이트 전극(204)에 의해 한정된 실질적으로 원형의 윤곽을 가지며, 게이트 전극(204)을 통해 소스 영역(201)에 의해 둘러싸여진 평면 형상을 갖는다. 그 이유는 소자 분리 영역으로부터 드레인 영역(202)을 분리하여, 전류가 집중하는 코너의 형성을 방지하기 위한 것이다.

[0029] 일반적으로, 셀로우 트랜치 분리가 소자 분리를 위해 사용되며, 많은 경우에, 결정 결함 등으로부터 오는 누설 전류가 다른 소자에 인접하는 부분에 발생된다. 특히, 이것은 넓은 트랜지스터 폭(W)을 갖는 ESD 보호용 NMOS 트랜지스터의 경우에 심각한 문제가 될 수 있다.

[0030] 본 발명에서, ESD 보호용 NMOS 트랜지스터의 드레인 영역은 소자 분리 영역과 분리되며, 드레인 영역은 게이트 전극을 통해 소스 영역에 의해 전체적으로 둘러싸여짐으로써, 셀로우 트랜치 분리에서 특히 문제가 되는 누설 전류의 증가가 방지될 수 있다. 또한, 드레인 영역의 평면 형상은 코너를 갖지 않기 때문에, 들어오는 서지에 대한 충분한 ESD 허용 오차를 확실히 하기 위해, 전류 집중으로 인한 국부적인 브레이크다운이 방지될 수 있다.

[0031] 도 3에 도시된 제2 실시예에서, 드레인 영역(202)은 실질적으로 원형상을 갖는다. 그러나, 여기서의 목표는 전류 집중을 완화하는 것이고, 그래서, 드레인 영역(202)은 실질적으로 장방형 형상을 가질 수 있거나, 또는 코너부가 라운드된 일반적인 직사각형 형상을 가질 수 있다. 또한, 외부 접속 단자 영역(801)이 직사각형 형상을 갖는 경우가 서술되었지만, 외부 접속 단자 영역(801)은 드레인 영역(202)의 형상에 따라서 실질적으로 원형 형상을 가질 수 있다. 뒤에 실행되는 프루빙 단계 등을 고려하면, 모든 방향의 프루빙에서 배치에 대하여 동등한 여백을 주는 관점으로부터 원형 형상이 직사각형 형상의 위에 있는 경우가 있다. 콘택트 홀과 비아 홀은 외



부 접속 단자 영역(801)의 형상에 따라서 널리 분포되고 배치되는 것이 또한 필요하다.

[0032] 또한, 도 3에 도시된 제2 실시예에서, 도 1에 도시된 제1 실시예에서와 같이, 외부 접속 단자 영역(801)이 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202) 바로 위에 형성되고, 평면도에서, ESD 보호 소자 영역의 일부가 외부 접속 단자를 포함하는 형상을 갖는다. 이 때문에, ESD 보호 소자는 종래의 대응 부분에 비해 더 작은 점유 면적으로 형성될 수 있다. 또한, 이 실시예에서, 제1 실시예에서와 같이, 외부 접속 단자 영역(801)은 게이트 전극(204)을 중첩하지 않도록 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202)의 위에만 형성된다. 상기의 이유 및 그 설명은 도 1에 도시된 제1 실시예와 유사하다.

[0033] 도 3에 도시된 제2 실시예에서, 외부 접속 단자 영역(801)은 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202) 바로 위에 형성된 제2 금속 배선(320)에 의해 형성된다. 이 경우, 반도체 장치의 형성을 위해 다층 배선을 사용하는 예가 설명되고, 본 발명은 2층 금속 배선에 한정되지 않는다. 제2 실시예에서, 외부 접속 단자 영역(801)은 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202) 위에 형성되고, 비아 홀과 콘택트 홀을 통해 드레인 영역(202)에 직접 연결된다. 이 때문에, 외부 접속 단자와 ESD 보호 소자 사이의 저항값이 ESD 보호 소자와 내부 소자 사이의 저항값에 비해 상당히 더 작게 된다. 따라서, ESD 서지 또는 정전 펄스는 보호 소자측으로 바람직하게 인출될 수 있다. 더욱이, 예를 들면, 내부 소자로의 배선의 저항을 사용하여, 빠르고 큰 정전 펄스가 내부 소자로 그대로 진행하거나, 내부 소자로 송신되기 전에 느리고 작은 신호로 변경될 수 있다.

[0034] 도 4는 제2 실시예에서 도 3의 B-B' 선을 따라서 취한 개략 단면도이다.

[0035] n형의 고농도로 도핑된 불순물 영역으로 형성된 소스 영역(201)과 드레인 영역(202)이 p형 실리콘 기판(101) 위에 형성되고, 게이트 전극(204)이 실리콘 산화막 등의 절연막으로 형성된 게이트 절연막(203)을 통해서 소스 영역(201)과 드레인 영역(202) 사이에 위치된 p형 실리콘 기판(101)의 일부 위에 배치됨으로써, ESD 보호용 NMOS 트랜지스터를 형성한다. 여기서, 드레인 영역의 주위는 NMOS 트랜지스터의 채널 영역으로 기능하는 p형 실리콘 기판(101)의 일부를 통해 소스 영역(201)에 의해 둘러싸여져 있다. 또한, 소자 분리 영역으로서 기능하는 셀로우 트렌치 분리 영역(610)이 소스 영역(201)과 드레인 영역(202) 외부에 형성된다.

[0036] 이 경우, 소스 영역(201)과 게이트 전극(204)의 전위는 접지 전위(비도시)로 고정되어, 소위 오프 트랜지스터의 구성을 갖는다. 또한, 난용 금속을 포함하는 알루미늄으로 형성된 제1 금속 배선(310)은 제1 절연막(410)을 통해 소스 영역(201)과 드레인 영역(202) 위에 형성된다. 제1 금속 배선(310)을 드레인 영역(202)에 전기적으로 접속하기 위해, 드레인 영역(202) 위에 형성된 제1 절연막(410)에 다수의 콘택트 홀(510)이 설치된다. 또한, 드레인 영역(202) 위에 형성된 다수의 콘택트 홀(510)은 전체 드레인 영역(202)위의 대부분에 널리 분포되고, 조밀하게 배치되어, ESD 서지를 받아서 바이폴라 동작을 통해 전류를 방출하는 동안 ESD 보호용 NMOS 트랜지스터의 국부적이고 부분적인 동작을 방지한다.

[0037] ESD 보호용 NMOS 트랜지스터는 보호 기능을 행하기 위해 많은 전류를 처리해야만 하기 때문에, 넓은 채널 폭(W)이 할당된다. 그러나, 예를 들면 콘택트 홀(510)이 국부적으로 설치된 경우에, 넓은 채널 폭을 전체 사용하는 것은 불가능하며, 그 동작은 부분적인 영역에 제한된다. 몇몇의 경우에, 많은 전류의 국부적인 집중은 브레이크다운을 가져와서, 소망의 ESD 허용 오차가 사용될 수 없다. 전체 드레인 영역(202) 위의 다수의 콘택트 홀(510)의 넓은 분포와 조밀한 배치는, 들어오는 정전 펄스에 대해 전체적으로 ESD 보호용 NMOS 트랜지스터(710)의 일정한 동작을 가능하게 하여, 전체 채널 폭을 갖는 정전 펄스의 효과적인 처리(해방)를 허용한다.

[0038] 예를 들면, 난용 금속을 포함하는 알루미늄으로 형성된 제2 금속 배선(320)은 제2 절연막(420)을 통해 드레인 영역(202) 위에 배치되어, 다수의 비아 홀(520)을 통해 제1 금속 배선(310)에 접속된다. 드레인 영역(202)에 접속된 제1 금속 배선(310)은 외부 접속 단자 영역(801)을 형성하기 위해 드레인 영역(202) 위의 비아홀을 통해 제2 금속 배선(320)에 접속되고, 내부 영역으로 확장된다. 또한, 소스 영역(201)은 콘택트 홀(510)을 통해 제1 금속 배선(310)에 접속되고, 게이트 전극(204)을 따라서 접지 전위(비도시)에 고정된다. 실리콘-니트라이드 막 등으로 형성된 보호막(440)은 제2 금속 배선(320) 주위에 형성되고, 보호막(440)의 일부는 드레인 영역(202) 위에서 제거됨으로써, 제2 금속 배선(320)이 노출된 외부 접속 단자 영역(801)이 형성된다.

[0039] 이러한 방식으로, 외부 접속 단자 영역(801)은 ESD 보호용 NMOS 트랜지스터의 드레인 영역(202)의 바로 위에 형성된다. 이 형성에 대한 이유 및 그 효과는 도 1 및 도 2와 유사하다.

[0040] 상기 서술된 것같이, 본 발명에 따르면, ESD 보호용 NMOS 트랜지스터는 작은 점유 면적에 형성될 수 있다. 또한, 내부 소자의 ESD 브레이크다운을 방지하기 위해 내부 소자로 진행하지 않도록 정전 펄스의 대부분 가능한

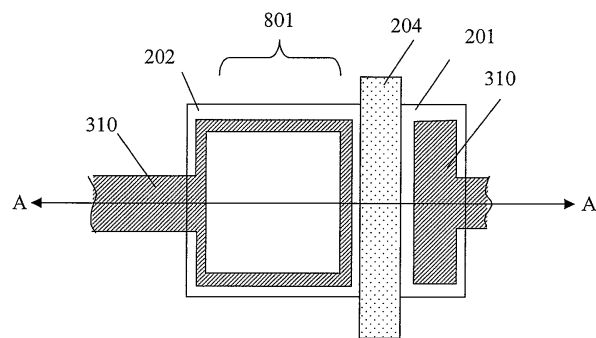
부분이 오프 트랜지스터로 인출될 수 있거나, 빠르고 큰 정전 펄스가 송신 전에 느리고 작은 신호로 변경될 수 있다. 따라서, 작은 점유 면적으로 충분한 ESD 보호 기능을 행할 수 있는 ESD 보호 소자를 포함하는 반도체 장치를 얻을 수 있다.

### 도면의 간단한 설명

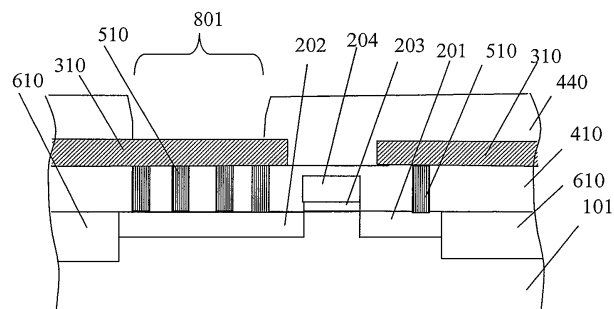
- [0041] 도 1은 본 발명의 제1 실시예에 따르는 반도체 장치의 ESD 보호용 NMOS 트랜지스터를 도시하는 개략 평면도이다.
- [0042] 도 2는 제1 실시예에 따르는 ESD 보호용 NMOS 트랜지스터의 A-A'선을 따라서 취한 개략 단면도이다.
- [0043] 도 3은 본 발명의 제2 실시예에 따르는 반도체 장치의 ESD 보호용 NMOS 트랜지스터를 도시하는 개략 평면도이다.
- [0044] 도 4는 제2 실시예에 따르는 ESD 보호용 NMOS 트랜지스터의 B-B'선을 따라서 취한 개략 단면도이다.

### 도면

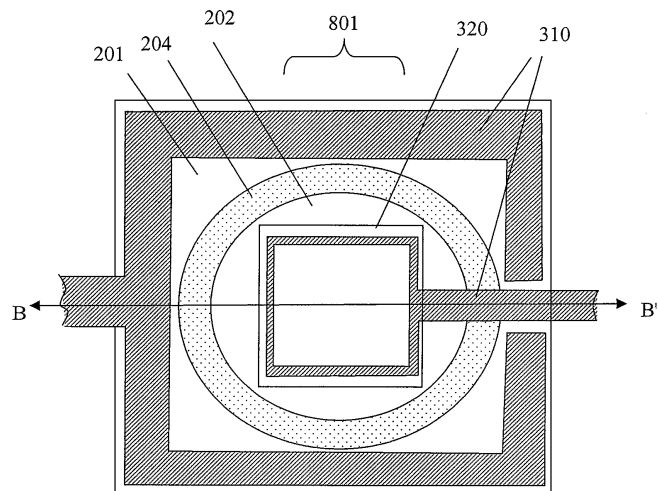
도면1



도면2



도면3



도면4

