



(12) 发明专利

(10) 授权公告号 CN 102034546 B

(45) 授权公告日 2014. 07. 23

(21) 申请号 201010506461. 8

US 2008/0219064 A1, 2008. 09. 11, 全文.

(22) 申请日 2010. 09. 26

审查员 田越

(30) 优先权数据

12/567585 2009. 09. 25 US

(73) 专利权人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 S·乔扈里 K·拉夫

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 朱海煜 王洪斌

(51) Int. Cl.

G11C 16/20(2006. 01)

(56) 对比文件

CN 1554069 A, 2004. 12. 08, 摘要, 说明书第 5 页第 2 段至第 7 页第 5 段, 图 1-5.

CN 1485623 A, 2004. 03. 31, 全文.

CN 101197194 A, 2008. 06. 11, 全文.

US 6550023 B1, 2003. 04. 15, 全文.

US 6636998 B1, 2003. 10. 21, 全文.

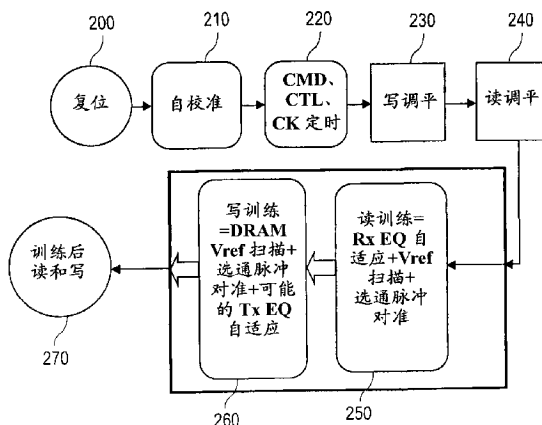
权利要求书2页 说明书6页 附图5页

(54) 发明名称

存储器链路初始化

(57) 摘要

链路初始化技术用于将读训练与写训练去耦合。读训练可在执行写训练之前以鲁棒方式来实现。这些技术可提供显著改进的链路初始化时间。动态随机存取存储器 (DRAM) 模块中的用户可编程寄存器可由去耦合的读训练和写训练过程使用。去耦合可产生更短并且更鲁棒的训练段, 它们可支持更快的训练和 / 或增加的链路速度。



1. 一种存储器链路初始化的方法,包括:

通过经由存储器控制器与存储器装置之间的链路将数据从所述存储器装置中的预先选择的多功能寄存器传送到所述存储器控制器来执行读训练过程以初始化所述链路;

把来自所述预先选择的多功能寄存器的由所述存储器控制器所接收的数据与预计结果进行比较;

如果所述存储器控制器所接收的数据与所述预计结果匹配,则在所述链路上执行写训练过程,其中所述写训练过程包括将所接收数据从所述存储器控制器传送给所述存储器装置;以及

将从所述存储器控制器所接收的数据与所述预先选择的多功能寄存器中存储的数据进行比较。

2. 如权利要求 1 所述的方法,还包括:在所述读训练过程之前对所述预先选择的多功能寄存器中的数据编程。

3. 如权利要求 1 所述的方法,其中,所述读训练过程还包括调整所述存储器控制器中的接收均衡器,以补偿所述链路上的频率相关损耗。

4. 如权利要求 1 所述的方法,其中,所述读训练过程还包括执行与从所述存储器装置读取数据关联的数据选通脉冲的选通脉冲对准。

5. 如权利要求 1 所述的方法,其中,所述读训练过程还包括执行参考电压扫描,以选择供所述存储器控制器接收器使用的参考电压。

6. 如权利要求 1 所述的方法,其中,所述写训练过程还包括调整所述存储器控制器中的发射均衡器,以补偿所述链路上的频率相关损耗。

7. 如权利要求 1 所述的方法,其中,所述写训练过程还包括执行与将数据写到所述存储器装置关联的数据选通脉冲的选通脉冲对准。

8. 如权利要求 1 所述的方法,其中,所述写训练过程还包括执行参考电压扫描,以选择供所述存储器控制器发射器使用的参考电压。

9. 一种存储器链路初始化的系统,包括:

具有至少一个多功能寄存器和可寻址存储器阵列以存储数据的存储器装置,所述存储器装置具有接口;

与所述存储器装置接口耦合的物理链路;以及

存储器控制器,具有:与耦合于所述物理链路的接口耦合的发射和接收电路;以及存储器控制电路,其执行读训练过程,以通过经由所述链路接收从所述存储器装置中的所述多功能寄存器的数据到所述存储器控制器来初始化所述链路,以及把来自所述多功能寄存器的数据与预计结果进行比较,如果由所述存储器控制器所接收的数据与所述预计结果匹配,则所述存储器控制器还执行写训练过程,所述写训练过程包括将所接收数据从所述存储器控制器传送给所述存储器装置;

所述存储器装置用于将从所述存储器控制器所接收的数据与所述多功能寄存器中存储的数据进行比较。

10. 如权利要求 9 所述的系统,其中,所述存储器控制器还包括接收器均衡器,并且所述读训练过程还包括调整接收器均衡器,以补偿所述链路上的频率相关损耗。

11. 如权利要求 9 所述的系统,其中,所述读训练过程还包括执行与从所述存储器装置

读取数据关联的数据选通脉冲的选通脉冲对准。

12. 如权利要求 9 所述的系统,其中,所述读训练过程还包括执行参考电压扫描,以选择供存储器控制器接收器使用的参考电压。

13. 如权利要求 9 所述的系统,其中,所述存储器控制器还包括发射器均衡器,并且所述写训练过程还包括调整发射均衡器,以补偿所述链路上的频率相关损耗。

14. 如权利要求 9 所述的系统,其中,所述写训练过程还包括执行与将数据写到所述存储器装置关联的数据选通脉冲的选通脉冲对准。

15. 如权利要求 9 所述的系统,其中,所述写训练过程还包括执行参考电压扫描,以选择供所述存储器控制器发射器使用的参考电压。

存储器链路初始化

技术领域

[0001] 本发明的实施例涉及具有存储器装置的链路 (link) 的初始化。更具体来说, 本发明的实施例涉及用于可提供自适应均衡 (adaptive equalization)、优化参考电压和选通脉冲对准 (strobe alignment) 的双倍数据速率 (DDR) 链路的初始化的技术。

背景技术

[0002] DDR 链路的当前初始化过程一般遭遇“鸡和蛋”问题, 该问题在于将模式写到存储器, 然后又从存储器读回。但是, 写入过程可能出错, 它给读操作提供了不正确结果。由于错误可能是写操作或读操作的结果, 所以通常使用迭代并且往往比较费时的初始化过程, 其中算法需要复杂化和较大量数据来隔离错误的起因。这引起系统低效和延长的训练时间。

[0003] 图 1 是 DDR 链路的常规初始化的流程图。响应于复位情况 (100), 发起自校准过程 (110)。确定命令、控制和时钟信号定时 (120)。执行写调平操作 (130)。执行读调平操作 (140)。

[0004] 执行读训练 (150) 和写训练 (160)。读和写训练是迭代过程, 其中将值写到存储器并且从存储器读取, 以便确定读和写操作是否是无错误的。错误例如可因信号线路的线路集束 (line bundling) 和 / 或交织所引起的串扰而发生。迭代读和写训练是上述鸡和蛋情况的结果。在完成读和写训练时, 可执行训练后的读和写操作 (170)。

发明内容

[0005] 本发明提供一种方法, 包括: 执行读训练过程以初始化存储器控制器与存储器装置之间的链路, 这通过经由所述链路将数据从所述存储器装置中的预先选择的多功能寄存器传送 (transmitting) 到所述存储器控制器; 把来自所述预先选择的多功能寄存器的由所述存储器控制器所接收的数据与预计结果进行比较; 如果所述存储器控制器所接收的数据与所述预计结果匹配, 则在所述链路上执行写训练过程, 其中所述写训练过程包括将所接收数据从所述存储器控制器传送给所述存储器装置; 以及将从所述存储器控制器所接收的数据与所述预先选择的多功能寄存器中存储的数据进行比较。

[0006] 本发明还提供一种其上存储了指令的非易失性存储器装置, 所述指令在由一个或多个电子部件运行时使存储器控制器和存储器装置执行下列步骤: 执行读训练过程以初始化所述存储器控制器与所述存储器装置之间的链路, 这通过经由所述链路将数据从所述存储器装置中的预先选择的多功能寄存器传送到所述存储器控制器; 把来自所述预先选择的多功能寄存器的由所述存储器控制器所接收的数据与预计结果进行比较; 如果所述存储器控制器所接收的数据与所述预计结果匹配, 则在所述链路上执行写训练过程, 其中所述写训练过程包括将所接收数据从所述存储器控制器传送给所述存储器装置; 以及将从所述存储器控制器所接收的数据与所述预先选择的多功能寄存器中存储的数据进行比较。

附图说明

[0007] 作为示例方式而不是限制性方式来图示本发明的实施例,附图中,相似的参考标号表示相似的元件。

[0008] 图 1 是 DDR 链路的常规初始化的流程图。

[0009] 图 2 是其中读训练和写训练被去耦合(decoupled)的链路初始化过程的一个实施例的流程图。

[0010] 图 3 是读训练过程的一个实施例的概念图示。

[0011] 图 4 是写训练过程的一个实施例的概念图示。

[0012] 图 5 是写训练过程中的误差计算的一个实施例的概念图示。

[0013] 图 6 是电子系统的一个实施例的框图。

具体实施方式

[0014] 在以下描述中提出许多具体细节。但是,即使没有这些具体细节也可实施本发明的实施例。在其它情况下,没有详细示出众所周知的电路、结构和技术,以免影响对本描述的理解。

[0015] 本文所述的初始化技术用于将读训练与写训练去耦合。在一个实施例中,读训练可在执行写训练之前以鲁棒方式来实现。这些技术可提供显著改进的链路初始化时间。在一个实施例中,动态随机存取存储器(DRAM)模块中的用户可编程寄存器由去耦合的读训练和写训练过程使用。去耦合可产生更短并且更鲁棒的训练段,它们可支持更快的训练和/或增加的链路速度。

[0016] 在一个实施例中,DRAM 模块中的多功能寄存器(MPR)用于存储测试模式。MPR 可以是单寄存器(例如 24 位寄存器)或者寄存器(例如三个 8 位寄存器)的组合。测试模式可以是任何大小(例如 8 位、24 位、48 位)。在一个实施例中,MPR 的内容可采用用户选择值来编程(例如通过边带 JTAG/SMBus)。存储器控制器还可包括输出管脚,以便控制对 DRAM 模块的参考电压输入值。

[0017] 使用本文所述的技术和过程,可提供训练过程,它利用 MPR 和参考电压值提供具有存储器控制器参考电压优化、存储器控制器中的均衡自适应(用于读操作和读选通脉冲对准)的有效读训练。在完成读训练之后,可执行具有 DRAM 参考电压优化和写选通脉冲对准的写训练。

[0018] 当前,训练过程通过迭代的读和写训练过程来实现。读训练通过将模式写到 DRAM 以及将其读回来进行。这引起训练过程的显著延长,并且可引入关于任何所观测误差是在写过程期间还是在读过程期间已经发生的混淆。此外,这些当前训练过程没有包括均衡优化、存储器控制器参考电压优化和/或 DRAM 参考电压优化。

[0019] 与图 1 的迭代训练过程相对照,本文所述的过程基于去耦合的读和写训练。在一个实施例中,存储器控制器接收器电路包括接收均衡器,它可以是例如一或二抽头判定反馈均衡器(DFE)。存储器控制器还可包括用于控制 DRAM 的参考电压的管脚。这些部件连同 MPR 可支持采用基本同时的方式来适配接收均衡、参考电压优化和选通脉冲对准的过程。

[0020] 图 2 是其中去耦合读训练和写训练的链路初始化过程的一个实施例的流程图。在链路初始化期间的读训练和写训练的去耦合可利用用户可编程 MPR 以及可在读训练期间连续读取的模式来实现。写训练在读训练之后完成,使得写训练可使用读训练模式来实现。

[0021] 响应于复位情况 (200), 发起自校准过程 (210)。图 2 的自校准过程与图 1 的自校准过程不同, 因为对自校准过程 (210) 提供读和写训练所使用的值。确定命令、控制和时钟信号定时 (220)。执行写调平操作 (230)。执行读调平操作 (240)。

[0022] 执行读训练 (250)。下面针对图 3 更详细地描述读训练的一个实施例。在一个实施例中, 读训练利用上述 MPR 提供作为对确定存储器是否存储并且提供了正确值的校验。读训练还可包括下列一个或多个: 接收器均衡自适应、参考电压校准和 / 或选通脉冲对准。

[0023] 在一个实施例中, 读训练通过将数据从 DRAM MPR 发送给存储器控制器来实现。模式长度可以是任何长度。在一个实施例中, 使用 24 位模式。将所接收的模式与预计模式进行比较, 以便确定读错误是否已经发生。在读训练过程期间, 存储器控制器中的接收侧均衡器可配置成补偿在被初始化的链路上的频率相关损耗。在一个实施例中, 这可通过利用提供链路损耗的反向特性的放大器来实现。

[0024] 参考电压扫描 (reference voltage sweep) 可利用上述管脚来执行。在一个实施例中, 选通脉冲对准也可在读训练期间执行。本文所述的去耦合的读和写训练过程允许更有效地执行选通脉冲对准, 从而产生更短的链路初始化过程。这可产生更有效的训练过程, 因而产生更短的链路初始化过程。

[0025] 执行写训练 (260)。下面针对图 4 更详细地描述写训练的一个实施例。在一个实施例中, 写训练利用上述 MPR 提供关于确定存储器是否存储了正确值的校验。也就是说, 由于读训练已经完成, 所以读操作可被认为是起作用的并且正确操作。因此, 对 MPR 的写入可用于确定是否发生写错误, 而不存在该错误是读错误的结果 (如同图 1 的过程中那样) 的可能性。写训练还可包括下列一个或多个: 发射器均衡自适应、参考电压校准和 / 或选通脉冲对准。

[0026] 在一个实施例中, 写训练通过将数据从存储器控制器发送给 DRAM MPR 来实现。模式长度可以是任何长度。在一个实施例中, 使用 24 位模式。将所接收的模式与预计模式进行比较, 以便确定写错误是否已经发生。在写训练过程期间, 存储器控制器中的发射均衡器 (transmit equalizer) 可配置成补偿在被初始化的链路上的频率相关损耗。在一个实施例中, 这可通过利用提供链路损耗的反向特性的放大器来实现。

[0027] 参考电压扫描可利用上述管脚来执行。在一个实施例中, 选通脉冲对准也可在写训练期间执行。在完成读和写训练时, 可执行训练后读和写操作 (270)。

[0028] 图 3 是读训练过程的一个实施例的概念图示。在一个实施例中, 对于读训练的所有输入数据, MPR 用于将模式发送给存储器控制器。任何模式长度可被使用 (例如 24 位、16 位、48 位), 并且可以是一个 MPR 或者多个 MPR 的长度。在一个实施例中, 预计最佳参考电压将在训练期间因随机化模式而改变, 因此为基于随机模式的优化而扫描的参考电压在训练之后来设置, 以便节省处理器时间。

[0029] 在一个实施例中, 采用在存储器控制器发射器的参考电压的缺省值 (310) 以及接收器均衡器的缺省值来发起图 3 的过程。

[0030] 在一个实施例中, 对参考电压从最小值扫描到最大值, 以及对于各值来优化接收均衡器 (330), 并且在存储器控制器中使用选通脉冲扫描来测量定时余量 (340)。对于所有参考电压设定值、最大余量的检测或者超时情况来执行这些过程 (350)。在一个实施例中, 优化参考电压值是与最大定时余量对应的值 (380)。在一个实施例中, 参考电压扫描的范

围、扫描的粒度以及执行均衡器优化的间隔数是用户控制的。

[0031] 接收器均衡器可以是例如一或二（或者更多）抽头 DFE，取决于所采用的链路。DFE 可允许比使用 CTLE 更快的均衡器优化，并且还可消除在存储器线路中主导的反射。

[0032] 图 4 是写训练过程的一个实施例的概念图示。在一个实施例中，DRAM 参考电压由存储器控制器使用上述可编程管脚来设置 (410)，并且可从可以是用户定义的最小值扫描到最大值 (480)。对于各参考电压设定值，所传送的数据 - 数据选通脉冲相位可被扫描，并且将写入和读取位与从存储器控制器模式缓冲器发送的位进行比较 (430)。

[0033] 在一个实施例中，定时余量通过数据和数据选通脉冲信号之间的“左”和“右”相位延迟差 (phase skew difference) 来限定，在该处位差错 (bit error) 超过预先选择阈值。在一个实施例中，最佳 DRAM 参考电压是定时余量为最大处的值。循环从发射均衡器的缺省值开始。该缺省值可例如使用平台链路模拟来确定。如果根据模拟认为存在通过发射均衡器优化将要得到的可能余量，则图 4 的循环可对各发射均衡器设定值重复进行，并且可利用产生最大余量的特定设定值。

[0034] 图 5 是写训练过程中的误差计算的一个实施例的概念图示。在存储器控制器通过将所传送的模式与所读取的模式进行比较所进行的对任何设定值的定时和余量确定在概念上如图 5 所示。对于读训练或写训练，定时余量的“边缘”可由存储器控制器在比较对所发送的该数量的字节上所记录的错误的平均数量时确定，如通过将所传送模式与所接收模式进行比较来评估那样。

[0035] 误差计算可通过将模式写到存储器来执行 (580)。模式 510 由存储器控制器或用户通过发射缓冲器 515 提供给存储器 550。从存储器读回模式 (585)。该模式由存储器控制器通过接收缓冲器 520 从存储器 550 接收。在一个实施例中，所接收模式存储在对准缓冲器 530 中。

[0036] 将所接收模式与所传送的模式进行比较 (590)。该过程重复进行，直到发送和接收所需数量的字节 (595)。这个比较是可用以在写训练过程中实现误差计算的机制。

[0037] 在一个实施例中，读训练和写训练的任一的选通脉冲信号的扫描由存储器控制器执行。以下修改可用于提供更准确和节省时间的操作。可使用二元扫描来代替在该间隔上并且对于参考电压范围的定时余量的线性扫描。如果在某个设定值在指定数量的字节上记录零错误，则选通脉冲可被认为离边缘太远，并且可在测试缺省数量的字节之前将选通脉冲向前移动。

[0038] 在一个实施例中，优化的序列利用 JTAG 或 BIOS 扫描，或者具有硬件的有限状态机实现初始化过程。实现初始化和优化的部件可提供一组寄存器以保存至少两级先前参数值，以便提供比较，并且提供至少一个寄存器，它不受热复位影响，以便保存可在初始化之后再使用的最终优化值（除非发生硬平台复位）。

[0039] 图 6 是电子系统的一个实施例的框图。图 6 所示的电子系统意在表示一系列电子系统（有线或无线），包括例如台式计算机系统、膝上型计算机系统、蜂窝电话、包括蜂窝式启用个人数字助理 (PDA) 的 PDA、机顶盒。备选电子系统可包括更多、更少和 / 或不同的部件。

[0040] 电子系统 600 包括总线 605 或者传递信息的其它通信装置以及耦合到总线 605、可处理信息的处理器 610。虽然电子系统 600 示为具有单个处理器，但是电子系统 600 可包

括多个处理器和 / 或协处理器。电子系统 600 还可包括随机存取存储器 (RAM) 或其它动态存储装置 625 (称作主存储器), 它耦合到总线 605, 并且可存储可由处理器 610 运行的信息和指令。主存储器 625 还可用于在处理器 610 运行指令期间存储临时变量或者其它中间信息。

[0041] 在一个实施例中, 存储器控制器 620 可耦合在总线 605 与存储器 625 之间。在备选实施例中, 例如, 存储器控制器 620 可包含在电子系统 600 的其它部件、例如处理器 610 中。存储器控制器 620 一般管理至 / 自存储器 625 的数据流。存储器控制器 620 和存储器 625 可包括一个或多个多功能寄存器, 它们可用于以本文所述的方式来初始化存储器控制器 620 与存储器 625 之间的链路。

[0042] 引起本文所述的链路初始化过程的指令和 / 或电路可存储在电子系统 600 的一个或多个部件中。例如, 指令可存储在存储器控制器 620 中的固件中或者 ROM 630 中。这些指令可使存储器控制器 620 执行本文所述的链路初始化过程。在另一个实施例, 链路初始化过程中可涉及处理器 610。

[0043] 电子系统 600 还可包括耦合到总线 605、可存储处理器 610 的静态信息和指令的只读存储器 (ROM) 和 / 或其它静态存储装置 630。数据存储装置 640 可耦合到总线 605, 以便存储信息和指令。数据存储装置 640、如磁盘或光盘及对应驱动器可耦合到电子系统 600。

[0044] 电子系统 600 还可经由总线 605 耦合到显示装置 650、如阴极射线管 (CRT) 或液晶显示器 (LCD), 以便向用户显示信息。包括字母数字键及其它按键的字母数字输入装置 660 可耦合到总线 605, 以便向处理器 610 传递信息和命令选择。另一种类型的用户输入装置是光标控件 670, 例如鼠标、轨迹球或光标方向键, 以便向处理器 610 传递方向信息和命令选择, 以及控制显示器 650 上的光标运动。

[0045] 电子系统 600 还可包括网络接口 680, 以便提供对网络、如局域网的接入。网络接口 680 可包括例如具有可代表一个或多个天线的天线 685 的无线网络接口。网络接口 680 还可包括例如有线网络接口, 以便经由可以是例如以太网电缆、同轴电缆、光纤电缆、串行电缆或并行电缆等的网络电缆 687 与远程装置进行通信。

[0046] 在一个实施例中, 网络接口 680 例如通过符合 IEEE 802.11b 和 / 或 IEEE 802.11g 标准可提供对局域网的接入, 和 / 或无线网络接口例如通过符合蓝牙标准可提供对个人区域网络的接入。还可支持其它无线网络接口和 / 或协议。

[0047] IEEE 802.11b 对应于 IEEE Std. 802.11b-1999, 标题为“Local and Metropolitan Area Networks, Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications: Higher-Speed Physical Layer Extension in the 2.4GHz Band (局域网和城域网, 第 11 部分: 无线 LAN 媒体接入控制 (MAC) 和物理层 (PHY) 规范: 2.4GHz 频带中的更高速物理层扩展)”, 1999 年 9 月 16 日批准; 以及相关文档。IEEE 802.11g 对应于 IEEE Std. 801.11g-2003, 标题为“Local and Metropolitan Area Networks, Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications Amendment 4: Further Higher Rate Extension in the 2.4GHz Band (局域网和城域网, 第 11 部分: 无线 LAN 媒体接入控制 (MAC) 和物理层 (PHY) 规范, 修改 4: 2.4GHz 频带中的进一步更高速率扩展)”, 2003 年 6 月 27 日批准; 以及相关文档。蓝牙协议在“Specification of the Bluetooth System: Core, Version 1.1”(由 Bluetooth Special

InterestGroup, Inc. 于 2001 年 2 月 22 日发布) 中描述。该蓝牙标准关联的以及先前或后续版本也被支持。

[0048] 作为经由无线 LAN 标准的通信的补充或替代, 网络接口 680 可使用例如时分多址 (TDMA) 协议、全球移动通信系统 (GSM) 协议、码分多址 (CDMA) 协议和 / 或任何其它类型的无线通信协议来提供无线通信。

[0049] 说明书中提到“一个实施例”或“实施例”表示结合该实施例所述的特定特征、结构或特性包含在本发明的至少一个实施例中。词语“在一个实施例中”在本说明书的各个位置中的出现不一定都表示同一个实施例。

[0050] 虽然按照若干实施例描述了本发明, 但本领域的技术人员会知道, 本发明并不局限于所述实施例, 而是可在所附权利要求书的精神和范围之内, 经过修改和变更来实施。因此, 本描述被看作是说明性而不是限制性的。

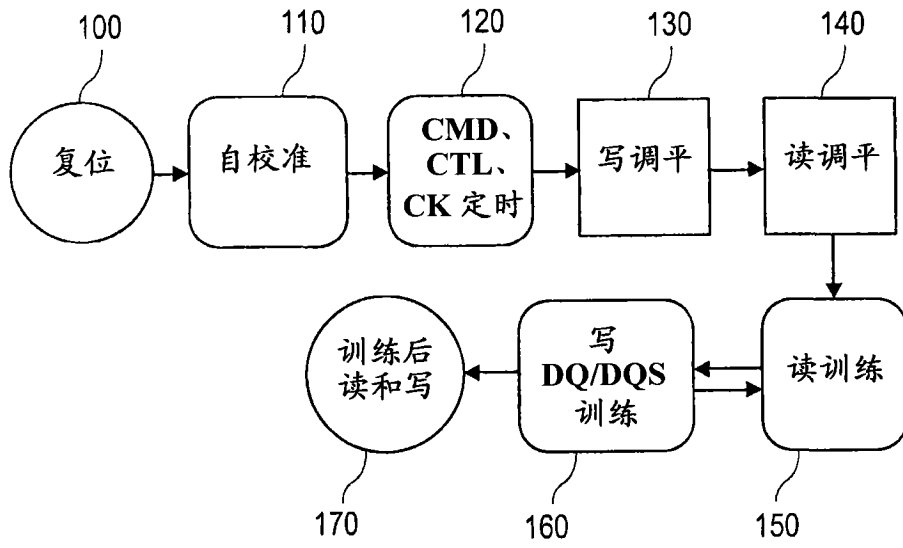


图 1

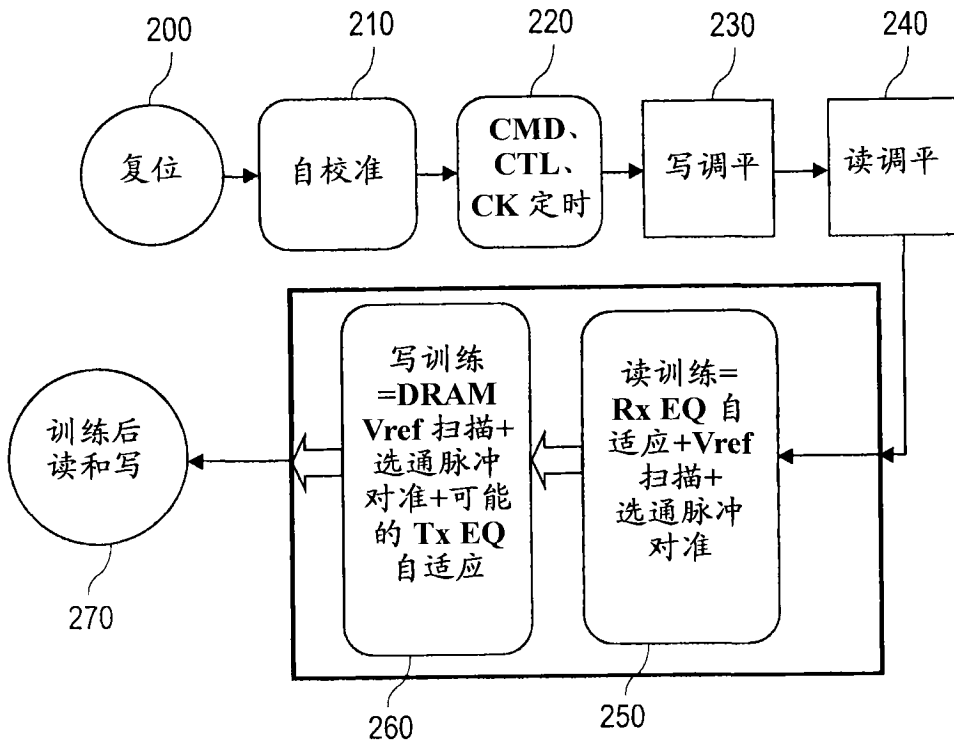


图 2

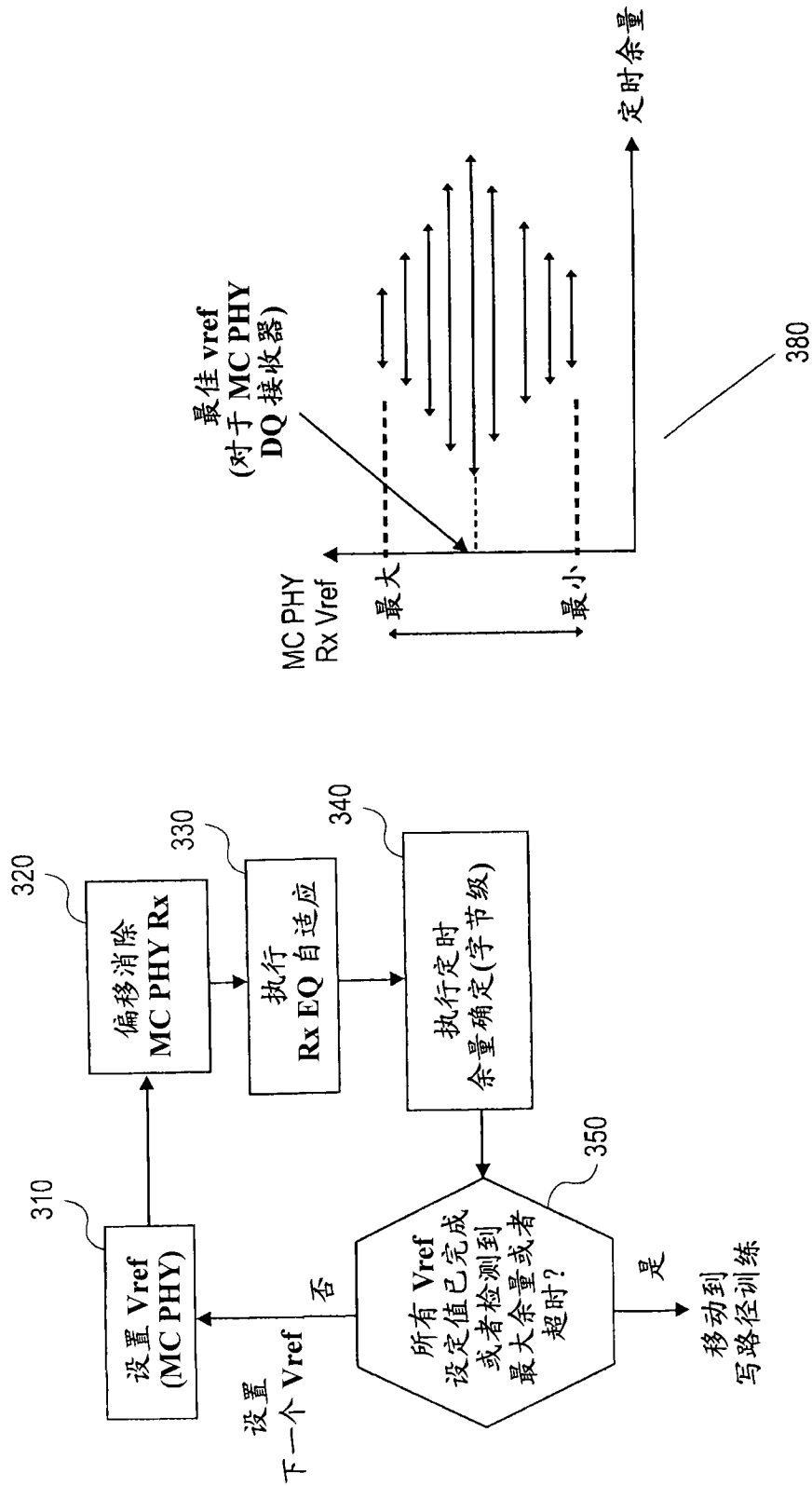


图 3

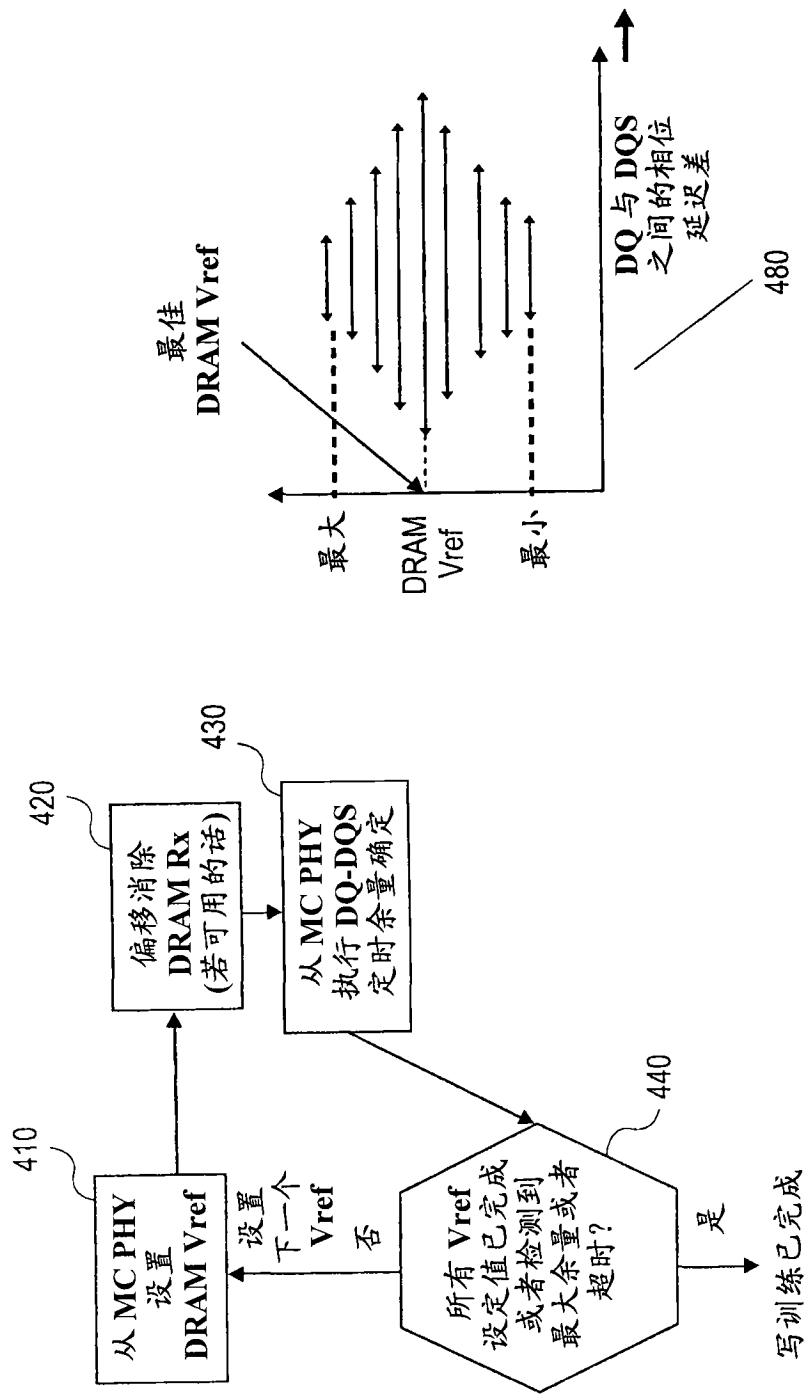


图 4

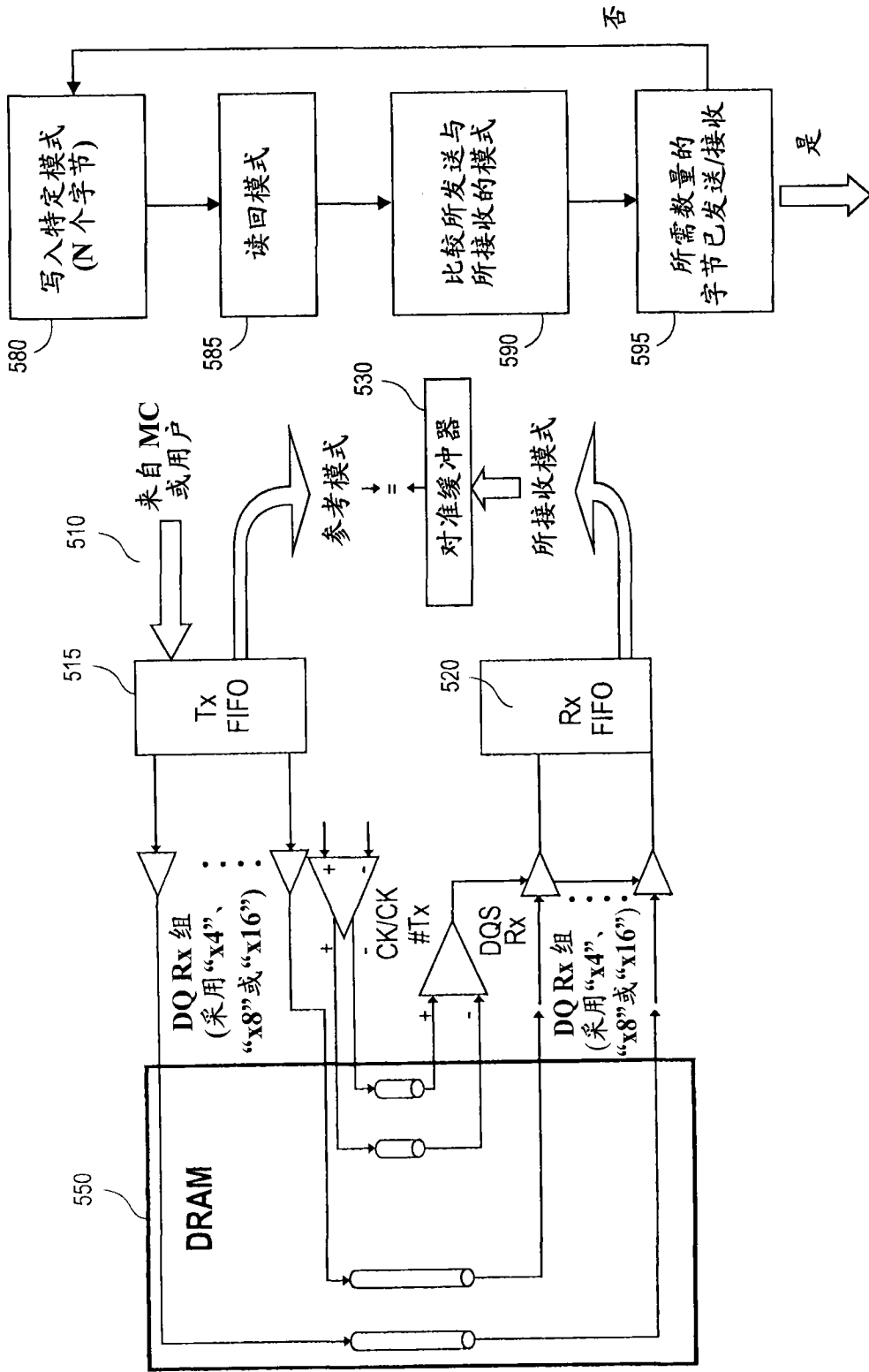


图 5

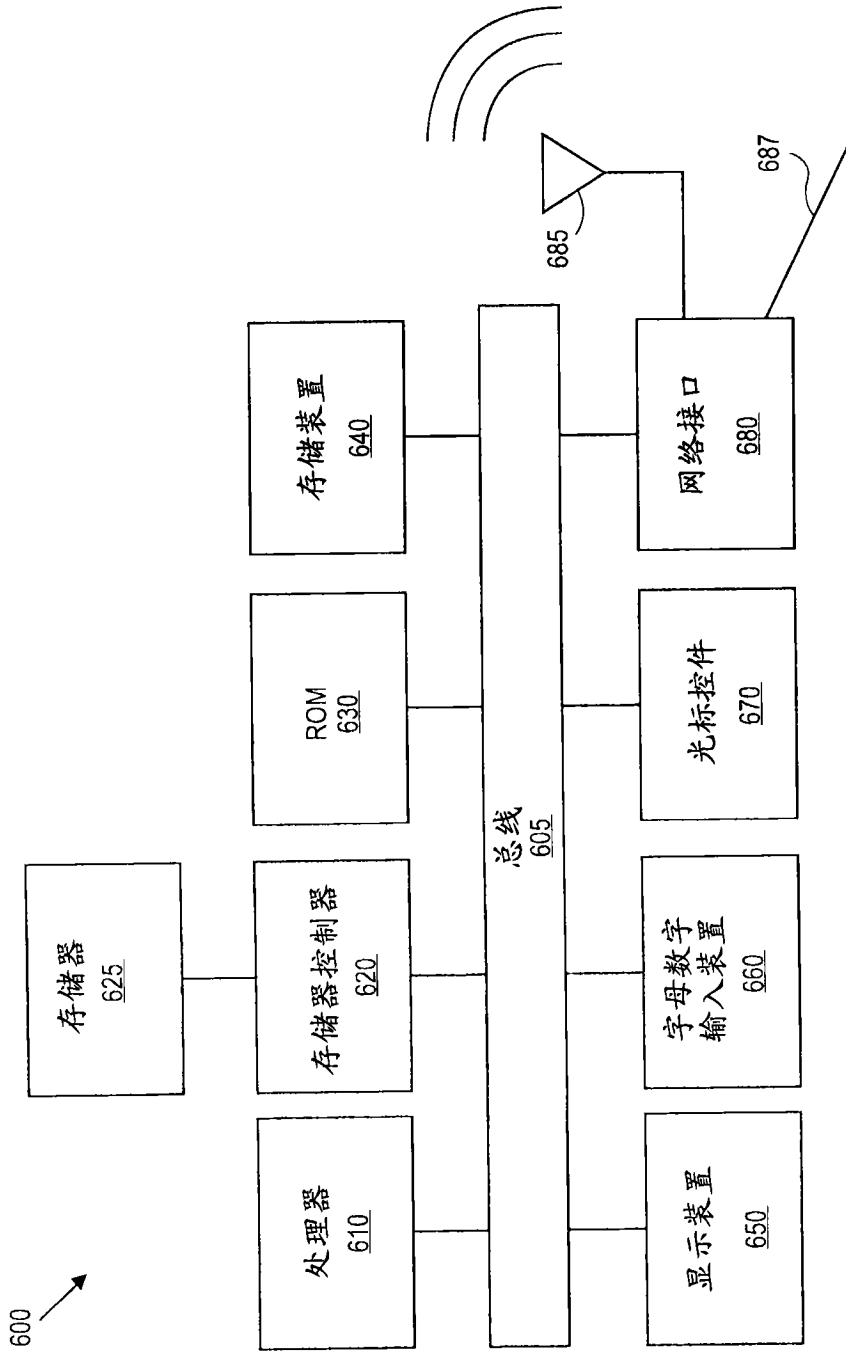


图 6