

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-147580

(P2010-147580A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03K 19/00 (2006.01)</b>	H03K 19/00 B	5J032
<b>H03K 5/19 (2006.01)</b>	H03K 5/19 Z	5J039
<b>H03K 19/096 (2006.01)</b>	H03K 19/096 B	5J042
<b>H03K 19/017 (2006.01)</b>	H03K 19/017	5J056
<b>H03K 19/21 (2006.01)</b>	H03K 19/21	

審査請求 未請求 請求項の数 4 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2008-319877 (P2008-319877)  
 (22) 出願日 平成20年12月16日 (2008.12.16)

(71) 出願人 504137912  
 国立大学法人 東京大学  
 東京都文京区本郷七丁目3番1号  
 (74) 代理人 100119677  
 弁理士 岡田 賢治  
 (74) 代理人 100115794  
 弁理士 今下 勝博  
 (72) 発明者 池田 誠  
 東京都文京区本郷七丁目3番1号 国立大  
 学法人 東京大学内  
 (72) 発明者 浅田 邦博  
 東京都文京区本郷七丁目3番1号 国立大  
 学法人 東京大学内

最終頁に続く

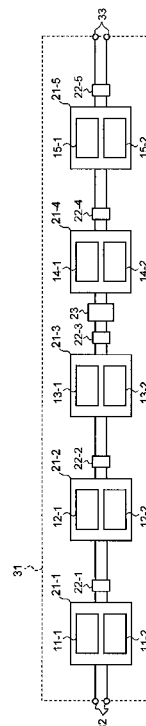
(54) 【発明の名称】 半導体集積回路

## (57) 【要約】

【課題】エラー検出のためのハードウェア上のオーバーヘッド及び時間的オーバーヘッドを小さくでき、且つエラーを発生した論理素子を特定できる半導体集積回路を提供することを第1目的とする。また、ダイナミック回路のリセット時間による時間的オーバーヘッドを隠蔽でき、実効的な演算スループットを向上させる半導体集積回路を提供することを第2目的とする。

【解決手段】本発明に係る半導体集積回路は、論理素子単位でのハンドシェークを実施し、論理素子単位でのエラー発生の検出を行うことで後段の論理素子にエラー伝搬を行わないこととした。さらに、本発明に係る半導体集積回路は、各論理素子内で同一の論理回路を並列に接続し、2相で動作させることとした。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

ダイナミック回路の論理回路を持つ複数の論理素子が連結された論理ブロックと、  
ハンドシェーク方式で前段の前記論理素子から後段の前記論理素子へ信号を送らせ、  
前記論理素子単位で自己同期的なパイプライン動作をさせる信号伝送手段と、

前記論理素子毎の出力信号を確認し、エラーを検知したときにエラーの信号を出力した  
前記論理素子の動作を停止させるディテクタと、

前記論理素子へ入力する信号数又は前記論理素子が出力する信号数を計測するカウンタ  
と、

前記ディテクタがエラーを検知したときに、前記カウンタを通過した信号数からエラー  
を発生した前記論理素子を特定するエラー特定手段と、  
を備える半導体集積回路。

10

**【請求項 2】**

前記カウンタは、前記論理ブロックの入力端と出力端に配置されていることを特徴とす  
る請求項 1 に記載の半導体集積回路。

**【請求項 3】**

前記論理素子のそれぞれは、第一相側と第二相側で交互に動作する並列関係にある同一  
の前記論理回路を持ち、非動作時に前記論理回路をリセットし、

前記信号伝送手段は、前記論理素子の第一相側の前記論理回路から出力された信号を後  
段の前記論理素子の第一相側の前記論理回路に結合し、前記論理素子の第二相側の前記論  
理回路から出力された信号を後段の前記論理素子の第二相側の前記論理回路に結合するこ  
とを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

20

**【請求項 4】**

前記論理素子が持つ第一相側と第二相側の前記論理回路は、一方が信号処理中に他方が  
リセット動作を行うことを特徴とする請求項 3 に記載の半導体集積回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、論理素子毎にエラー検出を可能とする半導体集積回路に関する。

**【背景技術】**

30

**【0002】**

従来、信頼性向上のために回路の二重化（例えば、特許文献 1 を参照。）やエラー検出  
符号化（例えば、特許文献 2 を参照。）によるエラー検出方式が検討されている。また、  
半導体集積回路の高速化のためにダイナミック回路を用いることが知られている（例えば  
、特許文献 3 を参照。）。

【特許文献 1】特開平 06 - 237151 号公報

【特許文献 2】特開 2007 - 267392 号公報

【特許文献 3】特開 2003 - 060497 号公報

**【発明の開示】****【発明が解決しようとする課題】**

40

**【0003】**

しかし、回路の二重化やエラー検出符号化によるエラー検出方式は、別途エラー検出用  
のハードウェア上のオーバーヘッドが存在し、エラー検出実行のための時間的オーバーヘ  
ッドも存在するという課題があった。さらに、動作時のエラーを検出してもエラーが発生  
した論理回路を特定できず、エラー回避のための具体的な対策を施すのが困難という課題  
があった。また、ダイナミック回路を用いた場合、動作は高速になるが、リセット動作が  
時間的オーバーヘッドとなるという課題もあった。

**【0004】**

本発明は、上記課題を解決するためになされたもので、エラー検出のためのハードウェア  
上のオーバーヘッド及び時間的オーバーヘッドを小さくでき、且つエラーを発生した論

50

理素子を特定できる半導体集積回路を提供することを第1目的とする。また、ダイナミック回路のリセット時間による時間的オーバーヘッドを隠蔽でき、実効的な演算スループットを向上させる半導体集積回路を提供することを第2目的とする。

【課題を解決するための手段】

【0005】

第1目的を達成するために、本発明に係る半導体集積回路は、論理素子単位でのハンドシェークを実施し、論理素子単位でのエラー発生を検出を行うことで後段の論理素子にエラー伝搬を行わないこととした。

【0006】

具体的には、本発明に係る半導体集積回路は、ダイナミック回路の論理回路を持つ複数の論理素子が連結された論理ブロックと、ハンドシェーク方式で前段の前記論理素子から後段の前記論理素子へ信号を伝送させ、前記論理素子単位で自己同期的なパイプライン動作をさせる信号伝送手段と、前記論理素子毎の出力信号を確認し、エラーを検知したときにエラーの信号を出力した前記論理素子の動作を停止させるディテクタと、前記論理素子へ入力する信号数又は前記論理素子が出力する信号数を計測するカウンタと、前記ディテクタがエラーを検知したときに、前記カウンタを通過した信号数からエラーを発生した前記論理素子を特定するエラー特定手段と、を備える。

【0007】

ディテクタは、論理素子からの出力にエラーを発見した場合、その論理素子を停止させることができる。また、カウンタはその論理素子停止後からカウンタを通過した信号数を計測することができる。さらに、半導体集積回路内の論理素子の接続経路及びカウンタの配置場所は既知である。論理素子はハンドシェーク方式で信号を伝搬するため、論理素子の1つが停止すれば、後続の信号は停止中の論理素子より前段の各論理素子で出力待ち状態となる。このため、カウンタの後段の論理素子が停止すれば、カウンタから停止中の論理素子間にある論理素子数分の信号がカウンタを通過することになり、停止中、すなわちエラーが発生した論理素子の位置が判明する。また、カウンタの前段の論理素子が停止しても、停止中の論理素子からカウンタ間にある論理素子数分の信号がカウンタを通過することになり、停止中、すなわちエラーが発生した論理素子の位置が判明する。

【0008】

従って、本発明に係る半導体集積回路は、外部にエラー検知用の回路が不要であり後段の論理素子へエラー伝搬を行わないため、エラー検出のためのハードウェア上のオーバーヘッド及び時間的オーバーヘッドを小さくでき、且つエラーを発生した論理素子を特定できる。

【0009】

本発明に係る半導体集積回路の前記カウンタは、前記論理ブロックの入力端と出力端に配置されていることが好ましい。信号の入力数と出力数をカウントすることでエラーが発生した論理素子の特定精度が向上する。

【0010】

第2目的を達成するために、本発明に係る半導体集積回路は、各論理素子内で同一の論理回路を並列に接続し、2相で動作させることとした。

【0011】

具体的には、本発明に係る半導体集積回路の前記論理素子のそれぞれは、第一相側と第二相側で交互に動作する並列関係にある同一の前記論理回路を持ち、非動作時に前記論理回路をリセットし、前記信号伝送手段は、前記論理素子の第一相側の前記論理回路から出力された信号を後段の前記論理素子の第一相側の前記論理回路に結合し、前記論理素子の第二相側の前記論理回路から出力された信号を後段の前記論理素子の第二相側の前記論理回路に結合することを特徴とする。

【0012】

第一相と第二相側を交互に動作させることでダイナミック回路のリセット動作中も他方の論理回路で処理することができる。本発明に係る半導体集積回路は、ダイナミック回路

10

20

30

40

50

のリセット時間による時間的オーバーヘッドを隠蔽でき、実効的な演算スループットを向上させることができる。

【 0 0 1 3 】

本発明に係る半導体集積回路の前記論理素子が持つ第一相側と第二相側の前記論理回路は、一方が信号処理中に他方がリセット動作を行うことを特徴とする。演算スループットを最大とすることができる。

【 発明の効果 】

【 0 0 1 4 】

本発明は、エラー検出のためのハードウェア上のオーバーヘッド及び時間的オーバーヘッドを小さくでき、且つエラーを発生した論理素子を特定できる半導体集積回路を提供すること、並びに、ダイナミック回路のリセット時間による時間的オーバーヘッドを隠蔽でき、実効的な演算スループットを向上させる半導体集積回路を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

添付の図面を参照して本発明の実施の形態を説明する。以下に説明する実施の形態は本発明の構成の例であり、本発明は、以下の実施の形態に制限されるものではない。なお、本明細書及び図面において符号が同じ構成要素は、相互に同一のものを示すものとする。また、枝番号を付さずに説明している場合は、同一符号全てに共通する説明である。

【 0 0 1 6 】

図 1 は、本実施形態の半導体集積回路を説明する概念図である。本実施形態の半導体集積回路は、ダイナミック回路の論理回路を持つ複数の論理素子 2 1 が連結された論理ブロック 3 1 と、ハンドシェーク方式で前段の論理素子 2 1 から後段の論理素子 2 1 へ信号を伝送させ、論理素子 2 1 単位で自己同期的なパイプライン動作をさせる信号伝送手段（図示せず）と、論理素子 2 1 毎の出力信号を確認し、エラーを検知したときにエラーの信号を出力した論理素子 2 1 の動作を停止させるディテクタ 2 2 と、論理素子 2 1 へ入力する信号数又は論理素子 2 1 が出力する信号数を計測するカウンタ 2 3 と、ディテクタ 2 2 がエラーを検知したときに、カウンタ 2 3 を通過した信号数からエラーを発生した論理素子 2 1 を特定するエラー特定手段（図示せず）と、を備える。

【 0 0 1 7 】

論理ブロック 3 1 は論理素子 2 1 - 1 から論理素子 2 1 - 5 を順に連結している。論理素子 2 1 はそれぞれダイナミック回路の論理回路をもつ。ダイナミック回路の論理回路の例を図 2 から図 4 に示す。図 2 は否定的論理積（NAND）又は否定論理和（NOR）である。入力端子（A 1、A 2、B 1、B 2）は 4 つ、出力端子（X 1、X 2）は 2 つである。図 3 は排他的論理和（XOR）又は排他的論理和の否定（XNOR）である。入力端子（A 1、A 2、B 1、B 2）は 4 つ、出力端子（X 1、X 2）は 2 つである。図 4 はインバータ（NOT）である。入力端子（A 1、A 2）は 2 つ、出力端子（X 1、X 2）は 2 つである。

【 0 0 1 8 】

信号伝送手段は、ハンドシェーク方式で前段の論理素子 2 1 から後段の論理素子 2 1 へ信号を伝送させ、論理素子 2 1 単位でパイプライン動作をさせる。例えば、信号伝送手段は自己同期転送制御装置（Cエレメント）である。

【 0 0 1 9 】

それぞれの論理素子 2 1 の出力には論理素子 2 1 の出力を監視するディテクタ 2 2 が配置される。例えば、ディテクタ 2 2 - 3 は、論理素子 2 1 - 3 からエラーが出力された場合、論理素子 2 1 - 3 を停止させる。例えば、論理素子 2 1 の出力が A と B の 2 つある場合、 $(A, B) = (0, 1)$ 、 $(1, 0)$  を正常出力、 $(A, B) = (0, 0)$  をリセット状態、 $(A, B) = (1, 1)$  をエラー出力と判断することができる。ディテクタ 2 2 がエラー出力した論理素子 2 1 を停止させることで後段の論理素子 2 1 へのエラー伝搬を抑制することができる。

【 0 0 2 0 】

10

20

30

40

50

カウンタ 2 3 は、通過する信号数を計測し、少なくとも 1 ついずれかの論理素子 2 1 間に配置される。エラー特定手段は、カウンタ 2 3 の信号計測数でエラーを発生した論理素子 2 1 を特定することができる。エラー特定手段がエラーを発生した論理素子 2 1 を特定する方法を図 5 及び図 6 を用いて説明する。

#### 【 0 0 2 1 】

図 5 はカウンタ 2 3 の後段の論理素子 2 1 がエラー出力した場合を説明した図である。図 1 で説明したように論理素子 2 1 - 1 から論理素子 2 1 - 5 が連続して接続されている。カウンタ 2 3 は論理素子 2 1 - 1 と論理素子 2 1 - 2 との間に配置されている。図 5 ではディテクタ 2 2 の記載を省略している。信号 S 1 は図 5 ( 1 ) から図 5 ( 5 ) に示すように論理素子 2 1 - 1 から論理素子 2 1 - 5 へハンドシェークされ、パイプライン動作で処理されていく。次の信号 S 2 は図 5 ( 4 ) から図 5 ( 7 ) にかけて同様にハンドシェークされ、パイプライン動作で処理されていく。図 5 ( 7 ) で論理素子 2 1 - 4 がエラー出力したとする。この時点で論理素子 2 1 - 4 は停止する。次の信号 S 3 は図 5 ( 7 ) から図 5 ( 9 ) にかけて同様にハンドシェークされ、パイプライン動作で処理されていくが、論理素子 2 1 - 4 が停止しているため、論理素子 2 1 - 3 で出力待ち状態で止まることになる。同様に信号 S 4 及び信号 S 5 もそれぞれ論理素子 2 1 - 2 及び論理素子 2 1 - 1 で止まることになる。

#### 【 0 0 2 2 】

ここで、カウンタ 2 3 は論理素子 2 1 - 4 が停止した後に通過した信号数を計測する。すなわち、カウンタ 2 3 は信号 S 3 と信号 S 4 の 2 つが通過したことを計測する。2 つの信号がカウンタ 2 3 を通過したことから、エラー検出手段はカウンタ 2 3 の後段の論理素子 2 1 の 2 つ、すなわち論理素子 2 1 - 2、論理素子 2 1 - 3 が正常に動作していると判断でき、論理素子 2 1 - 4 がエラーを発生したと判断できる。

#### 【 0 0 2 3 】

図 6 はカウンタ 2 3 の前段の論理素子 2 1 がエラー出力した場合を説明した図である。論理素子 2 1 の接続は図 5 と同様であるが、カウンタ 2 3 は論理素子 2 1 - 3 と論理素子 2 1 - 4 との間に配置されている。図 6 ( 1 ) から図 6 ( 7 ) にかけて信号 S 1、信号 S 2 及び信号 S 3 がハンドシェークされ、パイプライン動作で処理されていく。図 6 ( 5 ) のように論理素子 2 1 - 2 が信号 S 4 についてエラー出力したとする。この時点で論理素子 2 1 - 2 は停止する。次の信号 S 5 は論理素子 2 1 - 2 が停止しているため、論理素子 2 1 - 1 で出力待ち状態で止まることになる。

#### 【 0 0 2 4 】

ここで、カウンタ 2 3 は論理素子 2 1 - 2 が停止した後に通過した信号数を計測する。すなわち、カウンタ 2 3 は信号 S 3 が通過したことを計測する。1 つの信号がカウンタ 2 3 を通過したことから、エラー検出手段はカウンタ 2 3 の前段の論理素子 2 1 - 3 が正常に動作していると判断でき、論理素子 2 1 - 2 がエラーを発生したと判断できる。例えば、信号 S 1、信号 S 2 間が空いていた場合でも、エラーにより信号 S 1 が止まると、信号 S 2 は必ず信号 S 1 に追いつくため、結果的にエラー位置を特定することが可能となる。

#### 【 0 0 2 5 】

図 5 及び図 6 で説明したように、本実施形態の半導体集積回路は、カウンタとエラー検出回路を備えることでエラーを発生した論理回路 2 1 を特定できる。また、エラーを発生した論理回路 2 1 を停止するため、エラー伝搬することがなく時間的オーバーヘッドを小さくでき、外部でエラーを検出する回路が不要のためハードウェア上のオーバーヘッドも小さくできる。

#### 【 0 0 2 6 】

本実施形態の半導体集積回路は、カウンタ 2 3 は、論理ブロック 3 1 の入力端 3 2 と出力端 3 3 に配置されていてもよい。図 1、図 5、図 6 では論理素子 2 1 が直線的に接続されている半導体集積回路を説明したが、入力端 3 2 と出力端 3 3 にもカウンタ 2 3 を配置することで論理素子 2 1 が複雑に接続される半導体集積回路における論理素子 2 1 のエラーも検出できるようになる。

10

20

30

40

50

## 【 0 0 2 7 】

図 1 の半導体集積回路の論理素子 2 1 のそれぞれは、第一相側と第二相側で交互に動作する並列関係にある同一の論理回路を持つ。図 1 の論理回路 ( 1 1 - 1、1 1 - 2、1 2 - 1、1 2 - 2、1 3 - 1、1 3 - 2、1 4 - 1、1 4 - 2、1 5 - 1、1 5 - 2 ) は、ダイナミック回路である。論理素子 2 1 - 1 は第一相側に論理回路 1 1 - 1 を持ち、第二相側に論理回路 1 1 - 1 と同じ論理回路 1 1 - 2 を持つ。論理素子 2 1 - 2 から論理素子 2 1 - 5 も同様である。

## 【 0 0 2 8 】

図 1 の半導体集積回路の信号伝送手段は、論理素子 2 1 の第一相側の論理回路から出力された信号を後段の論理素子 2 1 の第一相側の論理回路に結合し、論理素子 2 1 の第二相側の論理回路から出力された信号を後段の論理素子 2 1 の第二相側の論理回路に結合する。例えば、論理回路 1 1 - 1 で処理された信号は後段の論理素子 2 1 の全てにおいて第一相側の論理回路 ( 1 2 - 1、1 3 - 1、1 4 - 1、1 5 - 1 ) で処理される。一方、論理回路 1 1 - 2 で処理された信号は後段の論理素子 2 1 の全てにおいて第二相側の論理回路 ( 1 2 - 2、1 3 - 2、1 4 - 2、1 5 - 2 ) で処理される。

## 【 0 0 2 9 】

論理素子 2 1 は順に入力される信号を第一相側の論理回路と第二相側の論理回路で交互に処理し、非動作時に論理回路をリセットする。この動作を図 7 を利用して詳細に説明する。論理素子 2 1 の接続は図 5 と同様であるが、それぞれの論理素子 2 1 は第一相と第二相があるため、図 7 ではこれらを上段と下段に分けて記載している。すなわち、論理素子 2 1 - 1 の上段は論理回路 1 1 - 1 であり、下段は論理回路 1 1 - 2 である。同様に、論理素子 ( 2 1 - 2、2 1 - 3、2 1 - 4、2 1 - 5 ) の上段はそれぞれ論理回路 ( 1 2 - 1、1 3 - 1、1 4 - 1、1 5 - 1 ) であり、下段はそれぞれ論理回路 ( 1 2 - 2、1 3 - 2、1 4 - 2、1 5 - 2 ) である。なお、図 7 においてカウンタ 2 3 及びディテクタ 2 2 の記載を省略している。

## 【 0 0 3 0 】

信号 S 1 は図 7 ( 1 ) から図 7 ( 5 ) に示すように論理素子 2 1 - 1 から論理素子 2 1 - 5 へハンドシェークされ、第一相側の論理回路でパイプライン動作で処理されていく。第一相側の論理回路 1 1 - 1 から論理回路 1 5 - 1 それぞれは、信号 S 1 の処理の後、リセット動作を行う。次の信号 S 2 は図 7 ( 4 ) から図 7 ( 8 ) にかけて同様にハンドシェークされ、第二相側の論理回路でパイプライン動作で処理されていく。第二相側の論理回路 1 1 - 2 から論理回路 1 5 - 2 それぞれは、信号 S 2 の処理の後、リセット動作を行う。次の信号 S 3 は再び第一相側の論理回路でパイプライン動作で処理されていく ( 図 7 ( 6 ) から図 7 ( 1 0 ) ) 。

## 【 0 0 3 1 】

このように、第一相側の論理回路と第二相側の論理回路とで交互に信号を処理することで、リセット時間中に他の相の論理回路で信号を処理することができ、ダイナミック回路に必要なリセット動作の時間を隠蔽することができる。第一相側の論理回路と第二相側の論理回路とで交互に信号を処理することを図 7 を用いて詳細に説明する。

## 【 0 0 3 2 】

第一相側の論理回路 ( 1 1 - 1、1 2 - 1、1 3 - 1、1 4 - 1、1 5 - 1 ) は信号 S 3 を処理した後にリセット動作に入る。この時間に第二相側の論理回路 ( 1 1 - 2、1 2 - 2、1 3 - 2、1 4 - 2、1 5 - 2 ) は次の信号 S 4 を処理することができる。さらに、第二相側の論理回路が信号 4 の処理後のリセット動作中に第一相側の論理回路は次の信号 S 5 を処理することができる。すなわち、本実施形態の半導体集積回路はダイナミック回路に必要なリセット動作の時間を隠蔽し、信号処理のスループットを向上することができる。

## 【 0 0 3 3 】

( 具体例 )

図 8 は、本発明に係る半導体集積回路の具体的な回路図の一例である。図 8 の半導体集

10

20

30

40

50

積回路の論理ブロック 35 は、並列に配置された論理素子 (21-11、21-12、21-13) とこれらの論理素子の出力が入力される論理素子 (21-14、21-15) を備える。これらの論理素子の第一相側論理回路と第二相側論理回路は 2 入力 2 出力である。論理素子 (21-11、21-12、21-13) の第一相側論理回路と第二相側論理回路にはそれぞれ入力端子 32 が 2 つ接続される。論理素子 (21-11、21-12、21-13) の第一相側論理回路の一方の出力及び第二相側論理回路の一方の出力がそれぞれディテクタ (22-4、22-5、22-6) に結合される。

#### 【0034】

論理ブロック 35 は、3 組の入力端子 32 それぞれに対応する出力端子 32' を有する。ディテクタ (22-4、22-5、22-6) の出力はカウンタ 23 に結合され、論理素子 (21-11、21-12、21-13) を通過した信号数をカウントし、その結果を出力端子 32' に出力する。

#### 【0035】

論理素子 (21-11、21-12、21-13) の第一相側論理回路の他方の出力と第二相側論理回路の他方の出力は、それぞれ論理素子 (21-14、21-15) の第一相側論理回路と第二相側論理回路に結合される。具体的には、論理素子 21-11 の出力は論理素子 21-14 へ結合され、論理素子 21-13 の出力は論理素子 21-15 へ結合され、論理素子 21-12 の出力は論理素子 21-14 及び論理素子 21-15 の双方へ結合される。

#### 【0036】

論理素子 (21-14、21-15) の出力が出力端子 33 から出力される。また、ディテクタ 22-7 は、論理素子 (21-14、21-15) の出力を監視している。ディテクタ 22-7 にはカウンタ 23' が結合され、論理素子 (21-14、21-15) から出力される信号数をカウントする。ディテクタ (22-1~22-6) の回路の具体例を図 9 に示す。端子 T11 及び端子 T12 に第一相側の信号が入力され、端子 T21 及び端子 T22 に第二相側の信号が入力される。同時に第一相側と第二相側とに信号が入力されることはないので、端子 T11 及び端子 T12 に接続するトランジスタと端子 T21 及び端子 T22 に接続するトランジスタとはいずれか一方のみが動作することになる。

#### 【0037】

ディテクタ 22-7 の回路の具体例を図 10 に示す。ディテクタ 22-7 と図 9 のディテクタ (22-1~22-6) との違いは、信号が入力される端子の数である。ディテクタ 22-7 は、第一相側の信号が入力される端子 (T11a、T12a、T11b、T12b) 及び第二相側の信号が入力される端子 (T21a、T22a、T21b、T22b) を持つ。例えば、端子 T11a 及び端子 T12a には論理素子 21-14 の第一相側論理回路の出力が結合され、端子 T21a 及び端子 T22a には論理素子 21-14 の第二相側論理回路の出力が結合され、端子 T11b 及び端子 T12b には論理素子 21-15 の第一相側論理回路の出力が結合され、端子 T21b 及び端子 T22b には論理素子 21-15 の第二相側論理回路の出力が結合される。

#### 【0038】

図 8 の半導体集積回路は、次のように動作してエラーを発生した論理素子を特定する。例えば、論理素子 21-14 の出力がエラーであった場合について説明する。論理素子 21-14 は第一相側論理回路においてエラーを発生すると、その出力が (1, 1) となる。この状態をディテクタ (22-1、22-2) が検出し、21-14 を停止させると共に論理素子 (21-11、21-12) の出力も停止させる。そのため、カウンタ 23 の信号通過数の増加が停止するため、エラーの発生が検出される。この時、カウンタ 23 とカウンタ 23' の差が論理ブロック 35 内に存在する信号数となり、入力端子 32 側から存在する信号数に相当する数の論理素子を通過した論理素子においてエラーが生じたことを特定できる。

#### 【産業上の利用可能性】

#### 【0039】

本発明に係る半導体集積回路における論理素子ごとのパイプライン化およびダイナミック回路のリセット時間の隠蔽技術は、高速動作が要求される半導体集積回路全般に適用可能である。

【図面の簡単な説明】

【0040】

【図1】本発明に係る半導体集積回路を説明する概念図である。

【図2】ダイナミック回路の論理回路の例を説明する図である。

【図3】ダイナミック回路の論理回路の例を説明する図である。

【図4】ダイナミック回路の論理回路の例を説明する図である。

【図5】本発明に係る半導体集積回路がエラーを発生した論理素子を特定するエラー特定手段を説明する概念図である。 10

【図6】本発明に係る半導体集積回路がエラーを発生した論理素子を特定するエラー特定手段を説明する概念図である。

【図7】本発明に係る半導体集積回路の動作を説明する概念図である。

【図8】本発明に係る半導体集積回路の具体的な回路図の一例である。

【図9】本発明に係る半導体集積回路のディテクタの回路の具体例である。

【図10】本発明に係る半導体集積回路のディテクタの回路の具体例である。

【符号の説明】

【0041】

図面において使用されている符号は、以下の通りである。 20

11、11-1～11-5：論理回路

21、21-1～21-5、21-11～21-15：論理素子

22、22-1～22-7：ディテクタ

23、23'：カウンタ

31、35：論理ブロック

32：入力端子

32'、33、33'：出力端子

A1、A2、B1、B2：入力端子

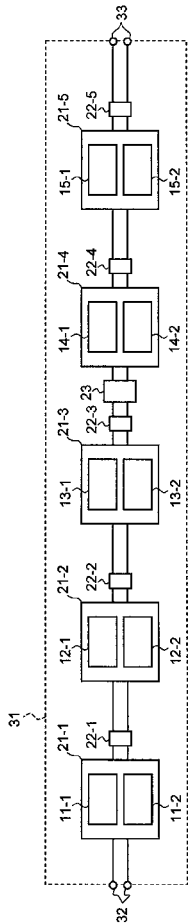
X1、X2：出力端子

R：リセット端子

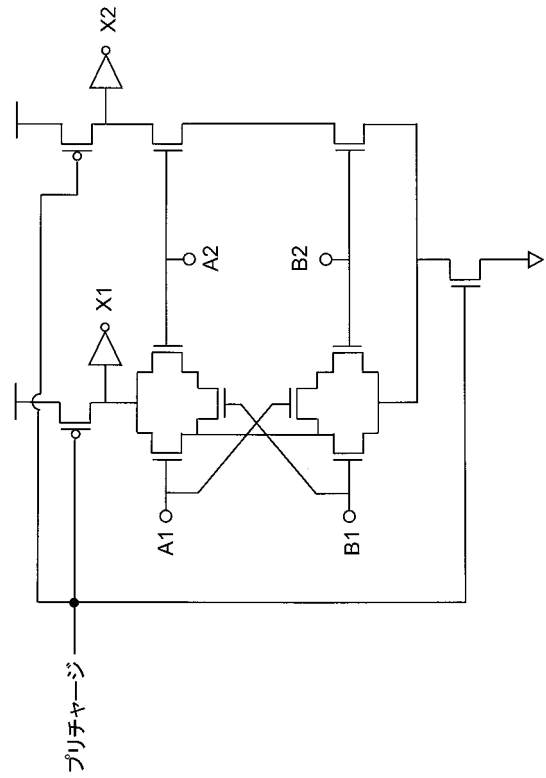
T11、T12、T21、T22、T11a、T12a、T11b、T12b、T21a、T22a、T21b、T22b、D1、D2：端子 30



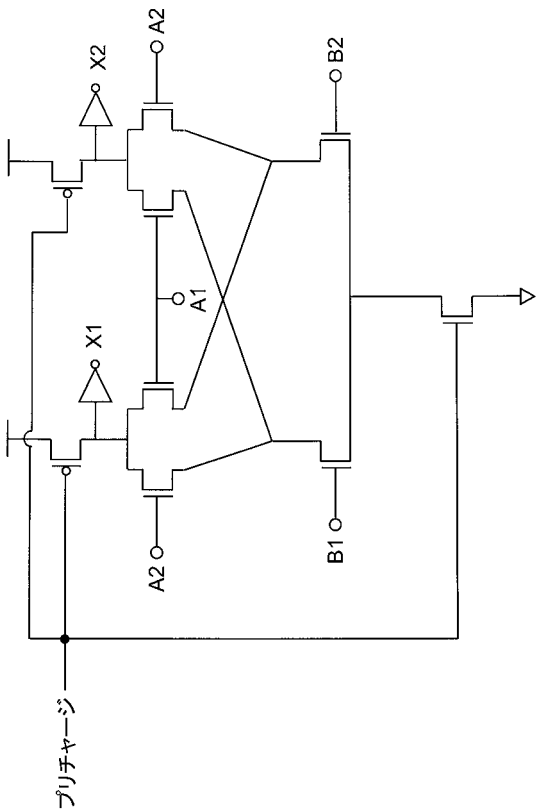
【図 1】



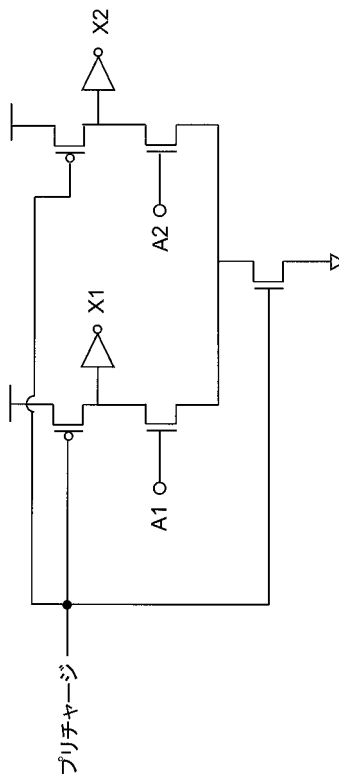
【図 2】



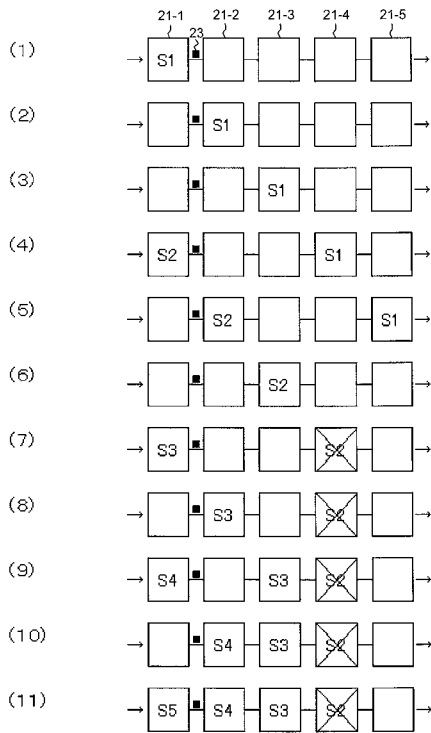
【図 3】



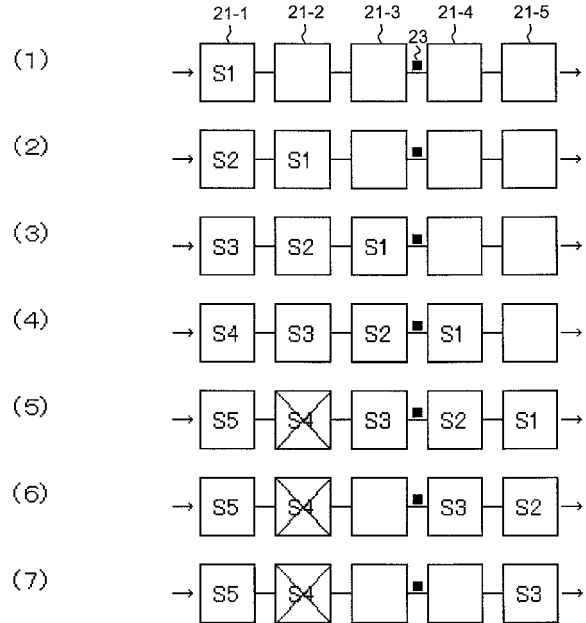
【図 4】



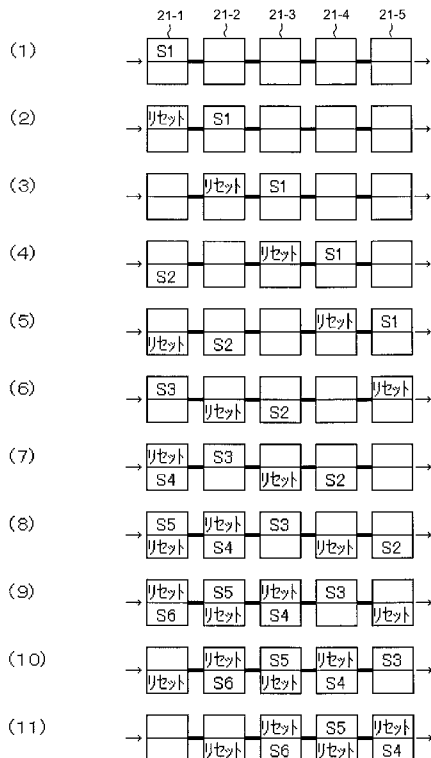
【図 5】



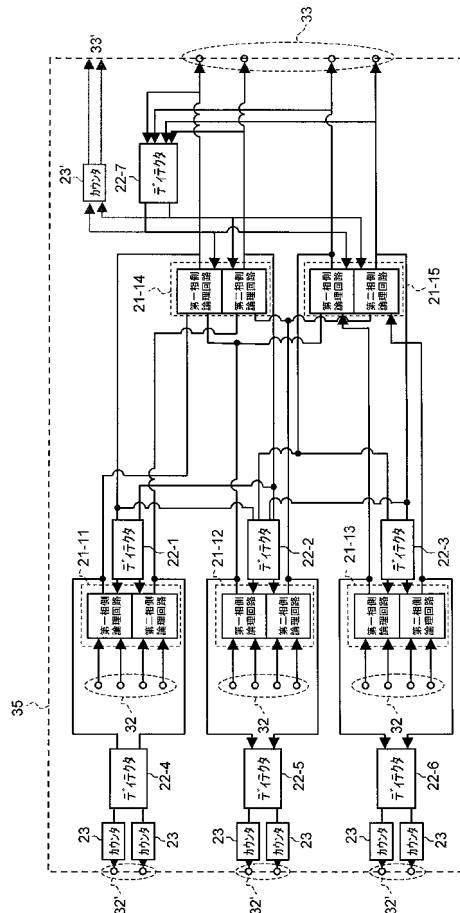
【図 6】



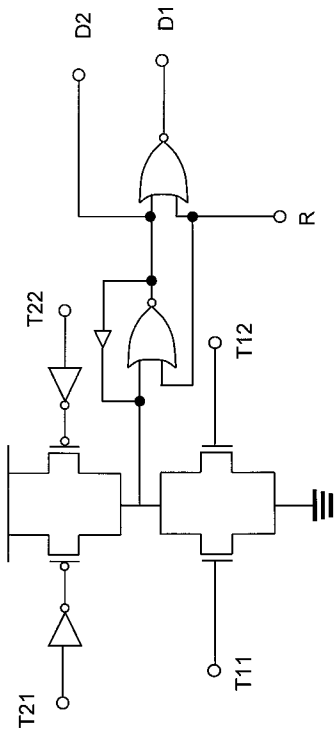
【図 7】



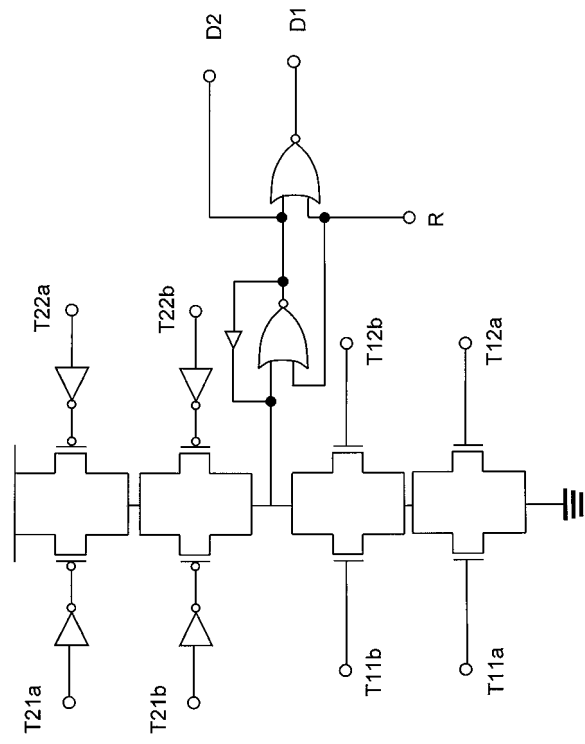
【図 8】



【図 9】



【図 10】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 3 K 19/003 (2006.01) H 0 3 K 19/003 H

(72)発明者 鄭 明奎

東京都文京区本郷七丁目3番1号 国立大学法人 東京大学内

Fターム(参考) 5J032 AB02 AC05 AC11  
5J039 HH01 HH18 KK10 KK23 MM00 NN06  
5J042 BA14 BA15 CA08 CA16 CA21 DA00 DA05  
5J056 AA03 BB02 BB21 CC09 CC17 DD13 DD29 EE06 EE07 EE15  
FF02 FF09 GG13 GG14