



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I732900 B

(45)公告日：中華民國 110 (2021) 年 07 月 11 日

(21)申請案號：106123326

(22)申請日：中華民國 106 (2017) 年 07 月 12 日

(51)Int. Cl. : **H01L27/02 (2006.01)****H01L27/06 (2006.01)**

(30)優先權：2016/07/12 美國

15/207,691

(71)申請人：加拿大商 A T I 科技 U L C 公司 (加拿大) ATI TECHNOLOGIES ULC (CA)
加拿大

美商高級微裝置公司 (美國) ADVANCED MICRO DEVICES, INC. (US)

美國

(72)發明人：羅哈尼 歐密德 ROWHANI, OMID (CA)；柯爾德斯 歐恩 CORDOS, IOAN

(CA)；哈邁爾 凱瑞 HAMEL, KERRY (US)；卡拉 羅納德 CLAY, DONALD (US)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW 201248443A1

US 8661392B2

US 2006/0085777A1

US 2012/0241986A1

US 2016/0335389A1

審查人員：陳恩笙

申請專利範圍項數：18 項 圖式數：5 共 33 頁

(54)名稱

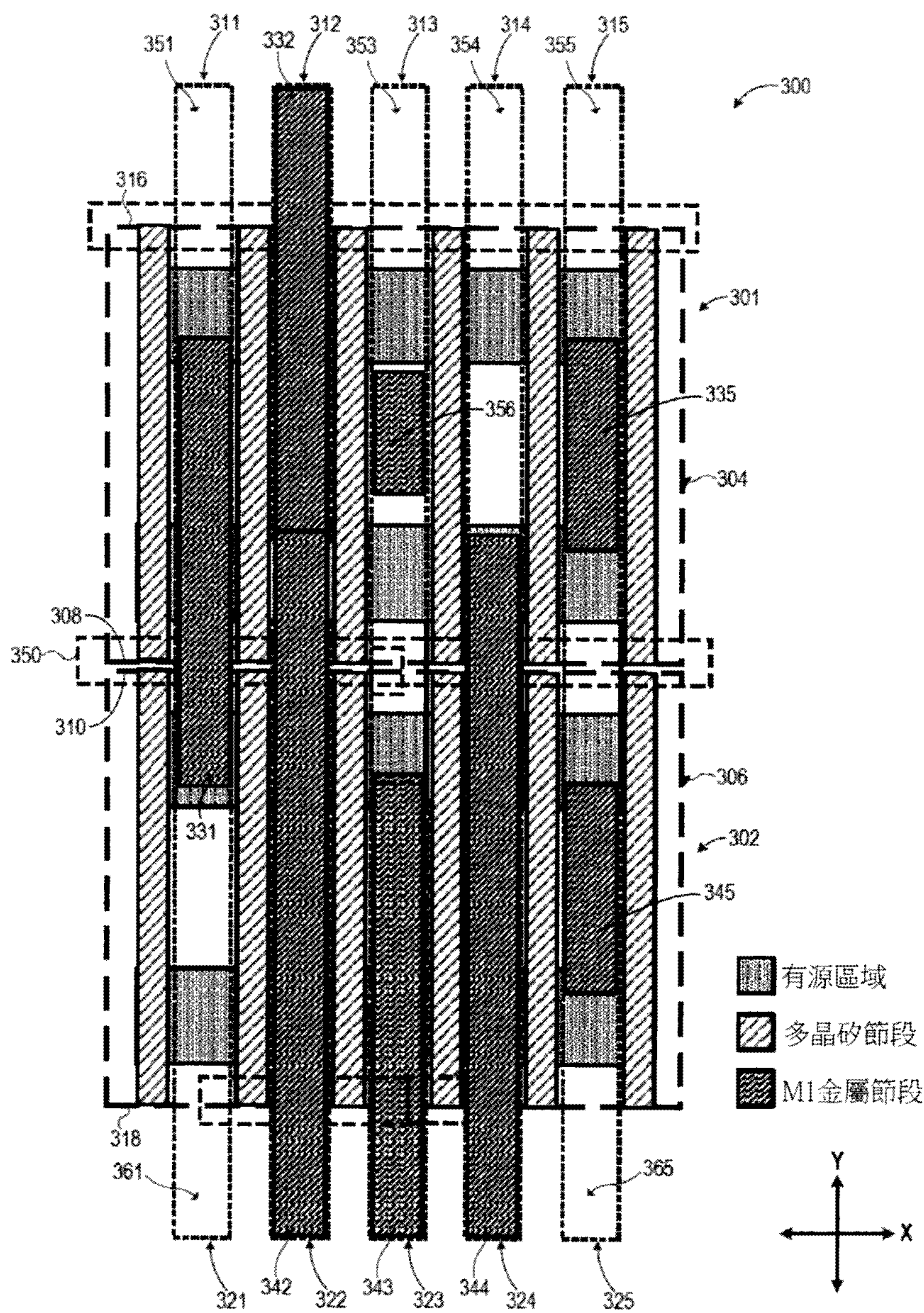
實現具有延伸出單元邊界的金屬層節段的標準單元的積體電路

(57)摘要

本發明涉及一種製造積體電路結構的由電腦實現的方法，所述方法包括：從標準單元庫選擇第一單元[200]，所述第一單元具有單元邊界[212]並且包括在金屬層處的第一金屬軌道[222]處的金屬節段，所述金屬節段沿著某個方向延伸並且在超過所述單元邊界的第一邊緣的指定距離[228]處終止。所述方法還包括：在所述積體電路結構的實體佈局的第一位置處放置所述第一單元。

A computer-implemented method of fabricating an integrated circuit structure includes selecting a first cell [200] from a standard cell library, the first cell having a cell boundary [212] and comprising a metal segment at a first metal track [222] at a metal layer, the metal segment extending along a direction and terminating a specified distance [228] beyond a first edge of the cell boundary. The method further includes placing the first cell at a first location of a physical layout for the integrated circuit structure.

指定代表圖：



- 符號簡單說明：
- 300 . . . IC 結構
 - 301、302 . . . 單元
 - 304、306 . . . 單元
 - 邊界
 - 316 . . . 邊界邊緣
 - 311、312、
 - 313 . . . 金屬軌道
 - 314、315 . . . 金屬
 - 軌道
 - 318 . . . 外在距邊界
 - 邊緣
 - 321、322、
 - 323 . . . 金屬軌道、
 - 軌道
 - 324 . . . 金屬軌道、
 - 軌道
 - 332、335 . . . 金屬
 - 節段
 - 356 . . . 金屬短線
 - 342、343、344、
 - 345 . . . 金屬節段
 - 351、353、354、
 - 355 . . . 區域
 - 361、365 . . . 區域

第3圖

I732900

發明摘要

※ 申請案號：106123326

※ 申請日：106/07/12

※IPC 分類：

【發明名稱】(中文/英文)

實現具有延伸出單元邊界的金屬層節段的標準單元的積體電路

INTEGRATED CIRCUIT IMPLEMENTING STANDARD
CELLS WITH METAL LAYER SEGMENTS EXTENDING
OUT OF CELL BOUNDARY

【中文】

本發明涉及一種製造積體電路結構的由電腦實現的方法，所述方法包括：從標準單元庫選擇第一單元[200]，所述第一單元具有單元邊界[212]並且包括在金屬層處的第一金屬軌道[222]處的金屬節段，所述金屬節段沿著某個方向延伸並且在超過所述單元邊界的第一邊緣的指定距離[228]處終止。所述方法還包括：在所述積體電路結構的實體佈局的第一位置處放置所述第一單元。

【英文】

A computer-implemented method of fabricating an integrated circuit structure includes selecting a first cell [200] from a standard cell library, the first cell having a cell boundary [212] and comprising a metal segment at a first metal track [222] at a metal layer, the metal segment extending along a direction and terminating a specified distance [228] beyond a first edge of the cell boundary. The method further includes placing the first cell at a first location of a physical layout for the integrated circuit structure.

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

300	IC 結構
301、302	單元
304、306	單元邊界
316	邊界邊緣
311、312、313	金屬軌道
314、315	金屬軌道
318	外在距邊界邊緣
321、322、323	金屬軌道、軌道
324	金屬軌道、軌道
332、335	金屬節段
356	金屬短線
342、343、344、345	金屬節段
351、353、354、355	區域
361、365	區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

實現具有延伸出單元邊界的金屬層節段的標準單元的積體電路

INTEGRATED CIRCUIT IMPLEMENTING STANDARD
CELLS WITH METAL LAYER SEGMENTS EXTENDING
OUT OF CELL BOUNDARY

【技術領域】

【0001】 本公開大體上涉及了積體電路裝置，並且更具體地，涉及積體電路裝置的基於標準單元的設計和製造。

【先前技術】

【0002】 基於單元的設計方法允許通過抽象積體電路(IC)結構的數位功能來有效地設計專用積體電路(ASIC)、晶片上系統(SoC)和其它複雜 IC 結構。在此類方法中，標準單元是在功能級別上標準化的閘級元件和互連結構的集合。存在提供不同功能的多個標準單元，這些標準單元典型地是預先設計和預先驗證的，並且然後被收集到庫中。然後，電子設計自動化(EDA)工具可以在設計積體電路(IC)的實體佈局時使用這標準單元庫。一種此類 EDA 工具是放置和佈線工具，它從由該標準單元庫表示的單元構建 IC 設計的實體佈局。放置和佈線工具將單元並排放置並且使用佈線工具將單元以指定方式來電連接，以實

現 IC 設計的相應邏輯。

【0003】 為了確保使用標準單元的 IC 設計可由半導體代工廠製造，半導體代工廠典型地向設計人員提供適用於指定技術過程的設計規則集合，借此這些設計規則指定有關 IC 設計的實體佈局內的實體元件的間距、寬度、包封和擴展的各種參數。因此，設計規則檢查(DRC)工具將指定設計規則應用於 IC 設計以驗證是否所有設計規則被滿足並且由此可以如使用指定技術過程設計的那樣製造 IC。

【發明內容】

【0004】 鑒於用於指定技術過程的由半導體代工廠提供的各種設計規則，使用基於單元的方法的 IC 結構的設計和製造過程典型地需要 IC 設計的實體佈局的驗證。這些設計規則通常包括有關在金屬 1(M1)層處的鄰接或相鄰單元的金屬節段之間的間距和其它相互作用的設計規則子集。第 1 圖示出了此類設計規則實例，以及用來將單元設計標準化以便符合此類規則的常規方法。

【圖式簡單說明】

【0005】 通過參考附圖，可以更好地理解本公開，並且其許多特徵和優點對於本領域的技術人員而言是顯而易見的。在不同附圖中使用相同參考符號指示類似或相同項。

【0006】 第 1 圖是根據一些實施方案的示出具有設計規則檢查違反的示例兩單元佈局和用於緩解設計規則檢查違反的相應常規標準單元設計的圖。

【0007】 第 2 圖是根據一些實施方案的示出具有金屬軌道的示例單元佈局的圖，金屬軌道允許金屬節段延伸超過單元邊界。

【0008】 第 3 圖是根據一些實施方案的示出具有與金屬軌道重疊的金屬節段的兩個鄰接單元的示例佈局的圖。

【0009】 第 4 圖是根據一些實施方案的示出由第 2 圖的單元佈局促成的擴展的金屬 1 (M1)層到金屬 2 (M2)層連接的圖。

【0010】 第 5 圖是根據一些實施方案的示出用於設計和製造積體電路結構的方法的流程圖。

【實施方式】

【0011】 鑒於用於指定技術過程的由半導體代工廠提供的各種設計規則，使用基於單元的方法的 IC 結構的設計和製造過程典型地需要 IC 設計的實體佈局的驗證。這些設計規則通常包括有關在金屬 1 (M1)層處的鄰接或相鄰單元的金屬節段之間的間距和其它相互作用的設計規則子集。第 1 圖示出了此類設計規則實例，以及用來將單元設計標準化以便符合此類規則的常規方法。

【0012】 如第 1 圖的平面視圖 100 所示，使用基於單元的方法的 IC 結構的實體佈局典型地涉及在某行中放置兩個或更多個標準單元，諸如所示鄰接標準單元 101、102(其中該行具有相對於第 1 圖的方向的垂直佈置)。通常，每個標準單元表示 IC 設計的相應功能(例如，布林邏

輯功能或存儲功能)，並且由電晶體元件和連接單元的各種電晶體元件的導電互連構成。因此，每個單元具有單元邊界，單元邊界包含形成在半導體基板中的一個或多個 P 型或 N 型有源區域，或者對於絕緣體上矽(SOI)實現方案，包含摻雜或未摻雜半導體材料的外延層。被形成在基板和包含在其中的有源區域上方的是多晶矽(“聚矽”)節段(或金屬閘節段)，它們與有源區域和其它結構(未示出)一起形成單元的電晶體或其它電路元件。

【0013】 然後，一個或多個金屬層是形成在有源區域上方並且被圖案化，以便在一個或多個層處形成金屬節段，借此這些金屬節段用於將單元內的電路元件互連或將單元間的電路元件互連。每個單元包括多個金屬軌道，這些金屬軌道限定金屬節段可以在給定的金屬層處佔據的位置和尺寸。為了說明，如圖 100 所示，對於金屬 1(M1)層，單元 101 包括從單元 101 的單元邊界 110 的邊緣 107 延伸到相對邊緣 108 的金屬軌道 103、104、105、106，而對於 M1 層，單元 102 包括從單元 102 的單元邊界 116 的邊緣 114 延伸到相對邊緣 115 的金屬軌道 111、112、113。

【0014】 在許多光刻製造過程中，利用金屬填充要包含至少一個金屬節段的金屬軌道，並且然後使用一個或多個切割遮罩(或“修剪”遮罩)來圖案化金屬軌道內的金屬，以便在給定的金屬處形成預期金屬節段圖案。這些切割遮罩同樣用於在單元邊界處切割金屬，以便阻止相鄰或鄰接單元的金屬節段之間的短路或其它不期望電相互作用。

用。為了說明，一個或多個切割遮罩可以在單元邊界 110、116 處引起金屬切割 117、118，以便將單元 101 的 M1 金屬節段與單元 102 的 M1 金屬節段電隔離，反之亦然。

【0015】 結合指定用於製造包括單元 101、102 的 IC 結構的特定技術過程，半導體代工廠可以提供設計規則集合，設計規則集合包括有關金屬節段相對於各種邊界金屬切割位置的終止的設計規則。為了說明，設計規則集合可以包括尖端到尖端最小距離要求，尖端到尖端最小距離要求規定，除非在鄰接單元中的相同軌道中的兩個金屬節段的尖端緊鄰彼此(也就是說，金屬跨鄰接單元邊界而連續延伸)，否則尖端必須是最小距離間隔的，最小距離典型地表示金屬切割層的寬度。否則，如果尖端間距不是由金屬切割生成的，那麼設計人員必須確保尖端間隔開足夠距離，這個距離典型地比切割層的寬度大，有時顯著更大。如所指出，無法始終保證金屬可以是連續的，並且因此被切割層切割。所以在這些情況下，必須確保會觀察到正常尖端到尖端間距。為了使用圖 100 進行說明，單元 101 的金屬軌道 104 中的金屬節段 122 將會觸發單元邊界設計規則違反 124，因為金屬節段 122 的尖端終止在金屬切割 118 的區域中，而單元 102 的相應金屬軌道 111 中沒有金屬節段的鄰接尖端。同樣地，單元 101 的金屬軌道 106 中的金屬節段 126 和單元 102 的金屬軌道 113 中的金屬節段 128 一起將會觸發尖端到尖端最小距離設計規則違反 130，因為金屬節段 126、128 的相面對的尖端並未分開最小指定距離。

(鑒於它們並不是緊緊鄰接的，使得跨金屬切割 118 而形成連續金屬節段)。相比之下，即使金屬軌道 105 中的金屬節段 132 和金屬軌道 112 中的金屬節段 134 的相面對的尖端都是終止在金屬切割 118 的區域中，金屬節段 132、134 的尖端緊緊鄰接彼此並且因此一起形成跨金屬切割 118 連續的連續金屬節段，並且因此避免違反有關金屬節段的尖端與在單元邊界處的切割的尺寸關係的設計規則。

【0016】 M1 層的這些邊界相關設計規則已經產生用於標準單元的常規 M1 層方法，如第 1 圖的圖 140 示例性地示出。如由圖 140 表示的佈局視圖所示，常規標準單元設計通過在可鄰接相同的行中的另一單元的單元 142 的每個邊緣上採用鄰接偏移區(例如，分別在單元邊界 152 的相對邊緣 148、150 處的鄰接偏移區 144、146)來解析邊界相關設計規則。在這種方法中，金屬節段可以終止在單元邊界處(例如，金屬節段 154)或終止在不到鄰接偏移區的地方(例如，金屬節段 156、158)，但是不會終止在鄰接偏移區內。鄰接偏移區長度被設定為由設計規則要求的最小尖端到尖端間距的近似一半。因此，假定 120 奈米(nm)的最小尖端到尖端間距，鄰接偏移區長度可以被設定為約 60 nm，並且因此當兩個單元放置在相鄰位置中時，兩個相面對的鄰接偏移區一起提供 120 nm 的最小尖端到尖端間距。

【0017】 在解決邊界相關設計規則時，這種常規 M1 設計方法引起各種低效率的情況。舉例來說，如果一個金屬軌道中的金屬節段終止在單元邊界的邊緣處，那麼在這

個邊緣處的鄰接單元也必須在相應軌道中具有終止在邊緣邊界處的金屬節段，以便滿足金屬必須跨金屬切割連續延伸的設計規則。這限制了標準單元設計的靈活性。一個解決方案是使得所有 M1 金屬節段在單元邊界上從邊緣延伸到邊緣。然而，這阻止了在金屬軌道內使用任何 M1 佈線，因為所有金屬節段都必須在單元邊界上被切割並且因此完全佔據金屬軌道。相反，儘管使用在相對鄰接偏移區之前終止的較短 M1 金屬節段可以避免違反邊界切割設計規則並且遵守尖端到尖端間距設計規則，但是這些相對短的金屬節段因它們相對短的長度而具有對較高的金屬層(金屬 2 (M2)和更高的)的相對有限的引腳接入，如以下參考第 4 圖更詳細地描述。

【0018】 第 2 圖示出了根據一些實施方案的改進標準單元設計方法，這種改進標準單元設計方法符合邊界切割設計規則和尖端到尖端間距設計規則，同時還促進了 M1 佈線和對更高的金屬層增加的引腳接入。如第 2 圖中示出的實體佈局所示，單元 200 包括一個或多個有源區(例如，有源區 202、204)、聚矽節段(例如，聚矽節段 206、207、208、209、210、211)，以及形成在半導體基板(或 SOI 基板)上並包含在單元邊界 212 內的其它電路元件 201，其中單元佈局在正交的 X 和 Y 方向兩者上延伸，如圖所示。單元 200 還在 M1 金屬層處包括了沿著 Y 方向而延伸的多個金屬軌道，例如金屬軌道 221、222、223、224、225。

【0019】 正與常規單元設計方法一樣，每個金屬軌

道都不含金屬節段或包含在相應金屬軌道內延伸的一個或多個金屬節段。然而，不像常規單元設計方法那樣，單元 200 的設計未結合有要求金屬尖端在單元邊界或距單元邊界的最小距離處終止的鄰接排除區。相反，如第 2 圖的實例所示，單元 200 的設計提供的是，M1 金屬節段的尖端必須(1)至少在距單元邊界 212 的相應邊緣的指定最小距離 226 處終止，或者(2)延伸超過單元邊界 212 的相應邊緣達指定距離 228。也就是說，比起使用完全包含在單元的單元邊界內的鄰接偏移區，用於單元 200 的設計方法是在單元邊界 212 的每個相對邊緣 230、232 處採用相應尖端排除區 234、236，這些尖端排除區從單元邊界 212 內延伸超過單元邊界而到距相應邊界邊緣達指定距離 228 的平面。對於每個尖端排除區，指定金屬節段，以便在邊界內邊緣 240 處或其之前終止，或者金屬節段必須在單元邊界 212 外在邊界外邊緣 242 處終止。

【0020】 為了說明，所示出的單元 200 的示例實現方案包括四個金屬節段：在軌道 222 中的金屬節段 252，並且具有終止在尖端排除區 234 的邊界外邊緣 242 處的尖端和終止在尖端排除區 236 的邊界外邊緣 242 處的尖端；在軌道 223 中的金屬節段 253，並且具有終止在尖端排除區 234 的邊界外邊緣 242 處的尖端和終止在尖端排除區 236 的邊界內邊緣 240 處或其之前的尖端；軌道 224 中的金屬節段 254，並且具有終止在尖端排除區 234 的邊界外邊緣 242 處的尖端和終止在尖端排除區 236 的邊界外邊緣 242

處的尖端；以及軌道 225 中的金屬節段 255，並且具有終止在尖端排除區 234 的邊界內邊緣 240 處或其之前的尖端和終止在尖端排除區 236 的邊界內邊緣 240 處或其之前的尖端。因此，如四個金屬節段 252 至 255 所示，單元 200 的金屬節段都終止在邊界內邊緣 240 處或其之前或延伸出單元邊界 212 而到達邊界外邊緣 242。

【0021】 這種設計方法具有多個優點。通過確保金屬節段尖端至少在距單元邊界邊緣的最小距離 226 處終止或延伸超過單元邊界邊緣距離 228，採用此設計方法的兩個相鄰單元將會產生這兩個單元的實體佈局，在這兩個單元的實體佈局中，對於一個單元中的任何給定金屬節段，在此金屬節段的尖端之間的距離至少為距另一單元的相應軌道中的金屬節段的相面對的尖端的最小指定尖端到尖端距離，或者一個單元的金屬節段的尖端延伸到另一單元的相應軌道中，並且因此符合指定 M1 金屬必須完全不存在於金屬切割區域內的一組鄰接軌道之中或 M1 金屬必須完全跨這組鄰接軌道的金屬切割區域而延伸。另外，在至少一個實施方案中，距離 226、228 被設定為近似相等，使得一個單元中具有終止在距該單元的單元邊界的邊緣的距離 226 處的尖端的金屬節段將會鄰接金屬節段的從相鄰單元的單元邊界的相應邊緣延伸距離 228 的尖端，如以下更詳細地示出。

【0022】 第 3 圖示出了根據一些實施方案的以上所概括的單元設計方法的有益實現方案的實例。在這個實例

中，IC 結構 300(例如，ASIC 或晶片上系統(SOC))包括放置在 IC 結構 300 的實體佈局中的鄰接位置中的兩個單元 301、302，使得單元 301、302 形成某行標準單元的部分(此行在第 1 圖的方向上是垂直的)。單元 301 包括限定在單元邊界 304 內的電路元件，並且單元 302 同樣包括限定在單元邊界 306 內的電路元件，其中單元邊界 304、306 分別鄰接邊界邊緣 308、310。單元 301 在 M1 層處包括金屬軌道 311、312、313、314、315，並且單元 302 在 M1 層處包括相應金屬軌道 321、322、323、324、325。

【0023】 對於這個實例，單元 301 分別在軌道 311、312、315 中包括金屬節段 331、332、335，並且金屬軌道 313、314 未被單元 301 使用。單元 302 分別在軌道 322、323、324、325 中包括金屬節段 342、343、344、345，並且金屬軌道 321 未被單元 302 使用。單元 301、302 在它們相對的行邊界處採用尖端排除區，如上所述。因此，根據這種單元設計，金屬節段 331 具有在單元邊界 304 內在距邊界邊緣 316(其與邊界邊緣 308 相對)的距離 226(第 2 圖)處或其之前終止的一個尖端和延伸超過單元邊界 304 達距邊界邊緣 308 的距離 228(第 2 圖)的相對尖端；金屬節段 332 具有在單元邊界 304 內在距邊界邊緣 308 的距離 226 處或其之前終止的一個尖端和延伸超過單元邊界 304 達距邊界邊緣 316 的距離 228 的相對尖端；並且金屬節段 335 具有在單元邊界 304 內在分別距邊界邊緣 308、316 的距離 226 處或其之前終止的相對尖端。轉至單元 302，金屬節段

342 具有在單元邊界 306 外在距邊界邊緣 310 的距離 228 處終止的一個尖端和在單元邊界 306 外在距邊界邊緣 318 (其與邊界邊緣 310 相對)的距離 228 處終止的相對尖端；金屬節段 343 具有在單元邊界 306 內在距邊界邊緣 310 的距離 226 處或其之前終止的一個尖端和在單元邊界 306 外在距邊界邊緣 318 的距離 228 處終止的相對尖端；金屬節段 344 具有在單元邊界 306 外在距邊界邊緣 310 的距離 228 處終止的一個尖端和在單元邊界 306 外在距邊界邊緣 318 的距離 228 處終止的相對尖端，並且金屬節段 344 具有在單元邊界 306 內在分別距邊界邊緣 310、316 的距離 226 處或其之前終止的相對尖端。

【0024】 假定單元 301、302 的金屬節段的上述配置，當單元 301、302 如第 3 圖所示放置在 IC 結構 300 的佈局的相鄰位置中時，金屬節段 331 從邊界邊緣 308 延伸到單元 302 的軌道 321 的一部分中，並且因此符合將適用於將用於將單元 301、302 的金屬節段彼此電隔離的金屬切割 350 的邊界切割設計規則。同樣地，金屬節段 342 從單元 302 延伸到單元 301 的金屬軌道 312 的未被佔據區域，從而符合適用於金屬切割 350 的邊界切割設計規則。另外，在這個實例中，距離 226 和 228 是相等的，並且因此金屬節段 342 的邊界外尖端與金屬節段 332 的相面對的邊界內尖端鄰接或重疊，從而形成跨越軌道 312、322 兩者的單個金屬節段，直到執行金屬切割 350 為止。另外，金屬節段 343 在金屬切割 350 外終止，並且因此符合邊界切割

設計規則。金屬節段 344 具有從單元 302 延伸到單元 301 的相應軌道 314 中並達到跨越金屬切割 350 的寬度的程度的尖端，並且因此確保金屬節段 344 符合邊界切割設計規則。金屬節段 335、345 各自至少在它們相應鄰接邊界邊緣 308、310 之前的距離 226 處終止。因此，假定距離 226 被設定為由設計規則指定的最小尖端到尖端距離的至少一半，則金屬節段 335 的尖端與金屬節段 345 的相面對的尖端之間間距符合這個最小尖端到尖端間距。因此，以上概括並在第 3 圖的實例中採用的單元設計方法促成與上述邊界相關設計規則的符合。

【0025】 此外，這種單元設計方法具有有關單元間佈線和單元內佈線的附加益處。為了說明，由於金屬節段 335、345 未在一邊界處被切割，因此分別可以對單元 301、302 的其它 M1 節段(未示出)進行佈線，以便將連接到分別在金屬軌道 315、325 的未使用的部分中的這些節段。此外，在輸出引腳佈線可能要求相應 M1 節段達到一個邊界以便引腳接合時，金屬軌道的另一側可以用於 M1 短線佈線。為了說明，軌道 311、313、314、315、321、325 分別具有可用於 M1 短線佈線(例如，在區域 353 中的金屬短線 356)的未使用的區域 351、353、354、355、361、365。因此，此單元設計的益處在於，M1 層可用於連接到單元的 M1 引腳，而非被迫使用 M2 層來接合到引腳。因此，例如，如果想要連接節段 335 和 345，那麼可使用一個 M1 節段來形成連接。在沒有這種設計方法時，M1 節段可能已經在邊

界上延伸並被切割，因此連接將會被迫向上通向 M2 層(水平)，並且然後一段垂直 M3 金屬可能已經連接兩個水平 M2 節段。除了阻擋寶貴 M2 和 M3 佈線資源之外，這增加了引腳的電阻和電容。

【0026】 另外，利用延伸超過單元邊界的金屬節段的單元設計方法還產生了具有更大邊界內長度的金屬節段，並且因此在 M2 層處可與更多數量水平(X 方向)金屬節段相交，並且因此提供對 M2 層的更多引腳接入。為了說明，第 4 圖示出了示例標準單元 400，對於這個標準單元 400，M2 層包括在單元 400 的單元邊界 408 內水平延伸的多個 M2 金屬節段 401、402、403、404、405、406、407。另外，從單元 400 的示出的平面圖的角度來看，單元 400 包括沿著垂直方向(Y 方向)延伸並因此與 M2 金屬節段中的一個或多個正交地相交的金屬節段 410、411、412、413。金屬節段 410 至 413 遵守上述單元設計方法，並且因此金屬節段 410、411、412 延伸超過單元邊界 408 的相應邊緣達設定距離。相比之下，金屬節段 413 在兩端處至少在單元邊界 408 的相應邊緣之前的距離 226 處終止，並且因此表示典型地發現於用於標準單元的 M1 金屬設計的常規方法中的金屬節段。如圖所示，由於金屬節段 413 的相對短的長度和在 M1 和 M2 金屬節段之間對通孔形成的最小尺寸要求，金屬節段 413 能夠使用通孔(例如，通孔 414)僅連接到一個 M2 金屬節段(M2 金屬節段 404)，而金屬節段 411 借助於其延伸超過單元邊界 408 的底部邊緣，可以使用相

應通孔來連接到多達三個 M2 金屬節段(M2 金屬節段 404、405、406)，並且金屬節段 410、412 借助於其延伸超過單元邊界 408 的頂部邊緣和底部邊緣，可以使用相應通孔來接到多達五個 M2 金屬節段(M2 金屬節段 402、403、404、405、406)。因此，借助於通過允許金屬節段延伸超過單元邊界提供的總體更大長度，本文中描述的單元設計方法使得 M1 金屬節段能夠在更多數量 M2 金屬節段下延伸，並且因此促成更大 M1-M2 佈線資源。

【0027】 第 5 圖是根據一些實施方案的示出用於實現一個或多個方面的 ASIC、SoC 或其它 IC 結構的設計和製造的示例方法 500 的流程圖。如上指出，為以下過程中每一者生成的代碼存儲或以其它方式體現在非瞬態電腦可讀存儲介質中以供相應的設計工具或製造工具來存取和使用。

【0028】 在方框 502 處，生成 IC 結構的功能規範。功能規範(通常稱為微架構規範(MAS))可由各種編程語言或建模語言(包括 C、C++、SystemC、Simulink 或 MATLAB)中任一者表示。

【0029】 在方框 504 處，使用功能規範生成代表 IC 結構的硬體的硬體描述代碼。在一些實施方案中，使用至少一種硬體描述語言(HDL)表示硬體描述代碼，硬體描述語言包括用於 IC 結構的電路的形式描述和設計的各種電腦語言、規範語言或建模語言中任一者。所生成的 HDL 代碼典型地表示 IC 結構的電路的操作、電路的設計和組織，

以及通過模擬來驗證 IC 結構的正確操作的測試。HDL 的實例包括模擬 HDL(AHDL)、Verilog HDL、SystemVerilog HDL 和 VHDL。對於實現同步數位電路的 IC 結構，硬體描述符代碼可包括暫存器傳送級(RTL)代碼以提供同步數位電路的操作的抽象表示。對於其它類型電路系統，硬體描述符代碼可包括行為級代碼以提供電路系統的操作的抽象表示。為了通過設計驗證，由硬體描述代碼表示的 HDL 模型典型地經受一輪或多輪模擬和調試。

【0030】 在驗證由硬體描述代碼表示的設計後，在方框 506 處，使用綜合工具(synthesis tool)將硬體描述代碼綜合以生成代表或限定 IC 結構的電路系統的初始實體實現方案的代碼。在一些實施方案中，綜合工具生成一個或多個網表，一個或多個網表包括電路裝置實例(例如，閘、電晶體、電阻器、電容器、電感器、二極體等等)和在電路裝置實例之間的網或連接。或者，網表的全部或部分是由手動生成的，而未使用綜合工具。正與硬體描述代碼一樣，在一個或多個網表的最終集合生成前，網表可以經受一個或多個測試和驗證過程。

【0031】 或者，使用原理圖編輯器工具繪製 IC 結構的電路系統的原理圖，並且然後使用原理圖捕獲工具來捕獲所得的電路圖和生成表示電路圖的部件和連接的一個或多個網表(存儲在電腦可讀介質上)。然後，捕獲的電路圖可經受一輪或多輪模擬來進行測試和驗證。

【0032】 在方框 508 處，一個或多個 EDA 工具使用

在方框 506 處產生的網表生成表示 IC 結構的電路系統的實體佈局的代碼。這個過程包括例如使用網表來確定或固定 IC 結構的電路系統的每個元件的位置的放置和佈線工具。另外，佈線工具基於放置過程而構建以根據網表來添加和佈設連接電路元件所需要的導線。所得代碼表示 IC 結構的三維模型。代碼是以數據庫文件格式(諸如例如圖形數據庫系統 II (GDSII)格式)表示。呈這種格式的數據典型地代表幾何形狀、文本標籤和關於呈分級形式的電路佈局的其它信息。

【0033】 在方框 510 處，將實體佈局代碼(例如，GDSII 代碼)提供給半導體代工廠，半導體代工廠使用實體佈局代碼來配置或以其它方式適配半導體代工廠的製造工具(例如，通過遮罩作品)以製造 IC 結構。也就是說，實體佈局代碼編程到一個或多個電腦系統中，一個或多個電腦系統可整體地或部分地控制製造設施的工具的操作或製造設施中執行的製造操作。

【0034】 返回方框 508，子過程 512 示出了使用如上所述採用針對 M1 層的尖端排除區方法的標準單元方法生成實體佈局代碼。對於子過程 512，在方框 514 處，放置和佈線工具使用網表以識別將要由所表示的設計執行的功能(例如，邏輯或存儲)，並且在方框 516 處，放置和佈線工具存取一個或多個標準單元庫以識別與所識別的功能對應的標準單元。標準單元包括結合有尖端排除區的單元設計。因此，在方框 518 處，放置和佈線工具識別 IC 設計的

實體佈局的某行中的位置以放置所選擇的標準單元並且在實體佈局中的這個所選擇的位置中放置標準單元。作為此放置的部分，如上所述，延伸超過標準單元的單元邊界的金屬節段可以延伸到鄰接在該行中任一側上的單元的標準單元的相應金屬軌道的空的/未使用的部分中。然後，514-518 的過程可針對網表中的每個所識別的功能或其部分而重複。在完成標準單元放置後，在方框 520 處，放置和佈線工具然後可以執行在標準單元內的單元內佈線和在標準單元間的單元間佈線，其中金屬軌道的具有延伸超過單元邊界的金屬節段的未使用的部分用於 M1 短線佈線，如上所述。

【0035】 電腦可讀存儲介質可以包括在使用期間可由電腦系統存取以向電腦系統提供指令和/或數據的任何非瞬態存儲介質，或非瞬態存儲介質的組合。此類存儲介質可以包括但不限於光學介質(例如，壓縮碟(CD)、數位通用碟(DVD)、藍光碟)、磁性介質(例如，軟碟、磁帶或磁性硬驅動器)、易失性記憶體(例如，隨機存取記憶體(RAM)或快取)、非易失性記憶體(例如，只讀記憶體(ROM)或快閃記憶體))或基於微機電系統(MEMS)的存儲介質。電腦可讀存儲介質嵌入在計算系統(例如，系統 RAM 或 ROM)中、固定地附接到計算系統(例如，磁性硬驅動器)、移動地附接到計算系統(例如，光碟或基於通用序列匯流排(USB)的快閃記憶體)或經由有線網路或無線網路(例如，網路可存取的存儲裝置(NAS))而聯接到電腦系統。

【0036】 在一些實施方案中，上述技術的某些方面可由執行軟體的處理系統的一個或多個處理器實現。軟體包括存儲或以其它方式有形地體現在非瞬態電腦可讀存儲介質上的一個或多個可執行指令集。軟體可以包括指令和某些數據，指令和某些數據當由一個或多個處理器執行時操縱一個或多個處理器以執行上述技術的一個或多個方面。非瞬態電腦可讀存儲介質可以包括例如磁或光碟存儲裝置、固態存儲裝置(諸如快閃記憶體)、快取、隨機存取記憶體(RAM)，或一個或多個其它非易失性記憶體裝置等等。存儲在非瞬態電腦可讀存儲介質上的可執行指令是源代碼、匯編語言代碼、目標代碼或由一個或多個處理器解釋或以其它方式執行的其它指令格式。

【0037】 注意，並不要求以上在一般描述中描述的所有活動或要素，可不要求特定活動或裝置的一部分，並且除了所描述的那些之外，可以執行一個或多個另外活動，或包括的要素。另外，活動被列出的順序不一定是它們被執行的順序。另外，已經參考特定實施方案來描述了概念。然而，本領域的普通技術人員應瞭解到，在不脫離如隨附申請專利範圍中闡述的本公開的範圍的情況下，可以做出各種修改和改變。因此，說明書和附圖被認為是說明性的而非限制性的，並且所有此類修改旨在包括在本公開的範圍內。

【0038】 以上已經針對特定實施方案來描述了益處、其它優點和問題解決方案。然而，益處、優點、問題

解決方案和可導致任何益處、優點或解決方案將出現或變得更加顯著的任何特徵不應被解釋為任何申請專利範圍或所有申請專利範圍的關鍵、要求或基本特徵。此外，以上所公開的具體實施方案僅是說明性的，因為所公開的主題可以對本領域的受益於本文中的教導的技術人員顯而易見的不同但等同的方式來修改和實踐。除了如隨附申請專利範圍中描述的之外，本文中示出的結構或設計的細節預期沒有任何限制。因此，明顯的是，以上所公開的具體實施方案可以被更改或修改，並且所有此類變化被認為是在所公開的主題的範圍內。因此，本文中尋求的保護如隨附申請專利範圍中闡述。

【符號說明】

【0039】

100	平面視圖、圖
101、102	標準單元
103、104、105、106	金屬軌道
107、108	邊緣
110、116、152	單元邊界
111、112、113	金屬軌道
117、118	金屬切割
114、115、148、150	邊緣
122、126、128	金屬節段
124	邊界設計規則違反
130	尖端到尖端最小距離設計規則違反

132、134	金屬節段
140	圖
142	單元
144、146	鄰接偏移區
154、156、158	金屬節段
200	單元
201	電路元件
202、204	有源區
206、207、208、209	聚矽節段
210、211	聚矽節段
212	單元邊界
221、222、223	金屬軌道
224、225	金屬軌道
226	指定最小距離、距離
228	指定距離、距離
230、232	邊緣
234、236	尖端排除區
240	邊界內邊緣
242	邊界外邊緣
252、253、254、255	金屬節段
300	IC 結構
301、302	單元
304、306	單元邊界
308、310、316	邊界邊緣

311、312、313	金屬軌道
314、315	金屬軌道
318	外在距邊界邊緣
321、322、323	金屬軌道、軌道
324、325	金屬軌道、軌道
331、332、335	金屬節段
342、343、344、345	金屬節段
351、353、354、355	區域
356	金屬短線
361、365	區域
400	標準單元
401、402、403、404	金屬節段
405、406、407	金屬節段
408	單元邊界
410、411、412、413	金屬節段

申請專利範圍

1. 一種積體電路結構，包括：

第一單元，所述第一單元沿著半導體基板的正交的第一方向和第二方向延伸並且具有單元邊界，所述第一單元包括：

第一金屬節段，所述第一金屬節段在 M1 金屬層的第一金屬軌道處，所述第一金屬節段沿著所述第一方向延伸並且在超過所述單元邊界的第一邊緣的指定第一距離處終止；以及

引腳，在所述第一單元的所述單元邊界外側延伸並且聯接到所述第一金屬節段。

2. 如申請專利範圍第 1 項所述的積體電路結構，其中所述第一單元還包括：

第二金屬節段，所述第二金屬節段在所述 M1 金屬層處的第二金屬軌道處，所述第二金屬節段沿著所述第一方向延伸並且在所述第一邊緣之前的至少指定第二距離處終止。

3. 如申請專利範圍第 2 項所述的積體電路結構，其中所述第一距離和所述第二距離是基本上相等的。

4. 如申請專利範圍第 2 項所述的積體電路結構，其中：

所述第一金屬節段在所述單元邊界的第二邊緣之前的至少所述第二距離處終止，所述第二邊緣與所述第一邊緣相對。

5. 如申請專利範圍第 4 項所述的積體電路結構，其中：

所述第二金屬節段在所述單元邊界的所述第二邊緣之前的至少所述指定第二距離處終止。

6. 如申請專利範圍第 5 項所述的積體電路結構，其中所述第一距離和所述第二距離是基本上相等的。

7. 如申請專利範圍第 1 項所述的積體電路結構，還包括：
第二單元，所述第二單元沿著所述第一方向和所述第二方向延伸並且具有單元邊界，所述單元邊界具有與所述第一單元的所述單元邊界的所述第一邊緣相鄰的第二邊緣；以及

其中所述第一金屬節段在所述 M1 金屬層處延伸到所述第二單元的第二金屬軌道中。

8. 如申請專利範圍第 7 項所述的積體電路結構，其中所述第二單元還包括：

第二金屬節段，所述第二金屬節段在所述 M1 金屬層處的第二金屬軌道處，所述第二金屬節段沿著所述第一方向延伸並且在超過所述第二邊緣的所述指定第一距離處終止；以及

其中所述第二金屬節段在所述 M1 金屬層處延伸到所述第一單元的第二金屬軌道中。

9. 如申請專利範圍第 7 項所述的積體電路結構，其中：

所述第一單元的所述第一金屬軌道的剩餘部分在所述金屬層處不含金屬。

10. 如申請專利範圍第 7 項所述的積體電路結構，其中：

所述第二單元的所述第一金屬軌道的剩餘部分在

所述 M1 金屬層處包括短線佈線。

11. 一種用以製造積體電路結構的非瞬態電腦可讀介質，
所述非瞬態電腦可讀介質體現可執行指令集，所述可
執行指令集用於：

經由將第一單元的單元邊界沿著正交的第一方向
和第二方向延伸並且形成在第一金屬層處的第一金屬
軌道處的第一金屬節段以構建積體電路結構，所述第
一金屬節段沿著第一方向延伸並且在超過所述單元邊
界的第一邊緣的指定第一距離處終止；以及

將所述第一單元的單元邊界外側延伸的所述第一
金屬層的引腳聯接到所述第一金屬節段。

12. 如申請專利範圍第 11 項所述的非瞬態電腦可讀介質，
所述可執行指令集還用於：

形成第二金屬節段在所述第一金屬層處的第二金
屬軌道處，所述第二金屬節段沿著所述第一方向延伸
並且在所述第一邊緣之前的指定第二距離處終止。

13. 如申請專利範圍第 12 項所述的非瞬態電腦可讀介質，
其中：

所述第一金屬節段在所述單元邊界的第二邊緣之
前的所述第二距離處終止，所述第二邊緣與所述第一
邊緣相對。

14. 如申請專利範圍第 13 項所述的非瞬態電腦可讀介質，
其中：

所述第二金屬節段在所述單元邊界的所述第二邊

緣之前的所述指定第二距離處終止。

15. 如申請專利範圍第 14 項所述的非瞬態電腦可讀介質，
其中所述第一距離和所述第二距離是基本上相等的。

16. 如申請專利範圍第 11 項所述的非瞬態電腦可讀介質，
所述可執行指令集還用於：

將第二單元的單元邊界的第二邊緣鄰接所述第一單元的所述單元邊界的所述第一邊緣；以及

其中所述第一金屬節段在所述第一金屬層處延伸到第二單元的第二金屬軌道中。

17. 如申請專利範圍第 16 項所述的非瞬態電腦可讀介質，
其中：

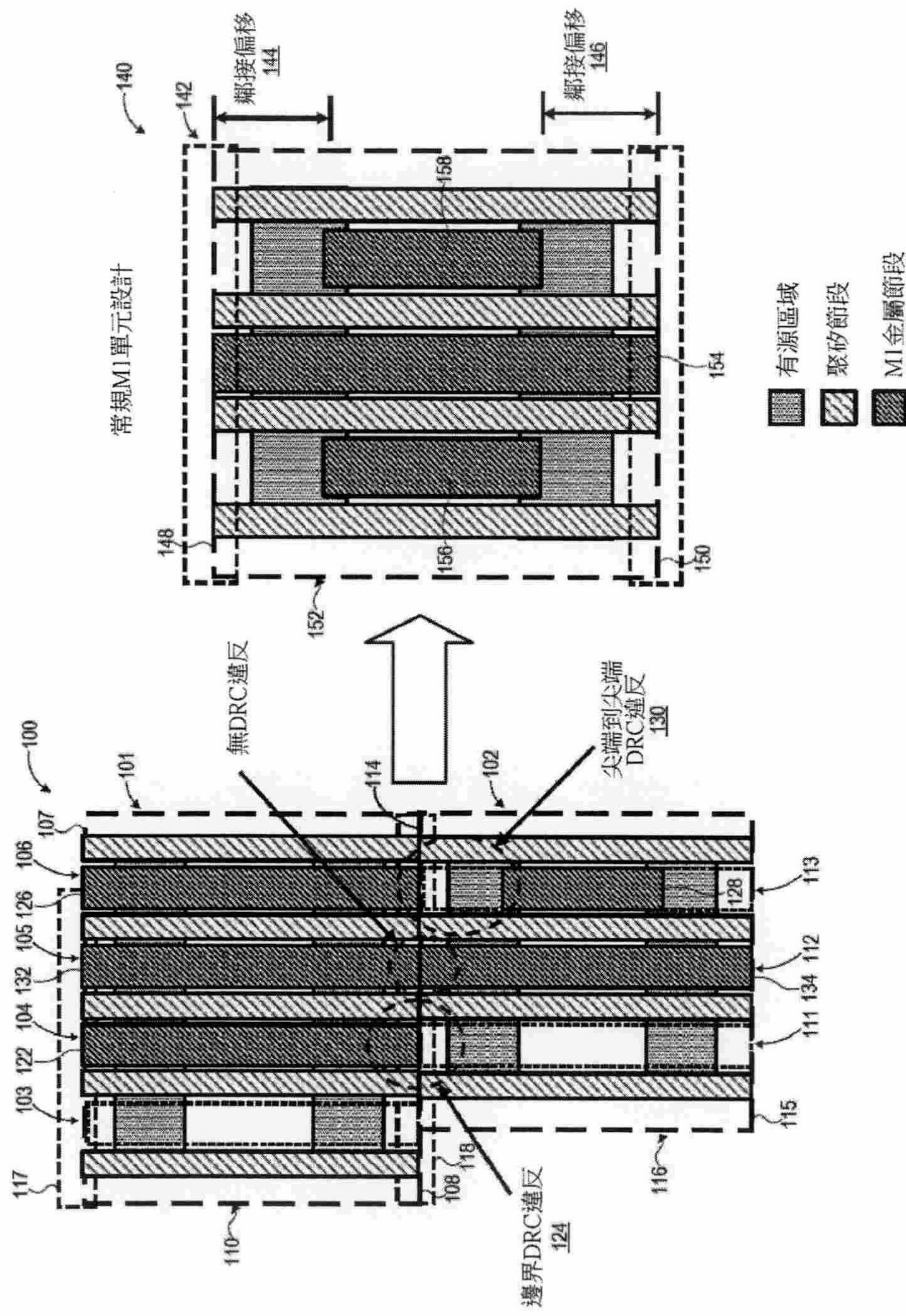
所述第二單元包括第二金屬節段，所述第二金屬節段在所述第一金屬層處的第二金屬軌道處，所述第二金屬節段沿著所述第一方向延伸並且在超過所述第二邊緣的所述指定第一距離處終止；以及

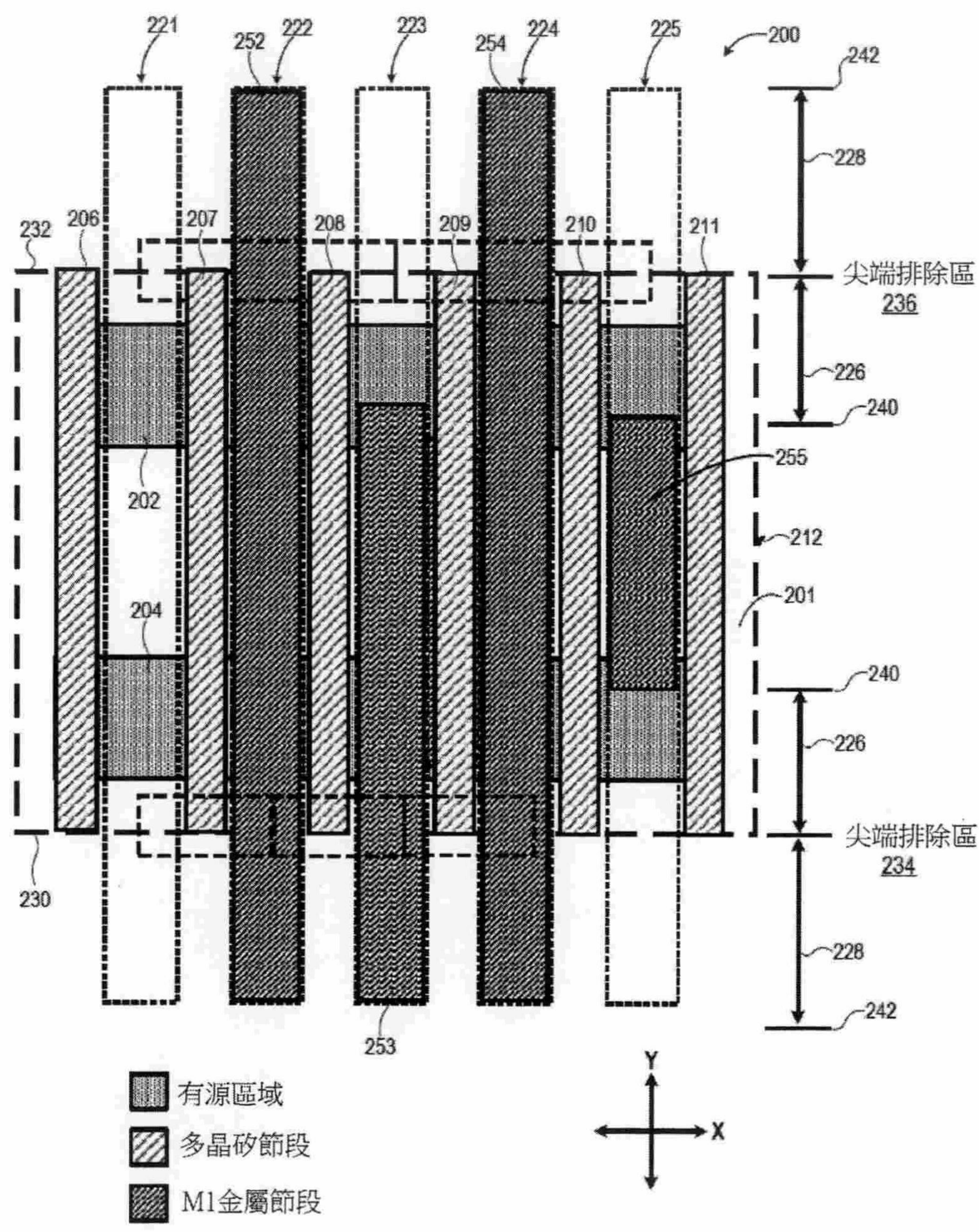
所述第二金屬節段在所述第一金屬層處延伸到所述第一單元的第二金屬軌道中。

18. 如申請專利範圍第 16 項所述的非瞬態電腦可讀介質，
所述可執行指令集還用於：

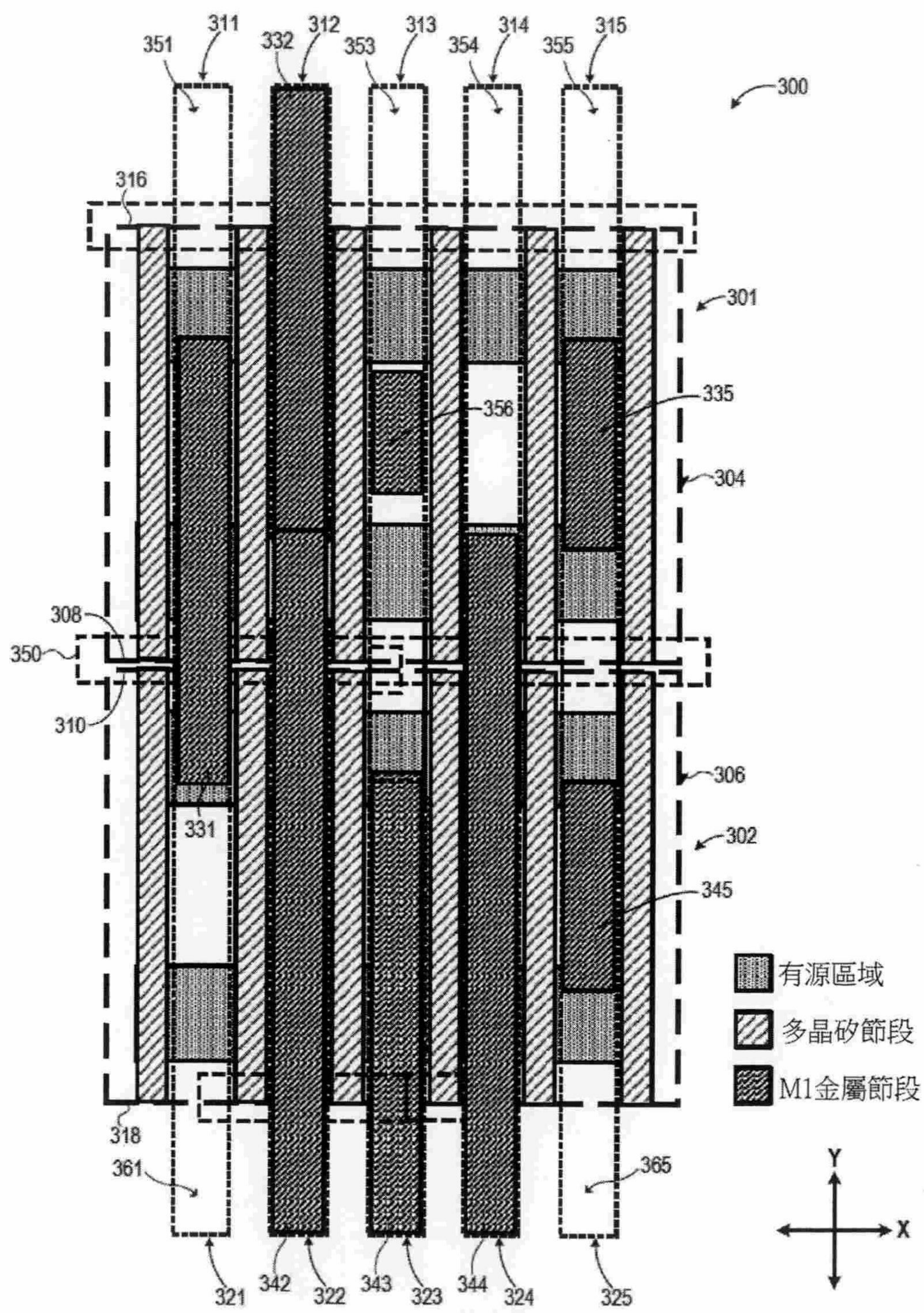
使用所述第一金屬軌道的剩餘部分將短線佈設在所述第一金屬層處。

圖式

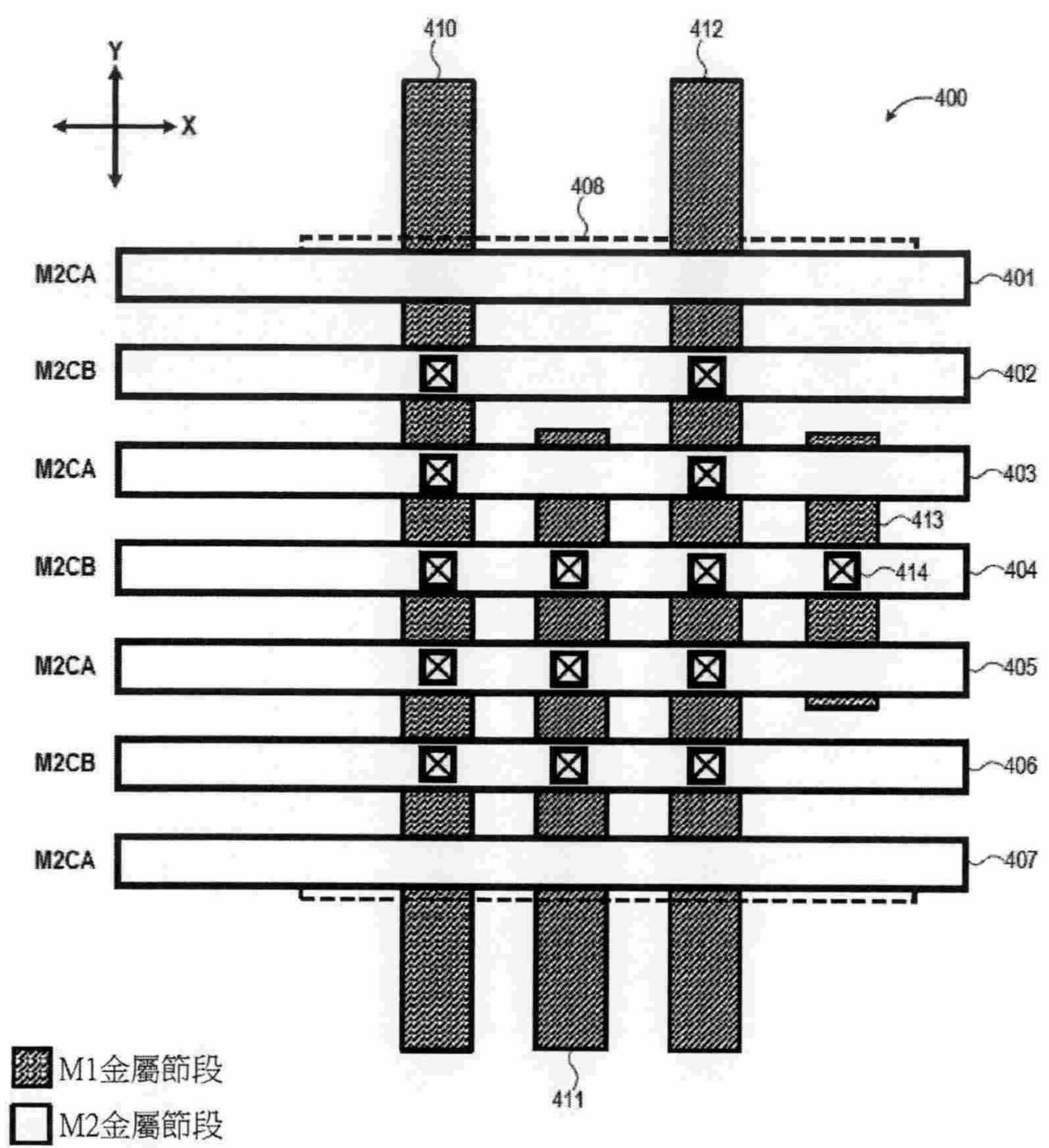




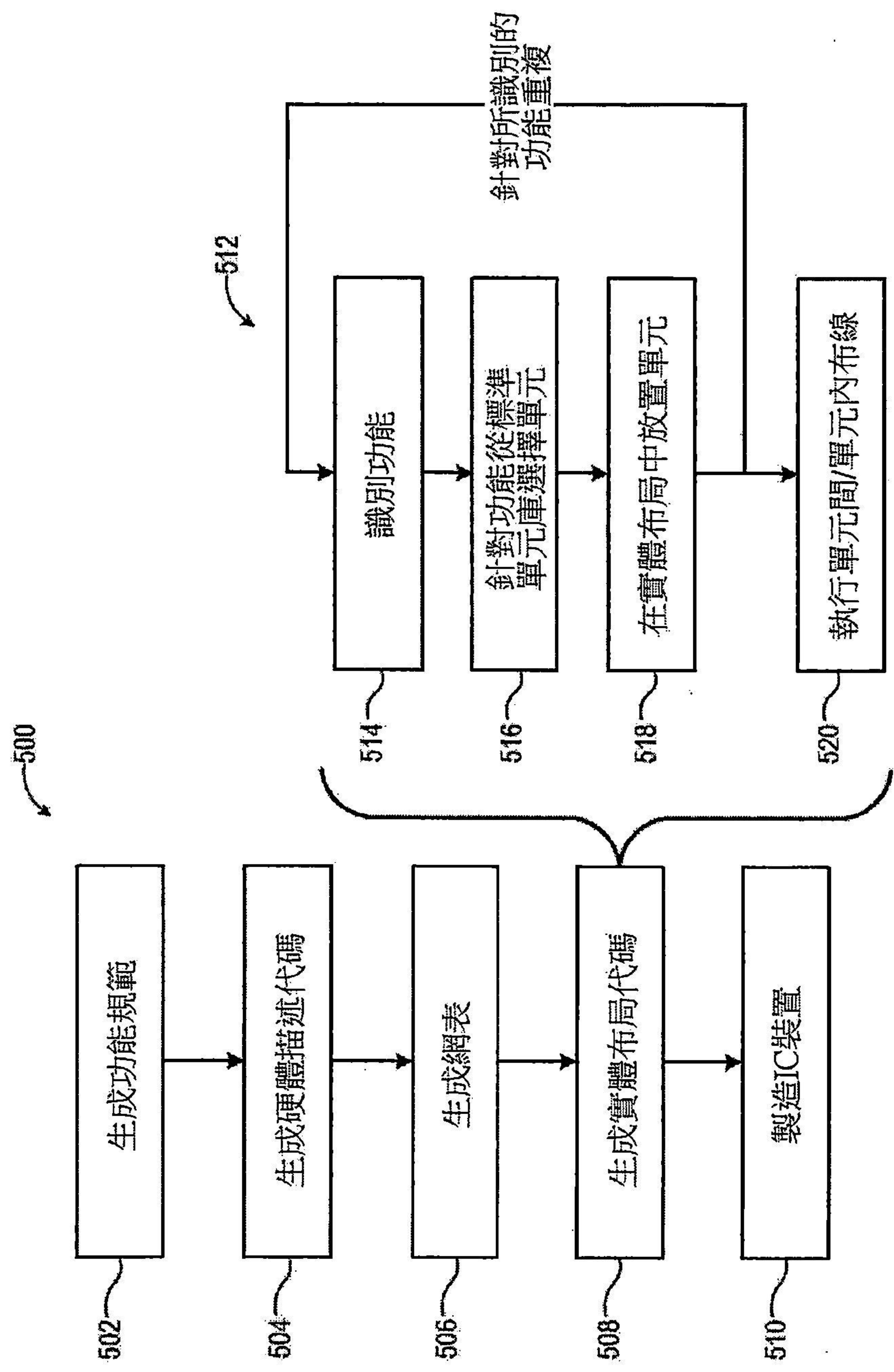
第2圖



第3圖



第4圖



第5圖