

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3705880号
(P3705880)

(45) 発行日 平成17年10月12日(2005.10.12)

(24) 登録日 平成17年8月5日(2005.8.5)

(51) Int.Cl.⁷

F I

H O 3 K 19/0185

H O 3 K 19/00

1 O 1 E

H O 1 L 21/822

H O 3 K 5/08

E

H O 1 L 21/8234

H O 1 L 27/04

C

H O 1 L 27/04

H O 1 L 27/04

F

H O 1 L 27/088

H O 1 L 27/08

1 O 2 J

請求項の数 8 (全 14 頁) 最終頁に続く

(21) 出願番号 特願平8-318268
 (22) 出願日 平成8年11月28日(1996.11.28)
 (65) 公開番号 特開平10-163854
 (43) 公開日 平成10年6月19日(1998.6.19)
 審査請求日 平成15年4月25日(2003.4.25)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 瀧谷 豊
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 石井 研一

最終頁に続く

(54) 【発明の名称】 レベルコンバータ及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

信号の電圧レベルを増大させて出力するレベルコンバータにおいて、
 Pチャネルの第1及び第2のトランジスタとNチャネルの第3及び第4のトランジスタ
 を有し、

第1及び第3のトランジスタは直列に接続され、その両端に電源が接続され、
 第2及び第4のトランジスタは直列に接続され、その両端に前記電源が接続され、
 第1のトランジスタのゲートは第2及び第4のトランジスタが直列に接続されかつレベ
 ルコンバータの出力端子を構成する第1のノードに接続され、

第2のトランジスタのゲートは第1及び第3のトランジスタが直列に接続される第2の
 ノードに接続され、

レベルコンバータに与える前記信号は第3及び第4のトランジスタのゲートに印加され

、
 前記第1及び第2のノードの少なくともいずれか一方に一端が接続され、他端が前記電
 源の高電位側又は低電位側に接続されているキャパシタを有することを特徴とするレベ
 ルコンバータ。

【請求項2】

前記キャパシタはMOSキャパシタであることを特徴とする請求項1記載のレベルコン
 バータ。

【請求項3】

10

20

前記手段は、前記キャパシタを選択的に前記第 1 及び第 2 のノードの少なくともいずれか一方に接続するスイッチを有することを特徴とする請求項 1 記載のレベルコンバータ。

【請求項 4】

内部回路と、該内部回路が出力する信号の電圧レベルを増大させて出力するレベルコンバータと、該レベルコンバータの出力をバッファリングするバッファ回路と、該バッファ回路に接続される外部接続用の端子とを有する半導体装置であって、

前記レベルコンバータは、請求項 1 ないし 3 のいずれか一項記載のレベルコンバータであることを特徴とする半導体装置。

【請求項 5】

前記内部回路は第 1 の電源で動作し、前記レベルコンバータは第 2 の電源で動作し、第 2 の電源の電源電圧は第 1 の電源の電源電圧よりも高いことを特徴とする請求項 4 記載の半導体装置。

10

【請求項 6】

前記半導体装置は、前記第 1 の電源を接続するための端子と、前記第 2 の電源を接続するための端子とを有することを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記半導体装置は、前記第 1 の電源を接続するための端子と、該端子に接続され、第 1 の電源の電源電圧を降圧して第 2 の電源電圧を生成する降圧回路を有することを特徴とする請求項 5 記載の半導体装置。

【請求項 8】

20

前記レベルコンバータを 2 個有し、前記バッファ回路は該 2 個のレベルコンバータの出力信号をバッファリングして前記外部接続用の端子に出力することを特徴とする請求項 4 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力電圧レベルを変換して出力するレベルコンバータに関し、特に L S I の内部信号に使用され、入力信号の電圧レベルを増大させて出力するレベルコンバータに関するものである。

【0002】

30

近年の L S I (半導体装置) は、低消費電力化及び低ノイズが要求されている。これらの要求は、L S I の内部電源電圧のみを低く押さえることによって実現することができる。

【0003】

【従来の技術】

L S I の内部回路の電源電圧を低くして低電力化及び低ノイズ化が可能となる。このような L S I を使用する場合、これに接続される外部の回路や装置 (以下、外部インタフェース回路という) の電源電圧との整合性を考えなければならない。L S I 内部回路の電源電圧 (以下、内部電源電圧という) が外部インタフェース回路の電源電圧がよりも低い場合、L S I 内部回路が出力する信号をそのまま外部インタフェース回路に出力しても、外部インタフェース回路は正しく動作することができない。例えば、内部電源電圧が 3 V で、外部インタフェース回路の電源電圧が 5 V の場合、L S I 内部回路が出力する信号は 0 V ~ 3 V で変化する (3 V の振幅) のに対し、外部インタフェース回路は 0 V ~ 5 V の間で変化する信号入力 (5 V の振幅) を必要としている。従って、一般に L S I 内部にレベルコンバータを設けて、内部回路が出力する信号の電圧レベルを外部インタフェース回路が必要とする信号レベルに変換することが行われている。例えば、上記の例では、内部回路が出力する 3 V の信号をレベルコンバータで 5 V の信号に変換して、外部インタフェース回路に出力する。

40

【0004】

図 1 2 は、従来のレベルコンバータを示す図である。レベルコンバータは M O S トランジスタのような電界効果トランジスタ M 3、M 4、M 5、M 6 を所謂襷掛けに接続したもの

50

である。なお、トランジスタM3とM5はPチャネルトランジスタであり、トランジスタM4とM6はNチャネルトランジスタである。レベルコンバータの電源の高電位側レベルはVDD2であり、LSI外部の(レベルコンバータに接続される)外部インタフェース回路の電源電圧に等しい。なお、低電位側レベルは接地レベルGNDである。なお、以下、単に電源電圧と記述した場合には、高電位側レベルを意味する場合がある。トランジスタM1とM2はLSIの内部回路であり(勿論、トランジスタM1とM2は実際の内部回路のごく一部分である)、内部電源電圧VDD1で動作する。内部電源電圧VDD1の高電位側電圧レベルは外部電源電圧VDD2のそれよりも低い($VDD1 < VDD2$)。なお、トランジスタM1とM2でインバータ(CMOSインバータ)が構成されている。

【0005】

10

トランジスタM1とM2の前段回路(図示していない)からの信号INは、トランジスタM1、M2のゲート及びトランジスタM6のゲートに与えられ、トランジスタM1とM2からなるインバータの出力信号はトランジスタM4に与えられる。レベルコンバータの出力OUTは、トランジスタM5のドレインソースとトランジスタM6のドレインの接続点(ノード)から得られる。

【0006】

例えば、信号INがローレベルの場合、トランジスタM1、M4がオンし、トランジスタM5のゲートは接地レベルに設定されるので、トランジスタM5がオンする。この時、トランジスタM6はオフである。よって、出力信号OUTはハイレベル(電源電圧VDD2)となる。また、信号INがハイレベルの場合、トランジスタM6はオンとなり、出力信号OUTはローレベル(接地レベルGND)である。この時、インバータはローレベルを出力するので、トランジスタM4はオフである。また、トランジスタM6はオンなので、トランジスタM3はオンしている。

20

【0007】

実際のLSIでは、図13に示すように、レベルコンバータの後にバッファ回路10を設け、バッファ回路10の出力を外部接続用の端子11に接続している。バッファ回路10は、Pチャネルの電界効果トランジスタM7とNチャネルの電界効果トランジスタM8とからなる。レベルコンバータの出力は、トランジスタM7、M8のゲートに与えられる。

【0008】

また、実際のLSIでは、図14に示すようにも構成される。トランジスタM1～M6からなる内部回路及びレベルコンバータと同様の回路12が設けられ、その出力がトランジスタM8のゲートに接続されている。この回路12には入力信号IN2が与えられ、他方の回路には入力信号と異なる又は同一の入力信号IN1が与えられる。図14の構成では、バッファ回路10が端子11をハイインピーダンス状態に設定できる点で、図13に示すバッファ回路10とは異なる。すなわち、トランジスタM7とM8とをいずれもオフに設定することで端子11はハイインピーダンス状態となる。

30

【0009】

【発明が解決しようとする課題】

しかしながら、上記従来のレベルコンバータは、図13及び図14に示すような貫通電流が流れ、消費電力が大きいという問題点を有する。以下、この点を詳述する。

40

【0010】

内部電源電圧VDD1は、電源電圧VDD2を外部から受けてLSI内部で生成する場合や、外部から供給される場合がある。いずれにしても、電源電圧VDD1とVDD2との関係で、図13や図14に示すようにノードN2、N3が不定電圧となる。例えば、図15に示すように、電源電圧VDD2が立ち上がり、その後内部電源電圧VDD1が立ち上がる場合に、上記問題点が発生する。すなわち、図15に示すように、電源電圧VDD2のみが立ち上がり、内部電源電圧VDD1が0Vになっている状態では、トランジスタM1、M2のゲート電圧(換言すれば、信号IN(IN1、IN2))が0VでノードN1も0Vである。このため、トランジスタM4とM6がオフ状態となって、ノードN2、N3は不定状態となってしまう。不定状態での不定電圧は、図15に示す斜線部分のいずれ

50

かのレベルとなる可能性がある。ノードN3に不定電圧が与えられると、トランジスタM7とM8の両方がオン状態となり、図示する貫通電流が流れる。

【0011】

このような貫通電流は、内部電源電圧VDD1を電源電圧VDD2からLSI内部で生成する構成における電源投入時や、電源電圧VDD1とVDD2の両方をLSI外部から供給する場合で、何らかの要因で電源電圧VDD1を0Vに設定する必要がある場合や障害で0Vになってしまった場合に流れる。このような貫通電流はLSI各部で流れ、全体として非常に大きな値となり、消費電力が大きくなる。

【0012】

このように、従来のレベルコンバータは、電源電圧VDD1とVDD2の両方が供給されている状態でないと、出力電圧OUTが確定せず、上記のようにして貫通電流が流れ、消費電力が大きくなってしまいう課題があった。

従って、本発明は上記従来技術の問題点を解決し、電源電圧の状態にかかわらず、貫通電流が流れることなく、低電力消費のレベルコンバータ及びこれを有する半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

請求項1に記載の発明は、信号の電圧レベルを増大させて出力するレベルコンバータにおいて、Pチャンネルの第1及び第2のトランジスタとNチャンネルの第3及び第4のトランジスタを有し、第1及び第3のトランジスタは直列に接続され、その両端に電源が接続され、第2及び第4のトランジスタは直列に接続され、その両端に前記電源が接続され、

第1のトランジスタのゲートは第2及び第4のトランジスタが直列に接続されかつレベルコンバータの出力端子を構成する第1のノードに接続され、第2のトランジスタのゲートは第1及び第3のトランジスタが直列に接続される第2のノードに接続され、レベルコンバータに与える前記信号は第3及び第4のトランジスタのゲートに印加され、前記第1及び第2のノードの少なくともいずれか一方に一端が接続され、他端が前記電源の高電位側又は低電位側に接続されているキャパシタを有することを特徴とする。例えば、キャパシタが第1のノードと高電位側に接続されているとすると、電源投入後の第1のノードは電源電圧の上昇とともに上昇し、所定の高電位側レベルとなる。よって、従来のように、第1のノードが不定電圧となることはなく、従来の問題点は解消できる。

【0016】

請求項2に記載の発明は、請求項1に記載において、前記キャパシタはMOSキャパシタであることを特徴とする。レベルコンバータを最も現実的と思われるMOSトランジスタで構成した場合、同一プロセスで前記キャパシタを形成することができる。

【0017】

請求項3に記載の発明は、請求項1に記載の前記手段が、前記キャパシタを選択的に前記第1及び第2のノードの少なくともいずれか一方に接続するスイッチを有することを特徴とする。スイッチを設けることで、キャパシタの接続先を選択することができ、よりこの好ましい箇所に接続できる。

【0018】

請求項4に記載の発明は、内部回路と、該内部回路が出力する信号の電圧レベルを増大させて出力するレベルコンバータと、該レベルコンバータの出力をバッファリングするバッファ回路と、該バッファ回路に接続される外部接続用の端子とを有する半導体装置であって、前記レベルコンバータは、請求項1ないし3のいずれか一項記載のレベルコンバータであることを特徴とする半導体装置である。レベルコンバータが次段の回路で貫通電流を生じさせないように機能するので、消費電力の小さい半導体装置を提供できる。

【0019】

請求項5に記載の発明は、請求項4において、前記内部回路は第1の電源で動作し、前記レベルコンバータは第2の電源で動作し、第2の電源の電源電圧は第1の電源の電源電圧よりも高いことを特徴とする。内部回路及びレベルコンバータの電源電圧の関係を規定

10

20

30

40

50

したものである。

【 0 0 2 0 】

請求項 6 に記載の発明は、請求項 5 において、前記半導体装置は、前記第 1 の電源を接続するための端子と、前記第 2 の電源を接続するための端子とを有することを特徴とする。この半導体装置が第 1 及び第 2 の電源とも外部から供給されるものであることを規定する。

【 0 0 2 1 】

請求項 7 に記載の発明は、請求項 5 において、前記半導体装置は、前記第 1 の電源を接続するための端子と、該端子に接続され、第 1 の電源の電源電圧を降圧して第 2 の電源電圧を生成する降圧回路を有することを特徴とする。この半導体装置が第 2 の電源電圧を半導体装置内部で生成することを規定したものである。

10

【 0 0 2 2 】

請求項 8 に記載の発明は、請求項 4 において、前記レベルコンバータを 2 個有し、前記バッファ回路は該 2 個のレベルコンバータの出力信号をバッファリングして前記外部接続用の端子に出力することを特徴とする。レベルコンバータを用いた回路の一例を規定したものである。

【 0 0 2 3 】

【発明の実施の形態】

図 1 は、本発明の一実施の形態によるレベルコンバータ及びその周辺回路を示す図である。なお、図 1 中、前述した構成要素と同一のものには同一の参照番号を付けてある。

20

【 0 0 2 4 】

図 1 に示す構成は、図 1 2 に示す構成に対し、キャパシタ C 1 と C 2 を設けたことを特徴とする。キャパシタ C 1 の一端はノード N 2 に接続され、他端は接地 GND に接続されている。キャパシタ C 2 の一端はノード N 3 に接続され、他端には電源電圧 VDD2 が与えられる（換言すれば、電源電圧 VDD2 の電源線に接続されている）。

【 0 0 2 5 】

上記キャパシタ C 1、C 2 の動作を図 2 を参照して説明する。図 2 に示すように、電源電圧 VDD2 が 0 V から立ち上がり、その後内部電源電圧 VDD1 が立ち上がる場合を考える。電源電圧 VDD2 が 0 V から立ち上がると、ノード N 3 の電位もほぼ電源電圧 VDD2 の立ち上がりに従って 0 V から立ち上がる。キャパシタ C 2 は、交流的にはノード N 3 と電源電圧 VDD2 を接続し、直流的には両者を遮断している（カップリング作用）。他方、ノード N 2 はキャパシタ C 1 を介して交流的に接地されているので、上記電源電圧 VDD2 が立ち上がる過渡状態ではノード N 2 の電位は接地レベルである。

30

【 0 0 2 6 】

この結果、電源電圧 VDD2 が立ち上がる過程で内部電源電圧 VDD1 が 0 V にある状態においては、ノード N 2 とノード N 3 の間に明確な電位差が生じるので、レベル変換回路の状態が電源電圧 VDD2 の立ち上がり直後から明確に決まる。すなわち、ノード N 3 の電位は次第に上昇するのに対し、ノード N 2 は接地レベルのままである。換言すれば、ノード N 2 と N 3 の電位は不定になることはない。よって、図 1 3 や図 1 4 に示すバッファ回路 10 をレベルコンバータの後段に接続した場合において、トランジスタ M 7 は直ちにオフに向かい、トランジスタ M 8 は直ちにオンに向かう。この結果、従来問題となっていた貫通電流が流れることはほとんどない。

40

【 0 0 2 7 】

その後、内部電源電圧 VDD1 が立ち上がり、動作可能状態になる。

以上の説明から明らかなように、電源電圧 VDD2 の立ち上がり時に、レベルコンバータの状態、すなわちノード N 2 とノード N 3 の少なくとも一方の電位を接地方向か VDD1 方向に変化するような手段を設けることで、ノード N 2 と N 3 が不定状態となることを防止することができる。

【 0 0 2 8 】

なお、ノード N 2 と N 3 にそれぞれ接続されたキャパシタ C 1 と C 2 は、電源の立ち上が

50

り後負荷として作用するので、回路動作は図 1 2 に示す構成に比べ多少遅くなる。

図 3 は、図 1 に示す実施の形態の第 1 の変形例である。図 3 では、キャパシタ C 2 のみを設け、キャパシタ C 1 は設けられていない。キャパシタ C 2 により、電源電圧 V D D 2 の立ち上がり時にノード N 3 は電源電圧 V D D 2 側に向けて上昇する。他方、ノード N 2 は図 4 は、図 1 に示す実施の形態の第 2 の変形例である。図 4 では、キャパシタ C 1 のみを設け、キャパシタ C 2 は設けられていない。キャパシタ C 1 により電源 V D D 2 の立ち上がり時、ノード N 2 は接地方向に引っ張られ、ノード N 2 の電位が不定となることはない。また、ノード N 2 が接地方向なのでノード N 3 の電位は電源電圧 V D D 2 に従い上昇する。

【 0 0 2 9 】

10

図 5 は、図 1 に示す実施の形態の第 3 の変形例である。図 5 では、キャパシタ C 2 のみをノード N 3 に設けているが、図 3 に示す第 1 の変形例とは異なり、キャパシタ C 2 は接地されている。この接地されたキャパシタ C 2 は、図 4 に示すキャパシタ C 1 と同様に動作する。

【 0 0 3 0 】

図 6 は、図 1 に示す実施の形態の第 4 の変形例である。図 6 では、キャパシタ C 1 のみをノード N 2 に設けているが、図 3 に示す第 2 の変形例とは異なり、キャパシタ C 1 は電源電圧 V D D 2 に接続されている。このキャパシタ C 1 は、図 3 に示すキャパシタ C 2 と同様に動作する。

【 0 0 3 1 】

20

図 7 は、上記レベルコンバータを具備する半導体装置の一部を示す図である。図 7 中、前述した構成要素と同一のものには同一の参照番号を付けてある。信号 I N 1 は、内部電源電圧 V D D 1 で動作するインバータ I N V 1 及びトランジスタ M 1 と M 2 からなるインバータを通り、トランジスタ M 3 ~ M 6 からなるレベルコンバータに与えられる。ここで、V D D 1 レベルの信号を V D D 2 レベルの信号に変換し、電源電圧 V D D 2 で動作するインバータ I N V 2 を通り、バッファ回路 1 0 のトランジスタ M 7 に与えられる。M C 1 は図 5 に示すキャパシタ C 2 に相当するもので、M O S キャパシタである。

【 0 0 3 2 】

また、信号 I N 2 は、内部電源電圧 V D D 1 で動作するインバータ I N V 3 及びトランジスタ M 9 と M 1 0 からなるインバータを通り、トランジスタ M 1 1 ~ M 1 4 からなるレベルコンバータに与えられる。ここで、V D D 1 レベルの信号を V D D 2 レベルの信号に変換し、電源電圧 V D D 2 で動作するインバータ I N V 4 を通り、バッファ回路 1 0 のトランジスタ M 8 に与えられる。M C 2 は図 4 に示すキャパシタ C 1 に相当するもので、M O S キャパシタである。

30

【 0 0 3 3 】

電源電圧 V D D 2 が 0 V から立ち上がり、内部電源電圧 V D D 1 が 0 V にある状態においては、キャパシタ M C 1 の作用によりトランジスタ M 5 と M 6 の接続ノードの電位は接地電位に引っ張られ、キャパシタ M C 2 の作用によりトランジスタ M 1 1 と M 1 2 の接続ノードの電位は接地電位に引っ張られる。よって、インバータ I N V 2 の出力電位は V D D 2 方向に引っ張られ、インバータ I N V 4 の出力電位は V D D 2 に引っ張られる。よって、トランジスタ M 7 及び M 8 とオフの方向に遷移し、貫通電流はほとんど流れない。

40

【 0 0 3 4 】

上記実施の形態及び変形例では、キャパシタ C 1、C 2 は固定的に接続されている。しかしながら、キャパシタを選択的にノード N 2 と N 3 に接続できるような構成とすることも可能である。実際問題として、ノード N 2 にキャパシタを接続した場合とノード N 3 に接続した場合とでは、ノード電位の立ち上がり速度等が多少異なる場合がある。この点を考慮すると、キャパシタを選択的にノード N 2 と N 3 のいずれかに接続できるようにすることが好ましい。

【 0 0 3 5 】

図 8 は、このような構成を有するレベルコンバータを示す図である。なお、図 8 中、前述

50

した構成要素と同一のものには同一の参照番号を付けてある。スイッチ S W が設けられ、一端が接地されたキャパシタ M C 1 を接点 S W 1 と S W 2 のいずれか一方に接続可能である。どちらの接点を選択するかは、例えば回路動作をコンピュータでシミュレーションし、ノード電位の立ち上がり速度等を調べて決める。

【 0 0 3 6 】

図 9 は、図 8 の回路構成を実現するための半導体装置のレイアウトを示す図である（マスクパターンを示す図であるとも言える）。なお、図 9 中、図 8 に示す構成要素に対応するパターン部分には同一の参照符号を付けてある。図 8 に示すスイッチ S W は、図 9 において、S W 1、S W 2 と表記されたメタル配線のどちらを設けるかによって実現している。メタル配線 S W 1 はキャパシタ M C 1 からの配線パターンと、トランジスタ M 7、M 8 のゲートに接続されている配線パターンとを接続する。メタル配線 S W 2 はキャパシタ M C 1 からの配線パターンと、トランジスタ M 5 のゲートに接続されている配線パターンとを接続する。

【 0 0 3 7 】

図 10 は、本発明によるレベルコンバータを有する半導体装置の一例である。図 10 に示す半導体装置は、外部から供給される電源電圧 V D D 2 から内部電源電圧 V D D 1 を半導体装置内部で生成する構成を有する。半導体装置はチップ 20 を有し、内部回路形成領域 21 の周辺にはパッド 26 ~ 30 が設けられている。内部回路形成領域 21 には、3 V (= V D D 1) で動作する 3 V 系内部回路 22、降圧回路 23、本発明によるレベルコンバータ 24、入力バッファ回路 25 が設けられている。降圧回路 23 は、パッド 26 に外部から印加される 5 V の電源電圧 (= V D D 2) を降圧して 3 V の内部電源電圧 V D D 1 を発生し、これを内部回路 22 及び入力バッファ回路 25 に与える。内部回路 22 は 3 V の内部電源電圧 V D D 1 で動作する。前述したトランジスタ M 1、M 2、M 9、M 10 はこの内部回路 22 内の回路である。

【 0 0 3 8 】

レベルコンバータ 24 は本発明によるもので、3 V の信号を 5 V の信号に変換する。具体的には、レベルコンバータ 24 は前述した図 1、3 ~ 9 に示すようなトランジスタ M 3 ~ M 6 とキャパシタ C 1 又は C 2 (又は M C 1) で構成される。ただし、図 10 のレベルコンバータ 24 を示すブロック内には、前述したバッファ回路 10 やインバータ I N V 2、I N V 4 を含む。レベルコンバータ 24 はパッド 28 に接続されている。このパッド 28 には、外部から 5 V の電源電圧 V D D 2 が与えられる。なお、図 10 では、5 V の電源電圧 V D D 2 を受けるパッドが 2 つあるが (26、28)、1 つのパッドを設け、降圧回路 23 とレベルコンバータ 24 を共通に接続する構成であっても良い。入力バッファ回路 25 は 3 V の内部電源電圧を受けて動作し、パッド 29 に与えられた信号をバッファして内部回路 22 に出力する。パッド 29 に与えられる信号が 0 V ~ 5 V の電圧振幅を持つ場合 (5 V 系)、入力バッファ回路 25 は 3 V で動作するので、入力バッファ回路 25 が出力する信号は 0 V ~ 3 V に変換されたものである。なお、パッド 29 に与えられる信号が 3 V 系の場合には、入力バッファ回路 25 をそのまま通り、内部回路 22 に入る。パッド 30 は接地用端子である。

【 0 0 3 9 】

パッド 26、28 に電源電圧 V D D 2 が印加された瞬間は降圧回路 23 は内部電源電圧 V D D 1 を出力しない。すなわち、図 2 の内部電源電圧 V D D 1 が立ち上がり始める前の状態にある。前述したように、レベルコンバータ 24 内のキャパシタ C 1、C 2 又は M C 1 の作用により、レベルコンバータ 24 の状態は素早く決まり、従来問題となっていた貫通電流はほとんど流れない。

【 0 0 4 0 】

なお、図 10 において、実際のチップ 20 上には図示するパッド以外にも多数のパッドが設けられている。また、レベルコンバータ 24 と同様のレベルコンバータが内部回路形成領域 21 に複数形成されている。入力系も同様に複数設けられている。更に、図 10 ではパッド 27 は信号出力用でパッド 29 は信号入力用であったが、例えば、パッド 27 は信

号入出力用であってもよい。この場合には、入力バッファ25と同様の入力バッファがパッド27に接続される。更に、内部回路22は任意のものを意味し、例えばCPUコア、ROM、RAM及びその他の周辺回路を含むものである。この場合の半導体装置は、マイクロコンピュータである。

【0041】

図11は、3Vの内部電源電圧VDD1も電源電圧VDD2と同様に外部から供給される半導体装置を示す図である。従って、図11に示す装置は図10に示す降圧回路23を具備しない。パッド31には3Vの内部電源電圧VDD1が与えられ、直接内部回路22に印加される。また、パッド32にも同様に内部電源電圧VDD1が印加される。パッド31と32の代わりに1つのパッドを設け、内部回路22と入力バッファ回路25とを共通に接続する構成であってもよい。

10

【0042】

以上、本発明の実施の形態及び種々の変形例を説明した。本発明は、上記説明から当業者が通常の創作活動により得られるその他の実施の態様等を含むものである。

【0043】

【発明の効果】

以上説明したように、本発明によれば以下の効果が得られる。

請求項1に記載の発明によれば、例えば、キャパシタが第1のノードと高電位側に接続されているとすると、電源投入後の第1のノードは電源電圧の上昇とともに上昇し、所定の高電位側レベルとなる。よって、従来のように、第1のノードが不定電圧となることはなく、従来の問題点は解消できる。

20

【0045】

請求項2に記載の発明によれば、レベルコンバータを構成するトランジスタと同一プロセスでキャパシタを製造することができる。

請求項3に記載の発明によれば、スイッチを設けることで、キャパシタの接続先を選択することができ、よりこの好ましい箇所に接続できる。

【0046】

請求項4ないし8に記載の発明によれば、レベルコンバータが次段の回路で貫通電流を生じさせないように機能するので、消費電力の小さい半導体装置を提供できる。

【図面の簡単な説明】

30

【図1】本発明の一実施の形態によるレベルコンバータ及びその前段及び後段回路を示す図である。

【図2】図1に示すレベルコンバータの動作を説明するためのグラフである。

【図3】図1に示すレベルコンバータの第1の変形例を示す図である。

【図4】図1に示すレベルコンバータの第2の変形例を示す図である。

【図5】図1に示すレベルコンバータの第3の変形例を示す図である。

【図6】図1に示すレベルコンバータの第4の変形例を示す図である。

【図7】本発明のレベルコンバータを有する半導体装置の一部を示す図である。

【図8】スイッチを具備するレベルコンバータの一実施の態様を示す図である。

【図9】図8に示す回路を具備する半導体装置のレイアウトを示す図である。

40

【図10】本発明のレベルコンバータを有する半導体装置の一構成例を示すブロック図である。

【図11】本発明のレベルコンバータを有する半導体装置の別の構成例を示すブロック図である。

【図12】従来のレベルコンバータ及びその前段及び後段回路を示す図である。

【図13】従来のレベルコンバータを含む回路の一例を示す図である。

【図14】従来のレベルコンバータを含む回路の別の例を示す図である。

【図15】従来のレベルコンバータの動作を示す図である。

【符号の説明】

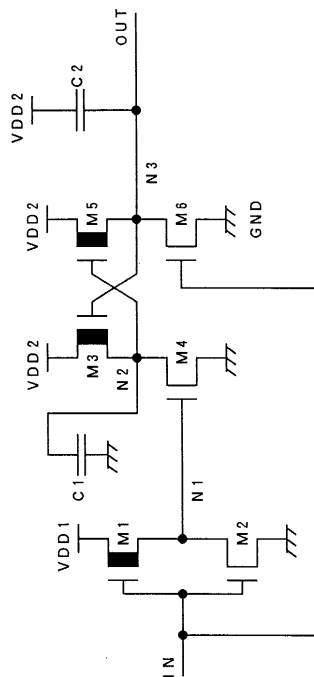
10 出力バッファ回路

50

- 1 1 端子 (パッド)
- 2 0 チップ
- 2 1 内部回路形成領域
- 2 2 内部回路
- 2 3 降圧回路
- 2 4 レベルコンバータ
- 2 5 入力バッファ

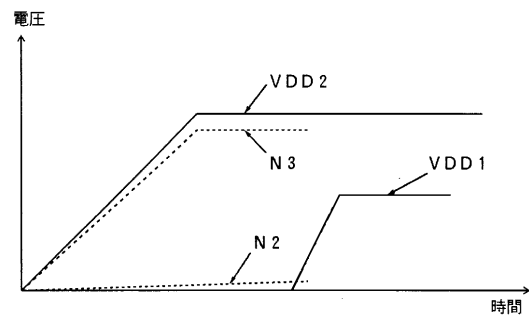
【図 1】

本発明の一実施の形態によるレベルコンバータ及び
その前段及び後段回路を示す図



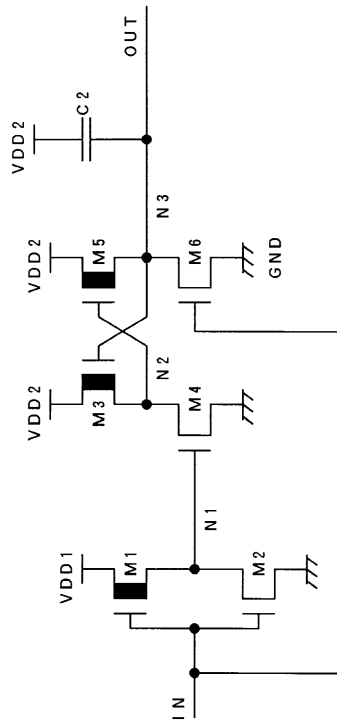
【図 2】

図 1 に示すレベルコンバータの動作を説明するためのグラフ



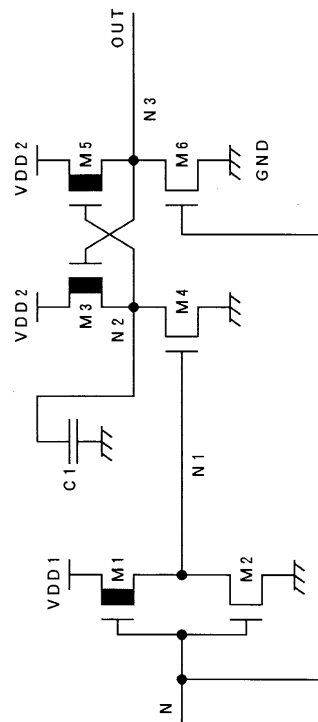
【図 3】

図1に示すレベルコンバータの第1の変形例を示す図



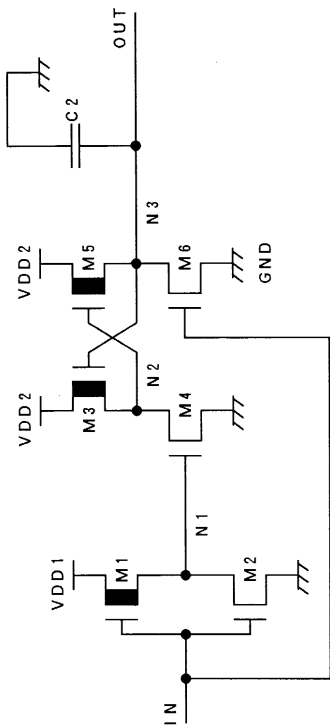
【図 4】

図1に示すレベルコンバータの第2の変形例を示す図



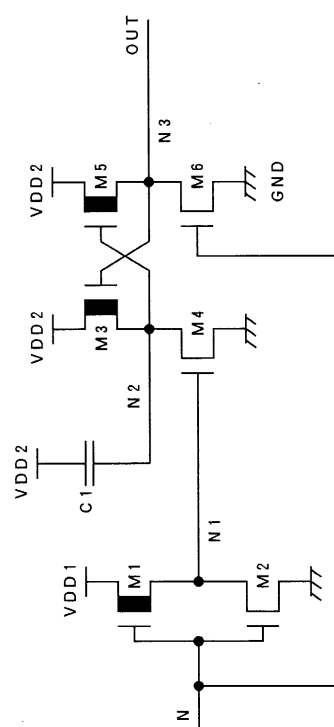
【図 5】

図1に示すレベルコンバータの第3の変形例を示す図



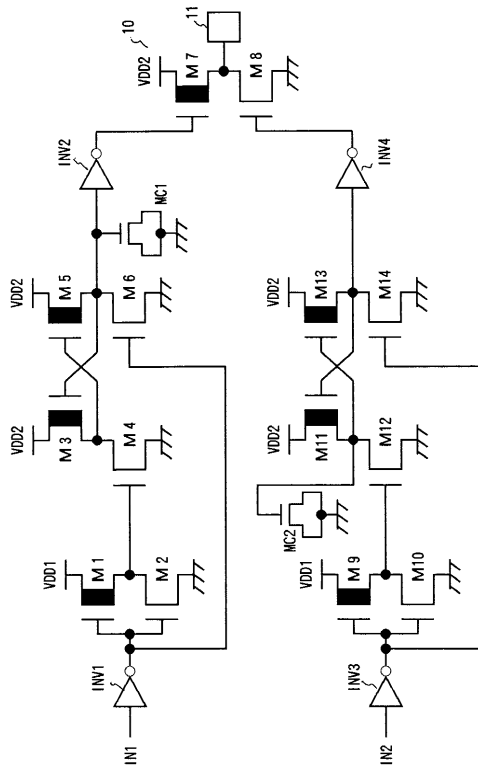
【図 6】

図1に示すレベルコンバータの第4の変形例を示す図



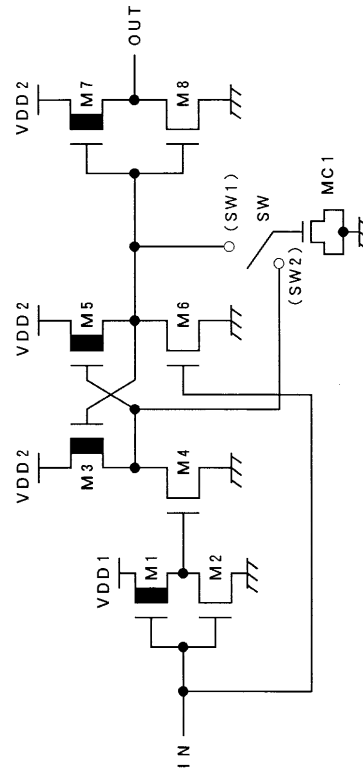
【図 7】

本発明のレベルコンバータを有する半導体装置の一部を示す図



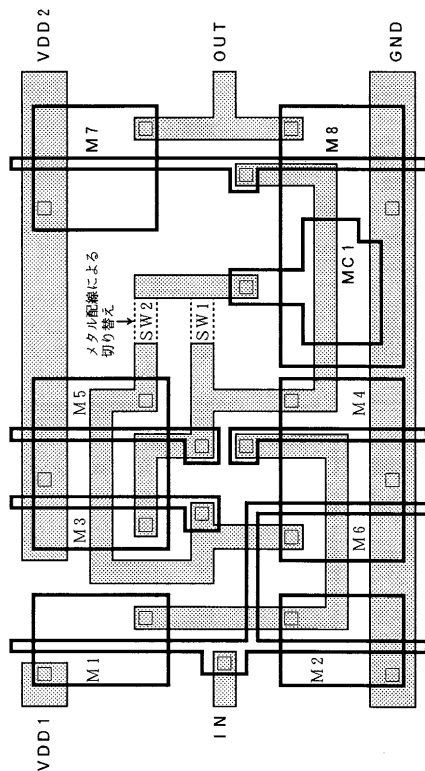
【図 8】

スイッチを具備するレベルコンバータの一実施の態様を示す図



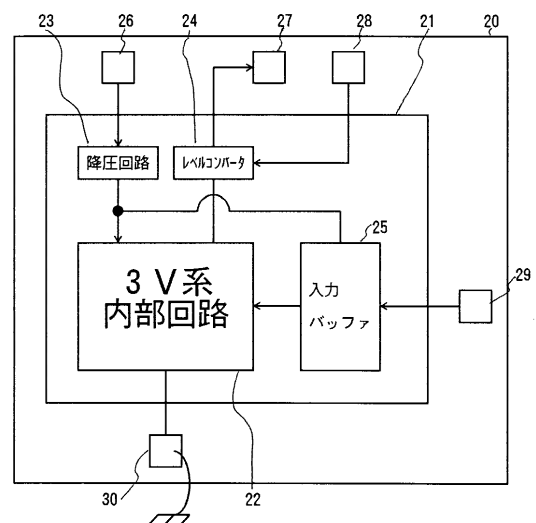
【図 9】

図8に示す回路を具備する半導体装置のレイアウトを示す図



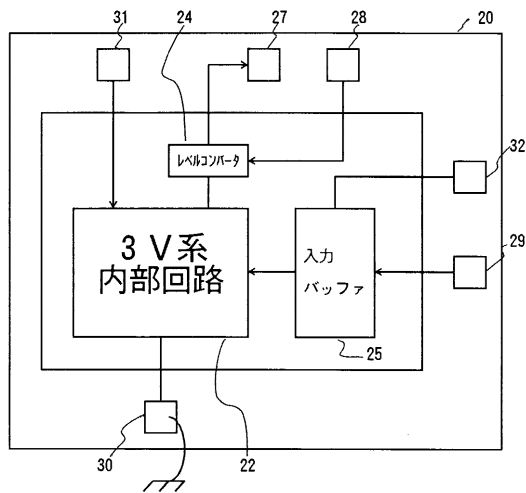
【図 10】

本発明のレベルコンバータを有する半導体装置の一構成例を示すブロック図



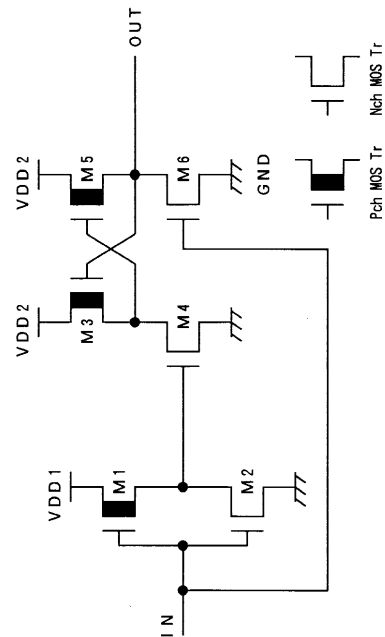
【図 1 1】

本発明のレベルコンバータを有する半導体装置の別の構成例を示すブロック図



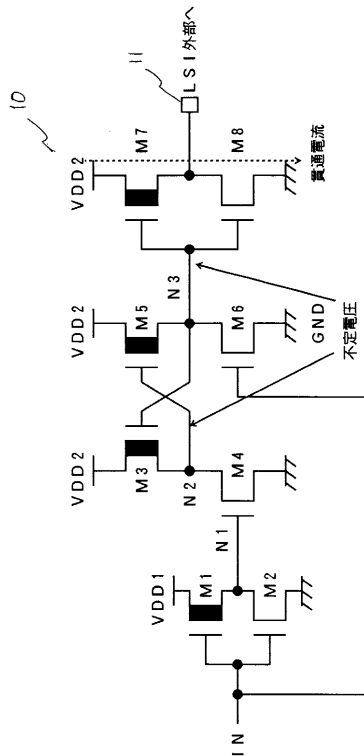
【図 1 2】

従来のレベルコンバータ及びその前段及び後段回路を示す図



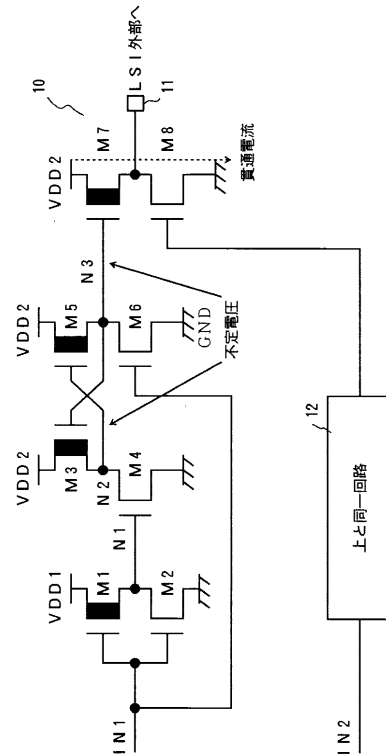
【図 1 3】

従来のレベルコンバータを含む回路の一例を示す図



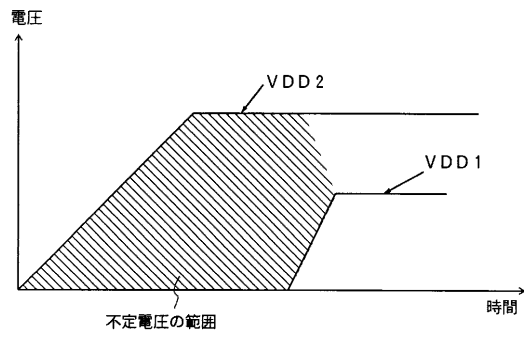
【図 1 4】

従来のレベルコンバータを含む回路の別の例を示す図



【図 15】

従来のレベルコンバータの動作を示す図



フロントページの続き

(51) Int.Cl.⁷ F I
H 0 3 K 5/08

(56) 参考文献 特開平 0 6 - 2 0 4 8 5 0 (J P , A)
特開平 0 6 - 2 0 8 7 9 0 (J P , A)
特開平 0 6 - 0 6 6 8 9 8 (J P , A)
特開平 0 8 - 0 9 7 7 0 6 (J P , A)
特開平 0 5 - 3 1 5 9 1 5 (J P , A)
特開平 0 5 - 0 1 4 1 7 4 (J P , A)
特開平 0 4 - 2 6 9 0 1 1 (J P , A)
特開平 0 4 - 1 9 2 6 2 2 (J P , A)
特開昭 6 0 - 2 3 1 3 5 5 (J P , A)

(58) 調査した分野(Int.Cl.⁷, D B 名)

H03K 19/0185

H01L 21/822

H01L 27/04