(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0203724
(24) 등록일자 1999년03월24일

(21) 출원번호 10-1996-0029735
(22) 출원일자 1996년07월23일
(65) 공개번호 특1997-0008192
(43) 공개일자 1997년02월24일

(30) 우선권주장 95-187160 1995년07월24일 일본(JP)
95-308991 1995년11월28일 일본(JP)

(73) 특허권자 미쓰비시 덴키 가부시키 가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 코노 타카시
일본 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼 가이샤 내
후루따니 키요히로
일본 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼 가이샤 내
아사꾸라 미끼오
일본 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼 가이샤 내
히다까 히데또
일본 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시끼 가이샤 내

(74) 대리인 김영, 김창세, 김원준, 장성구

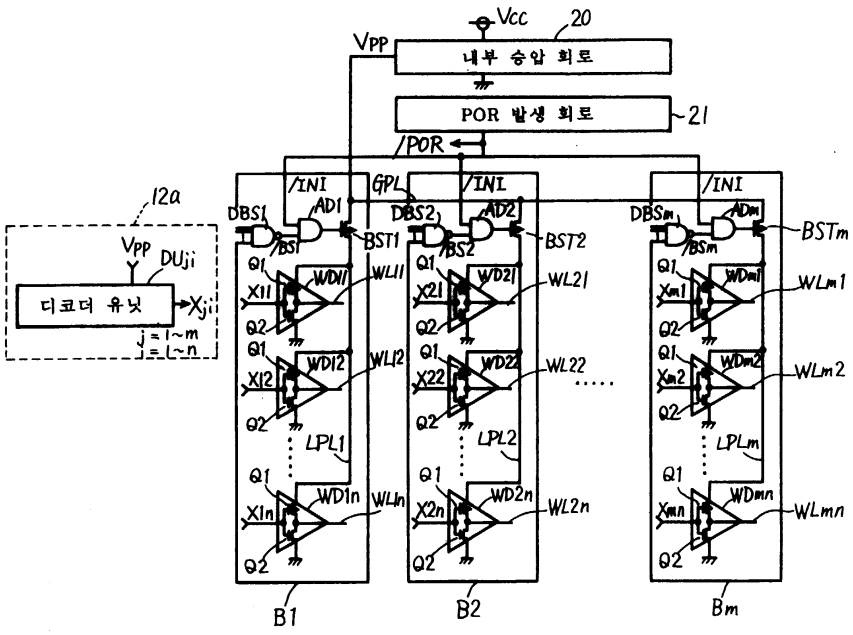
심사관 : 김종찬

(54) 계층승압 전원선 구성을 갖는 반도체 기억장치

요약

DRAM은 내부승압회로(20), 글로벌 전원선(GPL), 다수의 블록(B1~Bm), 행 디코더(12a) 및 POR발생회로(21)를 구비한다. 각 블럭은 워드선(WL1~WLn), 로컬 전원선(LPL1~LPLm), AND게이트(AD1~ADm), 구동 트랜지스터(DT1~DTm), 워드선드라이버(WD1~WDn)를 포함한다. AND게이트는 파워 온 리세트신호/POR 및 대응하는 블럭선택신호(/BS1~BSm)에 응답해서 대응하는 구동 트랜지스터를 온/오프로 한다. 그 때문에, 파워 온 리세트 기간 중에 모든 로컬 승압전원선(LPL1~LPLm)은 글로벌 승압전원선(GPL)에 접속되고, 그것에 의해 승압전원전위Vpp까지 초기 충전된다.

대표도



명세서

[발명의 명칭]

계층승압 전원선 구성을 갖는 반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예 1에 의한 DRAM의 전체구성을 도시하는 블럭도.

제2도는 제1도중의 내부승압회로 및 POR발생회로와 함께, 블럭화된 행 디코더 및 워드선 드라이버 열의 구성을 도시하는 블럭도.

제3도는 제2도에 도시된 1개의 블럭내의 워드선 드라이버 열 및 메모리셀 어레이의 구성을 도시하는 블럭도.

제4도는 제1도 및 제2도중의 POR발생회로의 구체적인 구성을 도시하는 회로도.

제5도는 본 발명의 실시예 2에 의한 DRAM의 주요한 구성을 도시하는 블럭도.

제6도은 제5도에 도시된 DRAM중의 지연회로의 동작을 도시하는 타이밍도.

제7도은 본 발명의 실시예 3에 의한 DRAM의 주요한 구성을 도시하는 블럭도.

제8도는 제7도에 도시된 DRAM중의 지연회로의 동작을 도시하는 타이밍도.

제9도는 본 발명의 실시예 4에 의한 DRAM의 개략구성을 도시하는 블럭도.

제10도는 제9도중의 계층Vpp제어회로의 구체적인 구성을 도시하는 회로도.

제11도는 제9도중의 계층Vpp회로의 구체적인 구성을 도시하는 회로도.

제12도는 제9도중의 워드선 드라이버 열의 구체적인 구성을 도시하는 회로도.

제13도는 제9도~제12도에 도시된 DRAM의 동작을 도시하는 타이밍도.

제14도는 본 발명의 실시예 5에 의한 DRAM의 개략구성을 도시하는 블럭도.

제15도는 제14도중의 계층Vpp제어회로(42)의 구체적인 구성을 도시하는 회로도.

제16도는 본 발명의 실시예 6에 의한 DRAM의 주요한 구성을 도시하는 블럭도.

제17도는 제16도중의 POR발생회로의 구체적인 구성을 도시하는 회로도.

제18도는 제16도 및 제17도에 도시된 DRAM의 동작을 도시하는 타이밍도.

제19도는 DRAM의 내부회로를 리세트하기 위해 8사이클의 행 어드레스 스트로브신호를 카운트하는 본 발명의 실시예 7에 의한 카운터의 구성을 도시하는 블럭도.

제20도는 본 발명의 실시예 8에 의한 DRAM의 주요한 구성을 도시하는 블럭도.

제21도는 본 발명의 실시예 9에 의한 DRAM의 주요한 구성을 도시하는 블럭도.

제22도는 공유센스앰프방식을 사용한 종래의 DRAM의 주요한 구성을 도시하는 블럭도.

제23도는 제22도중의 1개 열의 구체적인 구성을 도시하는 블럭도.

제24도는 본 발명의 실시예 10에 의한 DRAM의 주요한 구성을 도시하는 블럭도.

제25도는 제24도중의 1개 열의 구체적인 구성을 도시하는 블럭도.

제26도는 제24도중의 1개의 비트선 분리드라이버의 일부 및 그 주변의 구체적인 구성을 도시하는 회로도.

제27도는 제24도중의 2개의 비트선 분리드라이버 및 그 주변의 구체적인 구성을 도시하는 회로도.

제28도는 본 발명의 실시예 11에 의한 DRAM의 전체구성을 도시하는 레이아우트도.

제29도는 제28도중의 1개의 블럭의 구체적인 구성을 도시하는 블럭도.

제30도는 종래의 DRAM에 사용되는 내부승압회로, 디코더유닛 및 워드선 드라이버를 도시하는 블럭도.

제31도는 계층승압 전원선 구성을 갖는 종래의 DRAM의 주요한 구성을 도시하는 블록도.

* 도면의 주요부분에 대한 부호의 설명

11 : 메로리셀 어레이　　12a : 행디코더

12b, 34 : 워드선 드라이버 열　　13 : 열디코더

20 : 내부승합회로　　21, 50 : POR 발생회로

22 : 메모리셀　　24, 26 : 자연회로

241 : 카운터　　261 : Vpp레벨검출기

262 : RS플립플롭회로　　30, 42 : 계층Vpp제어회로

32 : 계층Vpp회로

[발명의 상세한 설명]

[발명의 목적]

[발명이 속하는 기술분야 및 그 분야의 종래기술]

본 발명은 반도체 기억장치(semiconductor memory devices)에 관한 것으로, 더욱 상세하게는 계층승압 전원선 구성(hierarchical boosted power-line scheme)을 갖는 반도체 기억장치의 개량에 관한 것이다.

근래, 다양한 휴대용기구에 있어서 반도체 기억장치가 사용되고 있다. 휴대용기구의 전원에는 일반적으로 전지가 사용되고 있다. 1개의 전지로 휴대용기구를 장시간 사용하기 위해서는 동작시 뿐만 아니라 대기시의 소비전력도 적극 억제해야만 한다. 따라서, 반도체 기억장치의 저소비전력화는 매우 중요한 문제이다.

예를 들면, 대표적인 반도체 기억장치인 다이나믹 랜덤 액세스 메모리(dynamic random access memory, DRAM)에 있어서는, 전원전위Vcc와 완전히 같은 H(논리 하이(logical high))레벨을 메모리셀에 저장하기 위해, 워드선은 전원전위Vcc보다도 높은 전위(이하, 승압전원전위(boosted power supply potential) Vpp라 한다)까지 승압되어 있다.

도 30은 근래, DRAM내에서 사용되고 있는 내부승압회로(internal boosting circuit) 및 워드선 구동회로(word line driving circuit) (워드선 드라이버(word line driver))를 도시하는 블록도이다.

도 30을 참조하면, 내부승압회로(20)은 외부에서 공급되는 전원전위 Vcc에 따라서 그것보다도 높은 승압전원전위Vpp를 발생한다.

워드선 드라이버WD는 디코더 유닛DU로 부터의 디코드신호에 응답해서 활성화/불활성화된다.

워드 드라이버WD는 P채널 MOS트랜지스터Q1 및 N채널 MOS트랜지스터Q2를 포함하는 CMOS인버터로 구성된다.

디코더유닛DU 및 워드선 드라이버WD에는 내부승압회로(20)에서 승압전원전위Vpp가 공급된다.

도 40에는 대기상태(stand-by state)의 워드선 드라이버WD가 도시되어 있다.

대기상태에서는 승압전원전위Vpp와 동일한 H레벨의 디코드신호(decode signal)가 디코더유닛(decoder unit)DU에서 워드선 드라이버WD에 공급된다.

그 때문에, P채널 MOS트랜지스터Q1이 오프로 되고(turned off), N채널 MOS트랜지스터Q2가 온으로 된다(turned on). 따라서, 워드선WL의 전위는 N채널 MOS트랜지스터Q2에 의해서 접지전위(0V)와 동일한 L(논리로우(logical low))레벨로 된다.

한편, 워드선 드라이버 WD가 동작상태이고 또한 그 워드선이 선택되는 경우, L레벨의 디코드신호가 디코더유닛DU에서 워드선 드라이버WD에 공급되므로, P채널 MOS트랜지스터Q1이 온으로 되고, N채널 MOS트랜지스터Q2가 오프로 된다.

따라서, 승압전원전위Vpp가 P채널 MOS트랜지스터Q1을 통해서 워드선WL에 공급되고, 그것에 의해 워드선WL이 승압전원전위Vpp까지 승압된다.

워드선 드라이버WD는 워드선WL을 구동하기 위해서 큰 구동능력을 필요로 하기 때문에, 그 P채널 MOS트랜지스터Q1의 채널폭은 주변회로내에서 사용되는 다른 트랜지스터의 채널폭 보다도 넓게 되어 있다.

일반적으로 대기상태에서는 P채널 MOS트랜지스터Q1이 오프상태에 있어도 상관없이 서브스레쉬홀드전류(subthreshold current)라 불리우는 미소한 관통전류(through current)i가 그의 P채널 MOS트랜지스터Q1증을 소오스에서 드레인으로 향해서 흐른다.

워드선 드라이버WD내에 공급되는 관통전류i는 주변회로내에서 사용되는 다른 트랜지스터내에 흐르는 관통전류보다도 크게 된다.

예를 들면, 64M비트의 DRAM은 전체에 32K개의 워드선과 32K개의 워드선 드라이버를 구비하고 있기 때문에, 그 관통전류의 총합은 상당히 크게 된다.

그 결과, 내부승압회로(20)의 출력전위가 소정의 승압전원전위 Vpp로부터 저하한다. 이 저하한 출력전위를 원래의 승압전원전위까지 되돌리기 위해 내부승압회로(20)이 동작하지만, 이 내부승압회로(20)의 동작을 위해서 외부전원에서 전류가 흘러 들어오고 그것에 의해 소비전력이 증대한다.

상기와 같은 대기상태시에 있어서의 소비전력을 저감하기 위해서 다수의 워드선 드라이버를 몇 개의 블럭으로 분할하고, 승압전원선(boosted power-lines)을 계층화(made hierarchical)한 계층승압전원선 구성(hierarchical boosted power-line schme)이 「SUBTHRESHOLD-CURRENT REDUCTION CIRCUITS FOR MULTI-GIGABIT DRAM'S」 Symposium on VLSI Circuits Digests of Technical Papers (1993년)의 제 45페이지~제46페이지에 제안되어 있다.

도 31은 이 제안된 계층승압전원선 구성의 1개의 블럭을 도시한다.

도 31을 참조하면, 내부승압회로(20)으로 부터의 승압전원전위Vpp는 글로벌(global) 승압전원선GPL에 직접적으로 공급되고, 또 블럭선택 트랜지스터(block select transistor)BST를 통해서 로컬(local) 승압전원선LPL에 공급된다.

n개의 워드선 드라이버WD1~WDn은 이 승압전원선LPL에 의해 공통으로 접속된다.

도 31에 도시된 블럭과 마찬가지로 다른 블럭(도시하지 않음)의 각각의 1개의 구동 트랜지스터, 1개의 로컬 승압전원선 및 n개의 워드선 드라이버를 포함한다.

따라서, 도 31에 도시된 1개의 글로벌 승압전원선GPL이 각 블럭내에서 구동 트랜지스터를 거쳐서 로컬 승압전원선에 접속된다.

동작시에는 L레벨의 블럭선택신호/BS (본 명세서에서, 신호 전에 붙여진 /는 그 신호가 부(negative)논리인 것을 나타낸다)가 선택 트랜지스터BST에 인가되고, 그것에 의해 승압전원전위Vpp가 로컬 승압전원선

LPL에 공급된다.

이것과 동시에, n개의 디코더유닛DU1～DUn중 선택된 1개만이 L레벨의 디코드신호를 대응하는 워드선 드라이버에 공급한다.

그 때문에, n개의 드라이버 WD1~WDn중 선택된 1개만이 활성화되고, 그 활성화된 워드선 드라이버내의 P채널 MOS트랜지스터 Q1를 통해서 승압전원전위 Vpp가 대응하는 워드선에 공급된다.

워드선WL1～WLn은 기생용량C1～Cn를 각각 갖는다.

이와 같이, 1개의 블럭내에서는 1개의 워드선 드라이버만이 활성화되므로, 선택 트랜지스터BST는 1개의 워드선을 구동할 수 있는 능력을 갖고 있으면 좋다.

한편, 대기상태시에는 모든 디코더유닛DU1～DUn이 H레벨의 디코드신호X1～Xn을 워드선 드라이버WD1～WDn에 각각 공급하기 때문에, 워드선 드라이버 WD1～WDn내의 모든 P채널 MOS트랜지스터Q1이 오프로 된다.

이것과 동시에, 블럭선택신호/BS가 H레벨로 되므로, 이들의 P채널 MOS트랜지스터Q1내에 관통전류가 선택 트랜지스터BST에 의해서 제한되고, 그것에 의해 전체로서 대기상태시의 관통전류가 억제된다.

따라서, 로컬 승압전원선 LPL의 전위는 승압전원전위Vpp에서 하강하지만, 각 P채널 MOS트랜지스터Q1의 게이트에는 승압전원전위Vpp가 인가되어 있으므로, P채널 MOS트랜지스터Q1의 게이트-소오스간 전압이 부(negative)로 된다.

그 때문에, 각 워드선 드라이버내에 흐르는 관통전류가 구동 트랜지스터DT내에 흐르는 관통전류의 n분의 1에 도달하면, 로컬 승압전원선 LPL의 전위하강은 정지하고, 로컬 승압전원선 LPL의 전위는 승압전원전위 Vpp보다도 조금 낮은 전위Vpps에서 안정된다.

구동 트랜지스터DT를 구비하지 않고 승압전원전위Vpp가 모든 워드선 드라이버에 항상 공급되어 있는 경우에는, 각 워드선 드라이버내에는 상기와 같은 관통전류i가흐르는 것에 대해, 이와 같은 계층승압전원선 구성의 경우에는 그의 n분의 1의 관통전류가 흐르는 것에 지나지 않는다.

따라서, 관통전류의 총합은 대폭적으로 감소하여 대기상태시의 소비전력이 감소된다.

또, 반도체 기억 장치가 동작상태에서 대기상태로 이행한 때의 로컬 승압전원선LPL의 하강전압(Vpp-Vppc)은 약간이기 때문에, 반도체 기억 장치가 재차 동작상태로 된 때 로컬 승압전원선LPL의 전위는 바로 승압전원전위Vpp까지 회복하다.

상술한 계층승압전원선 구성에 있어서는 전원투입시에 로컬 승압전원선LPL은 방전된 상태에 있고, 승압전원선 LPL을 구비한 블럭이 선택되지 않은 한 로컬 승압전원선 LPL은 충전되지 않는다.

로컬 승압전원선LPL은 그 블럭이 선택된 때 충전되기 시작하므로, 워드선 드라이버WD1～WDn은 그 로컬 승압전원선LPL이 승압전원전위Vpp까지 충분히 충전되지 않는 한 정상적으로 동작할 수 없다.

따라서, 전원이 투입되고 나서 이 DRAM이 동작을 개시할 때까지 시간이 걸린다는 문제가 있었다.

즉, 계층승압전원선 구성에 있어서는 로컬 승압전원선LPL의 초기 충전이 불충분하기 때문에 그 결과 전원투입 직후에 있어서의 초기 액세스가 늦어진다는 문제가 있었다.

[발명이 이루고자 하는 기술적 과제]

본 발명의 목적은 상기와 같은 문제점을 해소하기 위해 이루어진 것으로, 전원투입 후 바로 동작가능한 계층승압전원선 구성을 갖는 반도체 기억장치를 제공하는 것이다.

본 발명의 다른 목적은, 동작개시시의 승압전원전위가 충분히 보상된 반도체 기억장치를 제공하는 것이다.

본 발명의 또 다른 목적은 동작개시시의 승압전원전위가 미리 결정된 레벨까지도달해 있는 반도체 기억장치를 제공하는 것이다.

본 발명의 또 다른 목적은, 테스트모드에 있어서 계층승압전원선 구성을 통상의 구성으로 전환할 수 있는 반도체 기억장치를 제공하는 것이다.

본 발명의 또 다른 목적은, 공유센스앰프(shared sense amplifier)에 있어서의 비트선 분리용의 트랜지스터에 적용된 계층승압전원선 구성을 갖는 반도체 기억장치를 제공하는 것이다.

[발명의 구성 및 작용]

본 발명의 1개의 특징에 따르면, 반도체 기억장치는, 승압전원전위 발생회로, 글로벌 전원선(global power-line), 다수의 워드선, 다수의 비트선, 다수의 메모리셀, 로컬 전원선, 접속소자(connecting element), 다수의 워드선 구동회로, 활성화회로 및 파워 온 리세트신호 발생회로(power on reset signal generating circuit)를 구비한다.

승압전원전위 발생회로는, 외부전원전위에 따라서 외부전원전위보다도 높은 소정의 승압전원전위를 발생한다.

글로벌 전원선에는 승압전원전위 발생회로에서 승압전원전위가 공급된다.

다수의 비트선은 워드선과 교차한다.

다수의 메모리셀은 워드선 및 비트선의 교점에 대응해서 마련된다.

메모리셀의 각각은 대응하는 워드선 및 비트선에 접속된다.

접속소자는 소정의 선택신호에 응답해서 로컬 전원선을 글로벌 전원선에 접속한다.

다수의 워드선 구동회로는 워드선에 대응해서 마련되고, 또한 로컬 전원선과 공통으로 접속된다.

워드선 구동회로의 각각은 로컬 전원선의 승압전원전위를 대응하는 워드선에 공급하는 것에 의해 그 대응하는 워드선을 구동한다.

활성화회로(activationg circuit)는 외부에서 공급되는 행 어드레스신호(row address signal)에 응답해서 워드선 구동회로를 선택적으로 활성화한다.

파워 온 리세트신호 발생회로는 외부전원전위의 투입에 응답해서 미리 결정된 기간동안 파워 온 리세트신호를 발생한다.

접속소자는 또, 파워 온 리세트신호에 응답해서 로컬 전원선을 글로벌전원에 접속한다.

따라서, 상기 반도체 기억장치에 있어서는, 파워 온 리세트신호에 응답해서 로컬 전원선이 글로벌 전원선에 접속되므로, 워드선 구동회로가 워드선의 구동을 개시하기전에 승압전원전위가 로컬 전원선에 공급된다.

따라서, 이 반도체 기억장치는 전원 투입후 바로 동작을 개시할 수 있다.

본 발명의 상기 및 그밖의 목적, 특징, 국면 및 이익들은 첨부 도면을 참조로 설명하는 이하의 상세한 설명으로부터 더욱 명백해질 것이다.

이하, 본 발명의 실시예 를 도면을 참조해서 상세하게 설명한다.

또한, 도면중 동일 부호는 동일 또는 상당의 부분을 도시한다.

[실시예 1]

도 1은 본 발명의 실시예 1에 의한 DRAM의 전체 구성을 도시하는 블럭도이다.

도 1을 참조하면, 이 DRAM은 1개의 반도체기판(10)상에 형성된다.

이 DRAM은 메모리셀 어레이(11), 행 디코더(row decoder)(12a), 워드선 드라이버 열(word line driver train)(12b), 열 디코더(column decoder)(13), 센스앰프 열(14), 입출력회로(15), 행 및 열 어드레스버퍼(16), 입력버퍼(17), 출력버퍼(18), 클럭발생회로(19), 내부승압회로(20) 및 파워 온 리세트(POR) 발생회로(21)를 구비한다.

도 2를 참조하면, DRAM은 또 글로벌 승압전원선(global boosted power-line) GPL를 구비한다.

내부승압회로(20)은 외부에서 공급되는 전원전위Vcc에 따라서 그것보다도 높은 소정의 승압전원전위Vpp를 발생하여, 글로벌 승압전원선GPL에 공급한다.

POR발생회로(21)은 전원투입후 전원전위Vcc가 소정 레벨에 도달할 때까지의 사이에, 이들 DRAM의 내부회로를 불활성화하기 위해 전원전위Vcc의 투입에 응답해서 미리 결정된 기간만큼 파워 온 리세트 신호/POR를 발생한다.

각 블럭Bj(j=1~m)은 블럭선택 디코더DBSj, AND게이트ADj, 블럭선택 트랜지스터BSTj, 로컬 승압전원선LPLj, n개의 워드선 드라이버 WDj1~WDjn, 및 n개의 워드선 WLj1~WLjn를 포함한다.

블럭선택 디코더DBSj는 NAND게이트로 이루어지고, 행 어드레스 신호에 응답해서 블럭선택신호/BSj를 대응하는 AND게이트ADj에 인가한다.

AND게이트ADj는 블럭선택 신호/BSj 및 초기화신호/INI로서 인가되는 파워 온리세트신로/POR에 응답해서 선택트랜지스터BSTj를 온/오프(on/off)한다.

선택트랜지스터BSTi는 글로벌 승압전원선GPL과 로컬 승압전원선LPLj 사이에 접속되고, AND게이트ADj의 출력에 응답해서 승압전원전위Vpp를 로컬 승압전원선LPLj에 공급한다.

워드선 드라이버 WDj1~WDjn의 각각의 P채널 MOS트랜지스터Q1및 N채널 MOS트랜지스터 Q2를 포함하는 CMOS 이버터로 구성된다.

워드선 드라이버 WDj1~WDjn은 디코드 신호Xj1~Xjn에 응답해서 활성화되어, 워드선 WLj1~WLjn을 구동한다.

이들 디코드신호Xj1~Xjn은 행 디코더(12a)에 의해 생성된다.

행 디코더(12a)는 (m×n)개의 디코더유닛DUji(j=1~m, i=1~n)를 포함하다.

디코더유닛DUji는 행 어드레스신호에 응답해서 대응하는 디코드신호Xji를 L레벨로 한다.

따라서, 워드선 드라이버WDjL~WDjn중 1개만이 활성화된다. 제3도를 참조하면, 각 블럭은 워드선WLj1~WLjn와 교차하는 다수의 비트선쌍BL1,/BL1,BL2, /BL2..., 워드선 및 비트선쌍의 교점에 대응해서 마련되는 다수의 메모리셀(22)를 포함한다.

비트선쌍BL1, /BL1은 비트선BL1과, 그것과 상보적인 비트선/BL1로 구성된다.

다른 비트선도 이것과 마찬가지로 구성된다.

각 메로리셀(22)는 트랜스퍼 게이트(transfer gate)(221) 및 셀 캐패시터(cell capacitor)(222)를 포함한다.

트랜스퍼 게이트(21)은 대응하는 비트선 및 셀 캐패시터(222)의 사이에 접속되고 그 게이트는 대응하느 워드선에 접속된다.

재차, 도 1을 참조하면, 센스앰프 열(14)는 메모리셀 어레이(11)내의 비트선쌍의 전위차를 증폭한다.

열 디코더(13)은 열 어드레스신호에 응답해서 메로리셀 어레이(11)내의 비트선쌍중 어느것인가를 선택한다.

입출력회로(15)는 열 디코더(13)에 의해서 선택된 비트선쌍을 입력버퍼(17) 또는 출력버퍼(18)에 접속한다.

행 및 열 어드레스 버퍼(16)은 외부에서 인가되는 어드레스 신호A1~An를 행 어드레스신호로서 행 디코더(12a)에 공급하든지, 또는 열 어드레스신호로서 열 디코더(13)에 곱급한다.

입력버퍼(17)은 외부에서 인가되는 입출력데이타 DQ1~DQ4를 입출력회로(15)에 공급한다. 출력버퍼(18)은 출력인에이블 신호/OE에 응답해서 입출력 회로(15)로 부터의 데이타를 입출력데이타DQ1~DQ4로서 출력한다.

클럭발생회로(19)는 행 어드레스 스트로브신호/RAS 및 열 어드레스 스트로브신호/CAS등에 응답해서 다양한 내부제어신호를 발생한다.

도 4를 참조하면, POR발생회로(21)은 전원전위Vcc가 공급되는 전원노드 및 충전노드 CN 사이에 접속된 저항소자(211), 충전노드 CN 및 접지노드 사이에 접속된 캐패시터소자(212), 직렬로 접속된 인버터(213) 및 (214)를 포함한다. 이 POR발생회로(21)의 동작은 이하와 같다. 전원이 투입되면 전원노드의 전위는 접지전위에서 전원전위Vcc로 향해서 상승한다. 그서에 의해 캐패시터소자(212)이 충전되고, 충전노드CN의 전위가 인버터 (213)의 논리 스레쉬홀드값를 초과할 때까지의 사이에, 인버터(214)는 L레벨의 파워 온 리세트신호/POR를 발생한다.

계속해서 충전노드CN의 전위가 그 논리 스레쉬홀드값을 초과하면, 파워 온 리세트신호/POR은 L레벨에서 H레벨로 불활성화된다.

DRAM내의 내부회로는 이L레벨의 파워 온 리세트신호에 응답해서 불활성화된다.

다음에, 이 실시예 1에 의한 DRAM의 동작을 설명한다.

우선, 전원이 투입되면 L레벨의 파워 온 리세트신호/POR이 POR발생회로(21)에 의해서 생성된다.

L레벨의 파워 온 리세트신호/POR은 DRAM의 내부회로에 공급되어, 그것을 불활성화함과 동시에 모든 블럭B1~Bm내의 AND게이트 AD1~ADm에 초기화신호/INI로서 공급된다.

AND게이트AD1~ADm은 이 L레벨의 초기화신호/INI에 응답해서 모든 블럭B1~Bm내의 선택트랜지스터BST1~BSTm를 온으로 한다.

글로벌 승압전원선GPL에는 내부승압회로(20)에 의해서 생성된 내부승압 전원전위Vpp가 공급되어 있으므로, 이 내부승압 전원전위Vpp가 각각의 선택 트렌지스터BST1~BSTm를 통해서 모든 로컬 승압전원선LPL1~LPLm에 공급된다.

그것에 의해 로컬 승압전원선 LPL1~LPLm은 승압전원전위Vpp로 향해서 충전된다.

전원전위Vcc가 충분히 증가할 때, 파워 온 리세트신호/POR은 L레벨에서 H레벨로 불활성화된다.

그 때문에, 초기화신호/INI도 또 L레벨에서 H레벨로 불활성화되고, 그것에 의해 AND게이트AD1~ADm은 선택트랜지스터BST1~BSTm를 각각 오프로 한다.

그것에 의해 로컬 승압전원선LPL1~LPLm의 파워 온 리세트 초기중에 있어서의 초기충전이 완료된다.

계속해서, 행 어드레스신호에 응답해서 블럭선택 디코더DBS1~DBSm이 블럭선택신호/BS1~/BSm중 1개만을 1레벨로 활성화한다.

그것과 동시에, 행 디코더(12a)가 디코드신호Xj1~Xjn중 1개만을 1레벨로 한다.

예를 들면, 블럭선택신호/BS1만이 L레벨로되고, 또한 디코드신호X11만이 L레벨로 된 경우는, 블럭B1내의 워드선 드라이버WD11만이 활성화된다.

다른 블럭선택신호/BS2~/BSm은 H레벨이므로 다른 블럭B2~Bm내의 워드선 드라이버WD21~WDmn은 모두 불활성화상태대로 유지된다.

또, 다른 티코드신호Xj2~Xjn은 H레벨이므로, 블럭B1내의 다른 워드선 드라이버WD12~WD1n도 또 불활성화상태대로 유지된다.

블럭선택신호/BS1이 L레벨로 활성화되면 선택트래지스터BST1이 온으로 되므로, 글로벌 승압전원선GPL의 승압전원전위Vpp가 로컬 승압전원선LPL1에 공급되지만, 이 실시예 1에서는 그 전에 이미 로컬 승압전원선LPL1이 승압전원전위Vpp로 충전되어 있으므로, 블럭선택신호/BS1에 의한 글로벌 승압전원선GPL에서 로컬 승압전원선LPL1로의 승압전원전위Vpp의 공급을 기다릴 필요도 없이, 워드선 드라이버WD11은 바로, 대응하는 워드선WL11로 승압전원전위Vpp를 공급하고, 그것에 의해 그 워드선WL1 를 구동한다.

전원투입후 바로 모든 로컬 승압전원선LPL1~LPLm이 승압전원전위Vpp로 충전되어 있으므로, 어느 워드선 드라이버WD11~WDmn이 활성화된 경우에도 대응하는 워드선은 바로 활성화될 수 있다.

또, 로컬 승압전원선LPL1~LPLm은 일단 충전되면 그 후는 액세스시 및 리프레쉬(reflesh)시에 재충전된다.

그 때문에, 이들의 로컬 승압전원선LPL1~LPLm은 항상 충전된 상태로 유지된다.

이상과 같이 이 실시예 1에 의하면, 파워 온 리세트신호/POR에 대응해서 모든 로컬 승압전원선LPL1~LPLm이 충전되므로, 워드선 드라이버는 파워 온 리세트기간의 경과후, 바로 워드선을 구동할 수 있다.

따라서, 이 DRAM은 전원투입후 바로 동작할 수 있다.

또, 종래의 구성에 AND게이트AD1~ADm을 추가하는 것만으로 전원투입 후 바로 동작가능한 DRAM을 실현할 수 있다.

[실시예 2]

상기 실시예 1에서는 파워 온 리세트신호/POR을 사용해서 로컬 승압전원선LPL1～LPLm의 초기충전을 실행하였지만, 그 파워 온 리세트 기간내에는 로컬 승압전원선LPL1～LPLm이 승압전원전위Vpp까지 충분히 충전되지 않는 경우도 고려된다.

이하에 서술하는 실시예 2의 목적은 전원투입에서 동작개시까지의 사이에 로컬 승압전원선LPL1～LPLm을 승압전원전위 Vpp까지 충분히 초기충전할 수 있는 DRAM을 제공하는 것이다.

도 5를 참조하면, 실시예 2에 의한 DRAM은 상기 실시예 1의 DRAM의 구성에 부가해서, 지연회로(24)를 구비한다.

이 지연회로(24)는 POR발생회로(21)로 부터의 파워 온 리세트신호/POR의 상승(불활성화)후도 초기신호/INI를 소정기간 활성상태로 유지하여, 이 신호를 제2도에 도시된 블럭B1～Bm내의 AND게이트AD1～ADm에 공급한다.

이 초기화신호/INI는 또, 외부에서 다양한 신호가 공급되는 외부신호핀(external signal pins)과 직접적으로 접속되는 내부회로에 공급되고, 그 내부회로는 그 공급된 초기화신호/INI에 응답해서 불활성화된다.

그것에 의해, 이와 같은 초기화기간중에 외부신호핀에 불필요한 신호가 공급된다고 해도 이 DRAM은 오동작을 일으키는 일은 없다.

도 5를 참조하면, 이 지연회로(24)는 행 어드레스 스트로브신호/RAS를 카운트하는 카운터(241),카운터(241)로 부터의 캐리신호(carry signal)CRY 및 POR발생회로(21)로 부터의 파워 온 리세트신호/POR에 응답해서 초기화신호INI를 발생하는 NAND게이트(242), NAND게이트(242)로 부터의 초기신호INI를 반전하는 것에 의해 초기화신호/INI를 발생하는 인버터(243)를 포함한다.

카운터(241)에는 미리 결정된 수(여기에서는 8)가 설정되고, 인가된 행 어드레스 스트로브신호/RAS의 수가 미리 결정된 수에 도달하면 캐리신로CRY가 H레벨로 활성화된다.

다음에, 이 지연회로(24)의 동작을 도 6의 타이밍도를 참조해서 설명한다.

시각t=0에 있어서 전원이 투입되면, POR발생회로(21)은 도 6(b)에 도시되는 바와 같이 L레벨의 파워 온 리세트신호/POR을 발생한다.

그후, 파워 온 리세트신호/POR은 NAND게이트(242)에 인가되므로, 인버터(243)은 도6(b)에 도시되는 바와 같이 L레벨의 초기화신호/INI를 발생한다.

계속해서 전원투입에서 소정시간이 경과하면 파워 온 리세트신호/POR은 도 6(b)에 도시되는 바와 같이 L레벨에서 H레벨로 불활성화된다.

이 파워 온 리세트신호/POR의 불활성화후, 행 어드레스 스트로브신호/RAS가 도 6(a)에 도시되는 바와 같이 8회 토글(toggle)되면, 카운터(241)은 도 6(c)에 도시되는 바와 같이 H레벨의 캐리신호CRY를 NAND게이트(242)에 인가한다.

NAND게이트(242)는 모두 H레벨인 신호CRY 및 /POR를 수신하므로, 인버터(243)에 의해서 생성되는 초기화신호/INI은 도6(d)에 도시되는 바와 같이 L레벨에서 H레벨로 불활성화된다.

그 때문에, 외부신호핀과 직접적으로 접속되는 내부회로가 활성화된다.

이 실시예 2에서는, 실시예 1의 파워 온 리세트신호/POR 대신에 지연회로(24)에 의해서 생성되는 초기화신호/INI가 도2에 도시된 AND게이트AD1～ADm에 인가된다.

따라서, 실시예 1과 마찬가지로 전원이 투입되면 로컬 승압전원선LPL1~LPLm의 초기충전이 개시된다.

그러나, 이 실시예 2에서는 실시예 1과 같이 파워 온 리세트신호/POR이 불활성화되어도 그의 초기충전이 완료하는 일 없이 계속된다.

그래서 행 어드레스 스트로브신호/RAS가 8회 토글된 때 그의 초기충전이 완료한다.

따라서, 이 실시예 2에 의하면, 전원투입후 실시예 1보다도 긴 시간 로컬 승압전원선이 충전되므로, 워드선 드라이버가 동작하기 전에 로컬 승압전원선은 승압전원전위까지 충분히 충전될 수 있다.

그 때문에, 이 실시예 2에 의한 DRAM은 전원투입 직후에도 정확한 동작을 실행할 수 있다.

또, 외부에서 인가되는 행 어드레스 스트로브신호/RAS의 토글회수에 따라서 초기화신호/INI가 불활성화되므로, 로컬 승압전원선을 위한 초기충전 시간을 자유자재로 변경할 수 있다.

[실시예 3]

상기 실시예 1에서는 파워 온 리세트신호/POR를 사용해서 또, 실시예 2에서는 파워 온 리세트신호/POR의 불활성화후에 소정기간만 활성상태로 유지되는 초기화신호를 사용해서 로컬 승압전원선의 초기충전을 실행하고 있지만, 그와 같은 미리 결정된 기간내에 항상 승압전원전위Vpp가 미리 결정된 레벨까지 도달하고 있는 것은 아니다.

승압전원전위Vpp가 미리 결정된 레벨에 도달하기 전에 로컬 승압전원선의 초기충전이 완료하면, 전원투입후 바로 워드선 드라이버가 활성화되어도 워드선 드라이버는 바로 충분한 승압전원전위Vpp를 워드선에 공

급할 수 없다.

이하에 서술하는 실시예 3의 목적은 전원투입후 바로 워드선을 완전한(full) 승압전원전위Vpp까지 승압가능한 DRAM를 제공하는 것이다.

도 7를 참조하면, 실시예 3에 의한 DRAM은 실시예 1의 구성에 부가해서 지연회로(26)를 구비한다.

이 지연회로(26)은 파워 온 리세트신호/POR의 상승(불활성화) 시간을, 글로벌 승압전원선GPL의 전위가 소정의 승압전원전위Vpp에 도달할 때까지 지연시켜, 그것에 의해 생성된 초기화신호/INI를 도 2에 도시된 블럭B1～Bm내의 AND게이트AD1～ADm에 공급한다.

이 지연회로(26)은 승압전원전위(Vpp)레벨 검출기(261), RS플립플롭(262) 및 인버터(265)를 포함한다.

Vpp레벨검출기(261)은 글로벌 승압전원선GPL에 공급되는 전위를 검출하고, 그 검출된 전위가 소정의 승압전원전위Vpp보다도 낮은 경우는 H레벨의 승압인에이블신호(boost enable signal)BTE를 발생하고, 한편, 그 검출된 전위가 소정의 승압전원전위Vpp와 동일하던가 또는 그것보다도 높은 경우는 L헤벨의 승압 인에이블신호BTE를 발생한다.

내부승압회로(20)은 H레벨의 승압 인에이블신호BTE에 응답해서 활성화된다.

RS플립플롭회로(262)는 상호 결합된 NAND게이트(263) 및 (264)를 포함한다.

이 RS플립플롭(262)은 L레벨의 파워 온 리세트신호/POR에 응답해서 리세트(reset)되고, 또 L레벨의 승압인에이블신호BTE에 응답해서 리세트된다.

인버터(265)는 RS플립플롭회로(262)에서 출력되는 초기화신호INI를 반전하여 초기화신호/INI를 발생한다.

다음에, 이 지연회로(26)의 동작을 도 8의 타이밍도를 참조해서 설명한다.

우선, 시간t=0에 있어서 전원이 투입되면, 도 8(a)에 도시되는 바와 같이 L레벨의 파워 온 리세트신호/POR가 생성된다.

이 L레벨의 파워 온 리세트신호/POR에 응답해서 RS플립플롭회로(262)가 세트되고, 그것에 의해 H레벨의 초기화신호INI를 출력한다.

그 때문에, 인버터(265)는 도 8(d)에 도시되는 바와 같이 L레벨의 초기화신호/INI를 발생한다.

전원투입 직후에서는 도 8(b)에 도시되는 바와 같이 글로벌 승압전원선GPL의 전위가 아직 소정의 승압전원전위Vpp에 도달하지 않으므로, 레벨검출기(261)은 도 8(c)에 도시되는 바와 같이 H레벨의 승압 인에이블신호BTE를 발생한다.

그 때문에, 내부승압회로(20)은 활성화되고, 글로벌 승압전원선GPL의 전위는 도 8(b)에 도시되는 바와 같이 소정의 승압전원전위Vpp로 향해서 상승한다.

이 지연회로(26)로 부터의 L레벨의 초기화신호/INI는 도 2에 도시된 AND게이트AD1～ADm에 인가되므로, 글로벌 승압전원선GPL의 전위가 모든 로컬 승압전원선에 공급된다.

그것에 의해 모든 로컬 승압전원선은 소정의 승압전원전위Vpp로 향해서 충전된다.

계속해서, 도 8(a)에 도시되는 바와 같이 파워 온 리세트신호/POR이 L레벨에서 H레벨로 불활성화되지만, RS플립플롭회로(262)의 래치기능에 의해서 초기화 신호/INI는 도 8(d)에 도시되는 바와 같이 L레벨 그대로 유지된다.

그 때문에, 파워 온 리세트기간이 경과해도 로컬 승압전원선의 초기충전은 계속해서 실행된다.

계속해서, 도 8(b)에 도시되는 바와 같이 글로벌 승압전원선GPL의 전위가 소정의 승압전원전위Vpp에 도달하면, 레벨검출기(261)이 그것을 검출하고, 도 8(c)에 도시되는 바와 같이 승압 인에이블신호BTE를 H레벨에서 L레벨로 불활성화한다.

이 L레벨의 승압 인에이블신호BTE에 응답해서 RS플립플롭회로(262)는 리세트되고, 그것에 의해 도 8(d)에 도시되는 바와 같이 초기화신호/INI는 L레벨에서 H레벨로 불활성화된다.

그 때문에, 이 H레벨의 초기화신호/INI에 응답해서 로컬 승압전원선의 초기충전이 완료하지만, 이때 이미 글로벌 승압전원선GPL의 전위는 소정의 승압전원전위Vpp에 도달하므로, 모든 로컬 승압전원선의 전위도 또 소정의 승압전원전위Vpp까지 도달한다.

따라서, 전원투입후 바로 워드선 드라이버는 완전한 승압전원전위Vpp를 워드선에 공급할 수 있다.

또, 레벨검출기(261)은 소정의 히스테리시스(hysteresis)를 갖고, 글로벌 승압전원선GPL의 전위가 소정의 승압전원전위Vpp에서 소정의 스레쉬홀드값 이상으로 저하하면, 도 8(c)에 도시되는 바와 같이 승압 인에이블신호BTE를 재차 H레벨로 활성화한다.

그 때문에, 내부승압회로(20)은 재차 활성화되고 도 8(b)에 도시되는 바와 같이 글로벌 승압전원선GPL의 전위는 재차 승압전원전위Vpp로 향해서 상승한다.

이와 같이 승압 인에이블신호BTE는 글로벌 승압전원선GPL의 전위가 승압전원전위Vpp보다도 소정의 스레쉬홀드값만큼 저하할 때마다 H레벨로 변화하지만, 일단 글로벌 승압전원선GPL의 전위가 승압전원전위Vpp에 도달한 후는 승압 인에이블신호BTE의 변화에 상관없이 플립플롭회로(262)의 출력은 불변이다.

그 때문에, 초기화신호/INI은 항상 H레벨로 유지된다.

따라서, 초기충전의 완료 후에 부주의로 로컬 승압전원선이 재충전되는 일이 없다.

따라서, 불필요한 전력이 소비되는 일은 없다.

이상과 같이, 이 실시예 3에 의하면, 레벨검출기(261)을 사용해서 글로벌 승압전원선GPL의 전위가 소정의 승압전원전위Vpp에 도달한 때 로컬 승압전원선의 초기충전이 완료되므로, 이 반도체 기억장치는 전원투입 직후에도 정확한 동작을 실행할 수 있다.

또, 파워 온 리세트신호/POR에 응답해서 세트되고, 또한 승압 인에이블신호BTE에 응답해서 리세트되는 RS 플립플롭회로(262)를 사용해서 초기화신호/INI를 발생하고 있으므로, 로컬 승압전원선의 초기충전완료후에 부주의하게 로컬 승압전원선의 충전이 재개되는 일은 없다.

그 결과, 불필요한 전력소비가 방지된다.

예를 들면, 실시예 2의 지연회로(24)로 부터의 초기화신호/INI를 실시예 3의 플립플롭회로(262)의 세트신호로서 공급해도 좋다.

즉, 실시예 2에 실시예 3을 조합시켜도 좋다.

또, 상기 실시예 에서는 다수의 블럭이 마련되고 각 블럭내에 1개의 로컬 승압전원선이 마련되어 있지만, 1개만의 블럭이 마련되고, 전체적으로 1개의 로컬 승압전원선이 마련되어 있어도 좋다.

[실시예 4]

도 9는 본 발명의 실시예 4에 의한 반도체 기억장치의 개략구성을 도시하는 블록도이다.

도 9를 참조하면, 이 반도체 기억장치는 승압전원전위Vpp를 글로벌 승압전원선GPL에 공급하는 내부승압회로(20), 외부전원전위extVcc에 따라서 파워 온 리세트신호/POR를 발생하는 POR발생회로(21), 파워 온 리세트신호/POR에 응답해서 계층제어신호(hierarchical control signal)/HVPPD를 발생하는 계층Vpp제어회로(30), 계층제어신호/HVPPD 및 블럭선택신호BSI에 응답해서 글로벌 승압전원선GPL의 승압전원전위Vpp를 로컬 승압전원선LPL에 승압전원전위Vppi로서 공급하는 계층Vpp회로(32)및 다수의 워드선 드라이버를 포함하는 워드선 드라이버열(34)를 구비한다.

도 9에서는 계층Vpp회로(32) 및 워드선 드라이버열(34)를 포함하는 1개의 블럭만이 도시되지만, 이 반도체 기억장치는 이와 같은 블럭을 다수 구비한다.

블록선택신호BSI는 그의 대응하는 블럭이 선택된 경우에 H레벨로 된다.

도 10은 도 9중의 계층Vpp제어회로(30)의 구체적인 구성을 도시하는 회로도이다.

도 10을 참조하면, 이 계층Vpp제어회로(30)은 인버터(301), (305), (307)과 P채널 MOS트랜지스터(302), (303)과 N채널 MOS트랜지스터(304), (306)를 포함한다.

이 계층Vpp제어회로(30)에서는, L레벨의 파워 온 리세트신호/POR이 인가되면, L레벨의 계층제어신호/HVPPD가 생성된다.

한편, H레벨의 파워 온 리세트신호/POR이 인가되면, H레벨의 계층제어신호/HVPPD가 생성된다.

도 11은 도 9중의 계층Vpp회로(32)의 구체적인 구성을 도시하는 회로도이다.

도 11을 참조하면, 이 계층Vpp회로(32)는 P채널 MOS트랜지스터(321), (322), (326)과 N채널 MOS트랜지스터(323), (325)와 인버터(324)를 포함한다.

P채널 MOS트랜지스터(321), (322), (326)의 소오스전극은 글로벌 승압전원선GPL과 공통으로 접속된다.

따라서, 대응하는 블럭이 선택되는 경우는 H레벨의 블럭선택신호BSI가 인가되고, 그것에 의해 L레벨의 블럭선택신호/BSD가 P채널 MOS트랜지스터(326)의 게이트전극에 인가된다.

이 계층Vpp회로(32)는, 또 계층Vpp제어회로(30)으로 부터의 계층제어신호/HVPPD에 응답해서 온/오프로 되는 P채널 MOS트랜지스터로 이루어지는 프리챠지 트랜지스터(327)과 로컬 승압전원선LPL의 승압전원전위Vppi가 소정의 클램프(clamp) 전위보다도 낮을 때 그의 클램프전위를 로컬 승압전원선LPL에 공급하는 클램프회로(328)를 포함한다.

프리챠지 트랜지스터(327)은 L레벨의 계층제어신호/HVPPD가인가되면 온으로 되므로, 파워 온 리세트 기간중 글로벌 승압전원선GPL의 승압전원전위Vpp가 승압전원전위Vppi로서 로컬 승압전원선LPL에 공급된다.

따라서, P채널 MOS트랜지스터(선택 트랜지스터)(326) 및 프리챠지 트랜지스터(327)은 도 2중의 선택 트랜지스터BST1~BSTm의 1개에 상당한다.

클램프회로(328)은 다이오드 접속된 P채널 MOS트랜지스터(329)를 포함한다.

이 P채널 MOS트랜지스터(329)의 소오스전극에는 외부전원전위extVcc가 공급된다.

따라서, 이 클램프회로(328)은 클램프전위로서 외부전원전위extVcc를 채용하고, 항상 로컬 승압전원선LPL의 전위를 외부전원전위extVcc로 클램프한다.

도 12는 도 9중 워드선 드라이버열(34)의 구체적인 구성을 도시하는 회로도이다.

도 12를 참조하면, 이 워드선 드라이버열(34)는 워드선 WL0~WL7을 구동하는 워드선 드라이버 WD0~WD7, 8개의 P채널 MOS트랜지스터(343), 8개의 P채널 MOS트랜지스터(344), 8개의 N채널 MOS트랜지스터(342) 및 NAND게이트(341)을 포함한다.

P채널 MOS트랜지스터(343)의 게이트전극에는 공통으로 워드선 프리챠지신호/WDPI가 인가된다.

L레벨의 블럭선택신호BSI가 인가되면 이 워드선 프리챠지신호/WDPI는 L레벨로 되고, 한편, H레벨의 블럭

선택신호BSI가 인가되면 이 워드선 프리챠지신호/WDPI는 H레벨로 된다.

N채널 MOS트랜지스터(342)의 게이트전극에는 각각 RX디코드신호RX0～RX7이 인가된다.

NAND게이트(341)에는 프리디코드신호(predecode signals)XI 및 XJ가 각각 인가된다.

이들 신호RX0～RX7, XI, XJ는 행 어드레스신호에 응답해서 생성된다.

다음에, 도 13의 타이밍도를 참조해서 이 실시예 4에 의한 반도체 기억장치의 동작을 설명한다.

도 13(a)에 도시되는 바와 같이, 전원투입(ON)후, 외부전원전위extVcc는 0볼트에서 서서히 상승한다.

전원이 투입되면, 도 13(b)에 도시되는 바와 같이 L레벨의 파워 온 리세트신호/POR이 생성되고, 또 L레벨의 계층제어신호/HVPPD가 생성된다.

L레벨의 계층제어신호/HVPPD는 계층Vpp회로(32)중의 프리챠지 트랜지스터(327)의 게이트전극에 인가되고, 그것에 의해 트랜지스터(327)은 온으로 된다.

따라서 도 13(a)에 도시되는 바와 같이 로컬 승압전원선LPL의 전위Vppi는 0볼트에서 서서히 상승한다.

여기에서, 승압전원전위Vpp의 상승속도는 외부전원전위extVcc의 상승속도보다도 느리므로, 전원의 투입직후에 있어서는 클램프회로(328)의 P채널 MOS트랜지스터(329)가 로컬 승압전원선LPL의 전위Vppi를 외부전원전위extVcc로 향해서 상승시킨다. 계속해서, 도13(a)에 도시되는 바와 같이, 외부전원전위 extVcc가 소정 레벨의 60%에 도달하면, 도13(b)에 도시되는 바와 같이 파워 온 리세트신호/POR이 H레벨로 되고, 또 도 13(c)에 도시되는 바와 같이 계층제어신호HVPPD가 H레벨로 된다.

이 H레벨의 계층제어신호/HVPPD는 계층Vpp회로(32)의 프리챠지 트랜지스터(327)의 게이트전극에 인가되므로, 이 트랜지스터(327)에 의한 로컬 승압전원선LPL의 초기충전이 완료한다.

따라서, 파워 온 리세트신호/POR이 L레벨에 있는 동안, 즉 파워 온 리세트기간 (초기충전기간 Ticl)에 로컬 승압전원선LPL은 승압전원전위Vpp까지 충전된다.

계속해서, 어떤 1개의 블럭이 선택되는 경우는 블럭선택신호BSI가 H레벨로 된다.

이 H레벨의 블럭선택신호BSI는 계층Vpp회로(32)에 인가되고, 이것에 의해 L레벨의 블럭선택신호/BSD에 응답해서 선택 트랜지스터(326)이 온으로 된다.

이 때, 로컬 승압전원선LPL은 이미 승압전원전위Vpp까지 충전되어 있으므로, 워드선 드라이버 WD0～WD7은 행 어드레스신호에 응답해서 바로 활성화될 수 있다.

한편, 이 1개의 블럭이 선택되지 않은 경우는 블럭선택신호BSI가 L레벨로 되고, 이것에 의해 H레벨의 블럭선택신호/BSD에 응답해서 선택 트랜지스터(326)이 오프로 된다.

이와 같은 비선택상태(non-selected state)(대기상태)가 길게 계속되면, 로컬 승압전원선LPL의 전위는 승압전원전위Vpp에서 저하한다.

만약 클램프회로(328)이 없으면 로컬 승압전원선LPL의 전위는 0볼트까지 저하한다.

그러나, 이 실시예 4에서는 클램프회로(328)이 마련되어 있으므로, 예를 들면 대기상태가 길게 계속된 경우에도 로컬 승압전원선LPL의 전위Vppi가 0볼트까지 저하하는 일은 없다.

이 클램프회로(328)은 다이오드 접속된 트랜지스터(329)로 구성되므로, 로컬 승압전원선LPL의 전위Vppi가 extVcc-Vth(Vth : 트랜지스터(329)의 스레쉬홀드 전압)보다도 저하하는 일은 없다.

이상과 같이 이 실시예 4에는 클램프회로(328)이 마련되므로, 예를 들면 대기상태가 계속된 경우에도 로컬 승압전원선LPL의 전위Vppi가 승압전원전위Vpp에서 대폭 저하하는 일은 없고, 그 결과 워드선 드라이버 WD0～WD7은 그 블럭의 선택후 바로 활성화될 수 있다.

실시예 4에 의하면, 상기 실시예 1의 효과에 부가해서 상기와 같은 효과를 얻을 수 있다.

또한, 이 실시예 4에서는 클램프회로(328)에 있어서의 클램프전위로서 외부전원전위extVcc가 사용되었지만, 승압전원전위Vpp 이외의 전위, 예를 들면 내부전원전위intVcc가 사용되어도 좋다.

즉, 승압전원전위Vpp보다도 빨리 상승하는 전위이면 클램프전위로서 어느 전위라도 사용할 수 있다.

[실시예 5]

도 14는 본 발명의 실시예 5에 의한 반도체 기억장치의 구성을 도시하는 블록도이다.

도 14를 참조하면, 이 반도체 기억장치는 도 9의 구성에 부가해서 테스트모드 검출회로(test mode detecting circuit)(40)를 더 구비한다.

이 테스트모드 검출회로(40)는 테스트모드를 검출하면 L레벨의 테스트 인에이블신호/TE를 발생한다.

이 실시예 5에 있어서의 Vpp제어회로(42)는 파워 온 리세트신호/POR 뿐만 아니라 테스트 인에이블신호/TE에도 응답해서 계층제어신호/HVPPD를 발생한다.

도 15는 도 14중의 계층Vpp제어회로(42)의 구체적인 구성을 도시하는 회로도이다.

도 15를 참조하면, 이 계층Vpp제어회로(42)는 도 10에서 도시된 계층Vpp제어회로(30)에 있어서의 인버터(301)에 대신해서 NAND게이트(421)를 포함한다.

POR발생회로(21)로 부터의 파워 온 리세트신호/POR과 테스트모드 검출회로(40)으로 부터의 테스트 인에이블신호/TE는 NAND게이트(421)에 인가된다.

따라서, 파워 온 리세트신호/POR 및 테스트 인에이블신호/TE의 적어도 한쪽이 L레벨로 되면, L레벨의 계층제어신호/HVPPD가 생성된다.

다음에, 이 실시예 5에 의한 반도체 기억장치의 동작을 설명한다.

우선, 테스트모드가 아닌 통상모드(normal mode)에 있어서는, 이 반도체 기억장치는 상기 실시예 4와 마찬가지로 동작한다.

한편, 테스트모드에 있어서는 테스트모드 검출회로(40)이 예를 들면, 어드레스 키 입력(address key input)에 응답해서 L레벨의 테스트 인에이블신호/TE를 발생한다.

여기에서, 테스트모드로서는 예를 들면 다수의 워드선을 동시에 활성화하는 것에 의해 게이트 산화막의 가속시험(acceleration test)을 단시간에 효율적으로 실행하는 경우 등이 있다.

L레벨의 테스트 인에이블신호/TE가 새성되면 L레벨의 계층제어신호/HVPPD가 계층Vpp회로(32)중의 프리챠지 트랜지스터(327)(도 11도)의 게이트 전극에 인가된다.

이것에 의해 모든 블럭에 있어서의 로컬 승압전원선LPL이 글로벌 승압전원선GPL에 접속된다.

따라서, 상기와 같은 가속시험이 실행될 수 있다.

즉, 이 테스트모드 검출회로(40)은 테스트모드를 검출하면 계층전원구성을 통상구성으로 전환한다.

또한, 파워 온 리세트신호/POR에 대신해서, 후술하는 도 19중의 파워 온 리세트신호/POR8, 또는 상술한 도 7중의 Vpp레벨 검출기(261)로 부터의 승압 인에이블신호BTE등이 사용되어도 좋다.

상기한 바와 같이 실시예 5에 의하면, 파워 온 리세트신호/POR 뿐만 아니라 테스트모드에 있어서 활성화되는 테스트 인에이블신호/TE에도 응답해서 모든 블럭에 있어서의 로컬 승압전원선 LPL이 글로벌 승압전원선GPL에 접속되므로, 다수의 워드선을 동시에 활성화하도록 가속시험을 실행할 수 있다.

[실시예 6]

도 16은 본 발명의 실시예 6에 의한 반도체 기억장치의 일부 구성을 도시하는 블럭도이다.

도 16을 참조하면, 이 반도체 기억장치는 외부전원전위extVcc에 따라서 그것보다도 낮은 내부전원전위intVcc를 생성하는 전압 다운 컨버터(voltage down converter, VDC)(54)와 그 생성된 내부전원전위intVcc에 따라서 파워 온 리세트신호/POR를 발생하는 POR발생회로(50)를 구비한다.

이 POR발생회로(50)은 도 9중의 POR발생회로(21)과 달리, 내부전원전위intVcc를 수신한다.

도 17은 도 16중의 POR발생회로(50)의 구성을 도시하는 회로도이다.

도 17을 참조하면, 이 POR발생회로(50)은 P채널 MOS트랜지스터(501)~(504), N채널 MOS트랜지스터(505)~(509), 인버터(510)~(515) 및 캐패시터(516)~(521)를 포함한다.

P채널 MOS트랜지스터(501)~(503)의 소오스전극에는 내부전원전위intVcc이 인가된다.

캐패시터(518) 및 (520)의 각각의 한쪽 전극에도 또 내부전원전위intVcc가 인가된다.

다음에, 이 실시예 6에 의한 반도체 기억장치의 동작을 도 18의 타이밍도를 참조해서 설명한다.

도 18(a)에 도시되는 바와 같이 전원이 투입되면 외부전원전위extVcc가 0볼트에서 소정의 레벨로 향해서 상승하지만, 내부전원전위intVcc는 외부전원전위extVcc보다도 천천히 0볼트에서 소정의 레벨로 향해서 상승한다.

이와 같은 내부전원전위intVcc가 POR발생회로(50)에 공급되므로, 내부전원전위intVcc가 소정의 레벨의 60%에 도달할 때 POR발생회로(50)은 도 18(b)에 도시되는 바와 같이, L레벨의 파워 온 리세트신호/POR를 H레벨로 불활성화한다.

따라서, 파워 온 리세트신호/POR가 L레벨에 있는 기간은 외부전원전위extVcc가 POR발생회로에 공급되는 경우의 그것보다도 길게 된다.

그 때문에, 도 18(c)에 도시되는 바와 같이 계층제어신호/HVPPD가 L레벨에 있는 기간도 또 마찬가지로 길게 된다.

그 결과, 로컬 승압전원선LPL의 초기충전기간Tic2도 도 13중의 초기충전기간Tic1보다도 길게 된다.

도 18에서는 외부전원전위extVcc가 상승하기전까지 승압전원전위Vpp가 소정레벨에 충분히 도달하고 있다고 판정되지만, 외부전원전위extVcc가 상승하기 전까지 승압전원전위Vpp가 소정의 레벨로 충분히 도달하지 않는 경우도 있을 수 있다.

이 실시예 6에 의하면, 예를 들면 그와 같은 경우에도 로컬 승압전원선은 긴 초기충전기간Tic2를 건너서 글로벌 승압전원선GPL에 접속되므로 로컬 승압전원선LPL은 승압전원전위Vpp까지 충분히 충전될 수 있다.

도 6에서는 파워 온 리세트신호/POR가 불활성화된 후에 행 어드레스 스트로브신호/RAS가 8회 토글되어 있지만, 외부전원전위extVcc의 상승이 늦은 경우에는 행 어드레스 스트로브신호/RAS가 8회 토글된 후에 파워 온 리세트신호/POR가 불활성화되는 것도 있다.

이와 같은 경우 이 실시예 6은 특히 유효하다.

[실시예 7]

도 19는 도 5중의 카운터(241)에 상당하는 실시예 7에 의한 카운터(60)의 구체적인 구성을 도시하는 블럭

도이다.

도 19를 참조하면, 이 카운터(60)은, 2비트 카운터(604) ~ (606), 인버터(601), (609), (611) 및 논리게이트(602), (603), (607), (608), (610)를 포함한다.

이 카운터(60)에는 행 어드레스 스트로브신호/RAS가 반전된 제어신호RASEV가 부여된다.

2비트 카운터(604)~(606)의 리세트 입력에는 파워 온 리세트신호/POR이 인버터(62)를 거쳐서 공통으로 인가된다.

따라서, 이 카운터(60)은 L레벨의 파워 온 리세트신호/POR에 응답해서 리세트되고, 행 어드레스 스트로브신호/RAS의 토글회수를 카운트하고, 신호/RAS가 8회에 도달한 때 2의 출력신호를 H레벨로 불활성화 한다. 카운터(60)의 출력신호 및 파워 온 리세트신호/POR은 NAND게이트(64)에 인가되고, NAND게이트(64)의 출력신호는 인버터(66)에 의해서 반전되고, 그것에 의해 파워 온 리세트신호/POR(8)이 생성된다.

이 실시예 7에서는 이 파워 온 리세트신호/POR(8)이 상술한 파워 온 리세트신호/POR에 대신해서 계층Vpp 제어회로(30) 또는 (42)에 인가된다.

따라서, 파워 온 리세트신호/POR가 H레벨로 불활성화되고 또한, 카운터(60)의 출력신호가 H레벨로 불활성화되면, 파워 온 리세트신호/POR(8)이 H레벨로 불활성화되고 그것에 의해 로컬 승압전원선LPL의 초기충전이 종료한다.

이 실시예 7에 의하면, 예를 들면, 전원전위가 빨리 상승한 경우에도 행 어드레스 스트로브신호/RAS가 8회 토글될 때까지 로컬 승압전원선이 충전되므로, 파워 온 리세트신호/POR만을 사용하는 경우에 비해서 로컬 승압전원선LPL의 초기충전이 보다 충분한 것으로 된다.

[실시예 8]

도 20은 본 발명의 실시예 8에 의한 반도체 기억장치의 주요한 구성을 도시하는 블럭도이다.

도 20을 참조하면, 이 반도체 기억장치는 내부승압회로(20), 글로벌 승압전원선GPL및 m개의 메인블럭(main blocks)MB1 ~ MBm을 구비한다.

메인블럭MB1 ~ MBm의 각각은 4개의 서브블럭(subblocks)SB1~SB4로 분할된다.

예를 들면, 메인블럭MB1은 블럭선택신호/BSD에 응답해서 온/오프로 되는 P채널 MOS트랜지스터(701)~(704), 이들의 트랜지스터(701)~(704)를 거쳐서 글로벌 승압전원선GPL과 공통으로 접속되는 로컬 승압전원선LPL1~LPL4 및 이들의 로컬 승압전원선LPL1~LPL4에 접속되는 워드선 드라이버WD0~WD7을 포함한다.

서브블럭SB1~SB4의 각각은 1개의 P채널 MOS트랜지스터, 1개의 로컬 승압전원선 및 2개의 워드선 드라이버를 포함한다.

예를 들면, 서브블럭SB1은 P채널 MOS트랜지스터(701), 로컬 승압전원선LPL1 및 워드선 드라이버WD0, WD1를 포함한다.

다음에, 이 실시예 8의 동작을 설명한다.

우선, 메인블럭MB1~MBm중 어느것인가가 어드레스신호에 응답해서 선택된다.

예를 들면, 메인블럭MB1이 선택되는 경우는 L레벨의 블럭선택신호/BSD1이 P채널 MOS트랜지스터(701)~(704)의 게이트전극에 인가된다.

이것에 의해 승압전원전위Vpp는 글로벌 승압전원선GPL 및 P채널 MOS트랜지스터(701)~(704)를 거쳐서 워드선 드라이버WD0~WD7에 공급된다.

예를 들면, 서브블럭SB1에서는 글로벌 승압전워선GPL의 승압전원전위Vpp가 P채널 MOS트랜지스터(701)를 거쳐서 워드선 드라이버 WD0 및 WD1에 각각 공급된다.

그 외의 서브블럭 SB2~SB4에서도 그것과 마찬가지이다.

그리고, 행 어드레스 신호에 응답해서 워드선 드라이버WD0~WD7중 1개가 대응하는 워드선을 활성화한다.

도 2에서는 1개의 블럭에 1개의 선택트랜지스터가 마련되고, 승압전원전위Vpp는 그의 1개의 선택트랜지스터를 거쳐서 다수의 워드선 드라이버에 공급되므로, 그 선택 트랜지스터의 사이즈는 커야만 한다.

이것에 대해서, 실시예 8에서는 1개의 메인블럭MB1에 4개의 트랜지스터(701)~(704)가 마련되고, 승압전원전위Vpp가 1개의 트랜지스터(701~704)를 거쳐서 2개의 워드선 드라이버(WD0~WD7)에 공급되므로, 트랜지스터(701)~(704)의 사이즈를 작게할 수 있다.

[실시예 9]

도 21은 본 발명의 실시예 9에 의한 반도체 기억장치의 주요한 구성을 도시하는 블럭도이다.

도 21을 참조하면, 이 반도체 기억장치는 내부승압회로(20), 글로벌 승압전원선GPL, 선택 트랜지스터(800) 및 m개의 블럭B1~Bm를 구비한다.

블럭B1~Bm은 로컬 승압전원선LPL1~LPLm을 각각 포함한다.

블럭B1~Bm의 각각은 또, 8개의 워드선 드라이버 WD0~WD7를 포함한다.

즉, 이들의 블럭B1~Bm은 제20도의 메인블럭MB1~MBm과 같이 서브블럭SB1~SB4로 분할되어 있지 않다.

또, 각 블록에 대응하여 1개의선택 트랜지스터가 마련되어 있지 않고 본 실시예 에서는 m개의 블럭B1~Bm

에 대응해서 1개의 선택 트랜지스터(800)이 마련된다.

다음에, 이 반도체 기억장치의 동작을 설명한다.

우선, 어드레스 신호에 응답해서 블럭B1~Bm중 어느것인가가 선택된다.

어는 블럭이 선택되는 경우에도 L레벨의 블록선택신호/BSD에 응답해서 선택 트랜지스터(800)이 온으로 된다.

이것에 의해 글로벌 승압전원선GPL의 승압전원전위Vpp는 선택 트랜지스터(800)을 거쳐서 로컬 승압전원선LPL1~LPLm에 각각 공급된다.

그리고, 행 어드레스 신호에 응답해서 그 선택된 블럭내의 워드선 드라이버WD0~WD7의 1개가 대응하는 워드선을 활성화한다.

도 2에서는 각 블럭에 1개의 선택 트랜지스터가 필요한 것에 대해, 이 실시예 9에서는 다수의 블럭B1~Bm에 대응해서 1개의 선택 트랜지스터 (800)이 마련되어 있으므로 계층승압전원선 구성이 간략화된다.

[실시예 10]

도 22 및 도 23에 도시되는 바와 같이, 도면상 좌측의 비트선쌍 BLL,/BLL및 도면상 우측의 비트선쌍BLR,/BLR은 1개의 센스앰프(S/A)(814)를 공유한다.

모든 블러B1~B5가 선택되지 않은 경우는 모든 비트선 분리 드라이버(bit line separation drivers)(801)~(805)가 모든 분리 트랜지스터(810)~(813)의 게이트전극에 승압전원전위Vpp레벨의 비트선 분리신호BLIL, BLIR를 인가한다. 그 때문에, 모든 분리 트랜지스터(810)~(813)이 온으로 된다.

여기에서, 승압전원전위Vpp레벨의 비트선 분리신호BLIL, BLIR이 인가되는 것은, 전원전위Vcc레벨의 데이타가 분리 트랜지스터(810)~(813)의 스레쉬홀드전압만큼 저하하는 일 없이 비트선쌍BLL, /BLL 및 BLR,/BLR에 인가되도록 하기 위한 것이다.

예를 들면, 블럭B3이 선택되는 경우는 비트선 분리 드라이버(803)이 Vpp레벨이 아닌 접지GND레벨의 비트선 분리신호BLIL를 대응하는 분리 트랜지스터(810),(811)의 게이트전극에 인가하고, 또한GND레벨의 비트선 분리신호BLIR를 대응하는 분리 트랜지스터(812),(813)의 게이트전극에 인가한다. 이것에 의해, 블럭B2내의 비트선BLL 및/BLL은 센스앰프열(807)내의 센스앰프(814)에 접속된다. 또, 블럭B4내의 비트선BLR 및/BLR은 센스앰프열(808)내의 센스앰프(814)에서 분리되고, 블럭B3내의 비트선BLL 및 /BLL만이 센스앰프열(808)내의 센스앰프(814)에 접속된다. 이와 같이 종래의 반도체 기억장치에서는 Vpp레벨의 비트선 분리신호BLIL, BLIR이 다수의 분리 트랜지스터(810)~(813)의 게이트전극에 인가되기 때문에, 승압전원전위Vpp를 발생하는 내부승압회로(도시하지 않음)의 부하는 커야만 한다. 따라서, 이하의 실시예 10의 1개의 목적은 내부승압회로의 부하가 작은 반도체 기억장치를 제공하는 것이다.

도 24는 본 발명의 실시예 10에 의한 반도체 기억장치의 주요한 구성을 도시하는 블록도이다. 도 24를 참조하면, 이 반도체 기억장치는 다수의 블록B1~B5, 이들 다수의 블록B1~B5 사이에 각각 마련된 다수의 센스앰프열(806)~(809), 센스앰프열(806)~(809)의 양측에 마련된 다수의 분리 트랜지스터(810)~(813) 및 분리 트랜지스터(810)~(813)를 구동하는 비트선 분리 드라이버(901)~(905)를 구비한다.

블럭B1~B5의 각각은 열에 마련된 다수의 비트선쌍BLL,/BLL및 BLR,/BLR,행에 마련된 다수의 워드선(도시하지 않음),비트선쌍 및 워드선의 교점에 마련된 다수의 메모리셀(도시하지 않음)를 포함한다.

도 25는 도 25 중의 1개의 열의 구체적인 구성을 도시하는 블록도이다. 도 25를 참조하면, 센스앰프열(806)~(809)의 각각은 다수의 센스앰프 및 비트선 등화회로(bit line equalize circuit),다수의 임출력(I/0)게이트(815)를 포함한다.

도 25에서는 1개의 센스앰프 및 비트선 등화회로(910)과 1개의 입출력게이트(815)가 도시된다. 각 센스앰프 및 비트선 등화회로(910)은 도면상 좌측의 블럭내의 1개의 비트선쌍BLL,/BLL에 대응함과 동시에, 도면상 우측의 블럭내의 1개의 비트선쌍BLR,/BLR에 대응한다. 비트선쌍BLL,/BLL은 분리 트랜지스터쌍(810),(811) 및 비트선쌍BLM,/BLM을 거쳐서 센스앰프 및 비트선 등화회로(910)중의 센스앰프는 비트선쌍BLL,/BLL 및 BLR,/BLR에 의해서 공유(share)된다.

각 입출력게이트(815)는 1개의 센스앰프 및 비트선 등화회로(910)에 대응하고, 열 선택신호CSL에 응답해서 비트선쌍BLM,/BLM및 로컬 입출력선쌍LI0,/LI0사이에서 데이타를 전송한다. 센스앰프 및 비트선 등화회로(910)중의 센스앰프는 센스앰프 구동신호SON 및 SOP에 응답해서 비트선쌍BLM,/BLM 사이의 전위차를 증폭한다. 센스앰프 및 비트선 등화회로(910)중의 비트선 등화회로는 비트선 등화신호(도시하지 않음)에 응답해서 Vcc/2레벨의 비트선 프리챠지전위(도시하지 않음)를 비트선쌍BLM,/BLM에 공급하고 또한, 비트선쌍BLM 및BLM의 전위를 등화(equalize)한다, 비트선쌍BLL 및/BLL사이에는 비트선 등화회로(911)가 접속된다. 이 비트선 등화회로(911)는 비트선 등화신호(bit line egualize signal)BLEQ에 응답해서Vcc레벨의 비트선 프리챠지전위VPL를 비트선쌍BLL 및/BLL에 공급하고, 또한 비트선쌍BLL 및/BLL의 전위를 등화한다.

비트선쌍BLR 및/BLR사이에는 비트선 등화회로(912)이 접속된다. 이 비트선 등화회로(912)은 비트선 등화신호BLEQ에 응답해서 비트선 프리챠지 전위VPL를 비트선BLR 및/BLR에 공급하고, 또한 비트선쌍BLR 및/BLR의 전위를 등화한다.

도 26은 도 24 중의 1개의 비트선 분리 드라이버의 구성과 비트선 분리 드라이버(901)~(905)를 계층화하기 위한 구성을 도시하는 회로도이다. 도 27은 도 24중의 비트선 분리 드라이버 (901)및 (902)의 전체구성과 비트선 분리 드라이버를 계층화하기 위한 구성을 도시하는 회로도이다. 도 26및 도 27을 참조하면, 비트선 분리 드라이버(901)~(905)는 각각 P채널 MOS트랜지스터(921),(922),N채널 MOS트랜지스터(923),(925), 인버터(924),(926),(927) 및 드라이버 (DR1,DR2)를 포함한다. 비트선 분리 드라이버(901)~(905)의 각각은 블록선택신호BSI1~BSI5를 각각 생성한다.

도 26을 참조하면, 이 반도체 기억장치는 또, 승압전원전위Vpp를 발생하는 내부승압회로(20), 승압전원전위Vpp가 공급되는 글로벌 승압전원선GPL, 로컬 승압전원선LPL, 비트선 분리 드라이버로 부터의 블럭선택신호/BSD에 응답해서 로컬 승압전원선 LPL를 글로벌 승압전원선GPL에 접속하는 선택 트랜지스터(326), 계층Vpp제어회로 (도9중 (30))로 부터의 계층제어신호/HVPPD에 응답해서 로컬 승압전원선LPL를 글로벌 승압전원선GPL에 접속하는 프리챠지 트랜지스터(327) 및 로컬 승압전원선LPL를 외부전원전위extVcc에 클램프하는 클램프회로(328)를 구비한다. 도27에 도시되는 바와 같이, 로컬 승압전원선LPL은 비트선 분리 드라이버(901)~(905)중의 드라이버DR에 접속된다.

다음에, 이 반도체 기억장치의 동작을 설명한다.

우선, 모든 블럭B1~B5가 선택되지 않은 경우는 모든 비트선 분리 드라이버는 각각 L레벨의 블럭선택신호BSI1~BSI5에 응답해서, 접지GND레벨의 비트선 분리신호BLIL1, BLIR2, BLIL2~BLIR4, BLIL4및bIiI5를 생성한다. 따라서, 모든 분리 트랜지스터 (810)~(813)이 오프로 되고, 그것에 의해 모든 비트선쌍BLL,/BLL및 BLR,/BLR이 센스앰프열(806)~(809)에서 분리된다. 이때, 센스앰프 및 비트선 등화회로(910)중의 비트선 등화회로는 비트선 등화신호에 응답해서 비트선BLM 및/BLM를 Vcc/2레벨로 프리챠지한다. 비트선 등화회로(912)은 비트선 등화신호에 응답해서 비트선BLR 및/BLR를 Vcc레벨로 프리챠지한다. 이와 같이, 비트선쌍BLL,/BLL및 BLR,/BLR이 센스앰프에서 분리되어도 비트선BLL 및/BLL사이에 비트선 등화회로(911)가 마련되고, 또한 비트선BLR 및/BLR상이에 비트선 등화회로(912)이 마련되므로, 비트선쌍BLL,/BLL 및 BLR,/BLR은 프리챠지될 수 있다. 또, L레벨의 블럭선택신호BSI1~5에 응답해서 비트선 분리 드라이버(901)~(905)는 H레벨의 블럭선택신호/BSD1~/BSD5를 생성한다.

이 H레벨의 블럭선택/BSD1~/BSD5를 생성한다.

이 H레벨의 블럭선택신호/BSD1~/BSD5에 응답해서 모든 선택 트랜지스터(326)이 오프로 되므로, 로컬 승압전원선LPL은 글로벌 승압전원선GPL에 접속되지 않는다.

따라서, 승압전원전위Vpp가 로컬 승압전원선LPL를 거쳐서 어느 드라이버DR에도 공급되지 않는다.

그 때문에, 드라이버DR중의 트랜지스터Q1및 Q2에 흐르는 관통전류가 저감될 수 있다.

드라이버DR중의 트랜지스터Q1 및 Q2사이즈는 1개의 드라이버DR이 구동하는 분리 트랜지스터(810),(811) 또는 (812),(813)의 수가 많은 만큼 크게 할 필요가 있다.

따라서, 1개의 드라이버DR이 구동하는 분리 트랜지스터(810),(811) 또는 (812),(813)의 수가 많은 만큼 관통전류의 저감은 효과적으로 된다.

계속해서, 예를 들면 블럭B3이 선택되는 경우는 블럭선택신호BSI3만이 H레벨로 활성화된다.

비트선 분리 드라이버(903)은 H레벨의 블럭선택신호BSI3에 응답해서 블럭선택신호/BSD3을 L레벨로 활성화한다.

블럭B3의 선택 트랜지스터(326)은 L레벨의 블럭선택신호/BSD3에 응답해서 온으로 되고, 이것에 의해 글로벌 승압전원선GPL의 승압전원전위Vpp는 로컬 승압전원선LPL에 공급된다.

그 때문에, 비트선 분리 드라이버(903)은 H레벨의 블럭선택신호BSI3에 응답해서 로컬 승압전원선LPL의 전위Vppi를 블럭B3의 양측의 분리 트랜지스터(810)~(813)의 게이트전극에 공급한다.

즉 비트선 분리신호BLIL3 및 BLIR3만이 Vpp레벨로 된다.

이와 같이 선택된 블럭의 양측의 선택 트랜지스터에만 Vpp레벨의 비트선 분리신호가 인가되고 그외의 분리 트렌지스터에는 GND레벨의 비트선 분리신호가 인가되기 때문에, 드라이버DR에 흐르는 관통전류가 대폭적으로 저감될 수 있다.

그 결과, 내부승압회로(20)의 부하를 상술한 종래의 것보다도 작게할 수 있다.

또, 이 실시예 10에서는 계층제어신호/HVPPD에 응답해서 온 /오프로 되는 프리챠지 트랜지스터(327)이 마련되기 때문에, 상술한 실시예 와 마찬가지로 파워 온 리세트 기간중에 로컬 승압전원선LPL이 Vpp레벨로 프리챠지된다.

그 결과, 파워 온 리세트 기간후 바로 비트선 분리신호BLI가 활성화될 수 있다.

또, 이 실시예 10에서는 클램프회로(328)이 마련되기 때문에 상술한 실시예 와 마찬가지로 모든 블럭B1~B5가 선택되지 않는 상태가 길게 계속해도 로컬 승압전원선LPL의 전위Vppi가 승압전원전위Vpp에서 대폭적으로 저하하는 일이 없다.

[실시예 11]

도 28은 본 발명의 실시예 11에 의한 반도체 기억장치의 전체 구성을 도시하는 레이아우트로이다.

도 28을 참조하면, 이 반도체 기억장치(94)는 승압전원전위 Vpp를 발생하는 내부승압회로(20),승압전원전위Vpp가 공급되는 글로벌 승압전원선GPL, 선택적으로 활성화 가능한 다수의 블럭(95) 및 다수의 블럭(95)에 대응해서 마련되고 각각이 블럭선택신호BSI에 응답해서 대응하는 블럭(95)를 글로벌 승압전원선GPL에 접속하는 계층Vpp회로(32)를 구비한다.

도 29는 도 28중의 각 블럭(95)의 구성을 상세하게 도시하는 블록도이다.

참조하면, 각 블럭(95)는 계층Vpp회로(32)를 거쳐서 글로벌 승압전원선GPL에 접속 가능한 로컬 승압전원선LPL및 로컬 승압전원선LPL에 공통으로 접속된n개의 기능회로(function circuits)FC1~FCn, 기능회로FC1~FCn에 의해서 제어되는 어레이 블럭(96)를 구비한다.

예를 들면, 기능회로FC1은 워드선 드라이버등을 포함하고, 기능회로FC2는 비트선 분리 드라이버등을 포함

한다.

즉, 이 실시예 11에서는 각각의 워드선 드라이브 시스템(word lind driving system)또는 분리 트랜지스터 드라이브 시스템(seperation transistor driving system)에 승압전원전위 Vpp가 계층화되는 것이 아니고, 워드선 드라이브 시스템, 분리 트랜지스터 드리이버 시스템등의 다수의 기능 회로 FC1~FCn전체에서 승압전원전위Vpp가 계층된다.

다음에, 이 반도체 기억장치의 동작을 설명한다.

모든 블럭(95)가 선택되지 않은 경우는 L레벨의 블럭선택신호BSI에 응답해서 모든 블럭(95)중의 로컬 승압전원선LPL가 글로벌 승압전원선GPL에서 분리된다.

따라서, 예를 들면 기능회로FC1이 다수의 워드선 드라이버를 포함하는 경우에도 워드선 드라이버에 흐르는 관통전류가 대폭적으로 저감된다.

계속해서, 어느 블럭(95)가 선택되면 그 선택된 블럭(95)중의 로컬 승압전원선LPL이 H레벨의 블럭선택신호에 응답해서 글로벌 승압전원선 GPL에 접속된다.

그러나, 비선택된 블럭(95)중의 로컬 승압전원선LPL은 글로벌 승압전원선GPL에 접속되지 않는다.

따라서, 예를 들면, 기능회로FC1이 다수의 워드선 드라이버를 포함하는 경우에도 워드선 드라이버에 흐르는 관통전류는 대폭적으로 저감된다.

각 기능회로내에 있어서 승압전원전위Vpp가 더 계층화되어도 좋다.

금회 개시된 실시예 는 모든 점에서 예시로서 제한적인 것은 아닌 것으로 고려되어져야 한다.

본 발명의 범위는 특허청구의 범위에 의해서 도시되고 특허청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

(57) 청구의 범위

청구항 1

외부전원전위에 따라서 상기 외부전원전위보다도 높은 소정의 승압전원전위를 발생하는 승압전원전위 발생수단(20), 상기 승압전원전위 발생수단으로부터 상기 승압전원전위가 공급되는 글로벌 전원선 (GPL), 다수의 워드선(WL), 상기 워드선과 교차하는 다수의 비트선(BL,/BL), 상기 워드선 및 상기 비트선의 교점에 대응하고, 각각이 대응하는 워드선 및 비트선에 접속되는 다수의 메모리셀(22), 로컬 전원선(LPL), 소정의 선택신호에 응답해서 상기 로컬 전원선을 상기 글로벌 전원선에 접속하는 접속수단(AD,BST), 상기 워드선에 대응하고, 또한 상기 로컬 전원선과 공통으로 접속되고, 각각이 상기 로컬 전원선의 상기 승압전원전위를 대응하는 워드선에 공급하는 것에 의해 그 대응하는 워드선을 구동하는 다수의 워드선 구동수단(WD), 외부에서 공급되는 행 어드레스신호에 응답해서 상기 워드선 구동수단을 선택적으로 활성화하는 활성화수단(12a) 및 상기 외부전원전위의 투입에 응답해서 미리 결정된 기간동안 파워 온 리세트신호를 발생하는 파워 온 리세트신호 발생수단(21)을 포함하고, 상기 접속수단은 또 상기 파워 온 리세트신호에 응답해서 상기 로컬 전원선을 상기 글로벌전원선에 접속하는 반도체 기억장치.

청구항 2

제 1항에 있어서, 상기 파워 온 리세트신호의 활성화에 응답해서 활성화되고, 또한 상기 파워 온 리세트신호의 불활성화후 소정기간 불활성화되는 초기화신호를 발생하고, 그 발생된 초기화신호를 상기 접속수단에 공급하는 공급수단(24,26)을 포함하는 반도체 기억장치.

청구항 3

제 1항에 있어서, 상기 접속수단은 상기 선택신호 및 상기 파워 온 리세트신호에 응답해서 출력신호를 공급하는 논리게이트(AD) 및 상기 로컬 전원선과 상기 글로벌 전원선 사이에 접속되고, 상기 논리게이트의 상기 출력신호에 응답해서 온/오프로 되는 트랜지스터(BST)를 포함하는 반도체 기억장치.

청구항 4

외부전원전위에 따라서 상기 외부전원전위보다도 높은 소정의 승압전원전위를 발생하는 승압전원전위 발생수단(20) 승압전원전위 발생수단으로부터 상기 승압전원전위가 공급되는 글로벌 전원선(GPL), 상기 다수의 블럭(B)으로서, 상기 블럭의 각각이, (a)다수의 워드선(WL), (b) 상기 워드선과 교차하는 다수의 비트선(BL,/BL), (c) 상기 워드선 및 상기 비트선의 교점에 대응하고, 각각이 대응하는 워드선 및 비트선에 결합되는 다수의 메모리셀(22), (d) 로컬 전원선(LPL), (e) 소정의 선택신호에 응답해서 상기 로컬 전원선을 상기 그로벌 전원선에 접속하는 접속수단(AD,BST) 및 (f) 상기 워드선에 대응하고, 또한 상기 로컬 전원선과 공통으로 접속되고 각각이 상기 로컬 전원선의 상기 승압전원전위를, 대응하는 워드선에 공급하는 것에 의해 그 대응하는 워드선을 구동하는 다수의 워드선 구동수단(WD)을 포함하는, 상기 다수의 블럭(B), 외부에서 공급되는 행 어드레스신호에 응답해서 상기 워드선 구동수단을 선택적으로 활성화하는 활성화수단(12a) 및 상기 외부전원전위의 투입에 응답해서 미리 결정된 기간 동안 파워 온 리세트신호를 발생하는 파워 온 리세트신호 발생수단(21)을 포함하고, 상기 접속수단은 또, 상기 파워 온 리세트신호에 응답해서 상기 로컬 전원선을 상기 글로벌 전원선에 접속하는 반도체 기억장치.

청구항 5

제 4항에 있어서, 상기 파워 온 리세트신호의 활성화에 응답해서 활성화되고, 또한 상기 파워 온 리세트신호의 불활성화후 소정기간 불활성되는 초기화신호를 발생하고, 그 발생된 초기화신호를 상기 접속수단에 공급하는 공급수단(24,26)를 포함하는 반도체 기억장치.

청구항 6

상기 공급수단은, 상기 파워 온 리세트신호의 불활성화후에 외부에서 공급되는 소정의 제어신호를 카운트하고, 그 카운트된 제어신호의 수가 미리 결정된 수에 도달한 때 캐리신호를 발생하는 카운터수단(241) 및 상기 파워 온 리세트신호에 응답해서 상기 초기화신호를 활성화하고, 상기 캐리신호에 응답해서 상기 초기화신호를 불활성화하는 초기화신호 발생수단(242)를 포함하는 반도체 기억장치.

청구항 7

제 6항에 있어서, 상기 제어신호는 외부에서 공급된 어드레스신호를 스트로브하기 위한 어드레스 스트로브신호를 포함하는 반도체 기억장치.

청구항 8

제 5항에 있어서, 상기 공급수단은 상기 글로벌 전원선의 전위를 검출하여 그 검출된 전위가 상기 승압전원전위에 도달하지 않을 때 상기 승압전원전위 발생수단을 활성화하기 위한 승압 인에이블신호를 발생하는 검출수단(261) 및 상기 파워 온 리세트신호의 활성화에 응답해서 상기 초기화신호를 활성화하고, 상기 승압 인에이블신호의 활성화에 응답해서 상기 초기화신호를 활성화하는 초기화신호 발생수단(262)를 포함하는 반도체 기억장치.

청구항 9

제 8항에 있어서, 상기 초기화신호 발생수단은 상기 파워 온 리세트신호에 응답해서 세트되고, 상기 승압 인에이블신호에 응답해서 리세트되어 상기 초기화신호를 공급하는 플립플롭회로(262)를 포함하는 반도체 기억장치.

청구항 10

제 4항에 있어서, 상기 접속수단은 상기 선택신호 및 상기 파워 온 리세트신호에 응답해서 출력신호를 공급하는 논리게이트(AD) 및 상기 로컬 전원선과 상기 글로벌 전원선 사이에 접속되고, 상기 논리게이트의 상기 출력신호에 응답해서 온/오프로 되는 트랜지스터(BST)를 포함하는 반도체 기억장치.

청구항 11

제 4항에 있어서, 상기 블럭의 각각이 또, 상기 행 어드레스 신호에 응답해서 상기 선택신호를 발생하는 블럭선택 디코터(DBS)를 포함하는 반도체 기억장치.

청구항 12

제 4항에 있어서, 상기 파워 온 리세트신호 발생수단은 용량수단(212), 상기 용량수단에 상기 외부전원전위를 공급해서 상기 용량수단을 충전하는 충전수단(211) 및 상기 용량수단의 충전전압이 미리 결정된 전압에 도달할 때 상기 파워 온 리세트신호를 발생하는 수단(213,214)를 포함하는 반도체 기억장치.

청구항 13

제4항에 있어서, 상기 외부전원전위에 따라서 상기 외부전원전위 보다도 낮은 소정의 내부전원전위를 발생하는 내부전원전위 발생수단(54)를 또 포함하고, 상기 파워 온 리세트신호 발생수단(50)은 상기 내부전원전위를 수신하는 반도체 기억장치.

청구항 14

외부전원전위에 따라서 상기 외부전원전위보다도 높은 소정의 승압전원전위를 발생하는 승압전원전위 발생수단(20), 상기 승압전원전위 발생수단으로부터 상기 승압전원전위가 공급되는 글로벌 전원선(GPL), 로컬전원선(LPL), 소정의 선택신호에 응답헤서 상기 로컬 전원선을 상기 글로벌 전원선에 접속하는 접속수단(326), 상기 로컬 전원선과 접속되고 소정의 동작을 실행하는 기능회로(34) 및 상기 승압전원전위 이외의 소정의 클램프전위를 수신하여, 상기 로컬 전원선의 전위가 상기 클램프전위보다도 낮을 때 상기 클램프전위를 상기 로컬 전원선에 공급하는 전위공급수단(328)을 포함하는 반도체 기억장치.

청구항 15

외부전원전위에 따라서 상기 외부전원전위보다도 높은 소정의 승압전원전위를 발생하는 승압전원전위 발생수단(20), 상기 승압전원전위 발생수단으로부터 상기 승압전원전위가 공급되는 글로벌 전원선(GPL), 로컬 전원선(LPL), 소정의 선택신호에 응답해서 상기 로컬 전원선을 상기 글로벌 전원선에 접속하는 제1의 접속수단(326), 상기 로컬 전원선과 접속되어 소정의 동작을 실행하는 기능회로(34) 및 테스트모드에 있어서 활성화되는 테스트 인에이블신호(/TE)에 응답해서 상기 로컬 전원선을 상기 글로벌 전원선에 접속하는 제2의 접속수단(327)을 포함하는 반도체 기억장치.

청구항 16

외부전원전위에 따라서 상기 외부전원전위보다도 높은 소정의 승압전원전위를 발생하는 승압전원전위 발생수단(20), 상기 승압전원전위 발생수단으로부터 상기 승압전원전위가 공급되는 글로벌 전원선(GPL) 및 다수의 블럭(MB)으로서, 상기 블럭의 각각이, (a) 다수의 로컬 전원선(LPL), (b) 상기 다수의 로컬 전원선에 대응해서 마련되고, 소정의 선택신호에 응답해서 활성화되고, 각각이 대응하는 로컬 전원선과 접속되어, 소정의 동작을 실행하는 다수의 기능회로(WD) 및 (c) 상기 다수의 로컬 전원선에 대응해서 마련되고, 각각이 상기 선택신호에 응답해서 대응하는 로컬 전원선을 상기 글로벌 전원선에 접속하는 다수의 접속수단(701~704)을 포함하는, 상기 다수의 블럭(MB)을 포함하는 반도체 기억장치.

청구항 17

외부전원전위에 따라서 상기 외부전원전위보다도 높은 소정의 승압전원전위를 발생하는 승압전원전위 발생수단(20), 상기 승압전원전위 발생수단으로부터 상기 승압전원전위가 공급되는 글로벌 전원선(GPL), 다수의 블럭(B)으로서, 상기 블럭의 각각이, (a) 로컬 전원선(LPL) 및 (b) 상기 로컬 전원선과 접속되어, 소정의 동작을 실행하는 기능회로(WD)를 포함하는, 상기 다수의 블럭(B) 및 소정의 선택신호에 응답해서 상기 다수의 블럭에 있어서의 로컬 전원선을 상기 글로벌 전원선에 접속하는 접속수단(800)을 포함하는 반도체 기억장치.

청구항 18

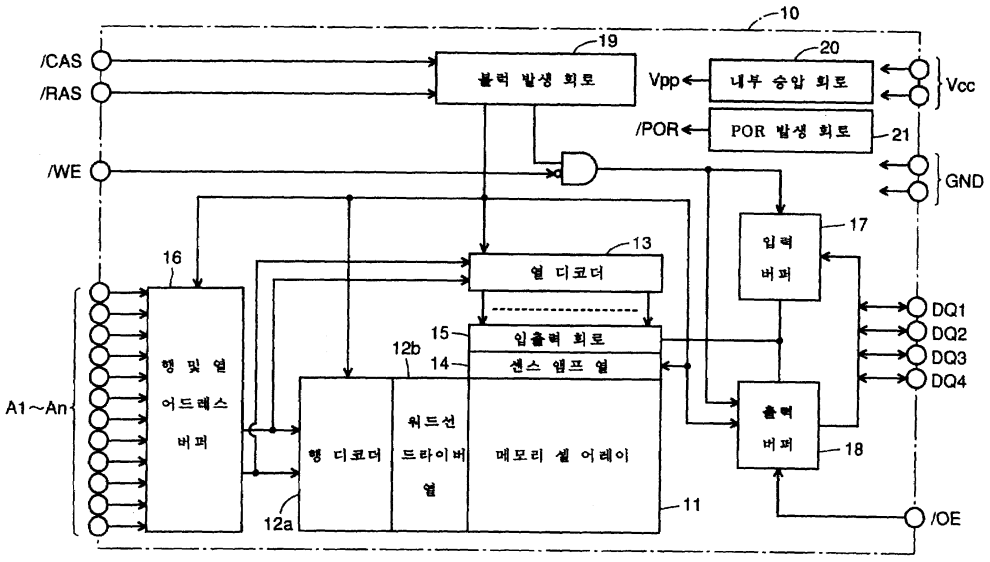
외부전원전위에 따라서 상기 외부전원전위보다도 높은 소정의 승압전원전위를 발생하는 승압전원전위 발생수단(20), 상기 승압전원전위 발생수단으로부터 상기 승압전원전위가 공급되는 글로벌 전원선(GPL), 로컬 전원선(LPL), 소정의 선택신호에 응답해서 상기 로컬 전원선을 상기 글로벌 전원선에 접속하는 접속수단(326), 비트선쌍(BLL, /BLL, BLR, /BLR), 상기 비트선쌍 사이의 전위차를 증폭하는 센스앰프(910), 상기 비트선쌍과 상기 센스앰프 사이에 접속된 트랜지스터쌍(810~813) 및 상기 로컬 전원선과 접속되어 상기 로컬 전원선의 상기 승압전원전위를 상기 트랜지스터쌍의 게이트에 공급하는 것에 의해 상기 트랜지스터쌍을 구동하는 트랜지스터 구동수단(901~905)을 포함하는 반도체 기억장치.

청구항 19

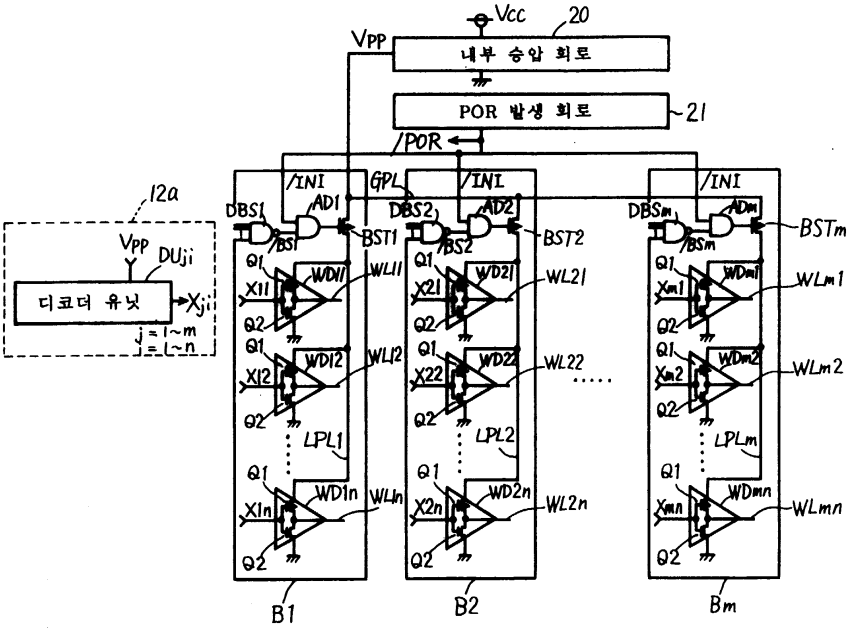
외부전원전위에 따라서 상기 외부전원전위보다도 높은 소정의 승압전원전위를 발생하는 승압전원전위 발생수단(20), 상기 승압전원전위 발생수단으로부터 상기 승압전원전위가 공급되는 글로벌 전원선(GPL), 로컬 전원선(LPL), 소정의 선택신호에 응답해서 상기 로컬 전원선을 상기 글로벌 전원선에 접속하는 접속수단(32), 상기 로컬 전원선과 접속되고, 상기 로컬 전원선의 상기 승압전원전위를 수신해서 제1의 동작을 실행하는 제1의 기능회로(FC1) 및 상기 로컬 전원선과 접속되고, 상기 로컬 전원선의 상기 승압전원전위를 수신해서 상기 제1의 동작과 다른 제2의 동작을 실행하는 제2의 기능회로(FC2)를 포함하는 반도체 기억장치.

도면

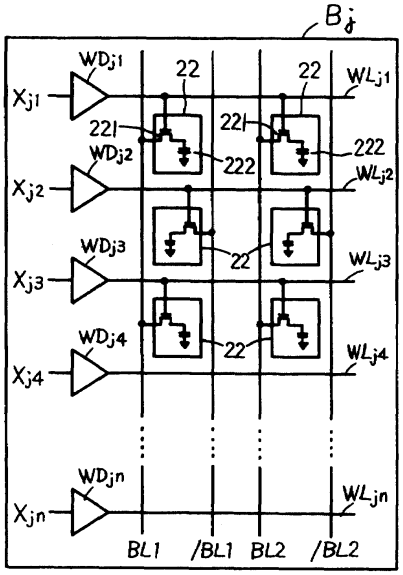
도면1



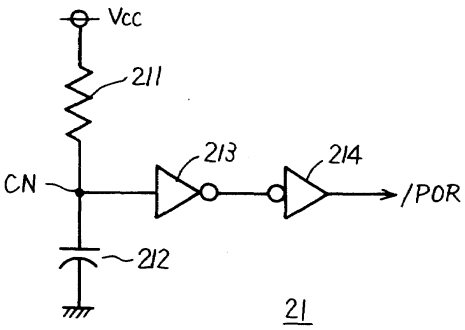
도면2


Vcc
20
VPP
내부 승압 회로
POR 발생 회로
21
/POR
12a
VPP
DUji
디코더 유닛
Xji
j = 1~m
j = 1~n
/INI
GPL
DBS1
AD1
BS1
BST1
Q1
WD11
WL11
X11
Q2
WD12
WL12
X12
LPL1
WD1n
WL1n
X1n
B1
DBS2
AD2
BS2
BST2
WD21
WL21
X21
WD22
WL22
X22
LPL2
WD2n
WL2n
X2n
B2
DBSm
ADm
BSm
BSTm
WDm1
WLm1
Xm1
WDm2
WLm2
Xm2
LPLm
WDmn
WLmn
Xmn
Bm

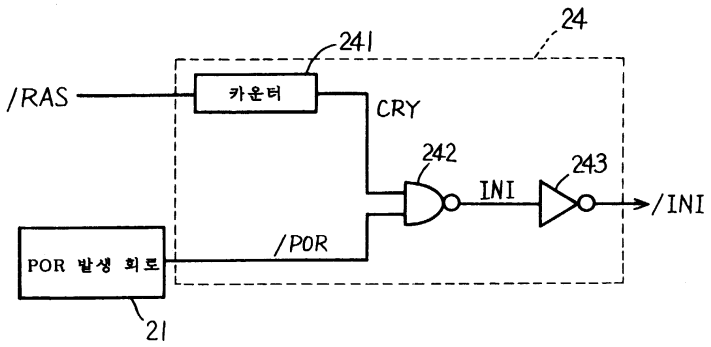
도면3


Bj
WDj1
Xj1
22
WLj1
221
222
WDj2
Xj2
WLj2
WDj3
Xj3
WLj3
WDj4
Xj4
WLj4
WDjn
Xjn
WLjn
BL1
/BL1
BL2
/BL2

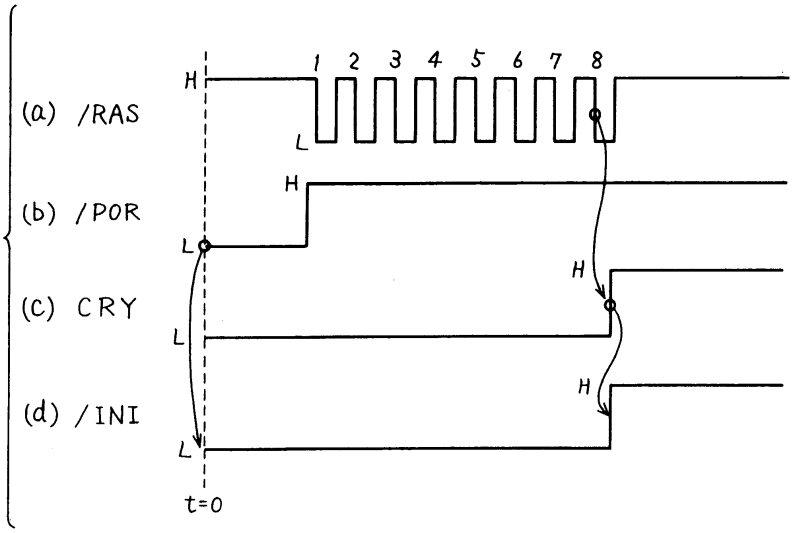
도면4


Vcc
211
213
214
CN
/POR
212
21

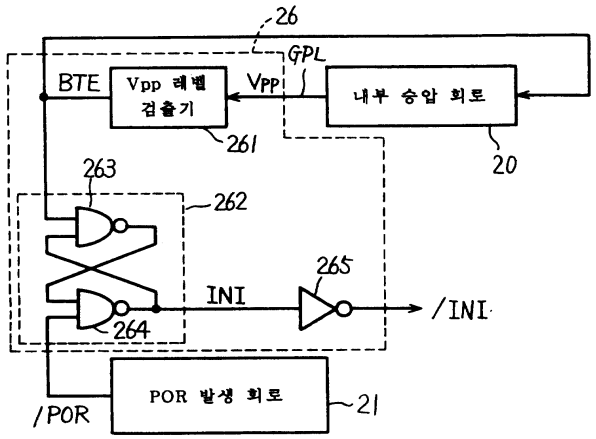
도면5


24
241
/RAS
카운터
CRY
242
243
INI
/INI
/POR
POR 발생 회로
21

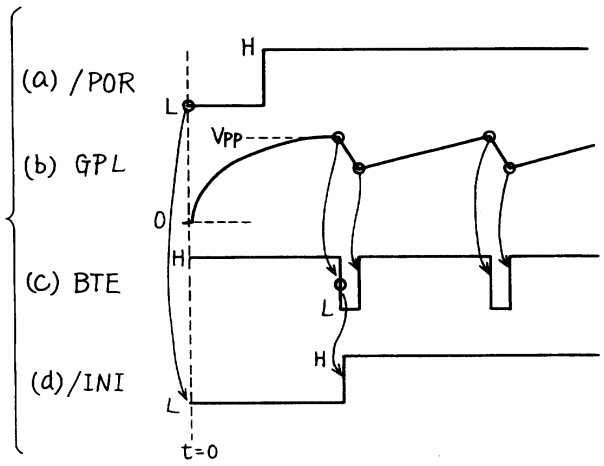
도면6


1 2 3 4 5 6 7 8
(a) /RAS
(b) /POR
(c) CRY
(d) /INI
H
L
t=0

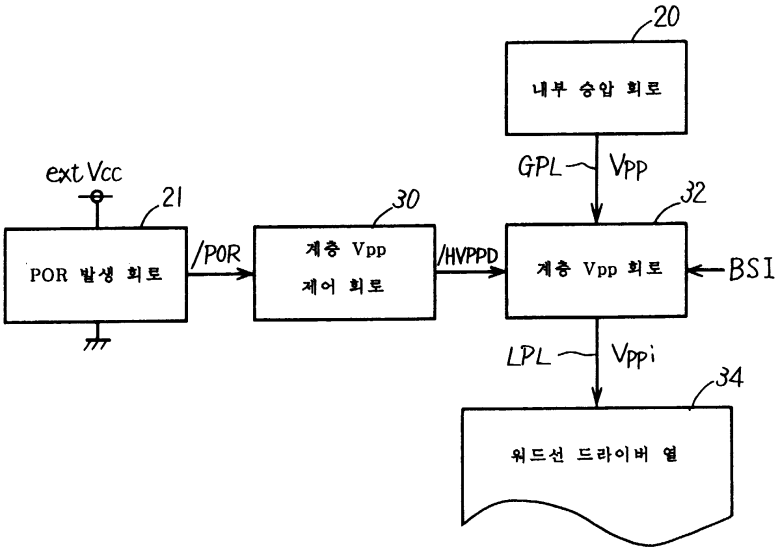
도면7


26
GPL
BTE
Vpp 레벨 검출기
Vpp
내부 승압 회로
261
20
263
262
265
INI
/INI
264
/POR
POR 발생 회로
21

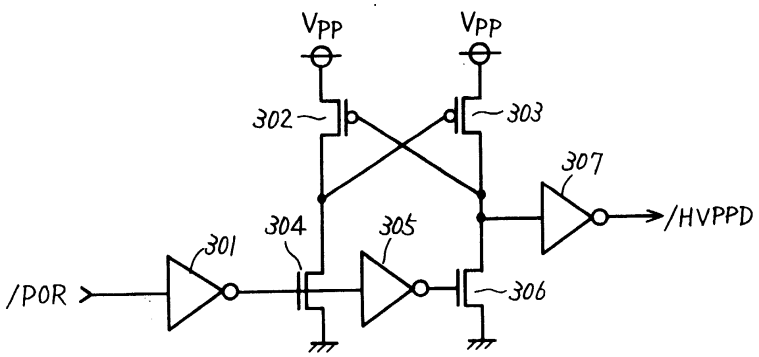
도면8



도면9

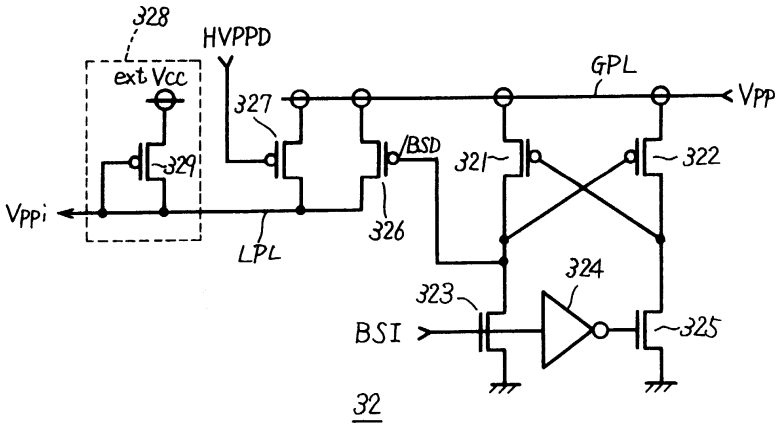


도면10

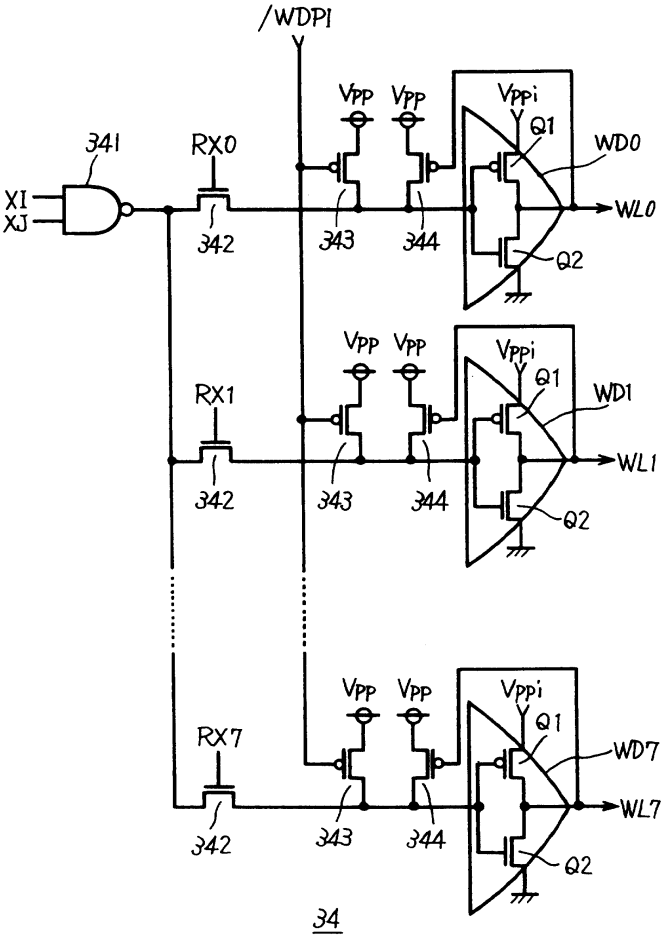


30

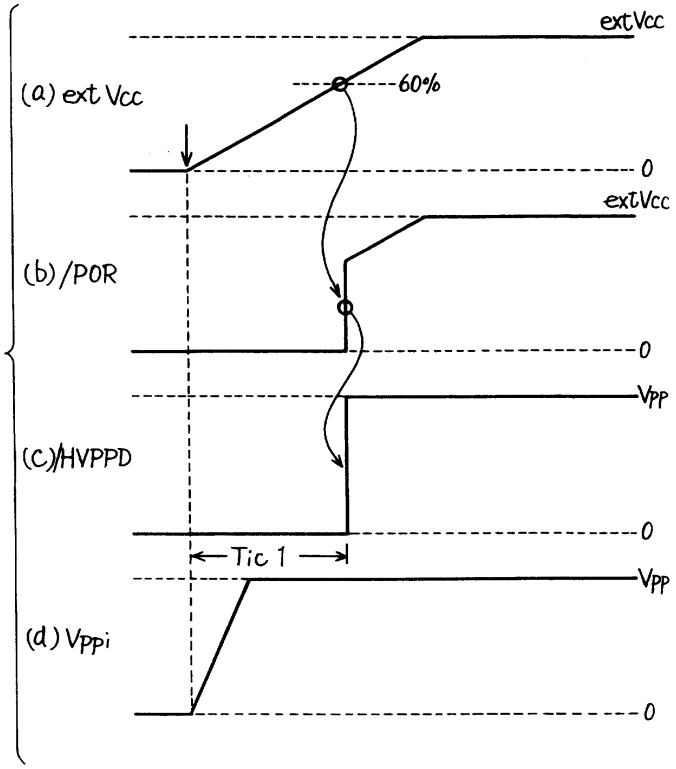
도면11


328
HVPPD
ext Vcc
329
327
GPL
VPP
/BSD
321
322
VPPi
326
LPL
324
323
BSI
325
32

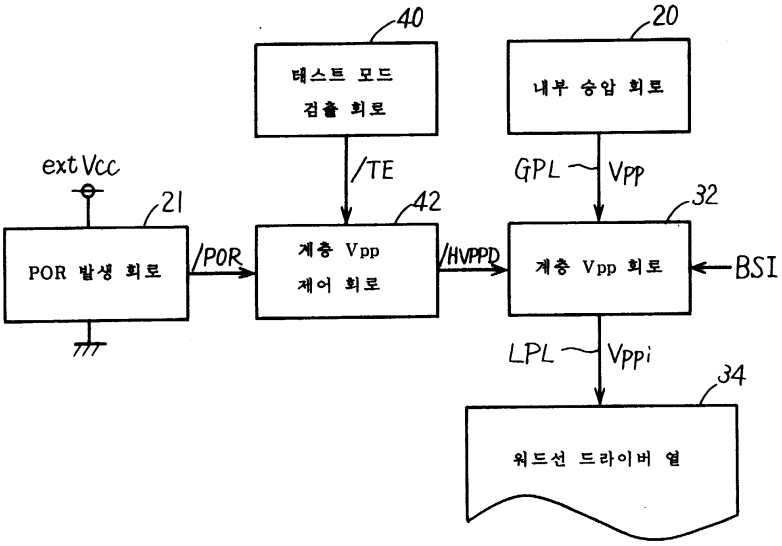
도면12


/WDPI
341
RX0
XI
XJ
342
343
344
VPP
VPPi
Q1
Q2
WD0
WL0
RX1
WD1
WL1
RX7
WD7
WL7
34

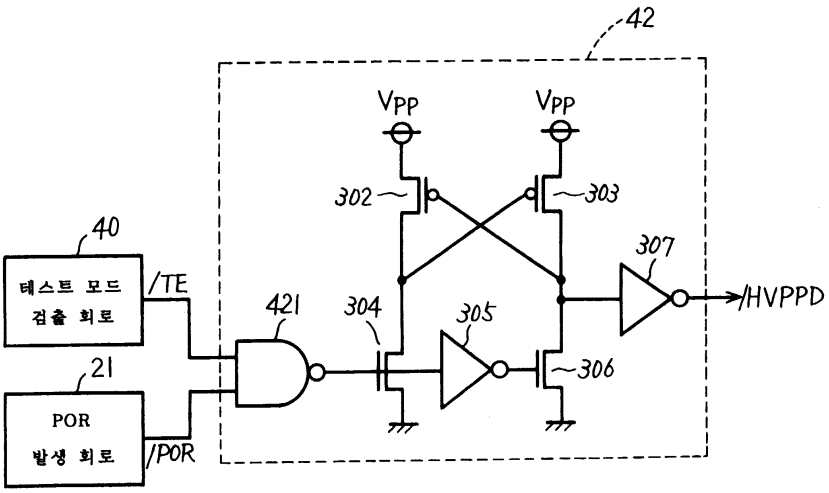
도면13


(a) ext Vcc
60%
extVcc
0
(b) /POR
extVcc
0
(c) /HVPPD
Vpp
0
Tic 1
(d) Vppi
Vpp
0

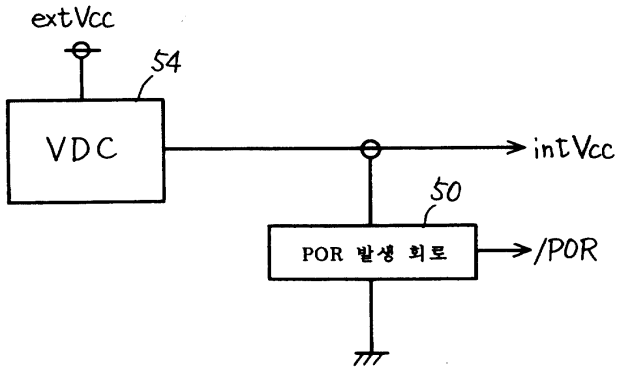
도면14


40
테스트 모드
검출 회로
20
내부 승압 회로
ext Vcc
/TE
GPL
Vpp
21
42
32
POR 발생 회로
/POR
계층 Vpp
제어 회로
/HVPPD
계층 Vpp 회로
BSI
LPL
Vppi
34
워드선 드라이버 열

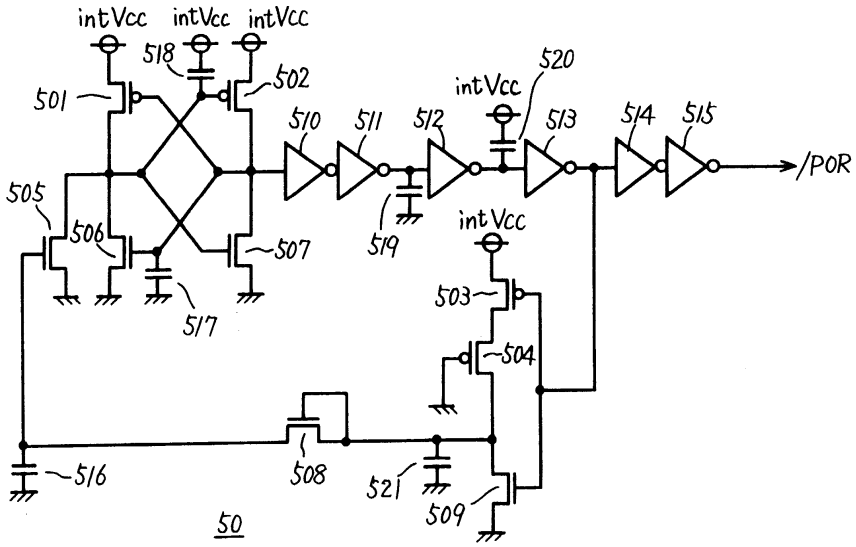
도면15



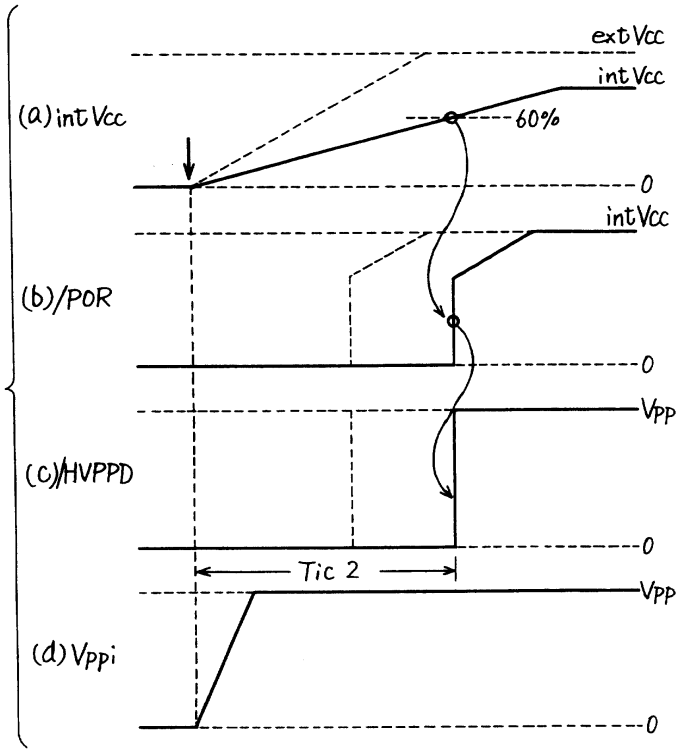
도면16



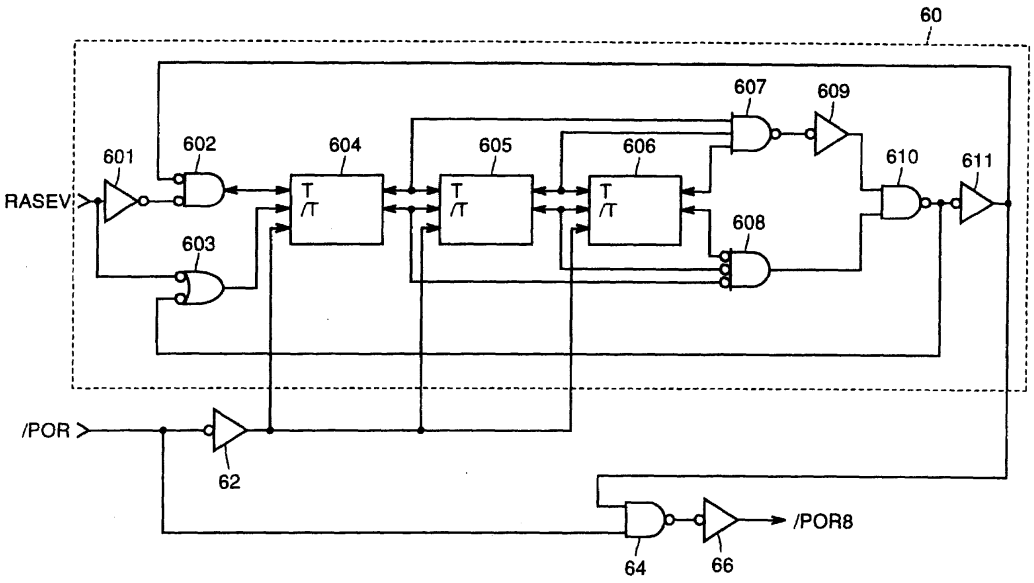
도면17



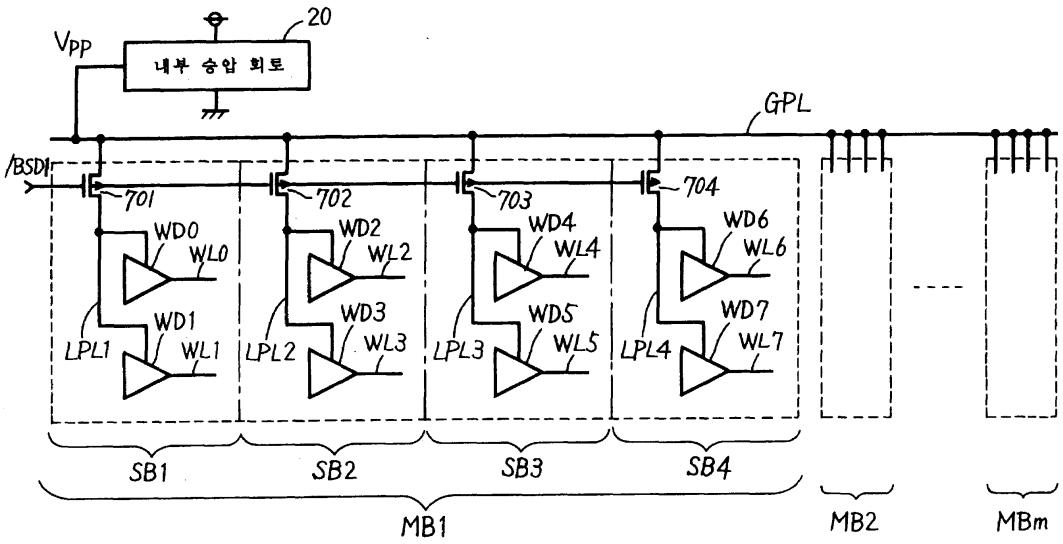
도면18


extVcc
intVcc
(a) intVcc
60%
0
intVcc
(b)/POR
0
VPP
(c)/HVPPD
0
Tic 2
VPP
(d) Vppi
0

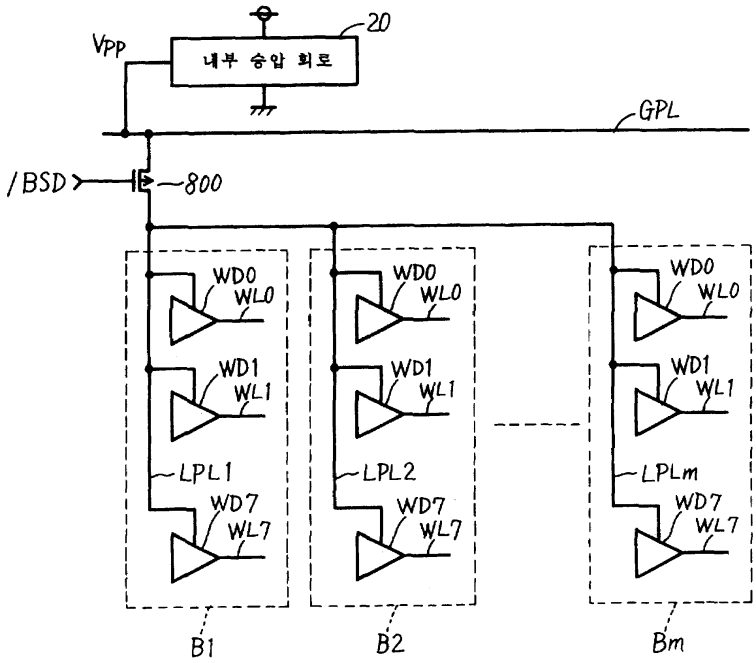
도면19


60
607
609
601
602
604
605
606
610
611
RASEV
T
/T
T
/T
T
/T
608
603
/POR
62
/POR8
64
66

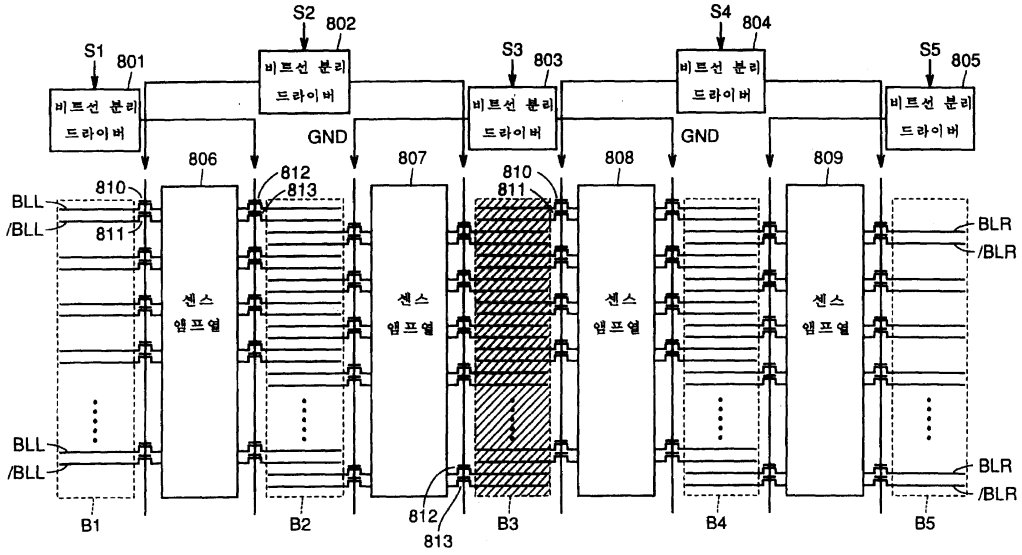
도면20


VPP
20
내부 승압 회로
GPL
/BSD1
701
702
703
704
WD0
WL0
WD1
WL1
WD2
WL2
WD3
WL3
WD4
WL4
WD5
WL5
WD6
WL6
WD7
WL7
LPL1
LPL2
LPL3
LPL4
SB1
SB2
SB3
SB4
MB1
MB2
MBm

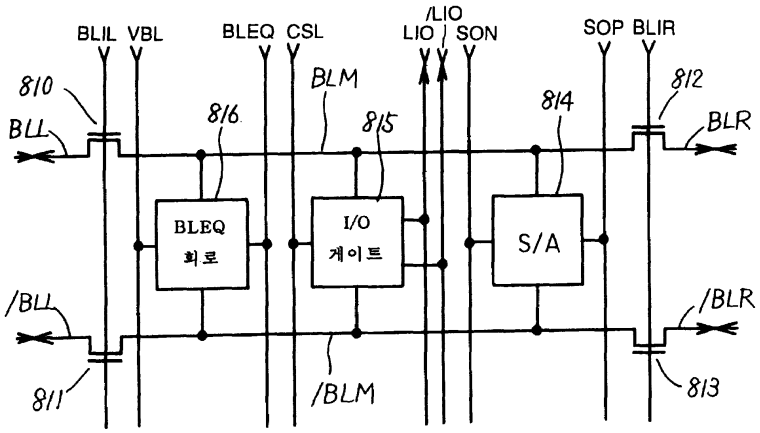
도면21


VPP
20
내부 승압 회로
GPL
/BSD
800
WD0
WL0
WD1
WL1
LPL1
WD7
WL7
LPL2
LPLm
B1
B2
Bm

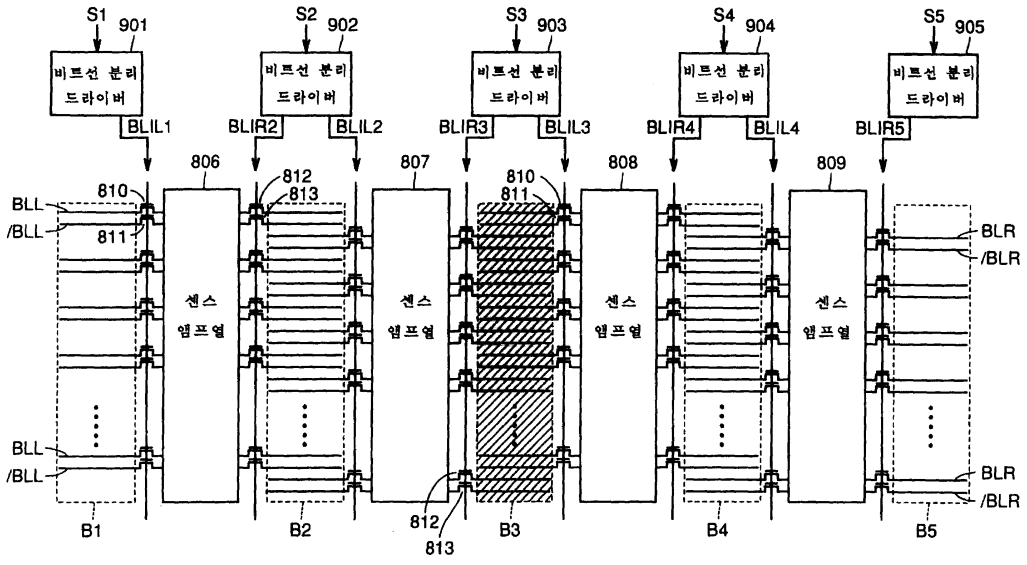
도면22



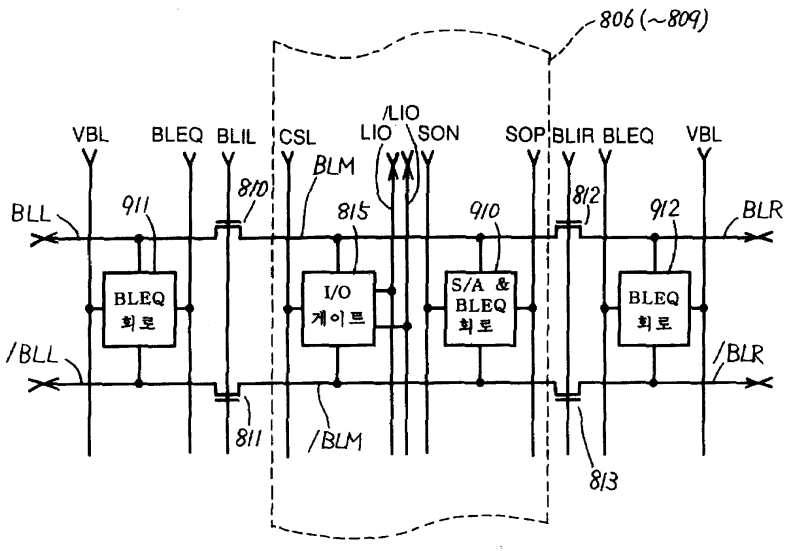
도면23



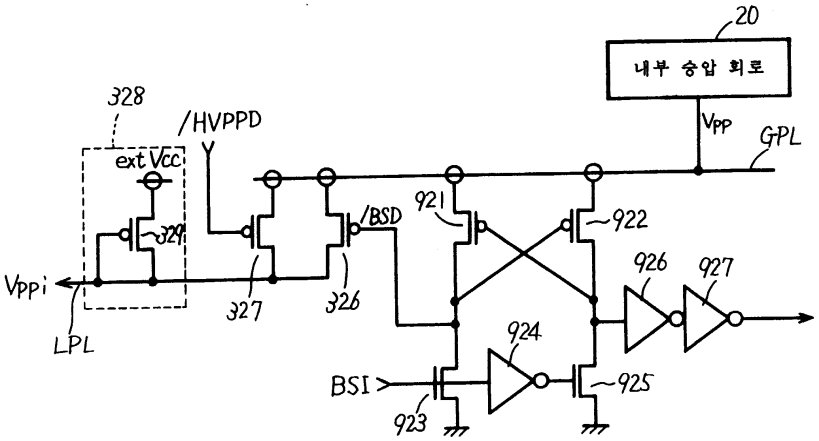
도면24



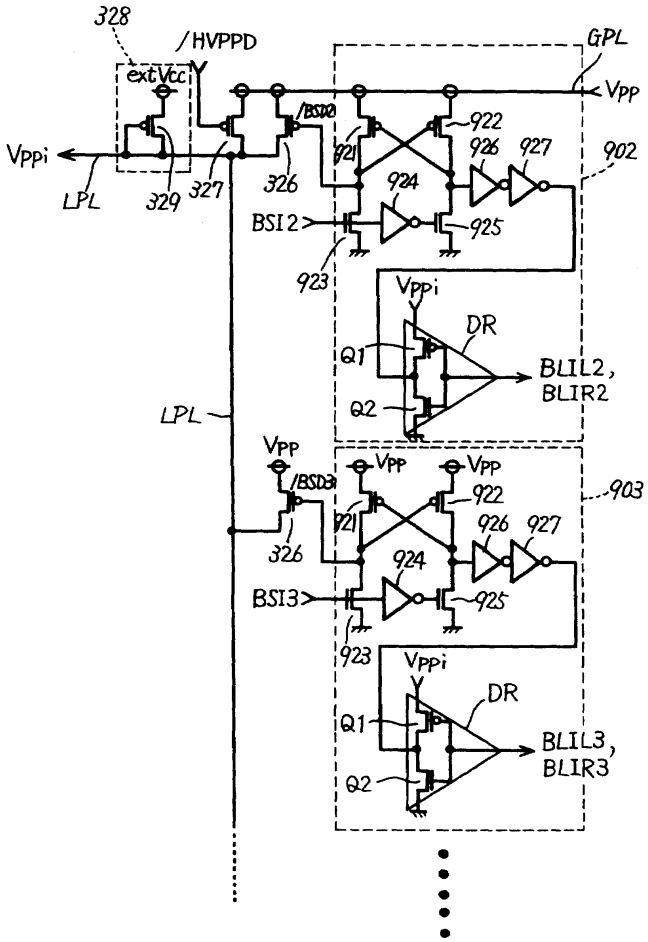
도면25


806 (~809)
VBL
BLEQ
BLIL
CSL
/LIO
LIO
SON
SOP
BLIR
BLEQ
VBL
BLL
911
810
BLM
815
910
812
912
BLR
BLEQ 회로
I/O 게이트
S/A & BLEQ 회로
BLEQ 회로
/BLL
/BLR
811
/BLM
813

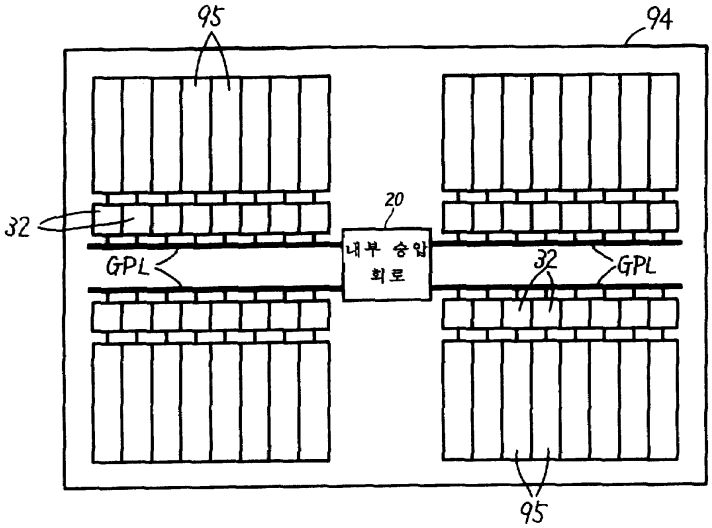
도면26


20
내부 승압 회로
Vpp
GPL
328
/HVPPD
ext Vcc
329
/BSD
921
922
926
927
Vppi
LPL
327
326
924
BSI
923
925

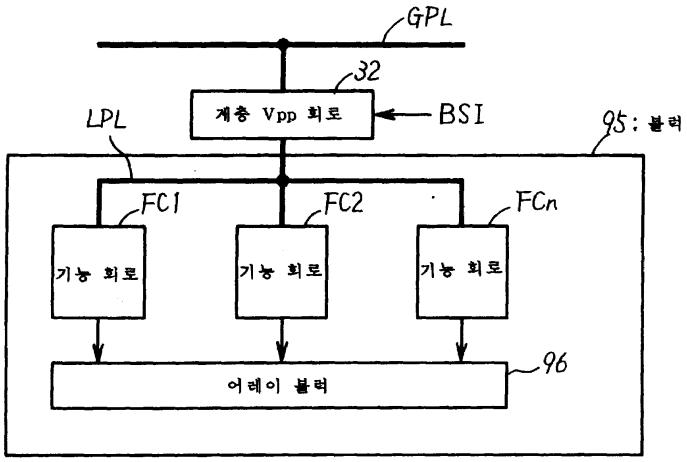
도면27


328
/HVPPD
extVcc
GPL
Vpp
Vppi
LPL
329
327
326
/BSI2
921
922
926
927
902
924
BSI2
925
923
Vppi
DR
Q1
BLIL2,
BLIR2
Q2
LPL
Vpp
/BSI3
Vpp
Vpp
922
903
921
926
927
326
924
BSI3
925
923
Vppi
DR
Q1
BLIL3,
BLIR3
Q2

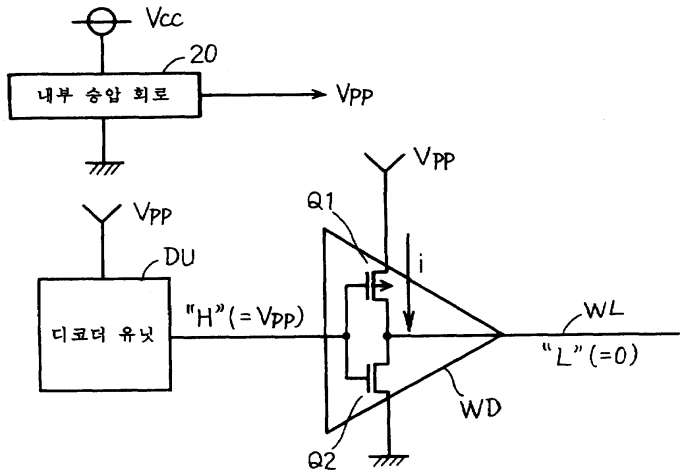
도면28


95
94
32
20
내부 승압
회로
GPL
32
GPL
95

도면29



도면30



도면31

