



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I494974 B

(45)公告日：中華民國 104 (2015) 年 08 月 01 日

(21)申請案號：098103240

(22)申請日：中華民國 98 (2009) 年 02 月 02 日

(51)Int. Cl. : H01L21/20 (2006.01)

(30)優先權：2008/02/04 日本

2008-024520

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：大沼英人 OHNUMA, HIDETO (JP) ; 山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2006/0273068A1

審查人員：陳建仲

申請專利範圍項數：20 項 圖式數：12 共 64 頁

(54)名稱

S O I 基板的製造方法

METHOD FOR MANUFACTURING SOI SUBSTRATE

(57)摘要

準備半導體基板和由絕緣體構成的支撐基板，在半導體基板上形成包含氯原子的氧化膜，藉由隔著氧化膜對半導體基板照射加速了的離子，來在離半導體基板的表面有預定的深度中形成脆弱區域，對氧化膜施加偏壓而進行電漿處理，將半導體基板的表面與支撐基板的表面相對，以將氧化膜的表面與支撐基板的表面接合，在將氧化膜的表面與支撐基板的表面接合之後進行熱處理，並以脆弱區域為邊界進行分離，從而中間夾著氧化膜在支撐基板上形成半導體膜。

A semiconductor substrate and a base substrate made from an insulator are prepared; an oxide film containing a chlorine atom is formed over the semiconductor substrate; the semiconductor substrate is irradiated with accelerated ions through the oxide film to form an embrittled region at a predetermined depth from a surface of the semiconductor substrate; plasma treatment of the oxide film is performed by applying a bias voltage; a surface of the semiconductor substrate and a surface of the base substrate are disposed opposite to each other to bond a surface of the oxide film and the surface of the base substrate to each other; and heat treatment is performed to cause separation along the embrittled region after bonding the surface of the oxide film and the surface of the base substrate to each other, thereby forming a semiconductor film over the base substrate with the oxide film interposed therebetween.

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98103240

※申請日：98年02月02日

※IPC分類：H01L 21/20 (2006.01)

一、發明名稱：(中文／英文)

SOI 基板的製造方法

Method for manufacturing SOI substrate

二、中文發明摘要：

準備半導體基板和由絕緣體構成的支撐基板，在半導體基板上形成包含氯原子的氧化膜，藉由隔著氧化膜對半導體基板照射加速了的離子，來在離半導體基板的表面有預定的深度中形成脆弱區域，對氧化膜施加偏壓而進行電漿處理，將半導體基板的表面與支撐基板的表面相對，以將氧化膜的表面與支撐基板的表面接合，在將氧化膜的表面與支撐基板的表面接合之後進行熱處理，並以脆弱區域為邊界進行分離，從而中間夾著氧化膜在支撐基板上形成半導體膜。

五、英文發明摘要：

METHOD FOR MANUFACTURING SOI SUBSTRATE

A semiconductor substrate and a base substrate made from an insulator are prepared; an oxide film containing a chlorine atom is formed over the semiconductor substrate; the semiconductor substrate is irradiated with accelerated ions through the oxide film to form an embrittled region at a predetermined depth from a surface of the semiconductor substrate; plasma treatment of the oxide film is performed by applying a bias voltage; a surface of the semiconductor substrate and a surface of the base substrate are disposed opposite to each other to bond a surface of the oxide film and the surface of the base substrate to each other; and heat treatment is performed to cause separation along the embrittled region after bonding the surface of the oxide film and the surface of the base substrate to each other, thereby forming a semiconductor film over the base substrate with the oxide film interposed therebetween.

四、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖。

(二)、本代表圖之元件符號簡單說明：

100：半導體基板

102：氧化膜

103：離子

104：脆弱區域

120：支撐基板

124：單晶半導體膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種 SOI (Silicon on Insulator ; 絕緣體上矽) 基板的製造方法以及半導體裝置的製造方法。

【先前技術】

近年開發出利用絕緣表面上存在有較薄的單晶半導體膜的 SOI (Silicon on Insulator : 絕緣體上矽) 基板來代替塊狀矽晶圓的積體電路。藉由使用 SOI 基板，可以減小電晶體的汲極電極與基板之間的寄生電容，由此 SOI 基板因其可以提高半導體積體電路的性能而受到矚目。

作為 SOI 基板的製造方法之一，已知氫離子注入剝離法（例如，參照專利文獻 1）。以下對利用氫離子注入剝離法的 SOI 基板的製造方法的概要進行說明。首先，藉由利用離子注入法對矽晶圓進行氫離子注入，以在離表面有預定的深度中形成微小氣泡層。接下來，中間夾著氧化矽膜，將注入有氫離子的矽晶圓與其它的矽晶圓接合。之後，藉由進行加熱處理，可以以該微小氣泡層為分離面，將注入有氫離子的矽晶圓的一部分以微小氣泡層為邊界分離為薄膜狀，並在接合的其他的矽晶圓上形成單晶矽膜。

此外，還提出有一種利用該氫離子注入剝離法將單晶矽層形成在由玻璃形成的支撐基板上的方法（例如，參照專利文獻 2）。與矽晶圓相比，玻璃基板可以實現大面積化且為廉價的基板，由此藉由將玻璃基板用作支撐基板，

可以製造大面積且廉價的 SOI 基板。

[專利文獻 1] 日本專利申請公開第 2000-124092 號公報

[專利文獻 2] 日本專利申請公開第 2004-87606 號公報

當將半導體基板與支撐基板貼合時，藉由進行高溫熱處理，形成很多共價鍵，以便使接合牢固。然而，當使用玻璃基板等的耐熱性低的基板作為支撐基板時，與使用矽基板作為支撐基板相比，熱處理溫度上有限制（需要進行低溫處理），因此有可能導致半導體基板與支撐基板的接合強度不足。當接合強度不足時，有可能導致設置在支撐基板上的半導體膜剝離。

【發明內容】

鑒於上述問題，本發明的目的之一在於提供即使在低溫下進行半導體基板與支撐基板的接合，也充分提高半導體基板與支撐基板的接合強度。

中間夾著包含氬原子的氧化膜，將半導體基板與由絕緣體構成的支撐基板貼合。在此情況下，即使在低溫下進行貼合，也可以提高半導體基板與支撐基板的接合強度。

此外，本發明所揭示的一個例子如下：在單晶半導體基板上形成包含氬原子的氧化膜，藉由隔著氧化膜對單晶半導體基板照射加速了的離子，在離單晶半導體基板的表

面有預定的深度的區域中形成脆弱區域，施加偏壓，對單晶半導體基板上的氧化膜進行電漿處理，將單晶半導體基板與由絕緣體構成的支撐基板相對，並將氧化膜的表面與支撐基板的表面接合，在將氧化膜的表面與支撐基板的表面接合之後進行熱處理，藉由在脆弱區域中進行分離，來中間夾著氧化膜在支撐基板上形成單晶半導體膜。

此外，本發明所揭示的一個例子如下：在單晶半導體基板上形成包含氯原子的第一氧化膜，在由絕緣體構成的支撐基板上形成包含氯原子的第二氧化膜，藉由隔著第一氧化膜對單晶半導體基板照射加速了的離子，在離單晶半導體基板的表面有預定的深度的區域中形成脆弱區域，施加偏壓，對單晶半導體基板上的第一氧化膜進行電漿處理，將單晶半導體基板與支撐基板相對，將第一氧化膜的表面與第二氧化膜的表面接合，在將第一氧化膜的表面與第二氧化膜的表面接合之後進行熱處理，藉由在脆弱區域中進行分離，來中間夾著第二氧化膜及第一氧化膜在支撐基板上形成單晶半導體膜。

在本說明書中，“單晶”是指晶面、晶軸一致的結晶，並且構成它的原子或分子在空間有規律地排列。理所當然，單晶是由原子有規律地排列而構成的，但是單晶也包括其一部分具有排列無序的晶格缺陷、有意地或無意地具有晶格畸變的單晶。

在本說明書中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，電光裝置、半導體電路及電子設

備都包括在半導體裝置的範疇內。

在本說明書中顯示裝置包括發光裝置、液晶顯示裝置。發光裝置包括發光元件，液晶顯示裝置包括液晶元件。作為發光元件，其灰度由電流或電壓控制的元件都包括在其範疇內，具體包括無機 EL（電致發光）元件和有機 EL 元件等。

藉由中間夾著包含氮原子的氧化膜，將半導體基板與由絕緣體構成的支撐基板貼合，即使在低溫下進行半導體基板與支撐基板的貼合，也可以充分提高半導體基板與支撐基板的接合強度。

【實施方式】

參照附圖對實施例模式進行詳細說明。但是，本發明不局限於以下所示的實施例模式中記載的內容，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種各樣的形式。此外，根據不同的實施例模式的結構可以適當地組合而實施。注意，在以下所說明的發明的結構中，使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略其重複說明。

實施例模式 1

在本實施例模式中，參照附圖對將半導體基板與支撐基板貼合而製造 SOI 基板的方法進行說明。

首先，準備半導體基板 100（參照圖 1A-1）。

作為半導體基板 100 可以使用單晶半導體基板或多晶半導體基板，例如可以舉出單晶或多晶矽基板、鍺基板、鎵砷或銦磷等化合物半導體基板。市場上銷售的矽基板的典型例子是大小為直徑 5 英寸（125mm）、直徑 6 英寸（150mm）、直徑 8 英寸（200mm）、直徑 12 英寸（300mm）、直徑 16 英寸（400mm）的圓形基板。注意，其形狀不局限於圓形，還可以使用被加工成矩形等形狀的矽基板。在以下說明中，示出使用單晶矽基板作為半導體基板 100 的情況。

較佳的預先使用硫酸和過氧化氫以及純水的混合液（SPM）、氨水和過氧化氫以及純水的混合液（APM）、鹽酸和過氧化氫以及純水的混合液（HPM）、氟酸和純水的混合液（DHF）等適當地清洗半導體基板 100 的表面。

接著，對半導體基板 100 進行熱氧化處理來形成氧化膜 102（在此，為氧化矽（ SiO_x ）膜）（參照圖 1A-2）。此外，熱氧化處理在氧化氣氛中添加鹵素來進行。

在本實施例模式中，在引入了氯（Cl）氣體的氧化氣氛中對半導體基板 100 進行熱氧化處理來形成被氯氧化的氧化膜 102。因此，氧化膜 102 成為包含氯原子的膜。

在氧化膜 102 中包含的氯原子形成應變而截斷 Si-O 鍵，並在膜中形成微小的空洞，而使氧化膜 102 低密度化。其結果，氧化膜 102 的對水分的吸收比率得到提高，而增大水的擴散速度。換言之，當在氧化膜 102 表面存在有

水分時，藉由將存在於該氧化膜 102 表面的水分迅速地吸收到氧化膜 102 的膜中，可以擴散水分。

此外，作為包含在氧化膜 102 中的鹵原子，較佳的包含氯原子。這是因為藉由包含氯原子，可以降低介面能級，而提高氧化膜的品質。此外，氧化膜 102 除了氯原子以外還可以包含氟原子。當要使半導體基板 100 表面氟氧化時，在將半導體基板 100 表面浸在 HF 溶液中之後，在氧化氣氛中進行熱氧化處理或將 HF 添加到氧化氣氛中而進行熱氧化處理即可。

作為熱氧化處理的一個例子，較佳的在含有相對於氧體積比為 0.5 體積%至 10 體積%（較佳的為 2 體積%）的氯化氫（HCl）的氧化氣氛中，以 900℃至 1150℃的溫度（典型為 1000℃）進行熱氧化（HCl 氧化）。處理時間為 0.1 個小時至 6 個小時，較佳的為 0.5 個小時至 1 個小時。形成的氧化膜的厚度為 10nm 至 1000nm（較佳的為 50nm 至 300nm），例如為 100nm。像這樣，藉由以 900℃至 1150℃的溫度進行熱氧化處理，可以減少與氧化膜 102 的介面附近的半導體基板 100 中包含的氧等的雜質。

作為熱氧化處理的其他例子，較佳的在含有相對於氧體積比為 0.25 體積%至 5 體積%（較佳的為 3 體積%）的反-1,2-二氯乙烯（DCE）的氧化氣氛中，以 700℃至 1150℃的溫度（典型為 950℃）進行熱氧化。處理時間為 0.1 個小時至 6 個小時，較佳的為 0.5 個小時至 1 個小時。形成的氧化膜的厚度為 10nm 至 1000nm（較佳的為

50nm 至 300nm)，例如為 100nm。由於反-1,2-二氯乙烯的熱分解溫度較低，因此當需要在低溫度下進行熱氧化處理時是有效的。此外，可以使用順-1,2-二氯乙烯、1,1-二氯乙烯或選自這些氣體中兩種以上的氣體的混合氣體代替反-1,2-二氯乙烯。

在本實施例模式中，將包含在氧化膜 102 中的氯原子的濃度控制為 $1 \times 10^{17}/\text{cm}^3$ 至 $1 \times 10^{21}/\text{cm}^3$ 。此外，使與半導體基板 100 的介面包含很多氯原子（使濃度的峰值位於與半導體基板 100 的介面附近）。像這樣藉由使介面附近包含很多氯原子，可以降低介面能級。

藉由在氧化膜 102 中包含氯原子，俘獲外來的雜質的重金屬來發揮防止半導體基板被污染的效果。作為這種重金屬，有 Fe、Cr、Ni、Mo 等，在對半導體基板摻雜不被質量分離的離子來形成脆弱區域的情況下引入這些重金屬。換言之，藉由 HCl 氧化等而在膜中包含鹵素的氧化膜 102 具有對半導體基板帶來不良影響的重金屬等的雜質進行吸雜的作用。藉由在形成氧化膜 102 之後進行的熱處理，包含在半導體基板的雜質的金屬析出到氧化膜 102 中，並且與鹵素（例如，氯）產生反應而被俘獲。由此，可以固定俘獲在氧化膜 102 中的該雜質從而防止半導體基板 100 的污染。此外，在將氧化膜 102 與玻璃基板貼合的情況下，將氧化膜 102 用作對在玻璃中包含的 Na 等的雜質的阻擋膜。

藉由在熱氧化處理的氣體中包含氫，可以修補半導體

基板 100 和氧化膜 102 的介面的缺陷，來可以減少介面的定域能級密度。由此，較佳的在氧化膜 102 中包含 $1 \times 10^{18} / \text{cm}^3$ 以上的氫原子。

在本實施例模式中，作為包含氫原子的氧化膜 102 的形成方法，雖然示出在包含氯化氫或二氯乙烯的氧化氣氛中進行熱氧化處理的情況，但是不局限於此。例如，在氧化氣氛中對半導體基板 100 進行熱氧化處理，而在半導體基板 100 的表面上形成氧化膜 112（例如， SiO_x ）之後（參照圖 2A、2B），使用離子摻雜裝置或離子注入裝置，添加由電場被加速的氫離子來在氧化膜 112 中包含氫原子（參照圖 2C）。另外，可以在將其表面以氯化氫的水溶液（鹽酸）處理之後，在氧化氣氛中進行熱氧化處理。

接著，藉由將具有動能的離子照射到半導體基板 100，在半導體基板 100 的預定的深度中形成結晶結構被損傷的脆弱區域 104（參照圖 1A-3）。如圖 1A-3 所示，藉由隔著氧化膜 102 將加速了的離子 103 照射到半導體基板 100，可以在離半導體基板 100 表面有預定的深度的區域中引入離子 103，而形成脆弱區域 104。離子 103 是透過激發源氣體以產生該源氣體的電漿，然後藉由電場的作用提取該電漿中所含的離子而加速的離子。

作為形成脆弱區域 104 的區域的深度，可以根據離子 103 的動能、質量、離子 103 的入射角來調節。動能可以藉由加速電壓、計量等進行調節。在與離子 103 的平均侵入深度大略相同深度的區域中形成脆弱區域 104。由此，

根據添加離子 103 的深度，決定從半導體基板 100 分離的半導體層的厚度。將脆弱區域 104 被形成的深度調節為使該半導體層的厚度為 110nm 以上且 500nm 以下，較佳的為 50nm 以上且 200nm 以下。

脆弱區域 104 的形成可以離子摻雜處理來進行。離子摻雜處理可以使用離子摻雜裝置來進行。離子摻雜裝置的典型的裝置是將使處理氣體電漿激發而產生的所有離子種照射到配置在處理室內的被處理體的非質量分離型的裝置。稱其是非質量分離型的裝置是因為其不對電漿中的離子種進行質量分離，而將所有離子種照射到被處理體。針對於此，離子注入裝置是質量分離型的裝置。離子注入裝置是對電漿中的離子種進行質量分離，並將某個特定的質量的離子種照射到被處理體的裝置。

離子摻雜裝置的主要結構為配置被處理物的處理室、產生所希望的離子的離子源、以及用以加速離子而照射的加速機構。離子源由供應產生所希望的離子種的源氣體的氣體供應裝置、激發源氣體而產生電漿的電極等構成。作為形成電漿的電極，使用燈絲型的電極或電容耦合高頻放電用的電極。加速機構由引出電極、加速電極、減速電極、接地電極等的電極等以及對這些電極供應電力的電源等構成。在構成加速機構的電極中設置有多個開口、槽縫，在離子源產生的離子穿過設置在電極中的開口和槽縫而被加速。注意，離子摻雜裝置的結構不局限於上述結構，設置根據需要的機構。

在本實施例模式中，使用離子摻雜裝置將氫添加到半導體基板 100。供應包含氫的氣體作為電漿源氣體。例如，供應 H_2 。激發氫氣體而產生電漿，不進行品質分離而加速包含在電漿中的離子，將加速了的離子照射到半導體基板 100。

在離子摻雜裝置中， H_3^+ 的比率占氫氣體所產生的離子種（ H^+ 、 H_2^+ 、 H_3^+ ）的總量的 50% 以上，較佳的占 80% 以上。由於離子摻雜裝置不進行質量分離，所以在電漿中產生的多個離子種中，較佳的一個離子種為 50% 以上，更佳為 80% 以上。藉由照射相同質量的離子，可以在半導體基板 100 的同一深度中集中地添加離子。

為了在較淺的區域中形成脆弱區域 104，需要降低離子 103 的加速電壓，藉由使電漿中的 H_3^+ 離子的比率高，可以將原子狀氫（H）高效地添加到半導體基板 100。 H_3^+ 離子具有 H^+ 離子的 3 倍的質量，因此在同一深度中添加一個氫原子的情況下， H_3^+ 離子的加速電壓可以設定為 H^+ 離子的加速電壓的 3 倍。如果可以使離子的加速電壓為大，則可以縮短離子的照射製程的節拍時間，而可以實現提高產率和處理量。

此外，將加速了的離子 103 照射到半導體基板 100 的製程可以使用離子注入裝置來進行。離子注入裝置是對使源氣體電漿激發而產生的多個離子種進行質量分離，並將特定的離子種照射到配置在處理室內的被處理體的質量分離型的裝置。從而，在使用離子注入裝置的情況下，對使

氫氣體激發而產生的 H^+ 離子及 H_2^+ 離子進行質量分離，對 H^+ 離子和 H_2^+ 離子的一方加速而照射到半導體基板 100。

接著，較佳的對形成在半導體基板 100 上的氧化膜 102 的表面進行電漿處理（參照圖 1A-4）。

在真空狀態的處理室內引入惰性氣體（例如，氬（Ar）氣體）及／或反應氣體（例如，氧（ O_2 ）氣體、氮（ N_2 ）氣體），在其上設置有基板的電極和相對電極之間施加高頻電壓（施加有偏壓的狀態），而對被處理面進行電漿處理。

例如，在進行氧電漿處理的情況下，在真空狀態的處理室內引入氧氣體，在其上設置有半導體基板 100 的電極和相對電極之間施加高頻電壓（施加有偏壓的狀態），而對氧化膜 102 進行電漿處理。在電漿中存在有氧的陽離子，並向陰極方向（半導體基板 100 一側）加速氧的陽離子。加速了的氧的陽離子碰撞到半導體基板 100 的氧化膜 102 表面，截斷氧化膜 102 表面層的 Si-O 鍵而使其成為低密度化，同時產生懸空鍵並且使其表面活性化。

在本實施例模式中，以使用氧氣體的電容耦合電漿的一種的被稱為 RIE（反應離子刻蝕）模式的方式的電漿處理來進行電漿處理。在藉由電容器被施加高頻電壓的陰極電極上的載物臺上設置半導體基板 100，施加高頻電壓而產生電漿。其結果，產生自偏壓（成為施加有偏壓的狀態），電漿中的陽離子被加速而碰撞到半導體基板 100。注意，在此，使用氧作為原料氣體，而在半導體基板 100 上

形成的氧化膜 102 爲氧化矽，因此蝕刻作用小。

作爲氧電漿的具體的條件，在 0.1 W/cm^2 至 1.5 W/cm^2 的處理電力、 30 Pa 至 130 Pa 的壓力、 10 sccm 至 200 sccm 的氣體（ O_2 ）流量的條件下進行即可。此外，在電漿處理中，在使用氮氣體或氬氣體的情況下也可以採用上述相同的條件來進行。

此外，藉由進行氧電漿處理，氧化膜 102 表面的平均表面粗糙度（ R_a ）較佳的爲 0.7 nm 以下，更佳的爲 0.3 nm 以下。

以下，準備支撐基板 120（參照圖 1B）。

作爲支撐基板 120，使用由絕緣體構成的基板。具體而言，可以舉出如下：鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼酸鹽玻璃之類的用於電子工業的各種玻璃基板；石英基板；陶瓷基板；藍寶石基板。在本實施例模式中，說明使用玻璃基板的情況。當將可以實現大面積化且廉價的玻璃基板用作支撐基板 120 時，與使用矽晶圓的情況相比，可以實現低成本化。

此外，當使用支撐基板 120 時，較佳的預先清洗支撐基板 120 表面。具體而言，對支撐基板 120 使用鹽酸和過氧化氫以及純水的混合液（HPM）、硫酸和過氧化氫以及純水的混合液（SPM）、氨水和過氧化氫以及純水的混合液（APM）、氟酸和純水的混合液（DHF）等來進行超聲波清洗。例如，較佳的對支撐基板 120 表面使用鹽酸和過氧化氫以及純水的混合液來進行超聲波清洗。藉由進行這

種清洗處理，可以使支撐基板 120 表面平坦化並去除殘留的研磨微粒。

接著，將半導體基板 100 與支撐基板 120 相對，並將氧化膜 102 表面與支撐基板 120 表面接合（參照圖 1C）。

在此，在將半導體基板 100 與支撐基板 120 密接之後，對半導體基板 100 的端部的一部分施加 $1\text{N}/\text{cm}^2$ 至 $500\text{N}/\text{cm}^2$ 的壓力，較佳的施加 $1\text{N}/\text{cm}^2$ 至 $20\text{N}/\text{cm}^2$ 左右的壓力。從施加壓力的部分氧化膜 102 和支撐基板 120 開始彼此接合在一起，並自發地形成接合，而使接合擴展於整個表面上。在該接合製程中，范德華力和氫鍵起作用，不使用加熱處理而在常溫下進行，因此可以使用玻璃基板那樣的耐熱溫度低的基板作為支撐基板 120。

此外，在將半導體基板 100 與支撐基板 120 接合之前，較佳的對在半導體基板 100 上形成有的氧化膜 102 和支撐基板 120 進行表面處理。作為表面處理，可以使用臭氧處理（例如，臭氧水清洗）或兆聲清洗、或者組合這些來進行。此外，可以多次反復進行臭氧水清洗和使用氫氟酸的清洗。藉由進行這種表面處理，可以去除氧化膜 102、支撐基板 120 表面的有機物等的灰屑，而使其表面親水化。

在將支撐基板 120 與半導體基板 100 接合之後，較佳的進行熱處理，以便增加支撐基板 120 和氧化膜 102 的接合強度。該熱處理的溫度設置為不會在脆弱區域 104 內產

生裂縫的溫度，並且可以在室溫以上且低於 400℃ 的溫度範圍內來進行處理。此外，在該溫度範圍內加熱的同時，藉由將支撐基板 120 與半導體基板 100 貼合，可以使在支撐基板 120 和氧化膜 102 的接合介面的接合強度牢固。作為熱處理，可以使用擴散爐、電阻加熱爐等的加熱爐、RTA（快速熱退火；Rapid Thermal Anneal）裝置、微波加熱裝置等。

通常，雖然當在這樣的溫度下進行熱處理時可以將接合強度增加到一定程度，但是難以獲得充分的接合強度。這是因為藉由在將半導體基板與支撐基板接合之後進行熱處理，以在接合介面產生脫水縮合反應而形成共價鍵來使接合強化，但是為了促進脫水縮合反應，需要在高溫下進行熱處理來去除在接合介面因脫水縮合反應產生的水分。換言之，雖然可以藉由使接合之後的熱處理溫度為高，來去除在接合介面因脫水縮合反應產生的水分而提高接合強度，但是當熱處理溫度較低時，由於不能有效地去除在接合介面因脫水縮合反應產生的水分，因此脫水縮合反應得不到進展而不能充分提高接合強度。

然而，在本實施例模式中，藉由如上述那樣使氧化膜 102 包含氫原子，由於該氧化膜 102 吸收水分而可以有效地擴散水分，因此即使在熱處理溫度較低的情況下，也可以由氧化膜 102 將在接合介面因脫水縮合反應產生的水分吸收且擴散，而可以高效地促進脫水縮合反應。因此，即使在低溫下進行接合之後的熱處理，也可以充分提高半導

體基板 100 上的氧化膜 102 和支撐基板 120 的接合強度。

此外，由於當形成脆弱區域 104 時照射離子或對氧化膜 102 表面進行電漿處理而在氧化膜 102 表面形成有懸空鍵，其表面為活性狀態，因此即使在低溫下也可以與支撐基板 120 形成牢固的接合。

接著，藉由進行熱處理而在脆弱區域 104 進行分離，來在支撐基板 120 上中間夾著氧化膜 102 設置半導體膜（在此為單晶半導體膜 124）（參照圖 1D）。

當進行加熱處理時，藉由離子摻雜添加的元素被析出到隨著溫度上升而在脆弱區域 104 中形成的微孔，而使微孔中的壓強增大。隨著壓強增大，脆弱區域 104 中產生裂縫，因此，半導體基板 100 沿脆弱區域 104 分離。由於氧化膜 102 接合於支撐基板 120，在支撐基板 120 上形成從半導體基板 100 分離了的單晶半導體膜 124。此外，在此熱處理溫度設定為不超過支撐基板 120 的應變點的溫度。

作為該加熱處理，可以使用擴散爐、電阻加熱爐等的加熱爐、RTA（快速熱退火；Rapid Thermal Anneal）裝置、微波加熱裝置等。例如，當使用 RTA 裝置時，以 550℃ 以上且 700℃ 以下的加熱溫度，0.5 分鐘以上且 60 分鐘以下的處理時間來進行。

像這樣，藉由在將半導體基板 100 上的氧化膜 102 與支撐基板 120 接合之後，進行多次熱處理，可以增加接合強度。此外，不進行上述的用於將支撐基板 120 與氧化膜 102 的接合強度增強的熱處理，而進行圖 1D 的熱處理，

可以同時進行使支撐基板 120 和氧化膜 102 的接合強度的增加的熱處理製程以及用於在脆弱區域 104 的分離的熱處理製程。在同時進行的情況下，藉由使氧化膜 102 包含氯原子，氧化膜 102 將當熱處理時在接合介面因脫水縮合反應產生的水分吸收且擴散，而可以高效地促進脫水縮合反應。其結果，也可以充分提高半導體基板 100 上的氧化膜 102 和支撐基板 120 的接合強度。

藉由上述步驟，可以製造中間夾著氧化膜 102 在支撐基板 120 上設置有單晶半導體膜 124 的 SOI 基板。藉由使用本實施例模式所示的製造方法，當形成膜時不需要使用 CVD 法或濺射法的成膜製程，而可以防止因使用 CVD 法或濺射法形成膜而產生的塵屑。其結果，可以抑制塵屑導致的半導體基板和支撐基板的接合不良。

此外，對半導體基板進行的 HCl 熱氧化對在該半導體基板形成有的疊層缺陷的收縮/消除很有效。從而，在 SOI 基板的製造過程中，當反復（再利用）利用時，半導體基板的疊層缺陷成為問題，但是藉由在 SOI 基板的製造過程中進行 HCl 氧化來可以解決這種問題。

此外，在上述製程中，可以對獲得了的 SOI 基板表面進行平坦化處理。藉由進行平坦化處理，即使當分離之後設置在支撐基板 120 上的單晶半導體膜 124 表面產生凹凸時也可以使 SOI 基板的表面平坦化。

作為平坦化處理，可以進行 CMP（化學機械拋光；Chemical Mechanical Polishing）、蝕刻處理、雷射光束

的照射等。在此，藉由在進行乾蝕刻和濕蝕刻之一，或組合兩者的蝕刻處理（回蝕刻）之後照射雷射光束，進行單晶半導體膜 124 的再結晶化和其表面的平坦化。

藉由從單晶半導體膜的上面一側照射雷射光束，可以使單晶半導體膜的上表面熔化。在熔化之後，單晶半導體膜被冷卻和固化，因此，可以獲得其上表面平坦性得到改進的單晶半導體膜。藉由使用雷射光束，支撐基板 120 不被直接加熱，可以抑制該支撐基板 120 的溫度上升。由此，可以使用玻璃基板那樣耐熱性低的基板作為支撐基板 120。

藉由照射雷射光束使單晶半導體膜 124 的熔化較佳的為部分熔化。這是因為如果使單晶半導體膜 124 完全熔化，則因液相之後的無序成核成為微結晶化，而使單晶半導體膜 124 的結晶性降低。針對於此，藉由部分熔化，從未熔化的固體部分進行結晶生長。由此，可以減少半導體膜中的缺陷。在此，完全熔化是指單晶半導體膜被熔化到下部介面附近且為液相。另一方面，部分熔化是指單晶半導體膜的上部被熔化且為液相，其下部不被熔化且為固相。

作為上述雷射光束的照射，較佳的使用脈衝振盪雷射器。這是因為可以瞬間振盪高能的脈衝雷射光束，容易做出熔化狀態。振盪頻率較佳的為 1Hz 以上且 10MHz 以下左右。

在如上述那樣照射雷射光束之後，可以進行使單晶半導體膜 124 的厚度變小的薄膜化製程。單晶半導體膜 124

的薄膜化可以應用乾蝕刻和濕蝕刻之一，或組合兩者的蝕刻處理（回蝕刻處理）。例如，在單晶半導體膜 124 為由矽材料構成的層的情況下，作為乾蝕刻，將 SF_6 和 O_2 使用於處理氣體，可以使單晶半導體膜 124 減薄。

此外，除了對 SOI 基板進行平坦化處理以外，還可以對分離之後的半導體基板 100 進行平坦化處理。藉由使分離之後的半導體基板 100 表面平坦化，可以在 SOI 基板的製程中再利用該半導體基板 100。

注意，本實施例模式所示的 SOI 基板的製造方法可以適當地與本說明書中的其他的實施例模式所示的製造方法組合進行。

實施例模式 2

在本實施例模式中，參照附圖對與上述實施例模式不同的 SOI 基板的製造方法進行說明。具體而言，對在支撐基板的表面形成絕緣膜的情況進行說明。

首先，在半導體基板 100 上形成氧化膜 102，藉由照射離子束形成脆弱區域 104，然後對氧化膜 102 表面進行氧電漿處理（參照圖 3A-1 至 3A-4）。圖 3A-1 至 3A-4 的具體的製程可以應用上述圖 1A-1 至 1A-4 所示的方法，在此省略詳細說明。

接著，準備支撐基板 120（參照圖 3B-1）。然後，在支撐基板 120 上形成半導體膜 121 之後（參照圖 3B-2），在包含二氯乙烯的氧化氣氛中進行熱氧化處理，來形成

其表面包含氯原子的氧化膜 122（參照圖 3B-3）。

例如，使用應變點為 730℃ 的玻璃基板作為支撐基板 120，在該玻璃基板上形成半導體膜。然後，在含有相對於氧的體積比為 1 體積 % 至 5 體積 %（較佳的為 2 體積 %）的反-1,2-二氯乙烯（DCE）的氧化氣氛中，以 700℃ 至 730℃ 的溫度（典型為 720℃）進行熱氧化處理，來對支撐基板 120 表面進行氯氧化。其結果，在支撐基板 120 上形成包含氯原子的氧化膜 122。作為形成的氧化膜的厚度為 10nm 至 1000nm（較佳的為 50nm 至 300nm），例如為 100nm。由於反-1,2-二氯乙烯的熱分解溫度較低，因此當對耐熱溫度低的基板（例如，為玻璃基板）進行熱氧化處理時可以使用它。

半導體膜 121 藉由使用濺射法、LPCVD 法、電漿 CVD 法等以 25nm 至 200nm（較佳的為 30nm 至 150nm）的厚度來形成。例如，可以形成非晶矽膜。

總之，在本實施例模式中，作為支撐基板 120，使用其表面形成有氯氧化及／或氟氧化的氧化膜的基板。

另外，在支撐基板 120 上形成半導體膜 121（例如，矽膜）之後，在添加有氯（Cl）及／或氟的氧化氣氛中進行熱氧化處理，藉由使半導體膜 121 氯氧化及／或氟氧化來形成氧化膜 122 即可。

此外，在支撐基板 120 上形成氧化膜 122 之後，較佳的對該氧化膜 122 表面進行電漿處理（參照圖 3B-4）。

在真空狀態的處理室內引入惰性氣體（例如，氬（Ar

）氣體）及／或反應氣體（例如，氧（ O_2 ）氣體、氮（ N_2 ）氣體），在其上設置有基板的電極和相對電極之間施加高頻電壓（施加有偏壓的狀態），而對被處理面進行電漿處理。例如，當進行氧電漿處理時，在真空狀態的處理室內引入氧氣體，在其上設置有支撐基板 120 的電極和相對電極之間施加高頻電壓（施加有偏壓的狀態），而對氧化膜 122 進行電漿處理。在電漿中具有氧的陽離子，氧的陽離子向陰極方向（支撐基板 120 一側）被加速。加速了的氧的陽離子碰撞到支撐基板 120 表面，截斷氧化膜 122 表面層的 Si-O 鍵而使其成為低密度化，同時產生懸空鍵而可以使其表面活性化。

接著，將半導體基板 100 與支撐基板 120 相對，將氧化膜 102 表面與氧化膜 122 表面接合（參照圖 3C）。然後，進行熱處理而在脆弱區域 104 分離，以中間夾著氧化膜 122 及氧化膜 102 在支撐基板 120 上設置單晶半導體膜 124（參照圖 3D）。

在本實施例模式中，由於成為接合面的氧化膜 102 及氧化膜 122 為包含氫原子的氧化膜，所以將接合之後的熱處理中在接合介面因脫水縮合反應產生的水分子擴散到氧化膜 102 及氧化膜 122 而可以促進脫水縮合反應。再者，由於當形成脆弱區域 104 時照射離子或對氧化膜 102 表面進行電漿處理而在氧化膜 102 表面形成有懸空鍵，所以其表面為活性狀態。因此，即使在接合之後的熱處理以玻璃基板的應變點以下的溫度進行的情況下，也可以充分提高

接合強度。

注意，在本實施例模式中，雖然使用包含氯原子的氧化膜作為在半導體基板 100 上形成的氧化膜 102，但是不局限於此。例如，可以應用在氧化氣氛中對半導體基板 100 進行熱氧化處理來獲得的氧化膜作為氧化膜 102。

此外，雖然在本實施例模式中作為包含氯原子的氧化膜 122 的形成方法示出在支撐基板 120 上形成半導體膜 121 之後，在包含二氯乙烯的氧化氣氛中進行熱氧化處理的情況，但是不局限於此。例如，也可以使用離子摻雜裝置或離子注入裝置，將由電場加速的氯原子添加到支撐基板 120 來在支撐基板 120 表面附近引入氯原子。另外，也可以在包含二氯乙烯的氧化氣氛中對支撐基板 120 表面進行熱氧化處理。

注意，本實施例模式所示的 SOI 基板的製造方法可以適當地與本說明書中的其他的實施例模式所示的製造方法組合實施。

實施例模式 3

在本實施例模式中，對使用根據上述實施例模式而製造的 SOI 基板，來製造半導體裝置的方法進行說明。

首先，參照圖 4A 至 4D 以及圖 5A 至 5C，對 n 通道型薄膜電晶體以及 p 通道型薄膜電晶體的製造方法進行說明。藉由對多個薄膜電晶體（TFT）進行組合，可以形成各種各樣的半導體裝置。

作為 SOI 基板，對使用根據上述實施例模式 1 的方法製造的 SOI 基板的情況進行說明。當然，也可以使用根據上述實施例模式 2 的方法製造的 SOI 基板。

圖 4A 是以圖 1A-1 至 1D 說明的方法製造的 SOI 基板的截面圖。

藉由蝕刻，使單晶半導體膜 124 元件分離，如圖 4B 所示，形成半導體膜 251、252。半導體膜 251 構成 n 通道型 TFT，而半導體膜 252 構成 p 通道型 TFT。

如圖 4C 所示，在半導體膜 251、252 上形成絕緣膜 254。接著，中間夾著絕緣膜 254 在半導體膜 251 上形成閘極電極 255，而在半導體膜 252 上形成閘極電極 256。

注意，在對單晶半導體膜 124 進行蝕刻之前，為控制 TFT 的臨界值電壓，較佳的對單晶半導體膜 124 添加如硼、鋁、銻等的雜質元素，或者如磷、砷等的雜質元素。例如，對形成 n 通道型 TFT 的區域添加雜質元素，對形成 p 通道型 TFT 的區域添加雜質元素。

接著，如圖 4D 所示，在半導體膜 251 中形成 n 型的低濃度雜質區域 257，在半導體膜 252 中形成 p 型的高濃度雜質區域 259。具體而言，首先，在半導體膜 251 中形成 n 型的低濃度雜質區域 257。由此，將成為 p 通道型 TFT 的半導體膜 252 用抗蝕劑遮掩，而將雜質元素添加到半導體膜 251 中。添加磷或砷作為雜質元素即可。藉由利用離子摻雜法或離子注入法進行雜質元素的添加，閘極電極 255 成為掩模，在半導體膜 251 中 n 型的低濃度雜質區

域 257 以自對準的方式形成。半導體膜 251 的與閘極電極 255 相重合的區域成為通道形成區域 258。

接著，在去除掉覆蓋半導體膜 252 的掩模之後，用抗蝕劑掩模覆蓋成為 n 通道型 TFT 的半導體膜 251。接著，使用離子摻雜法或離子注入法對半導體膜 252 添加雜質元素。可以添加硼作為雜質元素。在雜質元素的添加製程中，將閘極電極 256 用作掩模，在半導體膜 252 中 p 型的高濃度雜質區域 259 以自對準的方式形成。將高濃度雜質區域 259 用作源極區域或汲極區域。半導體膜 252 的與閘極電極 256 相重合的區域成為通道形成區域 260。在此，對在形成 n 型的低濃度雜質區域 257 之後，形成 p 型的高濃度雜質區域 259 的方法進行了說明，但也可以先形成 p 型的高濃度雜質區域 259。

接著，在去除掉覆蓋半導體膜 251 的抗蝕劑之後，藉由電漿 CVD 法等形成由氮化矽等的氮化合物或氧化矽等的氧化物構成的單層結構或疊層結構的絕緣膜。藉由對該絕緣膜進行垂直方向的各向異性刻蝕，如圖 5A 所示，形成與閘極電極 255、256 的側面相接觸的側壁絕緣膜 261、262。藉由該各向異性蝕刻，絕緣膜 254 也被蝕刻。

接著，如圖 5B 所示，用抗蝕劑 265 覆蓋半導體膜 252。為了在半導體膜 251 中形成用作源區或汲區的高濃度雜質區域，藉由離子注入法或離子摻雜法，對半導體膜 251 添加高劑量的雜質元素。閘極電極 255 以及側壁絕緣膜 261 成為掩模，形成 n 型的高濃度雜質區域 267。接著

，進行用於雜質元素的活性化的加熱處理。

在進行用於活性化的加熱處理之後，如圖 5C 所示，形成包含氫的絕緣膜 268。在形成絕緣膜 268 之後，以 350℃ 以上且 450℃ 以下的溫度進行加熱處理，來使包含在絕緣膜 268 中的氫擴散到半導體膜 251、252 中。絕緣膜 268 可以藉由處理溫度為 350℃ 以下的電漿 CVD 法，藉由堆積氮化矽或氮氧化矽來形成。藉由對半導體膜 251、252 供應氫，可以有效地補償半導體膜 251、252 中以及與絕緣膜 254 的介面上的如成為俘獲中心的缺陷。

然後形成層間絕緣膜 269。層間絕緣膜 269 可以由氧化矽膜、BPSG (Boron Phosphorus Silicon Glass; 硼磷矽玻璃) 膜等的無機材料形成的絕緣膜形成，或者由選自聚醯亞胺、丙烯酸等的有機樹脂膜的單層結構的膜、疊層結構的膜形成。在層間絕緣膜 269 上形成接觸孔之後，如圖 5C 所示形成佈線 270。作為佈線 270 的形成，例如，可以由金屬阻擋膜夾著鋁膜或鋁合金膜等的低電阻金屬膜構成的三層結構的導電膜而形成。金屬阻擋膜可以由例如鉬、鉻、鈦等的金屬膜形成。

藉由上述步驟，可以製造具有 n 通道型 TFT 和 p 通道型 TFT 的半導體裝置。在 SOI 基板的製造過程中，由於減少了構成通道形成區域的半導體膜的金屬元素的濃度，因此可以製造截止電流小，且抑制了臨界值電壓的變化的 TFT。

以上參照圖 4A 至 4D 以及圖 5A 至 5C 對 TFT 的製造

方法進行了說明，但除了 TFT 之外，藉由在形成 TFT 的同時形成如電容、電阻等的各種半導體元件，可以製造具有高附加價值的半導體裝置。以下，參照附圖對半導體裝置的具體的形態進行說明。

首先，作為半導體裝置的一個例子，對微處理器進行說明。圖 6 是表示微處理器 500 的結構例子的方塊圖。

微處理器 500 包括計算電路 501 (Arithmetic logic unit, 也稱為 ALU)、計算電路控制部 502 (ALU Controller)、指令解碼部 503 (Instruction Decoder)、中斷控制部 504 (Interrupt Controller)、時序控制部 505 (Timing Controller)、暫存器 506 (Register)、暫存器控制部 507 (Register Controller)、匯流排界面 508 (Bus I/F)、唯讀記憶體 509、以及記憶體介面 510。

藉由匯流排界面 508 輸入到微處理器 500 的指令在輸入到指令解碼部 503 並被解碼之後，輸入到計算電路控制部 502、中斷控制部 504、暫存器控制部 507、以及時序控制部 505。計算電路控制部 502、中斷控制部 504、暫存器控制部 507、以及時序控制部 505 根據被解碼了的指令而進行各種控制。

計算電路控制部 502 產生用來控制計算電路 501 的工作的信號。此外，中斷控制部 504 當在執行微處理器 500 的程式時對來自外部輸出入裝置或週邊電路的中斷要求根據其優先度或掩模狀態進行判斷而處理。暫存器控制部 507 產生暫存器 506 的位址，並根據微處理器 500 的狀態

進行暫存器 506 的讀出或寫入。時序控制部 505 產生控制計算電路 501、計算電路控制部 502、指令解碼器 503、中斷控制部 504 及暫存器控制部 507 的工作時序的信號。例如，時序控制部 505 包括根據基準時鐘信號 CLK1 產生內部時鐘信號 CLK2 的內部時鐘產生部。如圖 6 所示將內部時鐘信號 CLK2 提供給其他的電路。

下面，對具有以非接觸的方式進行資料收發的功能以及計算功能的半導體裝置的一個例子進行說明。圖 7 是表示這種半導體裝置的結構例子的方塊圖。圖 7 所示的半導體裝置可以稱為以無線通信與外部裝置進行信號的收發而工作的電腦（以下稱為“RFCPU”）。

如圖 7 所示，RFCPU511 包括類比電路部 512 和數位電路部 513。類比電路部 512 包括具有諧振電容的諧振電路 514、整流電路 515、恆壓電路 516、重置電路 517、振盪電路 518、解調電路 519、調制電路 520、以及電源管理電路 530。數位電路部 513 包括 RF 介面 521、控制暫存器 522、時鐘控制器 523、CPU 介面 524、中央處理單元 525、隨機存取記憶體 526、以及唯讀記憶體 527。

RFCPU511 的工作概要如下。天線 528 所接收的信號藉由諧振電路 514 產生感應電動勢。感應電動勢經過整流電路 515 而充電到電容部 529。該電容部 529 較佳的由電容器如陶瓷電容器或雙電層電容器等構成。電容部 529 不需要整合在構成 RFCPU511 的基板上，也可以作為另外的部件安裝在 RFCPU511 上。

重置電路 517 產生將數位電路部 513 重置並初始化的信號。例如，產生在電源電壓上升之後啟動的信號作為重置信號。振盪電路 518 根據由恆壓電路 516 產生的控制信號改變時鐘信號的頻率和占空比。解調電路 519 是解調接收信號的電路，而調制電路 520 是調制發送資料的電路。

例如，解調電路 519 由低通濾波器構成，將振幅調制（ASK）方式的接收信號根據其振幅的變動二值化。另外，由於是使振幅調制（ASK）方式的發送信號的振幅變動來發送發送資料，所以調制電路 520 藉由使諧振電路 514 的諧振點變化來改變通信信號的振幅。

時鐘控制器 523 根據電源電壓或中央處理單元 525 中的消耗的電流，產生用來改變時鐘信號的頻率和占空比的控制信號。電源管理電路 530 監視電源電壓。

從天線 528 輸入到 RF CPU 511 的信號被解調電路 519 解調後，在 RF 介面 521 中被分解為控制指令、資料等。控制指令儲存在控制暫存器 522 中。控制指令包括將儲存在唯讀記憶體 527 中的資料讀出的指令、對隨機存取記憶體 526 寫入資料的指令、對中央處理單元 525 的計算指令等。

中央處理單元 525 藉由 CPU 介面 524 對唯讀記憶體 527、隨機存取記憶體 526、及控制暫存器 522 進行存取。CPU 介面 524 具有如下功能：根據中央處理單元 525 所要求的位址，產生用於唯讀記憶體 527、隨機存取記憶體 526、及控制暫存器 522 中的任一個的存取信號。

作為中央處理單元 525 的計算方式，可以採用將 OS（作業系統）儲存在唯讀記憶體 527 中，並在啓動的同時讀出並執行程式的方式。另外，也可以採用由專用電路構成計算電路並以硬體方式對計算處理進行處理的方式。作為使用硬體和軟體雙方的方式，可以採用如下方式：利用專用計算電路進行一部分的計算處理，並且使中央處理單元 525 使用程式來進行剩餘的計算。

下面，參照圖 8A 和 8B、圖 9A 和 9B 說明顯示裝置。

圖 8A 和 8B 是用來說明液晶顯示裝置的圖。圖 8A 是液晶顯示裝置的像素的平面圖，而圖 8B 是沿著 J-K 切斷線的圖 8A 的截面圖。

如圖 8A 所示，像素具有單晶半導體膜 320、與單晶半導體膜 320 交叉的掃描線 322、與掃描線 322 交叉的信號線 323、像素電極 324、使像素電極 324 和單晶半導體膜 320 電連接的電極 328。單晶半導體膜 320 是由設置在支撐基板 120 上的單晶半導體膜形成的層，其構成像素的 TFT325。

將上述實施例模式所示的 SOI 基板用作 SOI 基板。如圖 8B 所示，在支撐基板 120 上中間夾著氧化膜 102 層疊有單晶半導體膜 320。作為支撐基板 120 可以使用玻璃基板。TFT325 的單晶半導體膜 320 是藉由對 SOI 基板的單晶半導體膜進行蝕刻使其元件分離而形成的膜。在單晶半導體膜 320 中，形成有通道形成區域 340、添加有雜質

元素的 n 型高濃度雜質區域 341。TFT325 的閘極電極包含在掃描線 322 中，而源極電極以及汲極電極之一包括在信號線 323 中。

在層間絕緣膜 327 上設置有信號線 323、像素電極 324、以及電極 328。在層間絕緣膜 327 上形成有柱狀間隔物 329。覆蓋信號線 323、像素電極 324、電極 328 以及柱狀間隔物 329 地形成有取向膜 330。在相對基板 332 上形成有相對電極 333、覆蓋相對電極的取向膜 334。形成柱狀間隔物 329，以便維持支撐基板 120 和相對基板 332 之間的空間。在由柱狀間隔物 329 形成的空隙中形成有液晶層 335。由於在高濃度雜質區域 341 與信號線 323 以及電極 328 連接部分上形成有接觸孔，所以在層間絕緣膜 327 中會產生位準差。因此，在該連接部分上液晶層 335 的液晶的取向容易錯亂。因此，在該有位準差部分形成柱狀間隔物 329 以防止液晶的取向的錯亂。

下面，參照圖 9A 和 9B 說明電致發光顯示裝置（以下，稱為 EL 顯示裝置）。圖 9A 是 EL 顯示裝置的像素的平面圖，而圖 9B 是沿著 J-K 切斷線的圖 9A 的截面圖。

如圖 9A 所示，像素包括由 TFT 形成的選擇用電晶體 401、顯示控制用電晶體 402、掃描線 405、信號線 406、電流供應線 407、以及像素電極 408。具有如下結構的發光元件設置在各像素中：在一對電極之間夾有包含電致發光材料的層（EL 層）。發光元件的一個電極是像素電極 408。另外，在半導體膜 403 中形成有選擇用電晶體 401

的通道形成區域、以及源區和汲區。半導體膜 404 中形成有顯示控制用電晶體 402 的通道形成區域、以及源區和汲區。半導體膜 403、404 是由設置在支撐基板上的單晶半導體膜形成的層。

在選擇用電晶體 401 中，閘極電極包括在掃描線 405 中，源極電極和汲極電極中之一包括在信號線 406 中，而另一被形成為電極 411。在顯示控制用電晶體 402 中，閘極電極 412 與電極 411 電連接，源極電極和汲極電極中之一被形成為電連接到像素電極 408 的電極 413，而另一包括在電流供應線 407 中。

顯示控制用電晶體 402 為 p 通道型的 TFT。如圖 9B 所示，在半導體膜 404 中形成有通道形成區域 451、以及 p 型的高濃度雜質區域 452。注意，SOI 基板使用實施例模式中製造的 SOI 基板。

覆蓋顯示控制用電晶體 402 的閘極電極 412 地形成有層間絕緣膜 427。在層間絕緣膜 427 上形成有信號線 406、電流供應線 407、電極 411、413 等。此外，在層間絕緣膜 427 上形成有電連接到電極 413 的像素電極 408。像素電極 408 的周圍部分圍繞有絕緣性的隔斷層 428。在像素電極 408 上形成有 EL 層 429，在 EL 層 429 上形成有相對電極 430。設置相對基板 431 作為加強板，相對基板 431 利用樹脂層 432 固定在支撐基板 120 上。

作為 EL 顯示裝置的灰度的控制方式，有利用電流控制發光元件的亮度的電流驅動方式、以及利用電壓控制其

亮度的電壓驅動方式。當在各個像素之間電晶體的特性上的差距大時，難以採用電流驅動方式，為此需要校正特性上的不均勻的校正電路。藉由利用 SOI 基板的製程和包括吸雜製程的製造方法來製造 EL 顯示裝置，選擇用電晶體 401 和顯示控制用電晶體 402 在各個像素之間沒有特性上的不均勻，所以可以採用電流驅動方式。

換言之，藉由使用 SOI 基板，可以製造各種各樣的電子設備。作為電子設備，可以舉出攝像機或數位相機、導航系統、音頻再現裝置（汽車音響、音響元件等）、電腦、遊戲機、可攜式資訊終端（移動電腦、行動電話、可攜式遊戲機或電子書等）、具有記錄媒體的圖像再現裝置（具體地說是再現儲存在記錄媒體如 DVD（數位通用光碟）等中的音頻資料，並具有能夠顯示圖像資料的顯示裝置的裝置）等。圖 10 示出這些設備的一個例子。

圖 10A 至 10C 表示應用上述顯示裝置的行動電話的一個例子，圖 10A 是正面圖，圖 10B 是背面圖，圖 10C 是使兩個框體滑動時的正面圖。圖 10A 至 10C 所示的行動電話由框體 701 及框體 702 的兩個框體構成。圖 10A 至 10C 所示的行動電話是具有行動電話和可攜式資訊終端的雙方的功能，內置有電腦，除了聲音通話以外還可以進行各種資料處理的所謂智慧手機。

圖 10A 至 10C 所示的行動電話由框體 701 及框體 702 構成。在框體 701 中具備顯示部 703、揚聲器 704、麥克風 705、操作鍵 706、定位裝置 707、表面相機用鏡頭 708

、外部連接端子插口 709 以及耳機端子 710 等，在框體 702 中具備鍵盤 711、外部儲存槽 712、背面相機 713、光燈 714 等。另外，天線內置在框體 701 中。

此外，除了上述結構以外，圖 10A 至 10C 所示的行動電話還可以內置非接觸 IC 晶片、小型記憶體等。

互相重疊的框體 701 和框體 702（示出於圖 10A）可以滑動，藉由使它滑動可以如圖 10C 所示那樣展開。在顯示部 703 中可以組裝應用實施例模式 3 所說明的顯示裝置的製造方法的顯示面板或顯示裝置。因為在同一個面上具備顯示部 703 和表面相機用鏡頭 708，所以可以用作電視電話。此外，可以將顯示部 703 用作取景器，且利用背面相機 713 及光燈 714 拍攝靜態圖像及動態圖像。

藉由使用揚聲器 704 及麥克風 705，可以將圖 10A 至 10C 所示的行動電話作為聲音記錄器（錄音器）或聲音再現器而使用。此外，藉由利用操作鍵 706，可以進行電話的發送/接收操作、電子郵件等的簡單的資訊輸入操作、顯示在顯示部的圖像的捲動（scroll）操作、用來進行顯示在顯示部的資訊的選擇等的游標移動操作等。

此外，在諸如以檔案編制、作為可攜式資訊終端的使用等要處理的資訊很多的情況下，使用鍵盤 711 是很方便的。再者，藉由使互相重疊的框體 701 和框體 702（圖 10A）滑動，可以如圖 10C 所示那樣展開。在作為可攜式資訊終端而使用的情況下，藉由使用鍵盤 711 及定位裝置 707 而可以順利進行游標操作。外部連接端子插口 709 可

以連接到各種電纜如 AC 適配器及 USB 電纜等，而可以充電以及進行與個人電腦等的資料通信。此外，藉由對外部儲存槽 712 插入記錄媒體，而可以儲存及移動更大量的資料。

框體 702 的背面（圖 10B）具備背面相機 713 及光燈 714，將顯示部 703 用作取景器，可以拍攝靜態圖像及動態圖像。

此外，除了上述功能結構以外，還可以具備紅外線通信功能、USB 埠、地面波數位電視廣播（one segment television broadcast）接收功能、非接觸 IC 晶片或耳機插口等。

圖 10A 至 10C 所說明的電子設備可以應用上述電晶體及顯示裝置的製造方法而製造。

實施例 1

在本實施例中，對上述實施例模式所示的包含氬的氧化膜進行說明。

首先，準備單晶矽基板作為半導體基板，藉由在添加有氯化氬的氧化氣氛中對該單晶矽基板進行熱處理，在該單晶矽基板上形成氧化膜（HCl 熱氧化 SiO_2 ）。接著，藉由使用離子摻雜法隔著氧化膜對單晶矽基板照射氬離子，在離單晶矽基板的表面有預定的深度中形成脆弱區域。接著，準備玻璃基板作為支撐基板，並將氧化膜與玻璃基板接合，在進行熱處理之後，以脆弱區域為邊界進行分離，

而製造在玻璃基板上中間夾著氧化膜設置有單晶矽膜的 SOI 基板。

在含有相對於氧體積比為 3 體積 % 的氯化氫 (HCl) 的氧化氣氛中，以 950℃ 的溫度且 210 分鐘的處理時間進行熱氧化處理。其結果，形成 100nm 厚度的氧化膜。此外，使用熱處理爐，在以 200℃ 的加熱溫度進行兩個小時的處理之後，以 600℃ 的加熱溫度進行兩個小時的接合後的熱處理。另外，分離後的單晶矽膜的厚度為 130nm。

然後，對在氧化膜中包含的氯使用二次離子質譜分析技術 (SIMS; Secondary Ion Mass Spectroscopy) 進行測定。

圖 11 示出使用 SIMS 分析技術測出的形成在玻璃基板上的氧化膜中的氯的濃度深度方向輪廓。注意，在圖 11 中，氯濃度的值僅在氧化膜 (HCl 熱氧化 SiO_2) 內有效。

在圖 11 中可以確認到，在氧化膜和玻璃基板的介面一側的氯的濃度低，並且在氧化膜和單晶矽膜的介面一側的氯的濃度高。換言之，藉由在包含氯化氫的氧化氣氛中對單晶矽基板進行熱氧化處理，與玻璃基板貼合地製造 SOI 基板，可以形成在單晶矽膜和絕緣膜的介面一側包含很多氯的氧化膜。

實施例 2

在本實施例中，說明對形成在單晶半導體基板上的氧

化膜進行電漿處理時的其表面特性的變化。

以下對在本實施例中評估的樣品進行說明。首先，作為樣品 A：使用單晶矽基板作為單晶半導體基板，藉由在添加有氯化氫的氧化氣氛中對單晶矽基板的表面進行熱處理，在單晶矽基板上形成 100nm 厚的氧化膜。

接著，與樣品 A 同樣，作為樣品 B：使用單晶矽基板，藉由在添加有氯化氫的氧化氣氛中對單晶矽基板的表面進行熱處理，在單晶矽基板上形成 100nm 厚的氧化膜。然後，對氧化膜照射氫離子。氫離子的照射條件為如下條件：使用 RF 放電型離子摻雜裝置，氫氣體流量為 30sccm，電源輸出為 100W，加速電壓為 40kV，劑量為 2.0×10^{16} 離子/cm²。

接著，與樣品 A 同樣，作為樣品 C：使用單晶矽基板，藉由在添加有氯化氫的氧化氣氛中對單晶矽基板的表面進行熱處理，在單晶矽基板上形成 100nm 厚的氧化膜。然後，對氧化膜照射氫離子。氫離子的照射條件與樣品 B 同樣。然後，對氧化膜的表面進行電漿處理。電漿處理的條件為如下條件：使用 Tegal 公司製造的裝置（電漿幹蝕刻裝置 981 型），並使用稱為 RIE（反應離子蝕刻）模式的方式，處理電力為 200W，壓力為 66.7Pa，氣體（O₂）流量為 100sccm，處理時間為 30sec。

下面，藉由使用 ToF-SIMS（Time of Flight-Secondary Ion Mass Spectrometry；飛行時間二次離子質譜分析技術）對樣品 A、樣品 B、樣品 C 的氧化膜的表面

的狀態進行定性分析。在圖 12 中示出樣品 A、樣品 B、樣品 C 的氧化膜表面的分析結果。橫軸表示樣品 A、樣品 B、樣品 C，而縱軸表示 $(\text{SiO}_2)_n\text{-OH}$ 類負離子強度。

可以確認到：與其他不進行電漿處理的樣品 A、樣品 B 相比，進行了電漿處理的樣品 C 的氧化膜的 $(\text{SiO}_2)_n\text{-OH}$ 離子強度高。換言之，可以確認到：藉由加速了的氧的陽離子衝突到氧化膜的表面，使氧化膜表面的 Si-H 、 Si-H_2 、 SiO_2 減少，並且增加 $(\text{SiO}_2)_n\text{-OH}$ 。

【圖式簡單說明】

在附圖中：

圖 1A-1 至 1D 是示出 SOI 基板的製造方法的一個例子的圖；

圖 2A 至 2C 是示出 SOI 基板的製造方法的一個例子的圖；

圖 3A-1 至 3D 是示出 SOI 基板的製造方法的一個例子的圖；

圖 4A 至 4D 是示出 SOI 基板的製造方法的一個例子的圖；

圖 5A 至 5C 是示出 SOI 基板的製造方法的一個例子的圖；

圖 6 是示出使用 SOI 基板的半導體裝置的一個例子的圖；

圖 7 是示出使用 SOI 基板的半導體裝置的一個例子的圖；

圖 ；

圖 8A 和 8B 是示出使用 SOI 基板的顯示裝置的一個例子的圖 ；

圖 9A 和 9B 是示出使用 SOI 基板的顯示裝置的一個例子的圖 ；

圖 10A 至 10C 是示出使用 SOI 基板的電子設備的一個例子的圖 ；

圖 11 是說明 SOI 基板中的包含氮的氧化膜的圖 ； 以及

圖 12 是說明形成在矽基板上的氧化膜表面的特性的圖 。

【 主 要 元 件 符 號 說 明 】

100：半 導 體 基 板

102：氧 化 膜

103：離 子

104：脆 弱 區 域

112：氧 化 膜

120：支 撐 基 板

121：半 導 體 膜

122：氧 化 膜

124：單 晶 半 導 體 膜

251：半 導 體 膜

252：半 導 體 膜

- 254 : 絕緣膜
- 255 : 閘極電極
- 256 : 閘極電極
- 257 : 低濃度雜質區域
- 258 : 通道形成區域
- 259 : 高濃度雜質區域
- 260 : 通道形成區域
- 261 : 側壁絕緣膜
- 265 : 抗蝕劑
- 267 : 高濃度雜質區域
- 268 : 絕緣膜
- 269 : 層間絕緣膜
- 270 : 佈線
- 320 : 單晶半導體膜
- 322 : 掃描線
- 323 : 信號線
- 324 : 像素電極
- 325 : TFT
- 327 : 層間絕緣膜
- 328 : 電極
- 329 : 柱狀間隔物
- 330 : 取向膜
- 332 : 相對基板
- 333 : 相對電極

334：取向膜

335：液晶層

340：通道形成區域

341：高濃度雜質區域

401：選擇用電晶體

402：顯示控制用電晶體

403：半導體膜

404：半導體膜

405：掃描線

406：信號線

407：電流供應線

408：像素電極

411：電極

412：閘極電極

413：電極

427：層間絕緣膜

428：隔斷層

429：EL層

430：相對電極

431：相對基板

432：樹脂層

451：通道形成區域

452：高濃度雜質區域

500：微處理器

- 501：計算電路
- 502：計算電路控制部
- 503：指令解碼部
- 504：中斷控制部
- 505：時序控制部
- 506：暫存器
- 507：暫存器控制部
- 508：匯流排介面
- 509：唯讀記憶體
- 510：記憶體介面
- 511：RFCPU
- 512：類比電路部
- 513：數位電路部
- 514：諧振電路
- 515：整流電路
- 516：恆壓電路
- 517：重置電路
- 518：振盪電路
- 519：解調電路
- 520：調制電路
- 521：RF 介面
- 522：控制暫存器
- 523：時鐘控制器
- 524：CPU 介面

- 525：中央處理單元
- 526：隨機存取記憶體
- 527：唯讀記憶體
- 528：天線
- 529：電容部
- 530：電源管理電路
- 701：框體
- 702：框體
- 703：顯示部
- 704：揚聲器
- 705：麥克風
- 706：操作鍵
- 707：定位裝置
- 708：表面相機用鏡頭
- 709：外部連接端子插口
- 710：耳機端子
- 711：鍵盤
- 712：外部儲存槽
- 713：背面相機
- 714：光燈

七、申請專利範圍：

1. 一種 SOI 基板的製造方法，包含：

在單晶半導體基板上形成含有氯原子的氧化膜；

透過該氧化膜，對該單晶半導體基板照射加速了的離子，以在離該單晶半導體基板的表面有預定的深度的區域中形成脆弱區域；

施加偏壓，以對該單晶半導體基板上的該氧化膜進行電漿處理；

將該單晶半導體基板與由絕緣體構成的支撐基板互相相對，以將該氧化膜的表面與該支撐基板的表面互相接合；以及

在將該氧化膜的表面與該支撐基板的表面互相接合之後，進行熱處理，以沿著該脆弱區域進行分離，藉以在中間夾著該氧化膜的在該支撐基板上形成單晶半導體膜，

其中在該氧化膜和該單晶半導體膜間的介面中的氯濃度高於在該氧化膜和該支撐基板間的介面中的氯濃度。

2. 如申請專利範圍第 1 項的 SOI 基板的製造方法，其中在包含氯化氫或反-1,2-二氯乙烯的氧化氣氛中，對該單晶半導體基板進行熱氧化處理來形成該氧化膜。

3. 如申請專利範圍第 1 項的 SOI 基板的製造方法，其中該電漿處理使用氧氣體來進行。

4. 如申請專利範圍第 1 項的 SOI 基板的製造方法，其中該熱處理在等於或低於該支撐基板的應變點的溫度來進行。

5. 如申請專利範圍第 1 項的 SOI 基板的製造方法，其中玻璃基板使用作為該支撐基板。

6. 如申請專利範圍第 1 項的 SOI 基板的製造方法，其中該氧化膜包含含有氯原子的氧化矽。

7. 一種 SOI 基板的製造方法，包含：

在單晶半導體基板上形成含有氯原子的第一氧化膜；

在由絕緣體構成的支撐基板上形成含有氯原子的第二氧化膜；

透過該第一氧化膜，對該單晶半導體基板照射加速了的離子，以在離該單晶半導體基板的表面有預定的深度的區域中形成脆弱區域；

施加偏壓，以對該單晶半導體基板上的該第一氧化膜進行電漿處理；

將該單晶半導體基板與該支撐基板互相相對，以將該第一氧化膜的表面與該第二氧化膜的表面互相接合；以及

在將該第一氧化膜的表面與該第二氧化膜的表面互相接合之後，進行熱處理，以沿著該脆弱區域進行分離，藉以再中間夾著該第二氧化膜及該第一氧化膜的在該支撐基板上形成單晶半導體膜，

其中在該第一氧化膜和該單晶半導體膜間的介面中的氯濃度高於在該第一氧化膜和該第二氧化膜間的介面中的氯濃度。

8. 如申請專利範圍第 7 項的 SOI 基板的製造方法，其中在包含氯化氫或反-1,2-二氯乙烯的氧化氣氛中，對該

單晶半導體基板進行熱氧化處理來形成該第一氧化膜。

9. 如申請專利範圍第 7 項的 SOI 基板的製造方法，其中該第二氧化膜藉由如下步驟而形成：

在該支撐基板上形成半導體膜；以及

在含有氯化氫或反-1,2-二氯乙烯的氧化氣氛中，對該半導體膜進行熱氧化處理，以使該半導體膜氧化。

10. 如申請專利範圍第 7 項的 SOI 基板的製造方法，還包含：在將該第一氧化膜的表面與該第二氧化膜的表面互相接合之前，施加偏壓，以對該支撐基板上的第二氧化膜進行電漿處理。

11. 如申請專利範圍第 7 項的 SOI 基板的製造方法，其中該電漿處理使用氧氣體來進行。

12. 如申請專利範圍第 7 項的 SOI 基板的製造方法，其中該熱處理在等於或低於該支撐基板的應變點的溫度來進行。

13. 如申請專利範圍第 7 項的 SOI 基板的製造方法，其中玻璃基板使用作為該支撐基板。

14. 如申請專利範圍第 7 項的 SOI 基板的製造方法，其中該第二氧化膜藉由如下步驟而形成：

在該支撐基板上形成半導體膜；以及

在含有二氯乙烯的氧化氣氛中，對該半導體膜進行熱氧化處理，以使該半導體膜氧化。

15. 一種 SOI 基板的製造方法，包含：

在單晶半導體基板上形成含有氯原子的氧化膜；

透過該氧化膜，對該單晶半導體基板照射加速了的氬離子，以在離該單晶半導體基板的表面有預定的深度的區域中形成脆弱區域；

施加偏壓，以對該單晶半導體基板上的該氧化膜進行電漿處理；

將該單晶半導體基板與由絕緣體構成的支撐基板互相相對，以將該氧化膜的表面與該支撐基板的表面互相接合；以及

在將該氧化膜的表面與該支撐基板的表面互相接合之後，進行熱處理，以沿著該脆弱區域進行分離，藉以在中間夾著該氧化膜的在該支撐基板上形成單晶半導體膜，

其中在該氧化膜和該單晶半導體膜間的介面中的氯濃度高於在該氧化膜和該支撐基板間的介面中的氯濃度。

16. 如申請專利範圍第 15 項的 SOI 基板的製造方法，其中在含有氯化氫或反-1,2-二氯乙烯的氧化氣氛中，對該單晶半導體基板進行熱氧化處理來形成該氧化膜。

17. 如申請專利範圍第 15 項的 SOI 基板的製造方法，其中該電漿處理使用氧氣體來進行。

18. 如申請專利範圍第 15 項的 SOI 基板的製造方法，其中該熱處理在等於或低於該支撐基板的應變點的溫度來進行。

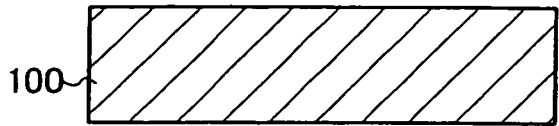
19. 如申請專利範圍第 15 項的 SOI 基板的製造方法，其中玻璃基板使用作為該支撐基板。

20. 如申請專利範圍第 15 項的 SOI 基板的製造方法

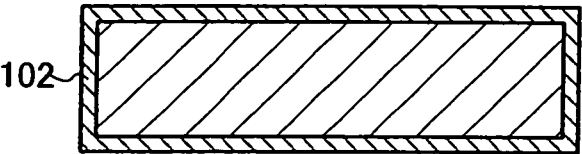
，其中該氧化膜包含含有氯原子的氧化矽。

圖 1A

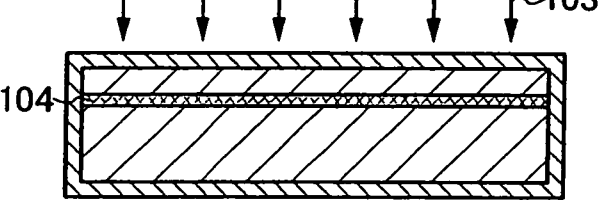
(A-1)



(A-2)



(A-3)



(A-4)

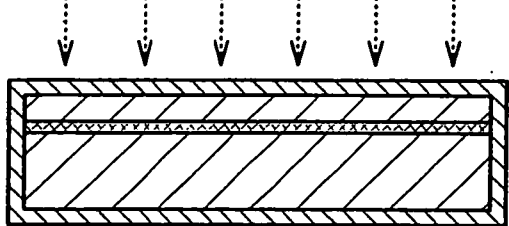


圖 1B



圖 1C

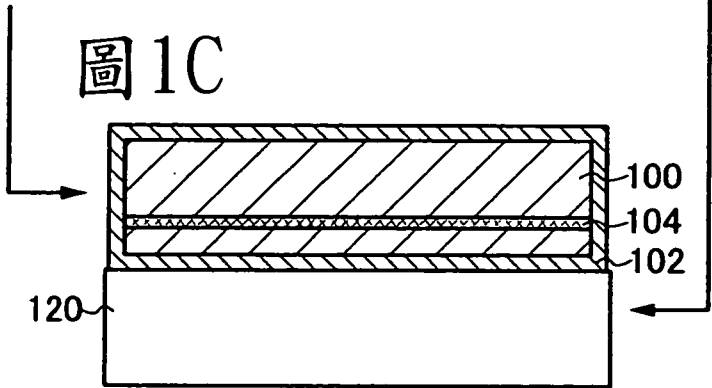


圖 1D

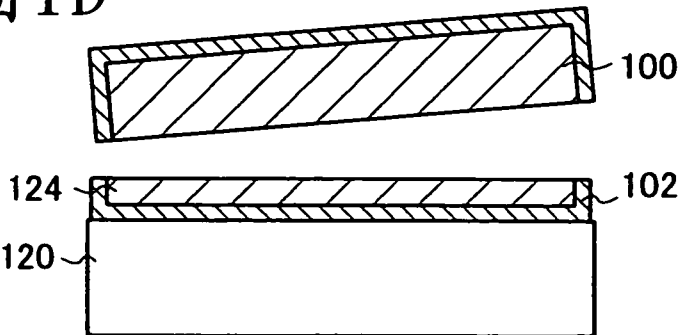


圖 2A

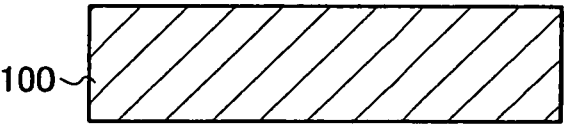


圖 2B

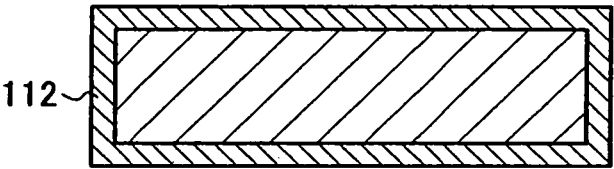


圖 2C

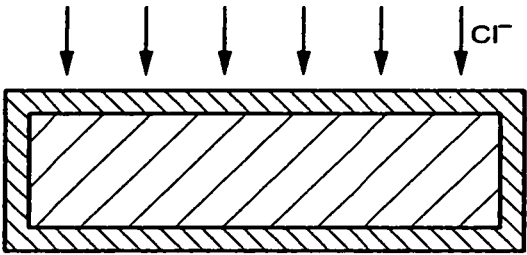


圖 3A

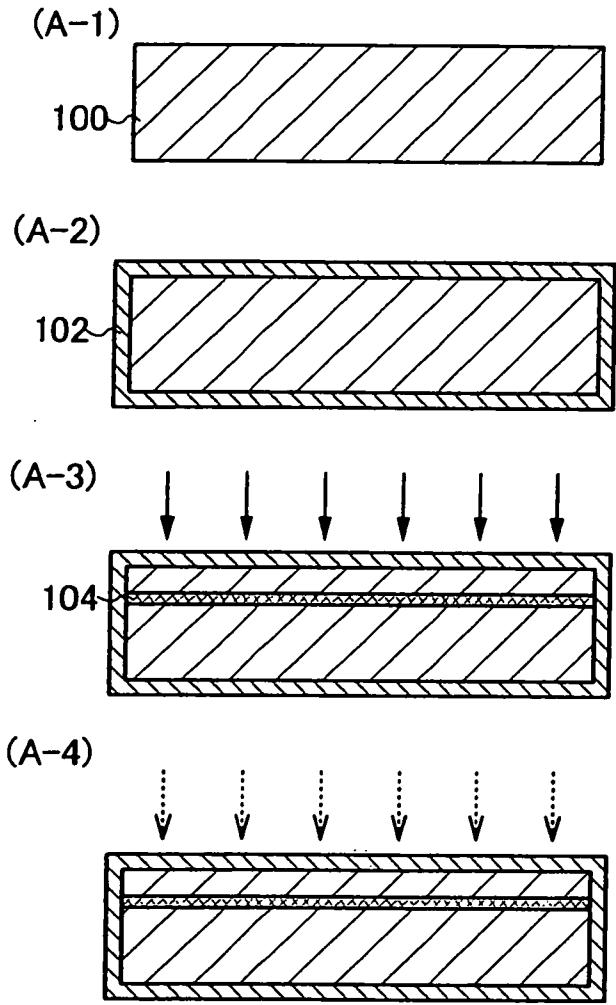


圖 3B

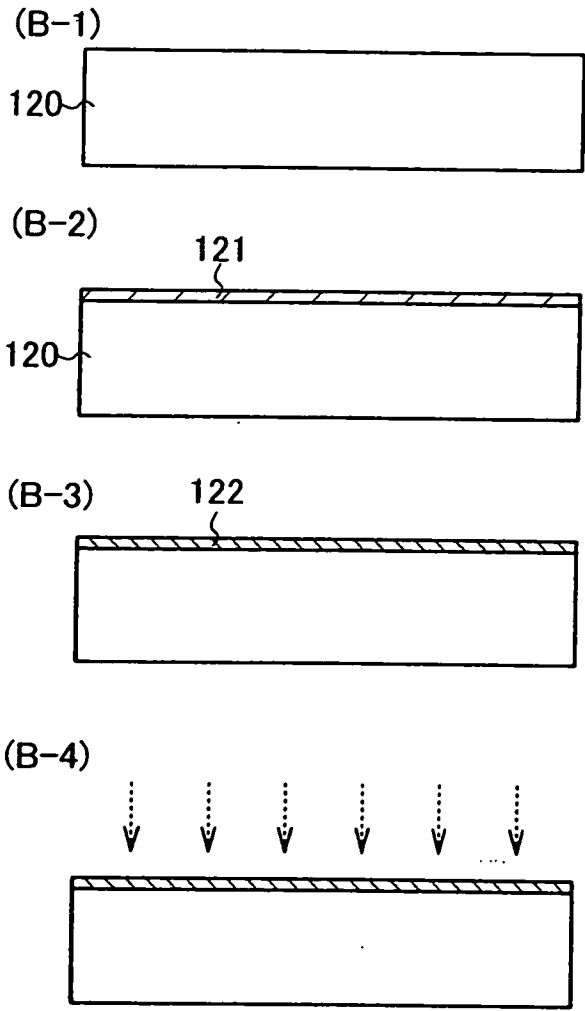


圖 3C

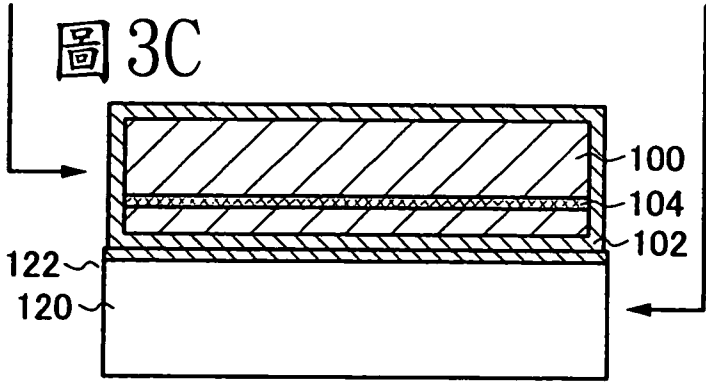


圖 3D

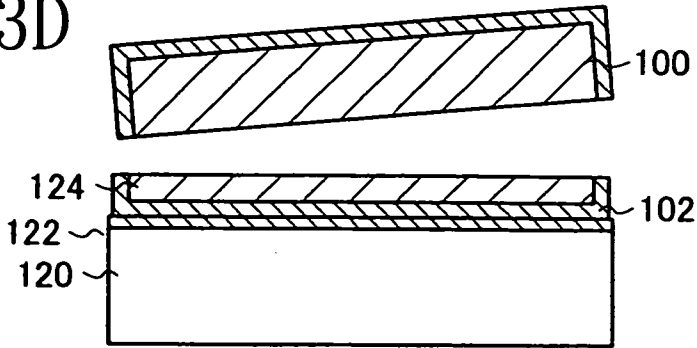


圖 4A

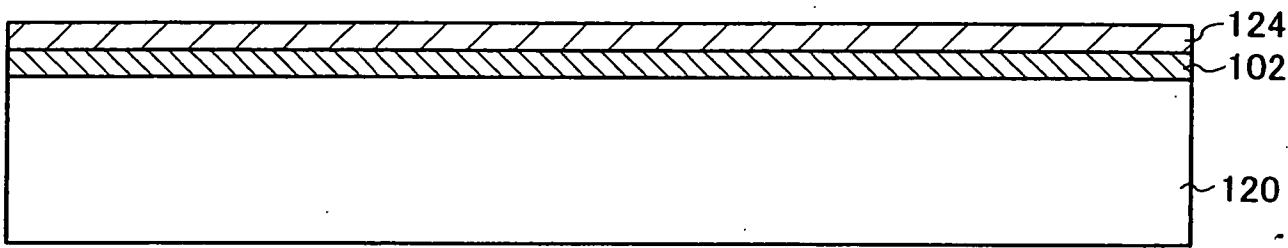


圖 4B

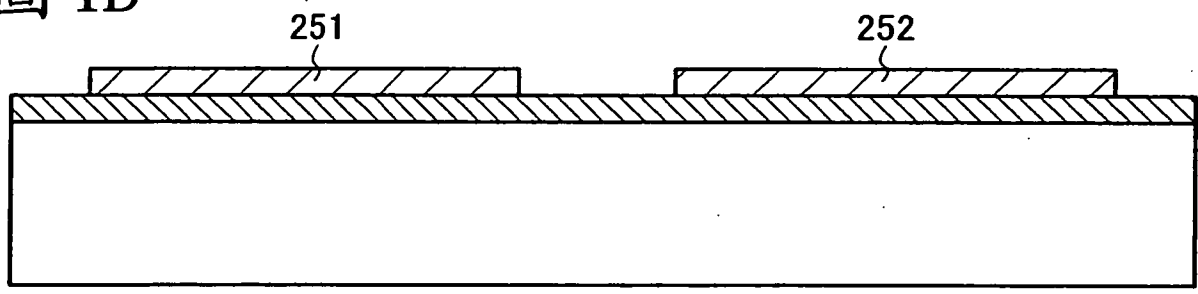


圖 4C

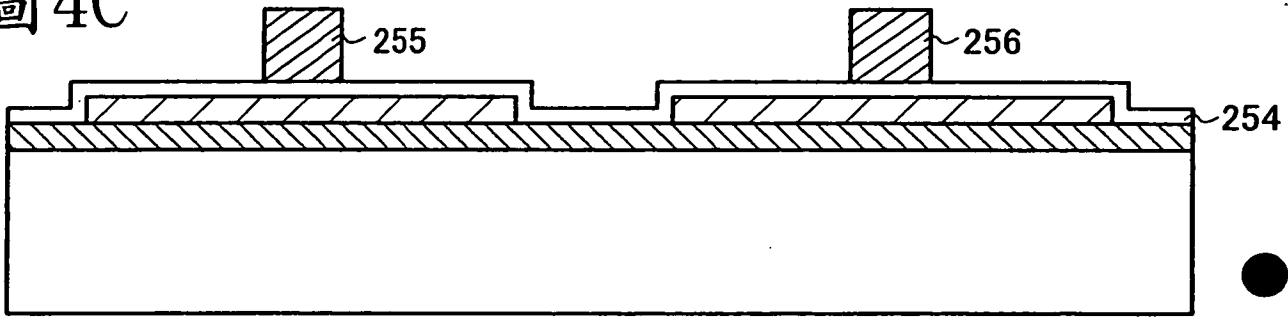


圖 4D

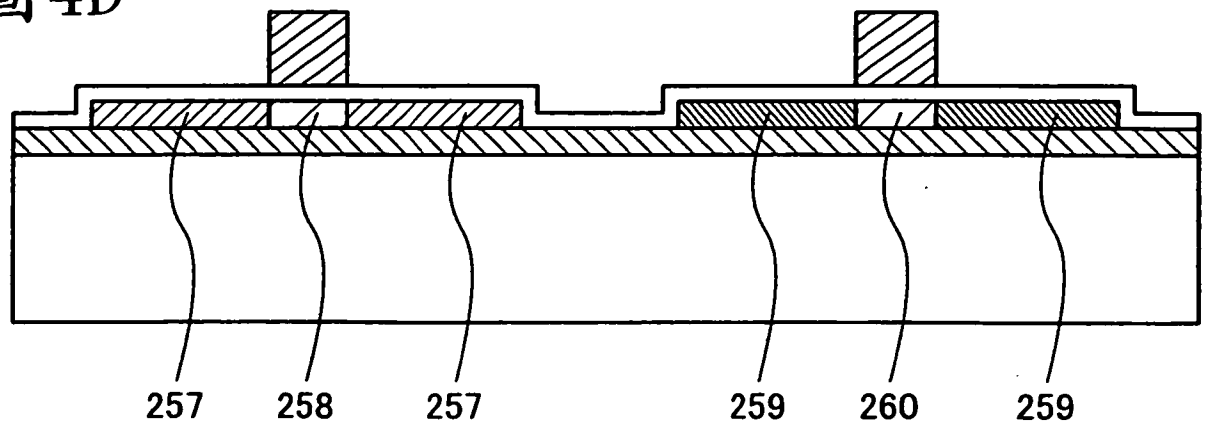


圖 5A

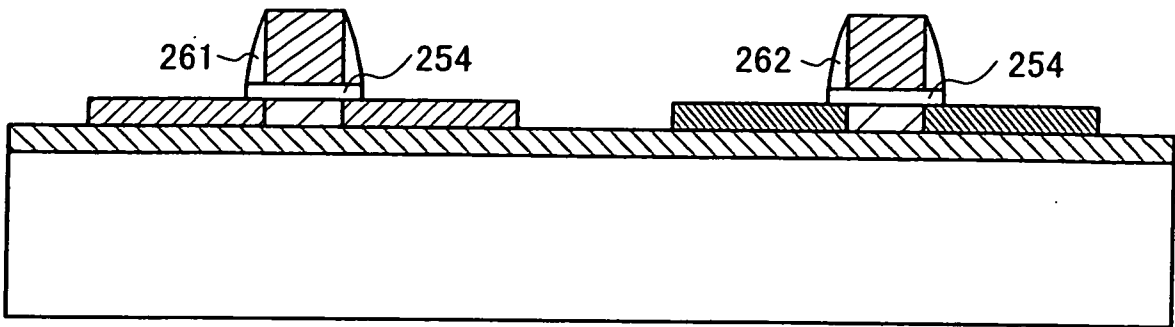


圖 5B

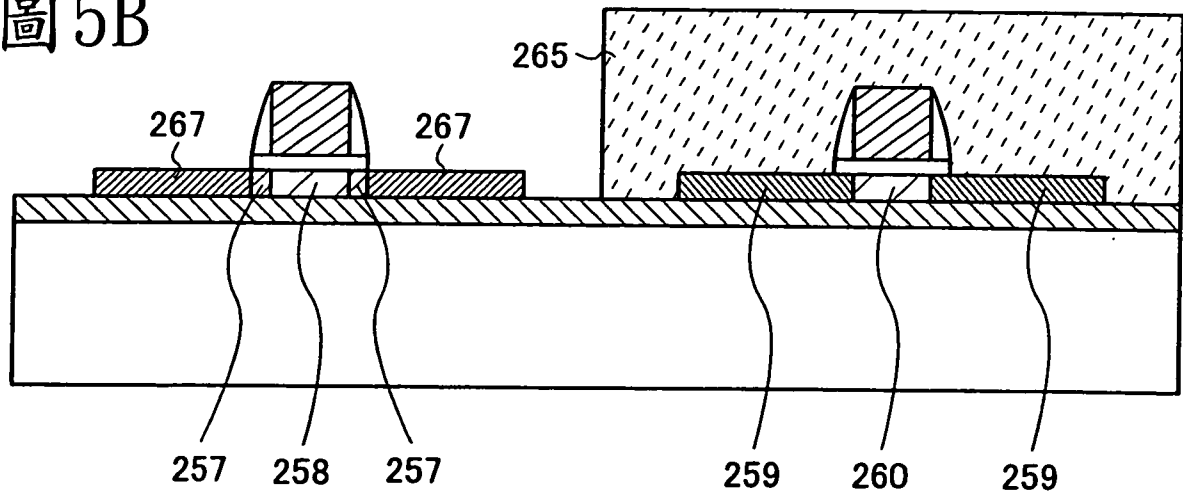


圖 5C

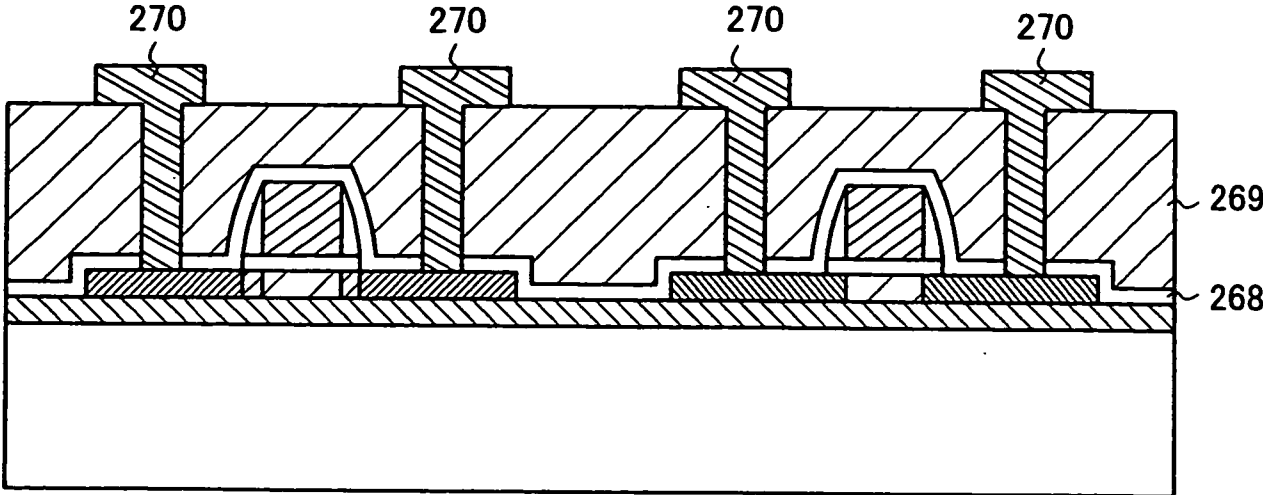


圖 6

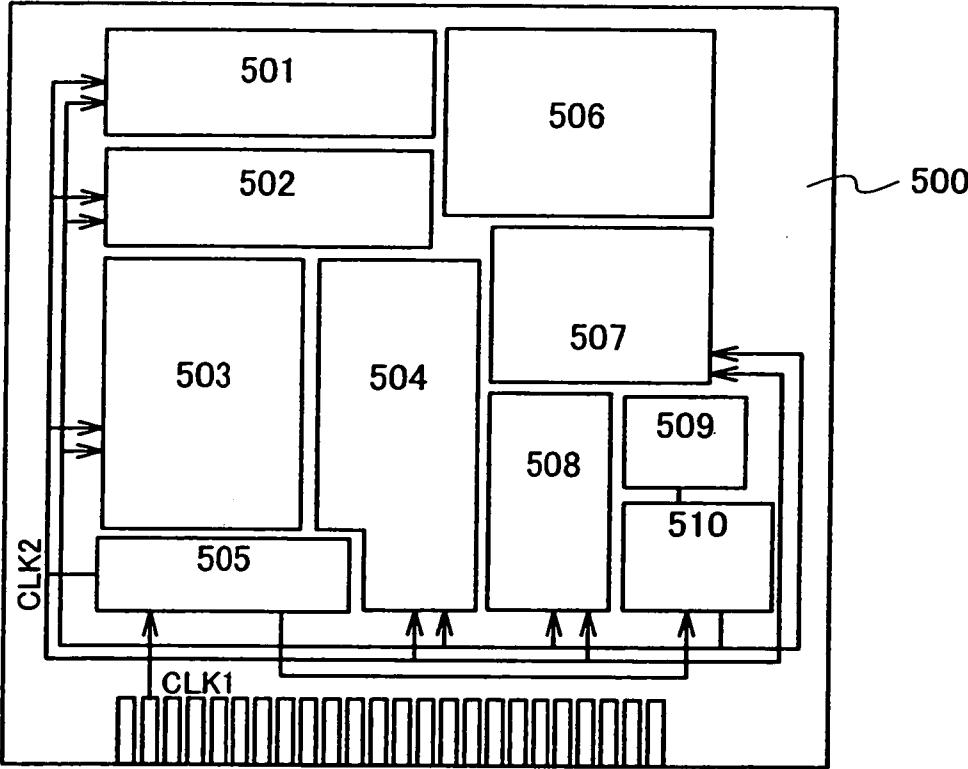


圖 7

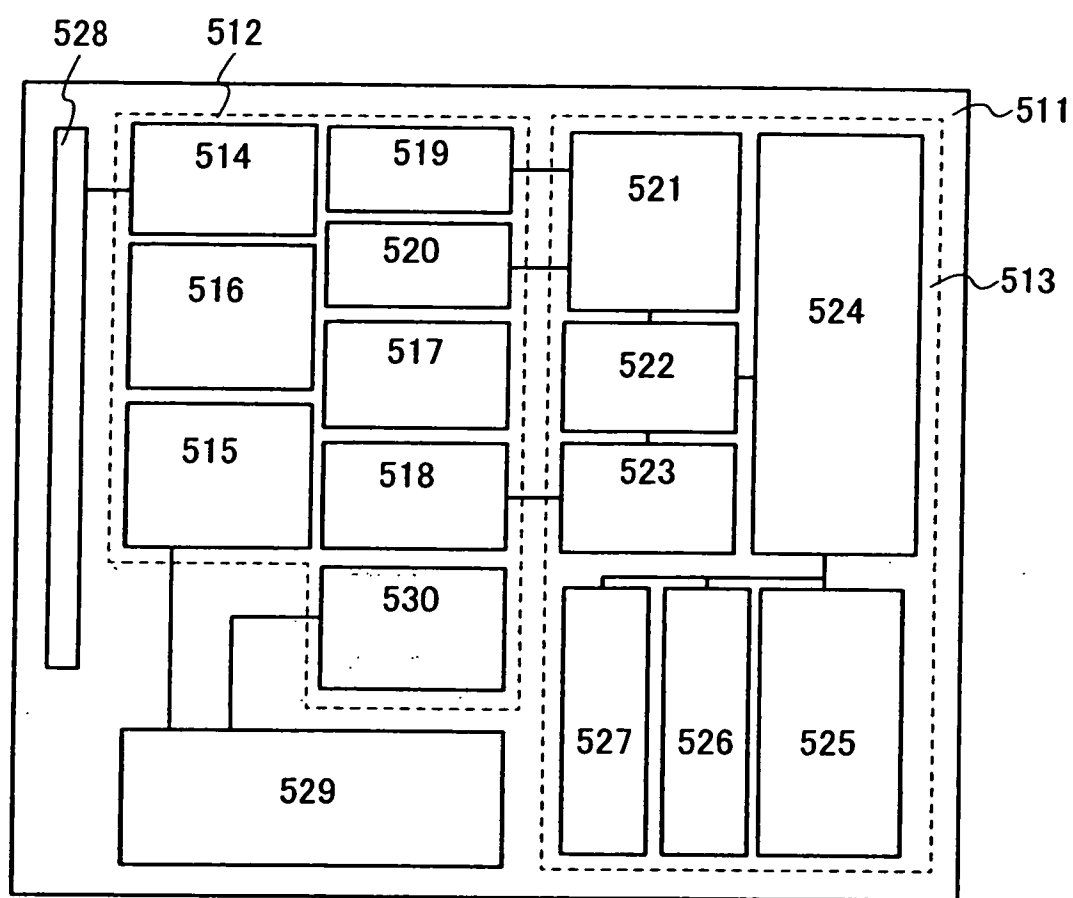


圖 8A

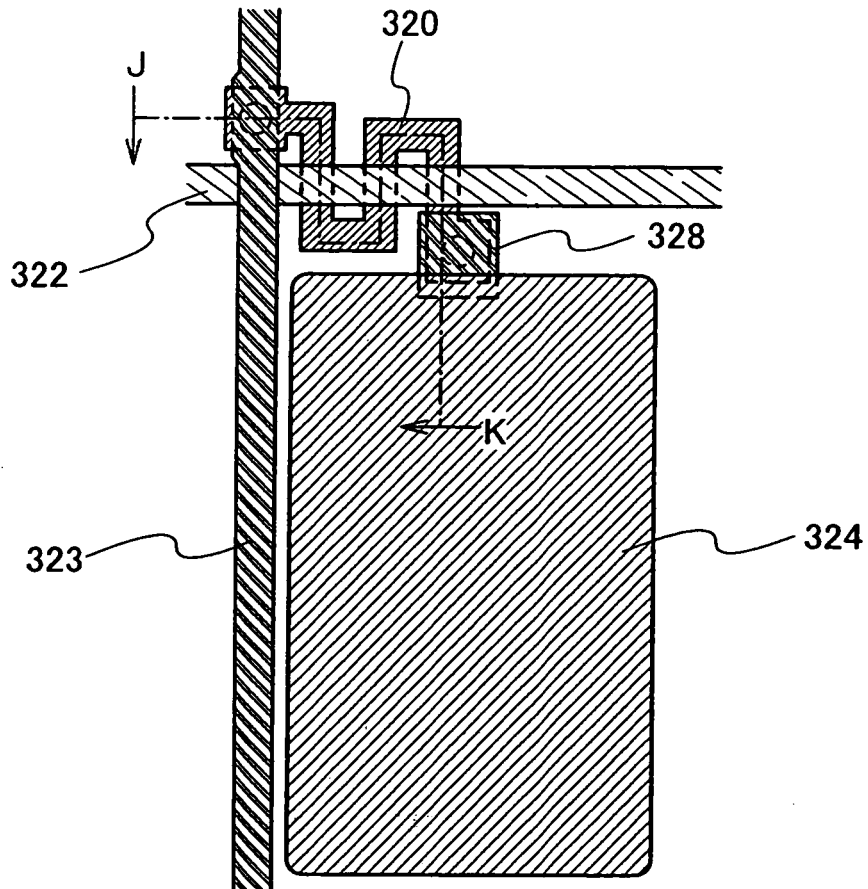


圖 8B

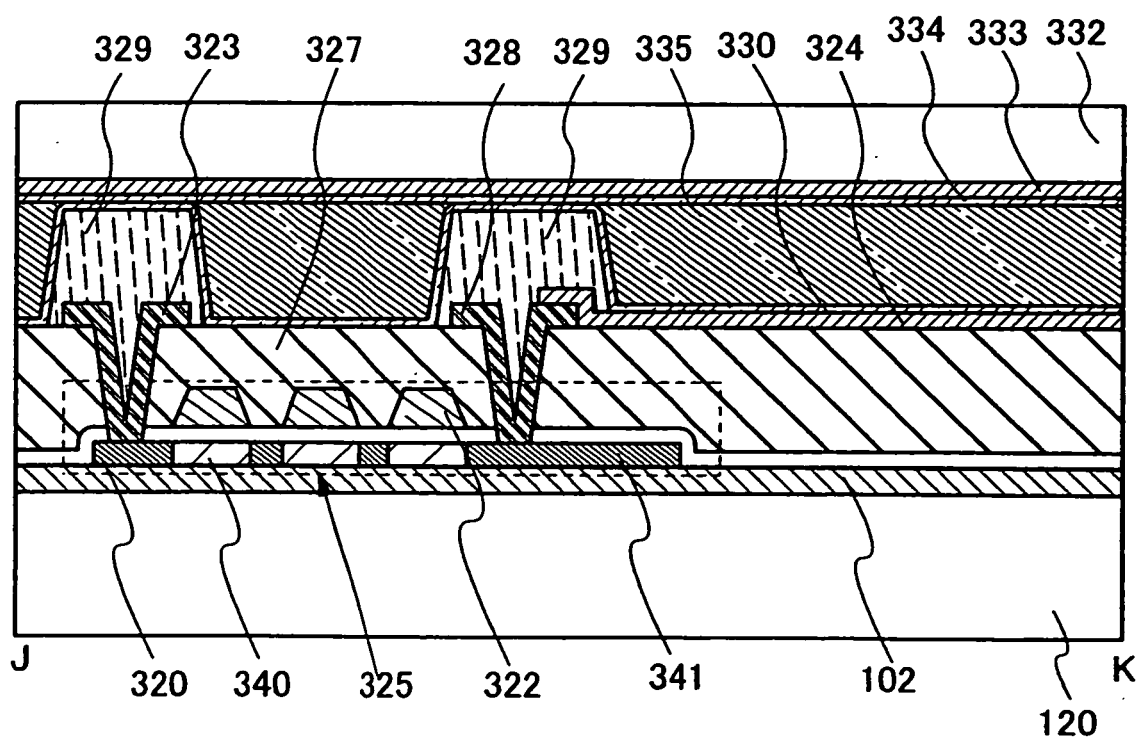


圖 9A

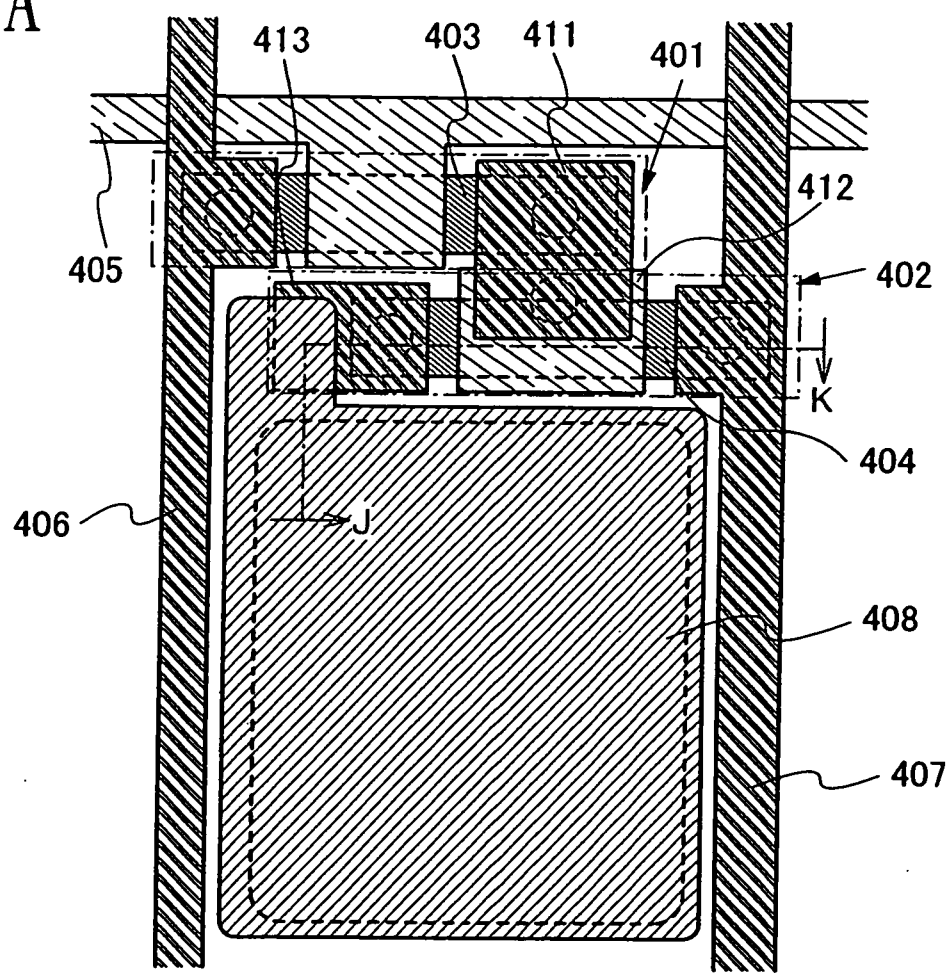


圖 9B

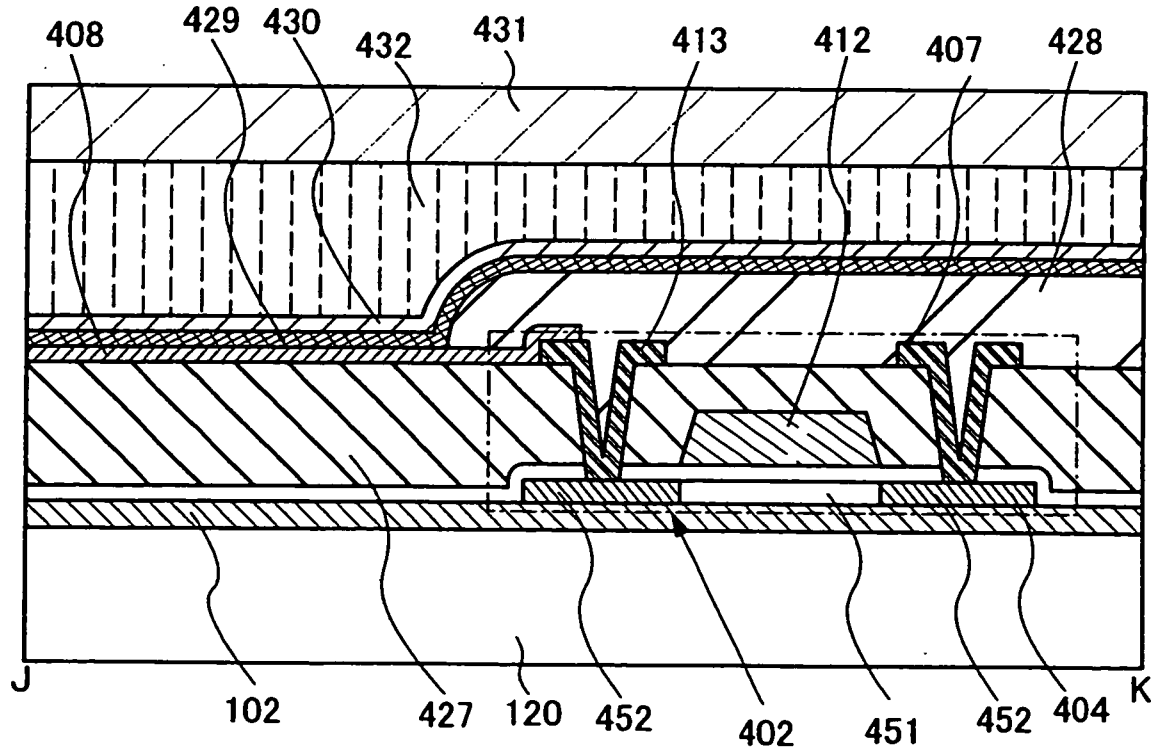


圖 10A

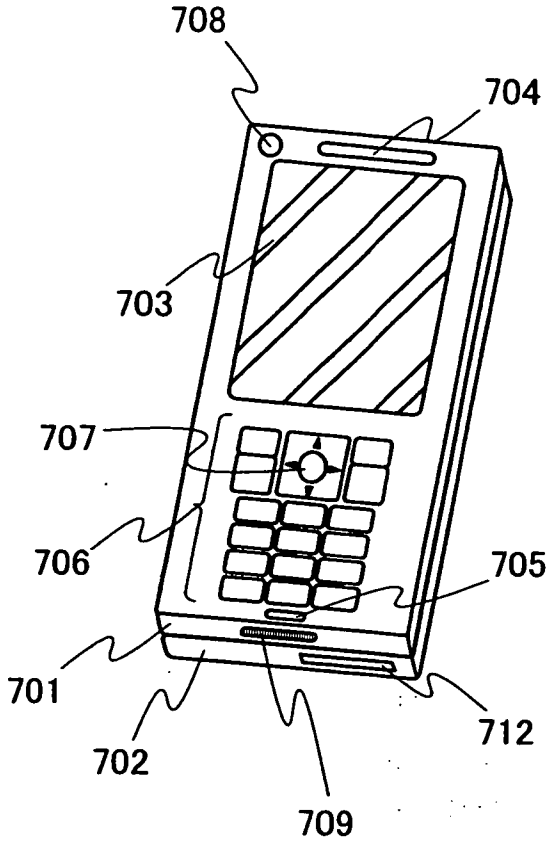


圖 10B

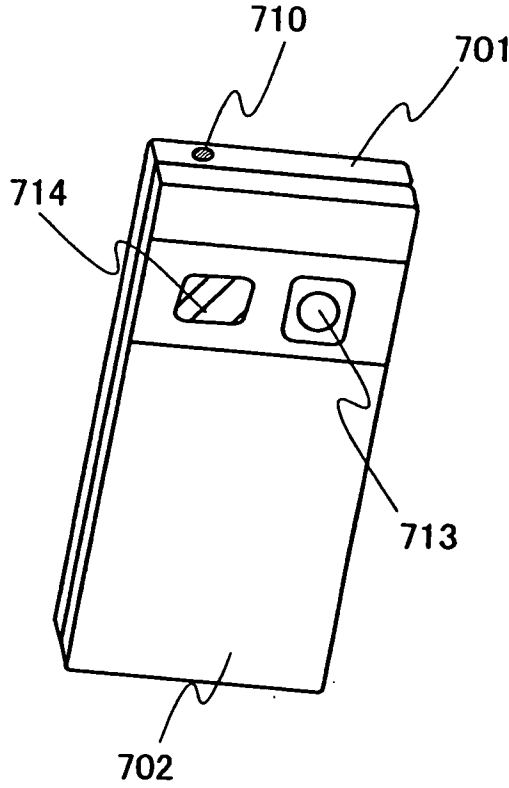


圖 10C

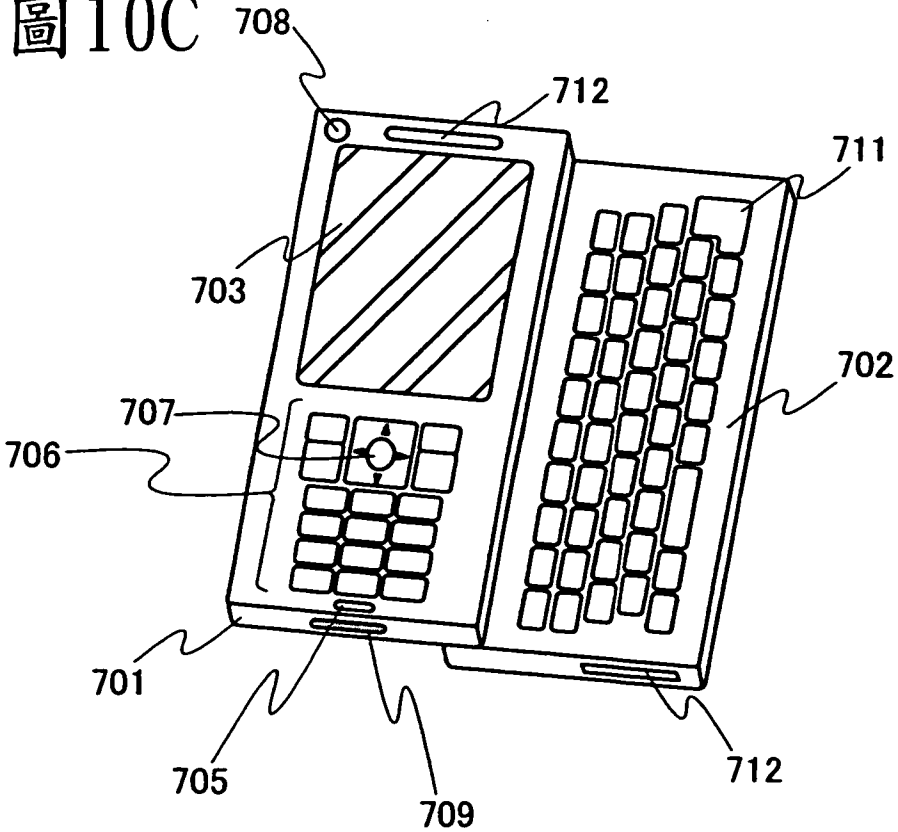


圖 11

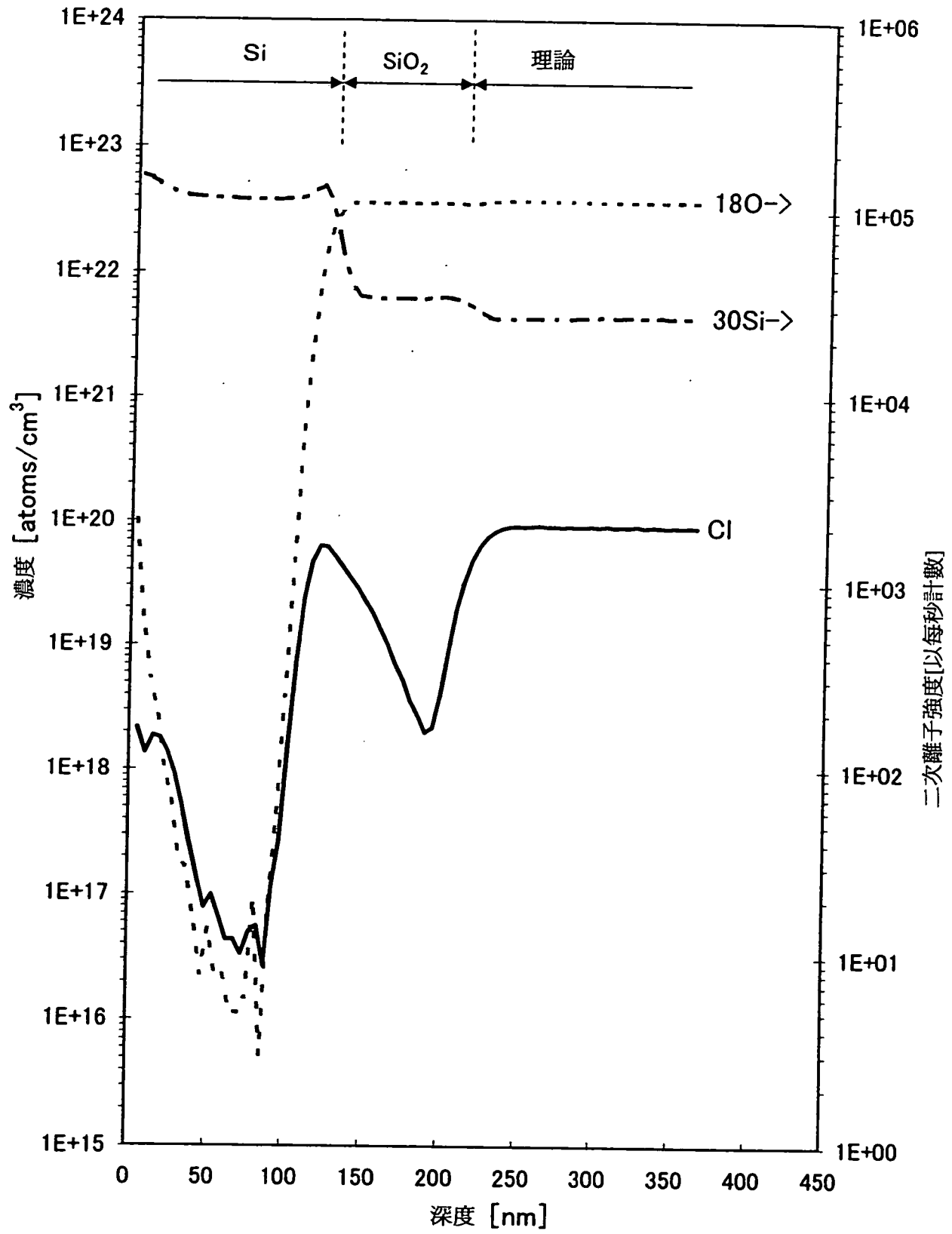


圖 12

