

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2010-50453  
(P2010-50453A)

(43) 公開日 平成22年3月4日(2010.3.4)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 25/065 (2006.01)

HO 1 L 25/08

Z

5 F O 3 3

HO 1 L 25/07 (2006.01)

HO 1 L 21/88

T

HO 1 L 25/18 (2006.01)

HO 1 L 21/3205 (2006.01)

HO 1 L 23/52 (2006.01)

審査請求 未請求 請求項の数 13 O L (全 41 頁)

(21) 出願番号 特願2009-185554 (P2009-185554)

(22) 出願日 平成21年8月10日 (2009.8.10)

(31) 優先権主張番号 12/222,955

(32) 優先日 平成20年8月20日 (2008.8.20)

(33) 優先権主張国 米国 (US)

(71) 出願人 500475649  
ヘッドウェイテクノロジーズ インコーポ  
レイテッド  
アメリカ合衆国 カリフォルニア州 95  
035 ミルピタス サウス ヒルビュー  
ドライブ 678

(71) 出願人 000003067  
TDK株式会社  
東京都中央区日本橋一丁目13番1号

最終頁に続く

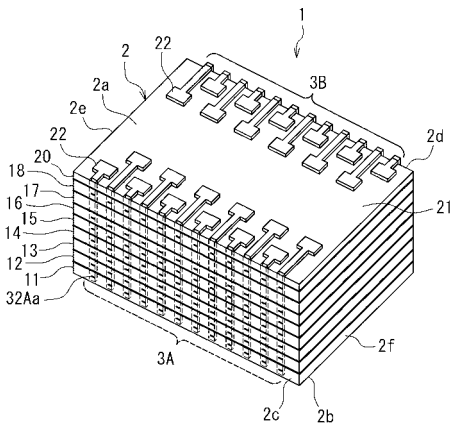
(54) 【発明の名称】 積層チップパッケージおよびその製造方法

(57) 【要約】

【課題】正常に動作しないチップに接続された配線に起因する問題を低減しながら、正常に動作しないチップを使用不能にする。

【解決手段】積層チップパッケージ1は、複数の階層部分11～18を含む本体2と、本体2の側面に配置された配線3A、3Bとを備えている。複数の階層部分は、第1の種類の階層部分11～16、18と、第2の種類の階層部分17とを含んでいる。第1の種類の階層部分と第2の種類の階層部分は、いずれも、半導体チップを含んでいる。第1の種類の階層部分は、それぞれ半導体チップに接続され、配線3A、3Bが配置された本体2の側面に配置された端面を有する複数の電極を含むが、第2の種類の階層部分は、半導体チップに接続されると共に配線3A、3Bが配置された本体2の側面に配置される端面を有する電極を含んでいない。配線3A、3Bは、複数の電極の端面に接続されている。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

上面、下面および 4 つの側面を有する本体と、  
前記本体の少なくとも 1 つの側面に配置された配線とを備え、  
前記本体は、積層された複数の階層部分を含み、  
前記複数の階層部分は、1 つ以上の第 1 の種類の階層部分と、1 つ以上の第 2 の種類の階層部分とを含み、

前記第 1 の種類の階層部分と第 2 の種類の階層部分は、いずれも、半導体チップを含み、

前記第 1 の種類の階層部分は、更に、それぞれ前記半導体チップに接続され、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置された端面を有する複数の電極を含むが、前記第 2 の種類の階層部分は、前記半導体チップに接続されると共に前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置される端面を有する電極を含まず、

前記配線は、前記複数の電極の端面に接続されていることを特徴とする積層チップパッケージ。

## 【請求項 2】

前記第 1 の種類の階層部分における半導体チップは正常に動作するものであり、前記第 2 の種類の階層部分における半導体チップは正常に動作しないものであることを特徴とする請求項 1 記載の積層チップパッケージ。

## 【請求項 3】

前記第 1 の種類の階層部分と第 2 の種類の階層部分は、いずれも、更に、前記半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部を含み、

前記絶縁部は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有し、

前記複数の電極の端面は、それぞれ、前記絶縁部によって囲まれていることを特徴とする請求項 1 記載の積層チップパッケージ。

## 【請求項 4】

上面、下面および 4 つの側面を有する本体と、

前記本体の少なくとも 1 つの側面に配置された配線とを備え、

前記本体は、積層された複数の階層部分を含み、

前記複数の階層部分は、いずれも、半導体チップを含み、

前記複数の階層部分のうちの 1 つ以上の階層部分は、更に、それぞれ前記半導体チップに接続され、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置された端面を有する複数の電極を含み、

前記配線は、前記複数の電極の端面に接続されている積層チップパッケージを製造する方法であって、

前記積層チップパッケージの複数の階層部分にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を作製する工程と、

前記複数の基礎構造物を用いて前記本体を作製すると共に、前記本体に対して前記配線を形成して、積層チップパッケージを完成させる工程とを備え、

前記複数の基礎構造物を作製する工程は、各基礎構造物を作製するための一連の工程として、

互いに反対側を向いた第 1 および第 2 の面を有する 1 つの半導体ウェハにおける前記第 1 の面に処理を施すことによって、配列された複数の半導体チップ予定部を含み、前記半導体ウェハの第 1 および第 2 の面に対応する第 1 および第 2 の面を有する基礎構造物前ウェハを作製する工程と、

前記基礎構造物前ウェハに含まれる複数の半導体チップ予定部について、正常に動作する半導体チップ予定部と正常に動作しない半導体チップ予定部とを判別する工程と、

正常に動作しない半導体チップ予定部に接続されると共に前記配線が配置された前記本体の前記少なくとも1つの側面に配置される端面を有する電極を形成することなく、正常に動作する半導体チップ予定部に接続されるように前記複数の電極を形成する工程とを含むことを特徴とする積層チップパッケージの製造方法。

【請求項5】

前記複数の階層部分は、いずれも、更に、前記半導体チップの4つの側面のうちの少なくとも1つの側面を覆う絶縁部を含み、

前記絶縁部は、前記配線が配置された前記本体の前記少なくとも1つの側面に配置された少なくとも1つの端面を有し、

前記複数の電極の端面は、それぞれ、前記絶縁部によって囲まれていることを特徴とする請求項4記載の積層チップパッケージの製造方法。

10

【請求項6】

前記複数の基礎構造物を作製する工程は、各基礎構造物を作製するための一連の工程として、更に、前記基礎構造物前ウェハを作製する工程と前記複数の電極を形成する工程との間において、

前記基礎構造物前ウェハに対して、少なくとも1つの半導体チップ予定部に隣接するように延び、且つ前記基礎構造物前ウェハの第1の面において開口する1以上の溝を形成する工程と、

前記1以上の溝を埋めるように、後に前記絶縁部の一部となる絶縁層を形成する工程とを含み、

20

前記複数の電極を形成する工程において、前記複数の電極は、一部が前記絶縁層の上に配置されるように形成され、

前記積層チップパッケージを完成させる工程において、前記溝が延びる方向に沿って切断面が形成されるように前記絶縁層を切断し、これにより、前記絶縁層の前記切断面によって前記絶縁部の前記少なくとも1つの端面の一部が形成され、且つ前記複数の電極の端面が露出することを特徴とする請求項5記載の積層チップパッケージの製造方法。

【請求項7】

前記積層チップパッケージを完成させる工程は、

前記複数の基礎構造物を、前記積層チップパッケージの複数の階層部分の積層の順序に対応させて積層して、積層基礎構造物を作製する工程と、

30

前記積層基礎構造物を切断することによって、前記複数の階層部分の積層方向と直交する一方向に配列され、それぞれ後に前記本体となる複数の本体予定部を含む本体集合体を作製する工程と、

前記本体集合体における各本体予定部に対してそれぞれ前記配線を形成する工程と、

前記配線の形成後、複数の本体予定部が互いに分離されてそれぞれ前記本体となることによって複数の前記積層チップパッケージが形成されるように、前記本体集合体を切断する工程とを含むことを特徴とする請求項4記載の積層チップパッケージの製造方法。

【請求項8】

前記複数の電極を形成する工程は、

前記複数の電極を形成するために用いられ、全ての半導体チップ予定部に対応する複数の部分を含むフォトレジスト層を形成する工程と、

40

フォトリソグラフィにより前記フォトレジスト層をパターンニングすることによって、後に前記複数の電極が収容される複数の溝部を有するフレームを形成する工程と、

前記フレームの複数の溝部内に前記複数の電極を形成する工程とを含むことを特徴とする請求項4記載の積層チップパッケージの製造方法。

【請求項9】

前記フレームの複数の溝部内に前記複数の電極を形成する工程では、めっき法によって前記複数の電極を形成することを請求項8記載の積層チップパッケージの製造方法。

【請求項10】

前記フレームを形成する工程は、

50

前記フォトリジスト層のうち、前記正常に動作しない半導体チップ予定部に対応する部分には、前記正常に動作しない半導体チップ予定部に接続されると共に前記配線が配置された前記本体の前記少なくとも1つの側面に配置される端面を有する電極に対応する潜像が形成されず、前記フォトリジスト層のうち、前記正常に動作する半導体チップ予定部に対応する部分には、前記複数の電極に対応した潜像が形成されるように、前記フォトリジスト層の露光を行う露光工程と、

前記露光工程の後で、前記フォトリジスト層を現像する工程とを含むことを特徴とする請求項8記載の積層チップパッケージの製造方法。

【請求項11】

前記フォトリジスト層はネガ型であり、

10

前記フレームを形成する工程は、

前記フォトリジスト層のうち、前記正常に動作しない半導体チップ予定部に対応する部分に対しては、全面的に露光を行い、前記フォトリジスト層のうち、前記正常に動作する半導体チップ予定部に対応する部分に対しては、前記複数の電極に対応したパターンによる露光を行う露光工程と、

前記露光工程の後で、前記フォトリジスト層を現像する工程とを含むことを特徴とする請求項8記載の積層チップパッケージの製造方法。

【請求項12】

前記フォトリジスト層はポジ型であり、

20

前記フレームを形成する工程は、

前記フォトリジスト層のうち、前記正常に動作しない半導体チップ予定部に対応する部分に対しては露光を行わず、前記フォトリジスト層のうち、前記正常に動作する半導体チップ予定部に対応する部分に対しては、前記複数の電極に対応したパターンによる露光を行う露光工程と、

前記露光工程の後で、前記フォトリジスト層を現像する工程とを含むことを特徴とする請求項8記載の積層チップパッケージの製造方法。

【請求項13】

前記フォトリジスト層はネガ型であり、

前記フレームを形成する工程は、

前記フォトリジスト層のうち、前記複数の部分の全てに対して、前記複数の電極に対応したパターンによる露光を行う第1の露光工程と、

30

前記第1の露光工程の前または後において、前記フォトリジスト層のうち、前記正常に動作しない半導体チップ予定部に対応する部分のみに対して、全面的に露光を行う第2の露光工程と、

前記第1および第2の露光工程の後で、前記フォトリジスト層を現像する工程とを含むことを特徴とする請求項8記載の積層チップパッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層された複数のチップを含む積層チップパッケージおよびその製造方法に関する。

40

【背景技術】

【0002】

近年、携帯電話やノート型パーソナルコンピュータに代表される携帯機器では、軽量化と高性能化が求められている。それに伴い、携帯機器に用いられる電子部品の高集積化が求められている。また、半導体メモリの大容量化のためにも、電子部品の高集積化が求められている。

【0003】

近年、高集積化された電子部品として、システム・イン・パッケージ（System in Package；以下、S i Pと記す。）、特に複数のチップを積層する3次元実装技術を用いたS

40

i Pが注目されている。本出願において、積層された複数のチップを含むパッケージを、積層チップパッケージと呼ぶ。この積層チップパッケージには、高集積化が可能になるという利点に加え、配線の長さの短縮が可能になることから、回路の動作の高速化や配線の浮遊容量の低減が可能になるという利点がある。

#### 【0004】

積層チップパッケージを製造するための3次元実装技術の主なものには、基板上に複数のチップを積層し、各チップに形成された複数の電極と、基板に形成された外部接続端子とを、ワイヤボンディングによって接続するワイヤボンディング方式と、積層される各チップにそれぞれ複数の貫通電極を形成し、この貫通電極によってチップ間の配線を行う貫通電極方式とがある。

#### 【0005】

ワイヤボンディング方式では、ワイヤ同士の接触を避けるために電極の間隔を小さくすることが難しいという問題点や、ワイヤの高い抵抗値が回路の高速動作の妨げになるという問題点がある。

#### 【0006】

貫通電極方式では、上記のワイヤボンディング方式における問題点は解消される。しかし、貫通電極方式では、チップに貫通電極を形成するために多くの工程が必要であることから、積層チップパッケージのコストが高くなるという問題点がある。すなわち、貫通電極方式では、チップに貫通電極を形成するために、後に切断されることによって複数のチップとなるウェハに、複数の貫通電極用の複数の穴を形成し、次に、この複数の穴内およびウェハの上面上に絶縁層とシード層を形成し、次に、めっき法によって複数の穴内にCu等の金属を充填して複数の貫通電極を形成し、次に、余分なシード層を除去するという一連の工程が必要である。

#### 【0007】

また、貫通電極方式では、比較的大きなアスペクト比の穴に金属を充填して貫通電極を形成する。そのため、貫通電極方式では、穴への金属の充填の不良によって貫通電極にボイドやキーホールが発生しやすく、そのため、貫通電極による配線の信頼性が低下しやすいという問題点がある。

#### 【0008】

また、貫通電極方式では、上下のチップの貫通電極同士を例えば半田により接続することによって、上下のチップを物理的に接合する。そのため、貫通電極方式では、上下のチップを正確に位置合わせした上で、高温下で上下のチップを接合する必要がある。しかし、高温下で上下のチップを接合する際には、チップの伸縮によって、上下のチップ間の位置ずれが生じて、上下のチップ間の電氣的接続の不良が発生しやすい。

#### 【0009】

特許文献1には、以下のような積層チップパッケージの製造方法が記載されている。この製造方法では、処理されたウェハより切り出された複数のチップを埋め込み用樹脂中に埋め込んだ後、各チップに接続される複数のリードを形成して、Neo-Wafer（ネオ・ウェハ）と呼ばれる構造物を作製する。次に、このNeo-Waferを切断して、それぞれ、1つ以上のチップとこのチップの周囲を囲む樹脂と複数のリードとを含むNeo-chip（ネオ・チップ）と呼ばれる複数の構造物を作製する。チップに接続された複数のリードの端面は、Neo-chipの側面において露出する。次に、複数種類のNeo-chipを積層して積層体を作製する。この積層体において、各層毎のチップに接続された複数のリードの端面は、積層体の同じ側面において露出している。

#### 【0010】

非特許文献1には、特許文献1に記載された製造方法と同様の方法で積層体を製造すると共に、この積層体の2つ側面に配線を形成することが記載されている。

#### 【0011】

特許文献2には、それぞれフレキシブルなポリマー基板に1以上の電子的要素と複数の導電トレースとを形成してなる複数の能動層を積層して構成された多層モジュールが記載

10

20

30

40

50

されている。

【0012】

特許文献3には、複数のフラッシュメモリダイを有するフラッシュメモリデバイスにおいて、1つ以上の欠陥フラッシュメモリダイを特定し、その特定されたダイへのメモリアクセスを不能化する技術が記載されている。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】米国特許第5,953,588号明細書

【特許文献2】米国特許第7,127,807 B2号明細書

【特許文献3】米国特許出願公開第US2007/0165461 A1号明細書

【非特許文献】

【0014】

【非特許文献1】Keith D. Gann, “Neo-Stacking Technology”, HDI Magazine, 1999年12月

【発明の概要】

【発明が解決しようとする課題】

【0015】

特許文献1に記載された製造方法では、工程数が多く、積層チップパッケージのコストが高くなるという問題点がある。また、この製造方法では、処理されたウェハより切り出された複数のチップを埋め込み用樹脂中に埋め込んだ後、各チップに接続される複数のリードを形成してNeo-Waferを作製するため、Neo-Waferを作製する際に複数のチップの正確な位置合わせが必要になる。この点からも、積層チップパッケージのコストが高くなる。

【0016】

特許文献2に記載された多層モジュールでは、1つの能動層において電子的要素が占める領域の割合を大きくすることができず、その結果、集積度を大きくすることが困難である。

【0017】

ところで、後に切断されることによって複数のチップとなるウェハにおいて、チップの歩留まり、すなわちウェハ内の全チップに対する良品のチップの割合は、90～99%である場合が多い。ここで、積層チップパッケージは、複数のチップを含むことから、積層チップパッケージに含まれる全てのチップが良品である割合は、チップの歩留まりよりも小さくなる。積層チップパッケージに含まれるチップの数が多くなるほど、積層チップパッケージに含まれる全てのチップが良品である割合は小さくなる。

【0018】

以下、積層チップパッケージによってフラッシュメモリ等のメモリデバイスを構成する場合について考える。一般的に、フラッシュメモリ等のメモリデバイスでは、欠陥のあるメモリセル列を冗長メモリセル列に置換する冗長技術によって、ある程度の数のメモリセルに欠陥があっても、メモリデバイスを正常に動作させることができるようになっている。積層チップパッケージによってメモリデバイスを構成する場合にも、複数のメモリセルを含むチップ中において、ある程度の数のメモリセルに欠陥があっても、冗長技術によって、欠陥のあるメモリセルを含むチップも使用しながら、メモリデバイスを正常に動作させることが可能である。しかし、例えば、複数のメモリセルとコントロール回路とを含むチップにおいてコントロール回路に配線不良が生じて、冗長技術を用いても正常に動作しない不良チップが生じた場合には、その不良チップは使用することができない。この場合、不良チップを良品のチップと交換することが考えられるが、その場合には、積層チップパッケージのコストが高くなる。

【0019】

前述のように、特許文献3には、複数のフラッシュメモリダイを有するフラッシュメモリデバイスにおいて、1つ以上の欠陥フラッシュメモリダイを特定し、その特定されたダ

10

20

30

40

50

イへのメモリアクセスを不能化する技術が記載されている。

【0020】

積層チップパッケージによってメモリデバイスを構成する場合においても、特許文献3に記載された技術のように、積層チップパッケージに含まれる1つ以上の不良チップを特定し、この1つ以上の不良チップを不能化することが考えられる。

【0021】

しかし、積層チップパッケージでは、不良チップを不能化する場合、以下のような問題が生じる。すなわち、積層チップパッケージでは、各チップと積層チップパッケージの複数の端子とを接続する配線が存在する。不良チップを不能化した場合でも、不良チップと積層チップパッケージの複数の端子とを接続する配線は存在している。この不良チップと積層チップパッケージの複数の端子とを接続する配線は、メモリデバイス等、積層チップパッケージによって実現するデバイスにとって不要なキャパシタンスや不要なインダクタンスを発生させたり、良品のチップに対する配線等との間に浮遊容量を発生させたりする。このことは、メモリデバイス等のデバイスの動作の高速化の妨げとなる。

【0022】

本発明はかかる問題点に鑑みてなされたもので、その目的は、積層された複数のチップを含む積層チップパッケージであって、正常に動作しないチップに接続された配線に起因する問題を低減しながら、正常に動作しないチップを使用不能にすることができるようにした積層チップパッケージおよびその製造方法を提供することにある。

【課題を解決するための手段】

【0023】

本発明の積層チップパッケージは、上面、下面および4つの側面を有する本体と、本体の少なくとも1つの側面に配置された配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分は、1つ以上の第1の種類の階層部分と、1つ以上の第2の種類の階層部分とを含んでいる。第1の種類の階層部分と第2の種類の階層部分は、いずれも、半導体チップを含んでいる。第1の種類の階層部分は、更に、それぞれ半導体チップに接続され、配線が配置された本体の少なくとも1つの側面に配置された端面を有する複数の電極を含むが、第2の種類の階層部分は、半導体チップに接続されると共に配線が配置された本体の少なくとも1つの側面に配置される端面を有する電極を含んでいない。配線は、複数の電極の端面に接続されている。

【0024】

本発明の積層チップパッケージにおいて、第1の種類の階層部分における半導体チップは正常に動作するものであり、第2の種類の階層部分における半導体チップは正常に動作しないものであってもよい。

【0025】

また、本発明の積層チップパッケージにおいて、第1の種類の階層部分と第2の種類の階層部分は、いずれも、更に、半導体チップの4つの側面のうちの少なくとも1つの側面を覆う絶縁部を含んでいてもよい。この場合、絶縁部は、配線が配置された本体の少なくとも1つの側面に配置された少なくとも1つの端面を有し、複数の電極の端面は、それぞれ、絶縁部によって囲まれていてもよい。

【0026】

本発明の積層チップパッケージの製造方法によって製造される積層チップパッケージは、上面、下面および4つの側面を有する本体と、本体の少なくとも1つの側面に配置された配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分は、いずれも、半導体チップを含んでいる。複数の階層部分のうち1つ以上の階層部分は、更に、それぞれ半導体チップに接続され、配線が配置された本体の少なくとも1つの側面に配置された端面を有する複数の電極を含んでいる。配線は、複数の電極の端面に接続されている。

【0027】

本発明の積層チップパッケージの製造方法は、

積層チップパッケージの複数の階層部分にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を作製する工程と、

複数の基礎構造物を用いて本体を作製すると共に、本体に対して配線を形成して、積層チップパッケージを完成させる工程とを備えている。

#### 【0028】

複数の基礎構造物を作製する工程は、各基礎構造物を作製するための一連の工程として、

互いに反対側を向いた第1および第2の面を有する1つの半導体ウェハにおける第1の面に処理を施すことによって、配列された複数の半導体チップ予定部を含み、半導体ウェハの第1および第2の面に対応する第1および第2の面を有する基礎構造物前ウェハを作製する工程と、

基礎構造物前ウェハに含まれる複数の半導体チップ予定部について、正常に動作する半導体チップ予定部と正常に動作しない半導体チップ予定部とを判別する工程と、

正常に動作しない半導体チップ予定部に接続されると共に配線が配置された本体の少なくとも1つの側面に配置される端面を有する電極を形成することなく、正常に動作する半導体チップ予定部に接続されるように複数の電極を形成する工程とを含んでいる。

#### 【0029】

本発明の積層チップパッケージの製造方法において、複数の階層部分は、いずれも、更に、半導体チップの4つの側面のうちの少なくとも1つの側面を覆う絶縁部を含んでいてもよい。この場合、絶縁部は、配線が配置された本体の少なくとも1つの側面に配置された少なくとも1つの端面を有し、複数の電極の端面は、それぞれ、絶縁部によって囲まれていてもよい。この場合、複数の基礎構造物を作製する工程は、各基礎構造物を作製するための一連の工程として、更に、基礎構造物前ウェハを作製する工程と複数の電極を形成する工程との間において、基礎構造物前ウェハに対して、少なくとも1つの半導体チップ予定部に隣接するように延び、且つ基礎構造物前ウェハの第1の面において開口する1以上の溝を形成する工程と、1以上の溝を埋めるように、後に絶縁部の一部となる絶縁層を形成する工程とを含んでいてもよい。また、複数の電極を形成する工程において、複数の電極は、一部が絶縁層の上に配置されるように形成されてもよい。また、積層チップパッケージを完成させる工程において、溝が延びる方向に沿って切断面が形成されるように絶縁層を切断し、これにより、絶縁層の切断面によって絶縁部の少なくとも1つの端面の一部が形成され、且つ複数の電極の端面が露出してもよい。

#### 【0030】

また、本発明の積層チップパッケージの製造方法において、積層チップパッケージを完成させる工程は、

複数の基礎構造物を、積層チップパッケージの複数の階層部分の積層の順序に対応させて積層して、積層基礎構造物を作製する工程と、

積層基礎構造物を切断することによって、複数の階層部分の積層方向と直交する一方向に配列され、それぞれ後に本体となる複数の本体予定部を含む本体集合体を作製する工程と、

本体集合体における各本体予定部に対してそれぞれ配線を形成する工程と、

配線の形成後、複数の本体予定部が互いに分離されてそれぞれ本体となることによって複数の積層チップパッケージが形成されるように、本体集合体を切断する工程とを含んでいてもよい。

#### 【0031】

また、本発明の積層チップパッケージの製造方法において、複数の電極を形成する工程は、複数の電極を形成するために用いられ、全ての半導体チップ予定部に対応する複数の部分を含むフォトレジスト層を形成する工程と、フォトリソグラフィによりフォトレジスト層をパターンニングすることによって、後に複数の電極が収容される複数の溝部を有するフレームを形成する工程と、フレームの複数の溝部内に複数の電極を形成する工程とを含



んでいてもよい。この場合、フレームの複数の溝部内に複数の電極を形成する工程では、めっき法によって複数の電極を形成してもよい。

【0032】

また、上記フレームを形成する工程は、フォトリジスト層のうち、正常に動作しない半導体チップ予定部に対応する部分には、正常に動作しない半導体チップ予定部に接続されると共に配線が配置された本体の少なくとも1つの側面に配置される端面を有する電極に対応する潜像が形成されず、フォトリジスト層のうち、正常に動作する半導体チップ予定部に対応する部分には、複数の電極に対応した潜像が形成されるように、フォトリジスト層の露光を行う露光工程と、露光工程の後で、フォトリジスト層を現像する工程とを含んでいてもよい。

10

【0033】

また、上記フォトリジスト層はネガ型であってもよい。この場合、フレームを形成する工程は、フォトリジスト層のうち、正常に動作しない半導体チップ予定部に対応する部分に対しては、全面的に露光を行い、フォトリジスト層のうち、正常に動作する半導体チップ予定部に対応する部分に対しては、複数の電極に対応したパターンによる露光を行う露光工程と、この露光工程の後で、フォトリジスト層を現像する工程とを含んでいてもよい。

【0034】

また、上記フォトリジスト層はポジ型であってもよい。この場合、フレームを形成する工程は、フォトリジスト層のうち、正常に動作しない半導体チップ予定部に対応する部分に対しては露光を行わず、フォトリジスト層のうち、正常に動作する半導体チップ予定部に対応する部分に対しては、複数の電極に対応したパターンによる露光を行う露光工程と、この露光工程の後で、フォトリジスト層を現像する工程とを含んでいてもよい。

20

【0035】

上記フォトリジスト層がネガ型の場合、フレームを形成する工程は、フォトリジスト層のうち、複数の部分の全てに対して、複数の電極に対応したパターンによる露光を行う第1の露光工程と、第1の露光工程の前または後において、フォトリジスト層のうち、正常に動作しない半導体チップ予定部に対応する部分のみに対して、全面的に露光を行う第2の露光工程と、第1および第2の露光工程の後で、フォトリジスト層を現像する工程とを含んでいてもよい。

30

【発明の効果】

【0036】

本発明の積層チップパッケージまたはその製造方法によれば、正常に動作しないチップに接続された配線に起因する問題を低減しながら、正常に動作しないチップを使用不能にすることができるという効果を奏する。

【図面の簡単な説明】

【0037】

【図1】本発明の第1の実施の形態に係る積層チップパッケージの斜視図である。

【図2】複数の第1の電極の端面が表れるように図1における積層チップパッケージを示す斜視図である。

40

【図3】図1に示した積層チップパッケージに含まれる一対の階層部分を分解して示す斜視図である。

【図4】本発明の第1の実施の形態に係る積層チップパッケージの製造方法における一工程で作製される基礎構造物前ウェハの一部を示す断面図である。

【図5】図4に示した基礎構造物前ウェハに対して行われる判別工程に続く工程で作製される研磨前基礎構造物本体の一部を示す断面図である。

【図6】図5に示した工程に続く工程で作製される構造物の一部を示す断面図である。

【図7】図6に示した工程に続く工程で作製される構造物の一部を示す断面図である。

【図8】図7に示した工程に続く工程で作製される研磨前基礎構造物の一部を示す断面図である。

50

【図 9】図 4 に示した工程で作製される基礎構造物前ウェハを示す斜視図である。

【図 10】図 9 に示した基礎構造物前ウェハにおける半導体チップ予定部の内部の構造の一例を示す断面図である。

【図 11】図 5 に示した工程で作製される研磨前基礎構造物本体の一部を示す斜視図である。

【図 12】図 8 に示した工程で作製される研磨前基礎構造物の一部を示す斜視図である。

【図 13】本発明の第 1 の実施の形態に係る積層チップパッケージの製造方法における、正常に動作する半導体チップ予定部と正常に動作しない半導体チップ予定部とを判別する工程を示す説明図である。

【図 14】本発明の第 1 の実施の形態に係る積層チップパッケージの製造方法において使用される露光装置の構成の一例を示す説明図である。

【図 15】本発明の第 1 の実施の形態に係る積層チップパッケージの製造方法における、複数の電極を形成するための露光工程を示すフローチャートである。

【図 16】本発明の第 1 の実施の形態に係る積層チップパッケージの製造方法における、複数の電極を形成するための露光工程を示す説明図である。

【図 17】図 16 に示した露光工程に続く現像工程を示す説明図である。

【図 18】図 17 に示した現像工程に続くめっき工程を示す説明図である。

【図 19】図 8 に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図 20】図 19 に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図 21】図 20 に示した工程で作製される基礎構造物の一部を示す斜視図である。

【図 22】図 20 に示した第 1 の基礎構造物における複数の端子および複数の電極の配置の一例を示す平面図である。

【図 23】図 20 に示した第 2 の基礎構造物における複数の端子および複数の電極の配置の一例を示す平面図である。

【図 24】図 20 に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図 25】図 24 に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図 26】図 25 に示した工程に続く工程で作製される積層基礎構造物の一部を示す断面図である。

【図 27】図 25 に示した工程に続く工程で作製される積層基礎構造物を示す斜視図である。

【図 28】図 26 に示した工程に続く工程で作製される本体集合体の一部を示す断面図である。

【図 29】図 28 に示した工程で作製される本体集合体の一例を示す斜視図である。

【図 30】図 28 に示した工程で作製される本体集合体の他の例を示す斜視図である。

【図 31】図 28 に示した工程で作製される本体集合体の一部を示す斜視図である。

【図 32】本発明の第 1 の実施の形態に係る積層チップパッケージの製造方法において、複数の本体集合体を並べる方法の一例を示す説明図である。

【図 33】それぞれ治具が張り付けられた複数の本体集合体が並べられた状態を示す斜視図である。

【図 34】それぞれ治具が張り付けられていない複数の本体集合体が並べられた状態を示す斜視図である。

【図 35】配線が形成された後の本体集合体の一部を示す斜視図である。

【図 36】本体集合体を切断して作製された複数の積層チップパッケージを示す斜視図である。

【図 37】本発明の第 1 の実施の形態に係る積層チップパッケージの使用例を示す斜視図である。

【図 38】本発明の第 1 の実施の形態に係る積層チップパッケージの他の使用例を示す斜

10

20

30

40

50

視図である。

【図 3 9】本発明の第 1 の実施の形態に係る積層チップパッケージの更に他の使用例を示す斜視図である。

【図 4 0】本発明の第 2 の実施の形態に係る積層チップパッケージの製造方法における、複数の電極を形成するための露光工程を示すフローチャートである。

【図 4 1】本発明の第 2 の実施の形態に係る積層チップパッケージの製造方法における、複数の電極を形成するための露光工程を示す説明図である。

【図 4 2】本発明の第 3 の実施の形態に係る積層チップパッケージの製造方法における、複数の電極を形成するための第 1 の露光工程を示す説明図である。

【図 4 3】本発明の第 3 の実施の形態に係る積層チップパッケージの製造方法における、複数の電極を形成するための第 2 の露光工程を示す説明図である。

【発明を実施するための形態】

【0038】

[第 1 の実施の形態]

以下、本発明の実施の形態について図面を参照して詳細に説明する。始めに、図 1 および図 2 を参照して、本発明の第 1 の実施の形態に係る積層チップパッケージの構成について説明する。図 1 は、本実施の形態に係る積層チップパッケージの斜視図である。図 1 に示したように、本実施の形態に係る積層チップパッケージ 1 は、直方体形状の本体 2 を備えている。本体 2 は、上面 2 a、下面 2 b、互いに反対側を向いた第 1 の側面 2 c および第 2 の側面 2 d、ならびに互いに反対側を向いた第 3 の側面 2 e および第 4 の側面 2 f を有している。

【0039】

積層チップパッケージ 1 は、更に、本体 2 の少なくとも 1 つの側面に配置された配線を備えている。図 1 に示した例では、積層チップパッケージ 1 は、本体 2 の第 1 の側面 2 c に配置された第 1 の配線 3 A と、本体 2 の第 2 の側面 2 d に配置された第 2 の配線 3 B とを備えている。以下、任意の配線に関しては符号 3 を付して表す。図 2 は、図 1 に示した積層チップパッケージ 1 において、第 1 の配線 3 A を破線で示し、本体 2 の第 1 の側面 2 c を表したものである。

【0040】

本体 2 は、積層された複数の階層部分を含んでいる。図 1 および図 2 には、一例として、本体 2 が、下から順に配置された 8 つの階層部分 1 1, 1 2, 1 3, 1 4, 1 5, 1 6, 1 7, 1 8 を含んでいる例を示している。しかし、本体 2 に含まれる階層部分の数は 8 つに限らず、複数であればよい。以下の説明では、任意の階層部分に関しては、符号 1 0 を付して表す。

【0041】

本体 2 は、更に、最も上に配置された階層部分 1 8 の上に積層された端子層 2 0 を含んでいる。上下に隣接する 2 つの階層部分の間、および階層部分 1 8 と端子層 2 0 の間は、それぞれ、接着剤によって接合されている。階層部分 1 1 ~ 1 8 と端子層 2 0 は、いずれも、上面と、下面と、4 つの側面とを有している。端子層 2 0 は、上面と下面を有する端子層本体 2 1 と、この端子層本体 2 1 の上面に配置された複数のパッド状端子 2 2 とを含んでいる。複数のパッド状端子 2 2 は、積層チップパッケージ 1 における外部接続端子として機能する。複数のパッド状端子 2 2 のうちのいくつかは、本体 2 の側面 2 c に配置された端面を有し、この端面に第 1 の配線 3 A が接続されている。複数のパッド状端子 2 2 のうちの他のいくつかは、本体 2 の側面 2 d に配置された端面を有し、この端面に第 2 の配線 3 B が接続されている。

【0042】

複数の階層部分 1 0 は、1 つ以上の第 1 の種類の階層部分と、1 つ以上の第 2 の種類の階層部分とを含んでいる。図 2 には、階層部分 1 7 が第 2 の種類の階層部分で、他の階層部分 1 1 ~ 1 6, 1 8 が第 1 の種類の階層部分である例を示している。第 1 の種類の階層部分と第 2 の種類の階層部分の違いは、後で詳しく説明する。

## 【0043】

図3は、図1に示した積層チップパッケージ1に含まれる一対の階層部分を分解して示す斜視図である。図3に示したように、階層部分11、12は、それぞれ半導体チップ30を含んでいる。半導体チップ30は、デバイスが形成された第1の面30aと、その反対側の第2の面30bと、互いに反対側を向いた第1の側面30cおよび第2の側面30d、ならびに互いに反対側を向いた第3の側面30eおよび第4の側面30fを有している。側面30c、30d、30e、30fは、それぞれ、本体2の側面2c、2d、2e、2fに向いている。階層部分11、12は、それぞれに含まれる半導体チップ30の第1の面30a同士が対向するように配置されている。図1および図2に示した積層チップパッケージ1は、半導体チップ30の第1の面30a同士が対向するように配置された対の階層部分10を、4対含んでいる。

10

## 【0044】

階層部分11、12は、それぞれ、更に、半導体チップ30の4つの側面のうちの少なくとも1つの側面を覆う絶縁部31と、半導体チップ30に接続された複数の電極32とを含んでいる。絶縁部31は、配線が配置された本体2の少なくとも1つの側面に配置された少なくとも1つの端面31aを有している。図3に示した例では、絶縁部31は、半導体チップ30の4つの側面の全てを覆い、絶縁部31は、本体2の4つの側面に配置された4つの端面31aを有している。また、この例では、絶縁部31は、半導体チップ30の第1の面30aも覆っている。

20

## 【0045】

また、図3に示した例では、複数の電極32は、複数の第1の電極32Aと、複数の第2の電極32Bとを含んでいる。複数の第1の電極32Aの各々は、本体2の第1の側面2cに配置され且つ絶縁部31によって囲まれた端面32Aaを有している。複数の第2の電極32Bの各々は、本体2の第2の側面2dに配置され且つ絶縁部31によって囲まれた端面32Baを有している。本体2の第1の側面2cに配置された第1の配線3Aは、複数の階層部分10における複数の第1の電極32Aの端面32Aaに接続されている。本体2の第2の側面2dに配置された第2の配線3Bは、複数の階層部分10における複数の第2の電極32Bの端面32Baに接続されている。以下、任意の電極に関しては符号32を付して表し、任意の電極32の端面に関しては符号32aを付して表す。

30

## 【0046】

階層部分13、14、階層部分15、16の各対も、図3に示した階層部分11、12の対と同様の構成である。階層部分18は、図3に示した階層部分12と同様の構成である。第2の種類の階層部分である階層部分17は、半導体チップ30に接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有する電極を含んでいない。従って、図2に示したように、階層部分17の側面には、電極の端面は存在しない。階層部分17のその他の構成は、図3に示した階層部分11と同様である。第1の種類の階層部分である階層部分11～16、18における半導体チップ30は正常に動作するものであり、第2の種類の階層部分である階層部分17における半導体チップ30は正常に動作しないものである。以下、正常に動作する半導体チップ30を良品の半導体チップ30と言い、正常に動作しない半導体チップ30を不良の半導体チップ30と言う。なお、第2の種類の階層部分10は、半導体チップ30に接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有するような形態の電極ではなければ、他の形態の電極や配線を含んでいてもよい。例えば、第2の種類の階層部分10は、半導体チップ30には接続されているが、配線3が配置された本体2の少なくとも1つの側面に配置される端面を有していない電極や、半導体チップ30の端子同士を接続する配線を含んでいてもよい。

40

## 【0047】

半導体チップ30は、フラッシュメモリ、DRAM、SRAM、MRAM、PROM、FeRAM等のメモリを構成するメモリチップであってもよい。この場合には、複数の半導体チップ30を含む積層チップパッケージ1によって、大容量のメモリを実現すること

50

ができる。また、本実施の形態に係る積層チップパッケージ１によれば、積層チップパッケージ１に含まれる半導体チップ３０の数を変えることにより、６４ＧＢ（ギガバイト）、１２８ＧＢ、２５６ＧＢ等の種々の容量のメモリを容易に実現することができる。

#### 【００４８】

また、積層チップパッケージ１は、互いに異なる種類のメモリを構成するメモリチップとしての複数の半導体チップ３０を含んでいてもよい。また、積層チップパッケージ１は、メモリチップとしての半導体チップ３０と、メモリチップを制御するコントローラとしての半導体チップ３０とを含んでいてもよい。

#### 【００４９】

半導体チップ３０が複数のメモリセルを有する場合、半導体チップ３０が１つ以上の欠陥のあるメモリセルを含んでいても、冗長技術によって正常に動作させることができる場合には、その半導体チップ３０は、良品の半導体チップである。

#### 【００５０】

半導体チップ３０は、メモリチップに限らず、ＣＰＵ、センサ、センサの駆動回路等の他のデバイスを実現するものであってもよい。本実施の形態に係る積層チップパッケージ１は、特にＳｉＰを実現するのに適している。

#### 【００５１】

次に、本実施の形態に係る積層チップパッケージ１の製造方法について説明する。本実施の形態に係る積層チップパッケージ１の製造方法は、積層チップパッケージ１の複数の階層部分１０にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分１０を複数含み、後にそれら対応する階層部分１０のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を作製する工程と、複数の基礎構造物を用いて本体２を作製すると共に、本体２に対して配線３Ａ、３Ｂを形成して、積層チップパッケージ１を完成させる工程とを備えている。

#### 【００５２】

積層チップパッケージ１を完成させる工程は、複数の基礎構造物を、積層チップパッケージ１の複数の階層部分１０の積層の順序に対応させて積層して、積層基礎構造物を作製する工程と、積層基礎構造物を切断することによって、複数の階層部分１０の積層方向と直交する一方向に配列され、それぞれ後に本体２となる複数の本体予定部を含む本体集合体を作製する工程と、本体集合体における各本体予定部に対してそれぞれ配線３Ａ、３Ｂを形成する工程と、配線３Ａ、３Ｂの形成後、複数の本体予定部が互いに分離されてそれぞれ本体２となることによって複数の積層チップパッケージ１が形成されるように、本体集合体を切断する工程とを含んでいる。複数の基礎構造物の各々は、同種の階層部分１０を複数含んでいてもよい。

#### 【００５３】

以下、図４ないし図２３を参照して、本実施の形態に係る積層チップパッケージ１の製造方法における複数の基礎構造物を作製する工程について詳しく説明する。複数の基礎構造物を作製する工程では、まず、積層チップパッケージ１の複数の階層部分１０にそれぞれ対応する複数の基礎構造物前ウェハを作製する。

#### 【００５４】

図４は、１つの基礎構造物前ウェハを作製する工程を示している。この工程では、互いに反対側を向いた第１の面１００ａおよび第２の面１００ｂを有する１つの半導体ウェハ１００における第１の面１００ａに処理、例えばウェハプロセスを施すことによって、それぞれデバイスを含み、後に複数の半導体チップ３０となる複数の半導体チップ予定部３０Ｐが配列された基礎構造物前ウェハ１０１を作製する。基礎構造物前ウェハ１０１における複数の半導体チップ予定部３０Ｐは、後に同種の複数の半導体チップ３０となるものであってもよい。基礎構造物前ウェハ１０１は、半導体ウェハ１００の第１の面１００ａに対応する第１の面１０１ａと、半導体ウェハ１００の第２の面１００ｂに対応する第２の面１０１ｂとを有している。基礎構造物前ウェハ１０１において、複数の半導体チップ予定部３０Ｐは一行に配列されていてもよいし、縦方向と横方向にそれぞれ複数個並ぶよ

10

20

30

40

50

うに、複数列に配列されていてもよい。以下の説明では、基礎構造物前ウェハ 101 において、複数の半導体チップ予定部 30P は、縦方向と横方向にそれぞれ複数個並ぶように、複数列に配列されているものとする。

#### 【0055】

半導体ウェハ 100 としては、例えばシリコンウェハが用いられる。ウェハプロセスとは、ウェハを加工して、複数のチップに分割される前の複数のデバイスを作製するプロセスである。基礎構造物前ウェハ 101 において、第 1 の面 101a は、デバイスが形成されているデバイス形成面である。複数の半導体チップ予定部 30P の各々は、基礎構造物前ウェハ 101 の第 1 の面 101a に配置された複数のパッド状の端子 34 を有している。

10

#### 【0056】

図 9 は、基礎構造物前ウェハ 101 を示す斜視図である。図 9 に示したように、基礎構造物前ウェハ 101 には、縦方向に隣接する 2 つの半導体チップ予定部 30P の境界を通るように横方向に延びる複数のスクライブライン 102A と、横方向に隣接する 2 つの半導体チップ予定部 30P の境界を通るように縦方向に延びる複数のスクライブライン 102B とが形成されている。なお、図 9 は、理解を容易にするために、半導体ウェハ 100 に比べて半導体チップ予定部 30P を大きく描いている。例えば、半導体ウェハ 100 が 12 インチウェハで、半導体チップ予定部 30P の上面の一辺の長さが 8 ~ 10 mm となると、1 枚の半導体ウェハ 100 を用いて、700 ~ 900 個の半導体チップ予定部 30P を形成することが可能である。

20

#### 【0057】

図 10 は、図 9 に示した基礎構造物前ウェハ 101 における半導体チップ予定部 30P の内部の構造の一例を示す断面図である。ここでは、半導体チップ予定部 30P に、デバイスとして、フラッシュメモリにおける複数のメモリセルが形成されている例を示す。図 10 は、半導体チップ予定部 30P に形成されたデバイスとしての複数のメモリセルのうちの 1 つを示している。このメモリセル 40 は、半導体ウェハ 100 よりなる P 型シリコン基板 41 の表面（半導体ウェハ 100 の第 1 の面 100a）の近傍に形成されたソース 42 およびドレイン 43 を備えている。ソース 42 およびドレイン 43 は、共に N 型の領域である。ソース 42 とドレイン 43 は、これらの間に P 型シリコン基板 41 の一部よりなるチャンネルが形成されるように、所定の間隔を開けて配置されている。メモリセル 40 は、更に、ソース 42 とドレイン 43 の間において基板 41 の表面上に順に積層された絶縁膜 44、浮遊ゲート 45、絶縁膜 46 および制御ゲート 47 を備えている。メモリセル 40 は、更に、ソース 42、ドレイン 43、絶縁膜 44、浮遊ゲート 45、絶縁膜 46 および制御ゲート 47 を覆う絶縁層 48 を備えている。この絶縁層 48 には、ソース 42、ドレイン 43、制御ゲート 47 のそれぞれの上で開口するコンタクトホールが形成されている。メモリセル 40 は、それぞれ、ソース 42、ドレイン 43、制御ゲート 47 の上方の位置で絶縁層 48 上に形成されたソース電極 52、ドレイン電極 53、制御ゲート電極 57 を備えている。ソース電極 52、ドレイン電極 53、制御ゲート電極 57 は、それぞれ、対応するコンタクトホールを通して、ソース 42、ドレイン 43、制御ゲート 47 に接続されている。

30

40

#### 【0058】

積層チップパッケージ 1 の複数の階層部分 10 にそれぞれ対応する複数の基礎構造物前ウェハ 101 は、いずれも、図 4 を参照して説明した工程によって作製される。

#### 【0059】

次に、複数の基礎構造物前ウェハ 101 の各々に対してウェハソートテストを行って、各基礎構造物前ウェハ 101 に含まれる複数の半導体チップ予定部 30P について、正常に動作する半導体チップ予定部 30P と正常に動作しない半導体チップ予定部 30P とを判別する。ウェハソートテストでは、各半導体チップ予定部 30P の複数の端子 34 に試験装置のプロブを接触させて、試験装置によって、半導体チップ予定部 30P が正常に動作するか否かをテストする。

50

## 【0060】

図5は、次の工程を示している。この工程では、まず、基礎構造物前ウェハ101の第1の面101aの全体を覆うように、フォトリソ等よりなる保護膜103を形成する。次に、基礎構造物前ウェハ101に対して、少なくとも1つの半導体チップ予定部30Pに隣接するように延び、且つ基礎構造物前ウェハ101の第1の面101aにおいて開口する1以上の溝104を形成する。ここでは、図5に示したように、複数の溝104を形成するものとする。隣接する2つの半導体チップ予定部30Pの境界の位置では、隣接する2つの半導体チップ予定部30Pの境界を通るように溝104が形成される。このようにして、複数の溝104が形成された後の基礎構造物前ウェハ101よりなる研磨前基礎構造物本体105が作製される。研磨前基礎構造物本体105は、複数の半導体チップ  
10  
予定部30Pを含んでいる。また、研磨前基礎構造物本体105は、半導体ウェハ100の第1の面100aおよび基礎構造物前ウェハ101の第1の面101aに対応する第1の面105aと、半導体ウェハ100の第2の面100bおよび基礎構造物前ウェハ101の第2の面101bに対応する第2の面105bと、第1の面105aにおいて開口する複数の溝104とを有している。研磨前基礎構造物本体105において、第1の面105aは、デバイスが形成されているデバイス形成面である。

## 【0061】

複数の溝104は、図9に示したスクライブライン102A、102Bに沿って形成される。また、溝104は、その底部が基礎構造物前ウェハ101の第2の面101bに達しないように形成される。溝104の幅は、例えば10～150 $\mu$ mの範囲内である。溝  
20  
104の深さは、例えば30～150 $\mu$ mの範囲内である。溝104は、例えば、ダイシングソーによって形成してもよいし、反応性イオンエッチング等のエッチングによって形成してもよい。

## 【0062】

図11は、図5に示した工程で作製される研磨前基礎構造物本体105の一部を示している。本実施の形態では、複数の溝104は、複数の第1の溝104Aと複数の第2の溝104Bとを含んでいる。複数の第1の溝104Aと複数の第2の溝104Bは、互いに直交する方向に延びている。なお、図11には、1つの第1の溝104Aと1つの第2の溝104Bのみを示している。第1の溝104Aは、図9に示したスクライブライン102Aに沿って形成され、第2の溝104Bは、図9に示したスクライブライン102Bに  
30  
沿って形成されている。

## 【0063】

図6は、図5に示した工程に続く工程を示している。この工程では、まず、研磨前基礎構造物本体105の複数の溝104を埋め、且つ複数の端子34を覆うように、絶縁層106を形成する。この絶縁層106は、後に絶縁部31の一部となるものである。次に、絶縁層106に、複数の端子34を露出させるための複数の開口部106aを形成する。

## 【0064】

絶縁層106は、エポキシ樹脂、ポリイミド樹脂等の樹脂によって形成されてもよい。また、絶縁層106は、感光剤を含んだポリイミド樹脂等の感光性を有する材料によって形成されてもよい。絶縁層106が感光性を有する材料によって形成されている場合には、  
40  
フォトリソグラフィによって絶縁層106に開口部106aを形成することができる。絶縁層106が感光性を有しない材料によって形成されている場合には、絶縁層106を選択的にエッチングすることによって、絶縁層106に開口部106aを形成することができる。

## 【0065】

また、絶縁層106は、複数の溝104を埋める第1層と、この第1層および複数の端子34を覆う第2層とを含んでもよい。この場合には、開口部106aは、第2層に形成される。第1層と第2層は、共に、エポキシ樹脂、ポリイミド樹脂等の樹脂によって形成されてもよい。また、第2層は、感光剤を含んだポリイミド樹脂等の感光性を有する材料によって形成されてもよい。第2層が感光性を有する材料によって形成されている場  
50

合には、フォトリソグラフィによって第2層に開口部106aを形成することができる。第2層が感光性を有しない材料によって形成されている場合には、第2層を選択的にエッチングすることによって、第2層に開口部106aを形成することができる。

#### 【0066】

また、絶縁層106は、熱膨張係数の小さな樹脂によって形成することが好ましい。熱膨張係数の小さな樹脂によって絶縁層106を形成することにより、後にダイシングソーによって絶縁層106を切断する場合に、絶縁層106の切断が容易になる。

#### 【0067】

また、絶縁層106は、透明であることが好ましい。絶縁層106が透明であることにより、後に絶縁層106の上に形成されるアライメントマークを、絶縁層106を通して容易に認識することが可能になる。

#### 【0068】

図7は、図6に示した工程に続く工程を示している。この工程では、まず、複数の半導体チップ予定部30Pを覆うように、絶縁層106の上にフォトレジスト層を形成する。このフォトレジスト層は、複数の電極32を形成するために用いられるものである。また、フォトレジスト層は、全ての半導体チップ予定部30Pに対応する複数の部分を含んでいる。フォトレジスト層において、1つの半導体チップ予定部30Pに対応する部分とは、1つの半導体チップ予定部30Pとそれに接続される電極32が配置される領域とを覆う部分である。次に、フォトリソグラフィによりフォトレジスト層をパターニングすることによって、後に複数の電極32が収容される複数の溝部108aを有するフレーム108を形成する。フレーム108において、正常に動作しない半導体チップ予定部30Pに対応する部分には、溝部108aは形成されない。なお、フレーム108を形成する工程については、後で詳しく説明する。

#### 【0069】

図8は、図7に示した工程に続く工程を示している。この工程では、例えばめっき法によって、フレーム108の複数の溝部108a内に複数の電極32を形成する。複数の電極32は、各電極32の一部が絶縁層106の上に配置されるように形成される。各電極32は、開口部106aを通して端子34に接続される。図12は、図8に示した工程で作製される構造物の一部を示している。

#### 【0070】

電極32は、Cu等の導電性材料によって形成される。また、電極32をめっき法によって形成する場合には、フォトレジスト層を形成する前に、絶縁層106の上に、めっき用のシード層を形成する。次に、シード層の上に、フォトレジスト層を形成し、フォトリソグラフィによりフォトレジスト層をパターニングすることによってフレーム108を形成する。フォトレジスト層の厚みは、例えば10～20μmの範囲内である。次に、めっき法によって、フレーム108の溝部内であってシード層の上に、電極32の一部となるめっき層を形成する。めっき層の厚みは、例えば5～15μmの範囲内である。次に、フレーム108を除去し、更に、シード層のうち、めっき層の下に存在する部分以外の部分をエッチングによって除去する。これにより、めっき層およびその下に残ったシード層によって電極32が形成される。

#### 【0071】

図12に示したように、複数の電極32を形成する工程では、複数の電極32の形成と同時に、絶縁層106の上に複数のアライメントマーク107を形成する。アライメントマーク107は、溝104の上方の位置に配置される。アライメントマーク107の材料および形成方法は、電極32と同様である。

#### 【0072】

このようにして、図8および図12に示す研磨前基礎構造物109が作製される。研磨前基礎構造物109は、研磨前基礎構造物本体105と、研磨前基礎構造物本体105の複数の溝104を埋め、後に絶縁部31の一部となる絶縁層106と、一部が絶縁層106の上に配置された複数の電極32と、絶縁層106の上に配置された複数のアライメン

10

20

30

40

50



トマーク１０７とを備えている。また、研磨前基礎構造物１０９は、半導体ウェハ１００の第１の面１００aおよび基礎構造物前ウェハ１０１の第１の面１０１aに対応する第１の面１０９aと、半導体ウェハ１００の第２の面１００bおよび基礎構造物前ウェハ１０１の第２の面１０１bに対応する第２の面１０９bとを有している。

#### 【００７３】

積層チップパッケージ１の複数の階層部分１０にそれぞれ対応する複数の研磨前基礎構造物１０９は、いずれも、図５ないし図８を参照して説明した工程によって作製される。

#### 【００７４】

ここで、図１３ないし図１８を参照して、フレーム１０８を形成する工程と複数の電極３２を形成する工程について詳しく説明する。図１３は、積層チップパッケージ１の複数の階層部分１０にそれぞれ対応する複数の基礎構造物前ウェハ１０１を示している。前述のように、各基礎構造物前ウェハ１０１に含まれる複数の半導体チップ予定部３０Pについては、ウェハソートテストによって、正常に動作する半導体チップ予定部３０Pと正常に動作しない半導体チップ予定部３０Pとが判別されている。図１３において、記号“X”を付した四角は、正常に動作しない半導体チップ予定部３０Pを表し、他の四角は、正常に動作する半導体チップ予定部３０Pを表している。ウェハソートテストによって、基礎構造物前ウェハ１０１毎に、正常に動作する半導体チップ予定部３０Pと正常に動作しない半導体チップ予定部３０Pの位置情報が得られる。この位置情報は、後に、フレーム１０８を形成するための露光工程において使用される。

#### 【００７５】

図１４は、本実施の形態に係る積層チップパッケージ１の製造方法において使用される露光装置の構成の一例を示す説明図である。図１４に示した露光装置は、ステップ式投影露光装置、いわゆるステッパーである。この露光装置は、マスク２０１を保持するマスクステージ２１０と、マスク２０１を移動または交換するためにマスクステージ２１０を駆動する駆動装置２１１と、ウェハ２０２を保持するウェハステージ２２０と、このウェハステージ２２０を移動させる移動機構２２１と、移動機構２２１を駆動する駆動装置２２２と、縮小投影光学系２０３と、照明装置２０４と、ウェハ２０２の位置を検出する検出装置２４０と、照明装置２０４、駆動装置２１１、２２２および検出装置２４０を制御する制御装置２５０とを備えている。

#### 【００７６】

マスクステージ２１０は、ウェハステージ２２０の上方に配置されている。縮小投影光学系２０３は、マスクステージ２１０とウェハステージ２２０との間に配置されている。照明装置２０４は、マスクステージ２１０の上方に配置され、マスク２０１に対して、露光用の光を照射する。

#### 【００７７】

移動機構２２１は、ウェハステージ２２０を、図１４に示したX、Y、Zの各方向に移動可能であると共に、XY平面に対するウェハステージ２２０の傾斜角度を変えることができるようになっている。なお、X方向とY方向は、いずれも縮小投影光学系２０３の光軸方向に対して直交する方向であって、互いに直交する方向である。Z方向は、縮小投影光学系２０３の光軸方向に平行な方向である。検出装置２４０は、ウェハ２０２の表面の位置およびXY平面に対するウェハ２０２の表面の傾斜角度を検出する。

#### 【００７８】

制御装置２５０は、マイクロプロセッサユニット（MPU）と、リード・オンリ・メモリ（ROM）と、ランダム・アクセス・メモリ（RAM）とを有している。

#### 【００７９】

この露光装置を用いて、ウェハ２０２の露光を行う際には、ウェハ２０２の表面に、複数のパターン投影領域が設定される。照明装置２０４より出射された光束は、マスク２０１を通過し、縮小投影光学系２０３によって１つのパターン投影領域に照射される。これにより、マスク２０１が有するマスクパターンが、縮小投影光学系２０３を介して１つのパターン投影領域に投影され、１つのパターン投影領域を露光する処理が行われる。この

露光装置では、マスクパターンに基づいて1つのパターン投影領域を露光する処理を行なった後、ウェハ202をX方向またはY方向に移動させ、次のパターン投影領域において、同様の露光処理を行なう。

#### 【0080】

本実施の形態において、フレーム108を形成する工程では、まず、図6に示した構造物において、複数の半導体チップ予定部30Pを覆うように、絶縁層106の上にフォトレジスト層を形成する。本実施の形態では、フォトレジスト層はネガ型である。このネガ型のフォトレジスト層では、光が照射されなかった部分は現像液に対して可溶性であり、光が照射された部分は現像液に対して不溶性になる。次に、フォトリソグラフィによりフォトレジスト層をパターンニングすることによってフレーム108を形成する。このフレーム108を形成する際に、フォトレジスト層を露光するために、図14に示した露光装置が使用される。この場合、図6に示した構造物の上にフォトレジスト層が形成されたものが、図14におけるウェハ202となる。また、複数のパターン投影領域は、フォトレジスト層の表面において、複数の半導体チップ予定部30Pに対応する部分に設定される。パターン投影領域の大きさは、半導体チップ予定部30Pの上面よりわずかに大きく、複数の電極32が形成される予定の部分を含む大きさに設定される。ウェハソートテストによって得られた基礎構造物前ウェハ101毎の、正常に動作する半導体チップ予定部30Pと正常に動作しない半導体チップ予定部30Pの位置情報は、基礎構造物前ウェハ101に対応するウェハ202におけるフォトレジスト層を露光する際に、制御装置250に入力され、制御装置250によって保持される。制御装置250は、その位置情報に基づいて、マスク201を交換することができる。

#### 【0081】

次に、図15のフローチャートを参照して、本実施の形態におけるフレーム108を形成するためのフォトレジスト層の露光工程について説明する。この露光工程では、フォトレジスト層のうち、正常に動作しない半導体チップ予定部30Pに対応する部分には、正常に動作しない半導体チップ予定部30Pに接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有する電極に対応する潜像が形成されず、フォトレジスト層のうち、正常に動作する半導体チップ予定部30Pに対応する部分には、複数の電極32に対応した潜像が形成されるように、フォトレジスト層の露光を行う。この露光工程では、まず、図14に示した露光装置において、複数の半導体チップ予定部30Pに対応する複数のパターン投影領域のうち、最初の半導体チップ予定部30Pに対応するパターン投影領域が露光される状態に設定される（ステップS101）。次に、設定されたパターン投影領域に対応する半導体チップ予定部30Pが正常に動作する半導体チップ予定部30Pか否かが、制御装置250によって判断される（ステップS102）。

#### 【0082】

ステップS102において、正常に動作する半導体チップ予定部30Pであると判断された場合（Y）には、複数の電極32に対応したパターン（以下、電極パターンと記す。）を有するマスク201を用いて、フォトレジスト層のうち、正常に動作する半導体チップ予定部30Pに対応する部分に対して、電極パターンによる露光を行う（ステップS103）。電極パターンは、具体的には、パターン投影領域のうち、後に電極32を収容する溝部108aが形成される部分に対しては光が照射されず、他の部分に対しては光が照射されるようにするパターンである。この露光により、フォトレジスト層のうち、正常に動作する半導体チップ予定部30Pに対応する部分には、複数の電極32に対応した潜像が形成される。具体的には、この露光が行われた後、フォトレジスト層のうち、正常に動作する半導体チップ予定部30Pに対応する部分では、後に電極32を収容する溝部108aが形成される部分は現像液に対して可溶性であり、他の部分は現像液に対して不溶性になる。

#### 【0083】

ステップS102において、正常に動作しない半導体チップ予定部30Pであると判断された場合（N）には、全面的に光を透過するマスク201を用いて、あるいはマスク2

01を用いずに、フォトリジスト層のうち、正常に動作しない半導体チップ予定部30Pに対応する部分に対して、全面的に露光を行う（ステップS104）。これにより、フォトリジスト層のうち、正常に動作しない半導体チップ予定部30Pに対応する部分には、正常に動作しない半導体チップ予定部30Pに接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有する電極に対応する潜像は形成されない。具体的には、フォトリジスト層のうち、正常に動作しない半導体チップ予定部30Pに対応する部分の全体が、現像液に対して不溶性になる。なお、第2の種類の階層部分10が、正常に動作しない半導体チップ30に接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有するような形態の電極ではない、他の形態の電極や配線を含んでいる場合には、ステップS104において、全面的に露光を行う代りに、他の形態の電極や配線に対応する潜像が形成されるように露光を行う。この場合にも、フォトリジスト層のうち、正常に動作しない半導体チップ予定部30Pに対応する部分には、正常に動作しない半導体チップ予定部30Pに接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有する電極に対応する潜像は形成されない。

10

#### 【0084】

ステップS103またはステップS104の実行後は、ステップS103またはステップS104を実行した露光したパターン投影領域が、最後の半導体チップ予定部30Pに対応するパターン投影領域であったか否かが、制御装置250によって判断される（ステップS105）。最後の半導体チップ予定部30Pに対応するパターン投影領域であった場合（Y）には、露光工程を終了する。最後の半導体チップ予定部30Pに対応するパターン投影領域ではなかった場合（N）には、次の半導体チップ予定部30Pに対応するパターン投影領域が露光される状態に設定されて（ステップS106）、ステップS102以降の処理が繰り返される。

20

#### 【0085】

図16は、図15に示した露光工程を示す説明図である。図16において、符号108Pは、フレーム108を形成するために用いられるフォトリジスト層を示している。図16において、(a)、(b)、(c)、(d)は、ステップS103またはステップS104が実行される領域を表している。図16に示した例では、領域(a)、(b)、(c)、(d)の順に、ステップS103またはステップS104が実行されている。また、領域(a)、(c)、(d)では、ステップS102において、正常に動作する半導体チップ予定部30Pであると判断され、電極パターンを有するマスク201Aを用いて、フォトリジスト層108Pのうち、正常に動作する半導体チップ予定部30Pに対応する部分に対して、電極パターンによる露光が行われている。領域(b)では、ステップS102において、正常に動作しない半導体チップ予定部30Pであると判断され、全面的に光を透過するマスク201Bを用いて（あるいはマスク201を用いずに）、フォトリジスト層108Pのうち、正常に動作しない半導体チップ予定部30Pに対応する部分に対して、全面的に露光が行われている。図16において、(e)は、露光によってフォトリジスト層108Pに形成された潜像の平面形状を表している。

30

#### 【0086】

上記の露光工程の後、フォトリジスト層108Pは、現像液によって現像され、これにより、フレーム108が形成される。図17は、この現像により形成されたフレーム108を表している。図17における領域(a)、(b)、(c)、(d)は、図16における領域(a)、(b)、(c)、(d)に対応している。図17において、領域(a)、(c)、(d)ではフレーム108に溝部108aが形成されているが、領域(b)ではフレーム108に溝部108aは形成されていない。図17において、(e)は、溝部108aの平面形状を表している。

40

#### 【0087】

次に、例えばめっき法によって、フレーム108の複数の溝部108a内に複数の電極32を形成し、フレーム108を除去する。図18は、このようにして形成された複数の

50

電極 3 2 を表している。図 1 8 における領域 (a)、(b)、(c)、(d) は、図 1 6 における領域 (a)、(b)、(c)、(d) に対応している。図 1 8 において、領域 (a)、(c)、(d) では複数の電極 3 2 が形成されているが、領域 (b) では、半導体チップ予定部 3 0 P に接続される電極は形成されていない。図 1 8 において、(e) は、複数の電極 3 2 の平面形状を表している。

#### 【0088】

次に、複数の電極 3 2 の形成後の工程について説明する。図 1 9 は、図 8 に示した工程に続く工程を示している。この工程では、2 つの研磨前基礎構造物 1 0 9 を、それらの第 1 の面 1 0 9 a 同士が対向するように、絶縁性の接着剤によって張り合わせて、2 つの研磨前基礎構造物 1 0 9 を含む積層体を作製する。接着剤によって形成される絶縁層 1 1 1 は、電極 3 2 を覆い、絶縁部 3 1 の一部となる。絶縁層 1 1 1 は、透明であることが好ましい。以下、図 1 9 に示した 2 つの研磨前基礎構造物 1 0 9 のうちの下側の研磨前基礎構造物 1 0 9 を、第 1 の研磨前基礎構造物 1 0 9 と呼ぶ。また、第 1 の研磨前基礎構造物 1 0 9 を作製する基となる基礎構造物前ウェハ 1 0 1 を第 1 の基礎構造物前ウェハ 1 0 1 と呼ぶ。また、図 1 9 に示した 2 つの研磨前基礎構造物 1 0 9 のうちの上側の研磨前基礎構造物 1 0 9 を、第 2 の研磨前基礎構造物 1 0 9 と呼ぶ。また、第 2 の研磨前基礎構造物 1 0 9 を作製する基となる基礎構造物前ウェハ 1 0 1 を第 2 の基礎構造物前ウェハ 1 0 1 と呼ぶ。

#### 【0089】

次に、図 1 9 に示した積層体における両面、すなわち第 1 の研磨前基礎構造物 1 0 9 の第 2 の面 1 0 9 b および第 2 の研磨前基礎構造物 1 0 9 の第 2 の面 1 0 9 b を研磨する。この研磨は、複数の溝 1 0 4 が露出するまで行う。図 1 9 において、破線は、研磨後の第 2 の面 1 0 9 b の位置を示している。

#### 【0090】

図 2 0 は、上述のようにして両面が研磨された後の積層体を示している。第 1 の研磨前基礎構造物 1 0 9 の第 2 の面 1 0 9 b を研磨することにより、第 1 の研磨前基礎構造物 1 0 9 が研磨により薄くされることによって、基礎構造物 1 1 0 が形成される。以下、この基礎構造物 1 1 0 を第 1 の基礎構造物 1 1 0 と呼ぶ。同様に、第 2 の研磨前基礎構造物 1 0 9 の第 2 の面 1 0 9 b を研磨することにより、第 2 の研磨前基礎構造物 1 0 9 が研磨により薄くされることによって、基礎構造物 1 1 0 が形成される。以下、この基礎構造物 1 1 0 を第 2 の基礎構造物 1 1 0 と呼ぶ。第 1 および第 2 の基礎構造物 1 1 0 の厚みは、それぞれ、例えば 3 0 ~ 1 0 0  $\mu\text{m}$  である。各基礎構造物 1 1 0 は、研磨前基礎構造物 1 0 9 の第 1 の面 1 0 9 a に対応する第 1 の面 1 1 0 a と、その反対側の第 2 の面 1 1 0 b とを有している。第 2 の面 1 1 0 b は、研磨された面である。

#### 【0091】

上述のように 2 つの研磨前基礎構造物 1 0 9 を含む積層体の両面を研磨する工程では、積層体の一方の面を研磨した後、この研磨された面に、図 2 0 に示した板状の治具 1 1 2 を張り付けた後、他方の面の研磨を行う。このように積層体の研磨後の面に治具 1 1 2 を張り付けることにより、その後の工程において、積層体の取り扱いが容易になると共に積層体が損傷を受けることを防止することができる。また、絶縁層 1 0 6, 1 1 1 が透明である場合には、治具 1 1 2 としてアクリル板、ガラス板等の透明なものを用いることにより、いずれも透明な治具 1 1 2 および絶縁層 1 0 6, 1 1 1 を通して、積層体に含まれる 2 つの基礎構造物 1 1 0 におけるアライメントマーク 1 0 7 を見る事が可能になる。これにより、後で説明するように、図 2 0 に示した積層体を 2 つ以上積層する際に、アライメントマーク 1 0 7 を利用して、積層体同士の位置合わせを行うことが可能になる。

#### 【0092】

図 2 1 は、図 2 0 に示した工程で作製される基礎構造物 1 1 0 の一部を示している。前述のように、複数の溝 1 0 4 が露出するまで、研磨前基礎構造物 1 0 9 の第 2 の面 1 0 9 b を研磨することにより、複数の半導体チップ予定部 3 0 P は、互いに分離されて、それぞれ半導体チップ 3 0 となる。半導体チップ 3 0 の第 1 の面 3 0 a は半導体ウェハ 1 0 0

の第1の面100aに対応し、半導体チップ30の第2の面30bは半導体ウェハ100の第2の面100bに対応する。半導体チップ30の複数の端子34は、第1の面30aに配置されている。

#### 【0093】

ここで、図22および図23を参照して、第1の基礎構造物110における複数の端子34および複数の電極32の配置と、第2の基礎構造物110における複数の端子34および複数の電極32の配置の一例について説明する。図22は、第1の基礎構造物110の第1の面110a側から見たときの、第1の基礎構造物110の複数の端子34および複数の電極32を示している。図23は、第2の基礎構造物110の第2の面110b側から見たときの第2の基礎構造物110の複数の端子34および複数の電極32を示している。後に、図22および図23に示したスクライプライン102Aに沿って基礎構造物110が切断されることにより、本体2の1つの側面に配置される複数の電極32の端面が露出する。

10

#### 【0094】

ここで、図22に示した第1の基礎構造物110に含まれる半導体チップ30を第1の半導体チップ30と呼び、図23に示した第2の基礎構造物110に含まれる半導体チップ30を第2の半導体チップ30と呼ぶ。

#### 【0095】

図22に示したように、第1の半導体チップ30は、所定の順序で配列された複数の第1の端子34を有している。ここで、図22に示したように、複数の第1の端子34のうち、半導体チップ30の第1の面30aの1つの辺に沿って配列された9つの端子に着目する。図22では、この9つの端子を、記号A～Iを付して示している。第1の半導体チップ30において、端子A～Iは、図22における左側から右側へ向かう方向にA～Iの順に1列に配列されている。

20

#### 【0096】

図23に示した第2の半導体チップ30は、図22に示した第1の半導体チップ30の第1の端子34に対応して所定の順序で配列された複数の第2の端子34を有している。特に、第2の半導体チップ30は、第1の半導体チップ30の端子A～Iに対応し、これと同様に配列された端子A～Iを有している。半導体チップ30の第1の面30aから見た場合には、第1の半導体チップ30の端子A～Iの配列の順序と第2の半導体チップ30の端子A～Iの配列の順序は同じである。しかし、第1の半導体チップ30と第2の半導体チップ30が、第1の面30a同士が対向するように配置された状態では、図22および図23に示したように、同一方向例えば第2の半導体チップ30の第2の面30b側から見たときに、第2の半導体チップ30の端子A～Iの配列の順序は、第1の半導体チップ30の端子A～Iの配列の順序とは逆になる。

30

#### 【0097】

ここで、後に図22および図23に示したスクライプライン102Aの位置に形成されることになる複数の電極32の端面についても、半導体チップ30の端子A～Iに対応するものを記号A～Iで表す。図22に示したように、第1の基礎構造物110では、同一方向から見たときに、スクライプライン102Aの位置に形成されることになる複数の電極32の端面A～Iは、対応する複数の端子A～Iの配列と同じ順序で配列されている。言い換えると、第1の基礎構造物110における複数の電極32は、複数の電極32の端面A～Iの配列が、対応する複数の端子A～Iの配列と同じ順序になるようなパターンで形成されている。

40

#### 【0098】

これに対し、図23に示したように、第2の基礎構造物110では、同一方向から見たときに、スクライプライン102Aの位置に形成されることになる複数の電極32の端面A～Iは、対応する複数の端子A～Iの配列とは逆の順序で配列されている。言い換えると、第2の基礎構造物110における複数の電極32は、複数の電極32の端面A～Iの配列が、対応する複数の端子A～Iの配列とは逆の順序になるようなパターンで形成され

50

ている。

#### 【0099】

図22および図23に示した第1および第2の基礎構造物110を含む積層基礎構造物を用いて作製された積層チップパッケージ1では、同一方向から見たときに、第2の半導体チップ30の端子A～Iの配列の順序は、第1の半導体チップ30の端子A～Iの配列の順序とは逆であり、本体2の1つの側面に配置され、第1の半導体チップ30の端子A～Iに接続された複数の電極32の端面は、対応する端子A～Iの配列と同じ順序で配列され、本体2の1つの側面に配置され、第2の半導体チップ30の端子A～Iに接続された複数の電極32の端面は、対応する端子A～Iの配列とは逆の順序で配列される。その結果、本体2の1つの側面において、第1の半導体チップ30の端子A～Iに接続された複数の電極32の端面と、第2の半導体チップ30の端子A～Iに接続された複数の電極32の端面は、同じ順序で配列される。

10

#### 【0100】

ここで、積層チップパッケージ1に含まれる一対の階層部分において、同様に配列された複数の端子34を有する第1および第2の半導体チップ30を、第1の面30a同士が対向するように配置し、第1および第2の半導体チップ30における対応する端子34同士を接続する場合について考える。この場合、図22および図23に示した第1および第2の基礎構造物110における複数の端子34および複数の電極32の配置の例によれば、本体2の1つの側面において、第1の半導体チップ30の複数の端子34に接続された複数の電極32の端面と、第2の半導体チップ30の複数の端子34に接続された複数の電極32の端面とが同じ順序で配列される。これにより、第1および第2の半導体チップ30における対応する端子34同士を配線3によって容易に接続することが可能になる。

20

#### 【0101】

なお、ここまで、図22および図23に示した半導体チップ30の第1の面30aの1つの辺に沿って配列された複数の端子34とそれに接続された複数の電極32について説明してきたが、この説明は、上記の辺とは反対側の辺に沿って配列された複数の端子34とそれに接続された複数の電極32についても当てはまる。

#### 【0102】

図24は、図20に示した工程に続く工程を示している。この工程では、図20に示したように、2つの基礎構造物110を含み、治具112に張り付けられた積層体を2つ用意し、これらを接着剤によって接合して、4つの基礎構造物110を含む新たな積層体を作製する。図24において、符号116は、接着剤によって形成された接着層を示している。ここで、前述のように、絶縁層106，111が透明である場合には、治具112としてアクリル板、ガラス板等の透明なものを用いることにより、いずれも透明な治具112および絶縁層106，111を通して、積層体に含まれる2つの基礎構造物110におけるアライメントマーク107を見ることが可能になる。これにより、後で説明するように、それぞれ2つの基礎構造物110を含む2つの積層体を接合する際に、アライメントマーク107を利用して、積層体同士の位置合わせを行うことが可能になる。

30

#### 【0103】

図25は、図24に示した工程に続く工程を示している。この工程では、図24に示したように4つの基礎構造物110を含む積層体を2つ用意し、これらを接着剤によって接合して、8つの基礎構造物110を含む新たな積層体を作製する。

40

#### 【0104】

図26および図27は、図25に示した工程に続く工程を示す。この工程では、図25に示した工程で作製された8つの基礎構造物110を含む積層体における最も上に配置された基礎構造物110の上に、更に端子用ウェハ120を積層して、積層基礎構造物115を作製する。端子用ウェハ120は、樹脂、セラミック等の絶縁材料によって形成された板状のウェハ本体121を有している。ウェハ本体121は、後に互いに分離されてそれぞれ端子層本体21となる複数の端子層本体予定部21Pを含んでいる。端子用ウェハ120は、更に、ウェハ本体121の上面に配置された複数組のパッド状端子22を有し

50

ている。1組のパッド状端子22は、1つの端子層本体予定部21Pに配置されている。なお、図26および図27には、隣接する2つの端子層本体予定部21Pの境界において、2つの端子層本体予定部21Pの各々に配置された複数のパッド状端子22同士が連結されている例を示している。しかし、隣接する2つの端子層本体予定部21Pの各々に配置された複数のパッド状端子22は連結されていなくてもよい。ウェハ本体121は透明であってもよい。この場合、ウェハ本体121の上面において、隣接する2つの端子層本体予定部21Pの境界の位置にアライメントマークを設けてもよい。

#### 【0105】

本実施の形態において、積層基礎構造物115を作製する工程は、第1の基礎構造物前ウェハ101を作製する工程と、第2の基礎構造物前ウェハ101を作製する工程と、第1の基礎構造物前ウェハ101を用いて第1の研磨前基礎構造物109を作製する工程と、第2の基礎構造物前ウェハ101を用いて第2の研磨前基礎構造物109を作製する工程と、第1の研磨前基礎構造物109と第2の研磨前基礎構造物109の第1の面109a同士が対向するように、第1の研磨前基礎構造物109と第2の研磨前基礎構造物109とを張り合わせる工程と、張り合わされた状態の第1の研磨前基礎構造物109と第2の研磨前基礎構造物109のそれぞれの第2の面109bを研磨する工程とを含んでいる。

10

#### 【0106】

第1および第2の基礎構造物前ウェハ101は、いずれも、図4を参照して説明した工程によって作製される。第1および第2の研磨前基礎構造物109は、いずれも、図5ないし図8を参照して説明した工程によって作製される。張り合わされた状態の第1の研磨前基礎構造物109と第2の研磨前基礎構造物109のそれぞれの第2の面109bを研磨する工程によって、第1の研磨前基礎構造物109が研磨により薄くされることによって形成された第1の基礎構造物110と第2の研磨前基礎構造物109が研磨により薄くされることによって形成された第2の基礎構造物110との積層体が得られる。

20

#### 【0107】

単独の状態の研磨前基礎構造物109に対して研磨を行って基礎構造物110を作製すると、基礎構造物110が例えば30~100μmのように薄くなるために、基礎構造物110の取り扱いが難しくなると共に、基礎構造物110が損傷を受け易くなる。また、基礎構造物110において半導体チップ30と絶縁層106の熱膨張係数が異なることから、基礎構造物110が薄くなると、基礎構造物110が丸まってしまい、この点からも、基礎構造物110の取り扱いが難しくなると共に、基礎構造物110が損傷を受け易くなる。

30

#### 【0108】

本実施の形態では、第1の面109a同士が対向するように第1の研磨前基礎構造物109と第2の研磨前基礎構造物109とを張り合わせ、この張り合わされた状態の第1の研磨前基礎構造物109と第2の研磨前基礎構造物109のそれぞれの第2の面109bを研磨する。これにより、第1の研磨前基礎構造物109が研磨により薄くされることによって形成された第1の基礎構造物110と第2の研磨前基礎構造物109が研磨により薄くされることによって形成された第2の基礎構造物110との積層体が得られる。この第1および第2の基礎構造物110を含む積層体の強度は、単独の状態の基礎構造物110に比べて大きい。そのため、本実施の形態によれば、第1および第2の基礎構造物110の取り扱いが容易になると共に、第1および第2の基礎構造物110が損傷を受け難くなる。

40

#### 【0109】

また、本実施の形態では、第1の面110a同士が対向するように張り合わされた第1および第2の基礎構造物110を含む積層体を得られる。第1および第2の基礎構造物110に、それぞれ、単独の状態では基礎構造物110を丸めるように作用する応力が存在する場合、本実施の形態によれば、第1および第2の基礎構造物110の応力を相殺することができる。そのため、本実施の形態によれば、第1および第2の基礎構造物110の

50

平坦性を維持することができる。

#### 【0110】

以下、積層基礎構造物115を用いて、複数の積層チップパッケージ1を作製する工程について説明する。この工程では、まず、図28に示したように、ダイシングソーによって、図21における第1の溝104Aに沿って、積層基礎構造物115を切断して、複数の本体集合体130を作製する。図29は本体集合体130の一例を示し、図30は本体集合体130の他の例を示している。図29および図30に示したように、本体集合体130は、積層チップパッケージ1の複数の階層部分10の積層方向と直交する一方向に配列され、それぞれ後に本体2となる複数の本体予定部2Pを含んでいる。図29に示した本体集合体130は、端子用ウェハ120のウェハ本体121が透明で、ウェハ本体121の上面において、隣接する2つの端子層本体予定部21Pの境界の位置に、アライメントマーク123が設けられた積層基礎構造物115を切断して得られたものである。図30に示した本体集合体130は、ウェハ本体121の上面にアライメントマーク123が設けられていない積層基礎構造物115を切断して得られたものである。なお、図29および図30には、本体集合体130が5つの本体予定部2Pを含む例を示したが、本体集合体130に含まれる本体予定部2Pの数は複数であればよい。

10

#### 【0111】

積層基礎構造物115の切断は、積層基礎構造物115を板状の治具または一般的にウェハのダイシングの際に使用されるウェハシートに張り付けた状態で行ってもよい。図28は、積層基礎構造物115を板状の治具125に張り付けた状態で、積層基礎構造物115の切断を行った例を示している。また、図28では、治具125は切断されていないが、積層基礎構造物115と共に治具125も切断してもよい。

20

#### 【0112】

図29および図30に示したように、本体集合体130は、上面と、下面と、4つの側面を有している。本体集合体130の下面には、治具126を張り付けてもよい。この治具126は、積層基礎構造物115を切断する際に積層基礎構造物115に張り付けた治具125が切断されて形成されたものであってもよい。

#### 【0113】

積層基礎構造物115を切断する工程では、図21における第1の溝104Aが延びる方向に沿って切断面が形成されるように絶縁層106が切断される。図31は、積層基礎構造物115を切断することによって作製された本体集合体130の一部を示している。図31に示したように、絶縁層106は、切断されることにより、絶縁部31の一部である絶縁層31Aとなる。また、絶縁層106の切断面、すなわち絶縁層31Aの切断面31Aaによって、絶縁部31の端面31aの一部が形成される。

30

#### 【0114】

積層基礎構造物115を切断する工程では、絶縁層106が切断される際に、電極32を覆う絶縁層113も切断される。絶縁層113は、切断されることにより、絶縁部31の他の一部である絶縁層31Bとなる。また、絶縁層113の切断面、すなわち絶縁層31Bの切断面31Baによって、絶縁部31の端面31aの他の一部が形成される。

#### 【0115】

また、積層基礎構造物115を切断する工程では、絶縁層106が切断されることによって、絶縁部31の端面31aから複数の電極32の端面32aが露出する。端面32aは、絶縁部31によって囲まれている。

40

#### 【0116】

積層基礎構造物115を切断することにより、本体集合体130の4つの側面のうち、複数の本体予定部2Pが並ぶ方向に平行な2つの側面に、それぞれ、複数の電極32の端面32aが現れる。より詳しく説明すると、本体集合体130の1つの側面には、本体集合体130に含まれる全ての階層部分10における複数の電極32Aの端面32Aaが現れ、この側面とは反対側の本体集合体130の側面には、本体集合体130に含まれる全ての階層部分10における複数の電極32Bの端面32Baが現れる。

50



## 【0117】

複数の積層チップパッケージ1を作製する工程では、積層基礎構造物115を切断した後、複数の電極32の端面32aが現れる本体集合体130の2つの側面を研磨する。次に、本体集合体130における各本体予定部2Pに対してそれぞれ配線3A, 3Bを形成する。この配線3A, 3Bを形成する工程では、複数の本体集合体130を、複数の階層部分10の積層方向に並べた後、この複数の本体集合体130における各本体予定部2Pに対して同時に配線3A, 3Bを形成してもよい。これにより、短時間で、多数の本体予定部2Pに対して配線3A, 3Bを形成することが可能になる。

## 【0118】

図32は、複数の本体集合体130を並べる方法の一例を示している。この例では、チップの位置の認識および制御が可能なチップボンディング装置を利用して、テーブル142上において、それぞれ治具126が張り付けられた複数の本体集合体130を、位置合わせを行いながら複数の階層部分10の積層方向に並べている。図32において、符号141は、チップを保持するためのヘッドを示している。この例では、治具126が張り付けられた状態の本体集合体130をヘッド141によって保持し、本体集合体130の位置の認識および制御を行いながら、本体集合体130をテーブル142上の所望の位置に配置している。図33は、それぞれ治具126が張り付けられた複数の本体集合体130が、複数の階層部分10の積層方向に並べられた状態を表している。なお、並べられた複数の本体集合体130を、容易に分離可能に接着して固定してもよい。

## 【0119】

複数の本体集合体130を並べる際には、チップボンディング装置が備えている画像認識装置によって、本体集合体130の外縁の位置や、本体集合体130の側面に現れている電極32の端面32aの位置を認識することにより、本体集合体130の位置の認識および制御を行うことが可能になる。

## 【0120】

また、それぞれ治具126が張り付けられていない複数の本体集合体130を、位置合わせを行いながら、複数の階層部分10の積層方向に並べてもよい。図34は、このようにして並べられた複数の本体集合体130を表している。この場合も、並べられた複数の本体集合体130を、容易に分離可能に接着して固定してもよい。

## 【0121】

それぞれ治具126が張り付けられていない複数の本体集合体130を並べる場合において、絶縁部31および端子層本体21となる部分が透明で、アライメントマーク107, 123の少なくとも一方を観察可能な場合には、チップボンディング装置が備えている画像認識装置によって、アライメントマーク107, 123の少なくとも一方を認識することにより、本体集合体130の位置の認識および制御を行ってもよい。この場合には、画像認識装置によって、図32において符号143で示す矢印方向からアライメントマークを観察する。

## 【0122】

次に、図35を参照して、配線3A, 3Bを形成する工程について説明する。この工程では、本体集合体130における各本体予定部2Pに対してそれぞれ配線3A, 3Bを形成する。配線3A, 3Bは、例えばフレームめっき法によって形成される。この場合には、まず、配線3Aを形成すべき本体集合体130の側面上に、めっき用のシード層を形成する。次に、シード層の上に、溝部を有するフレームを形成する。このフレームは、例えば、フォトレジストフィルムをフォトリソグラフィによりパターンニングすることによって形成される。次に、めっき法によって、フレームの溝部内であってシード層の上に、配線3Aの一部となるめっき層を形成する。次に、フレームを除去し、更に、シード層のうち、めっき層の下に存在する部分以外の部分をエッチングによって除去する。これにより、めっき層およびその下に残ったシード層によって配線3Aが形成される。次に、配線3Bを形成すべき本体集合体130の側面上に、配線3Aの形成方法と同様の方法によって配線3Bを形成する。図35は、配線3A, 3Bが形成された後の本体集合体130の一部

を示している。

#### 【0123】

次に、図36を参照して、本体集合体130を切断する工程について説明する。この工程では、本体集合体130に含まれる複数の本体予定部2Pが互いに分離されてそれぞれ本体2となることによって複数の積層チップパッケージ1が形成されるように、本体集合体130を切断する。このようにして、図36に示したように、積層チップパッケージ1が複数個同時に製造される。

#### 【0124】

本実施の形態に係る積層チップパッケージ1は、そのままの状態、1つの電子部品として使用することが可能である。例えば、積層チップパッケージ1は、複数の複数のパッド状端子22が下を向くように配線基板上に配置することにより、フリップチップ法によって配線基板に実装することができる。

10

#### 【0125】

また、例えば、積層チップパッケージ1を使用する装置に、積層チップパッケージ1を収容する凹部が設けられている場合には、複数のパッド状端子22が上を向くようにして、凹部内に積層チップパッケージ1を挿入し、複数のパッド状端子22を装置内の回路に接続することができる。

#### 【0126】

図37は、積層チップパッケージ1の使用例を示している。この例では、積層チップパッケージ1の複数のパッド状端子22にそれぞれボンディングワイヤ160の一端を接続している。ボンディングワイヤ160の他端は、積層チップパッケージ1を使用する装置における端子に接続される。

20

#### 【0127】

図38および図39は、積層チップパッケージ1の他の使用例を示している。この例では、複数のピン161を有するリードフレームに積層チップパッケージ1を取り付け、積層チップパッケージ1をモールド樹脂によって封止している。積層チップパッケージ1の複数のパッド状端子22は、複数のピン161に接続されている。モールド樹脂は、積層チップパッケージ1を保護する保護層162となる。図38は、複数のピン161が水平方向に延びている例を示している。図39は、複数のピン161が下方に向けて折り曲げられた例を示している。

30

#### 【0128】

以上説明したように、本実施の形態によれば、積層された複数のチップ30を含み、高集積化の可能な積層チップパッケージ1を実現することができる。本実施の形態に係る積層チップパッケージ1は、上面、下面および4つの側面を有する本体2と、この本体2の少なくとも1つの側面に配置された配線3とを備えている。本体2は、積層された複数の階層部分10を含んでいる。複数の階層部分10は、1つ以上の第1の種類の階層部分10と、1つ以上の第2の種類の階層部分10とを含んでいる。第1の種類の階層部分10と第2の種類の階層部分10は、いずれも、半導体チップ30と、半導体チップ30の4つの側面のうちの少なくとも1つの側面を覆う絶縁部31とを含んでいる。絶縁部31は、配線3が配置された本体2の少なくとも1つの側面に配置された少なくとも1つの端面31aを有している。

40

#### 【0129】

第1の種類の階層部分10における半導体チップ30は良品の半導体チップ30であり、第2の種類の階層部分10における半導体チップ30は不良の半導体チップ30である。第1の種類の階層部分10は、更に、それぞれ半導体チップ30に接続され、配線3が配置された本体2の少なくとも1つの側面に配置された端面32aを有する複数の電極32を含むが、第2の種類の階層部分10は、半導体チップ30に接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有する電極を含んでいない。複数の電極32の端面32aは、それぞれ絶縁部31によって囲まれている。配線3は、複数の電極32の端面32aに接続されている。

50

## 【0130】

本実施の形態に係る積層チップパッケージ1の製造方法は、積層チップパッケージ1の複数の階層部分10にそれぞれ対応する複数の基礎構造物110であって、各々が対応する階層部分10を複数含み、後にそれら対応する階層部分10のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物110を作製する工程と、複数の基礎構造物110を用いて本体2を作製すると共に、本体2に対して配線3を形成して、積層チップパッケージ1を完成させる工程とを備えている。

## 【0131】

複数の基礎構造物110を作製する工程は、各基礎構造物110を作製するための一連の工程として、配列された複数の半導体チップ予定部30Pを含む基礎構造物前ウェハ101を作製する工程と、基礎構造物前ウェハ101に含まれる複数の半導体チップ予定部30Pについて、正常に動作する半導体チップ予定部30Pと正常に動作しない半導体チップ予定部30Pとを判別する工程と、正常に動作しない半導体チップ予定部30Pに接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有する電極を形成することなく、正常に動作する半導体チップ予定部30Pに接続されるように複数の電極32を形成する工程とを含んでいる。

## 【0132】

本実施の形態に係る積層チップパッケージ1では、不良の半導体チップ30を含む第2の種類の階層部分10では、半導体チップ30に接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有する電極が設けられないことから、不良の半導体チップ30は使用不能にされる。

## 【0133】

もし、不良の半導体チップ30を含む階層部分10においても、半導体チップ30に接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有する電極が設けられていると、この電極は配線3に接続される。この場合、不良の半導体チップ30に接続された電極は、メモリデバイス等、積層チップパッケージ1によって実現するデバイスにとって不要なキャパシタンスや不要なインダクタンスを発生させたり、良品の半導体チップ30に接続された電極32等との間に浮遊容量を発生させたりする。このことは、メモリデバイス等のデバイスの動作の高速化の妨げとなる。

## 【0134】

これに対し、本実施の形態では、前述のように、不良の半導体チップ30を含む第2の種類の階層部分10では、半導体チップ30に接続されると共に配線3が配置された本体2の少なくとも1つの側面に配置される端面を有する電極が設けられない。そのため、積層チップパッケージ1において、不良の半導体チップ30を含む第2の種類の階層部分10は、単なる絶縁層とみなすことができる。従って、本実施の形態によれば、不良の半導体チップ30に接続された配線に起因する問題を低減しながら、不良の半導体チップ30を使用不能にすることができる。

## 【0135】

積層チップパッケージ1が、メモリチップとしての複数の半導体チップ30を含んでいる場合には、1つ以上の不良の半導体チップ30を含んでいても、1つ以上の良品の半導体チップ30を含んでいれば、全ての半導体チップ30が良品である場合に比べるメモリ容量は減るが、メモリ容量の少ない製品として成り立つ。この場合、積層チップパッケージ1に含まれる不良の半導体チップ30の数によって、積層チップパッケージ1のメモリ容量が異なることになるが、メモリ容量毎に積層チップパッケージ1を分類すれば、メモリ容量が異なる複数種類の製品を実現することができる。

## 【0136】

なお、積層チップパッケージ1に含まれる半導体チップ30の数を必要最小限の数とすると、不良の半導体チップ30の発生によって、積層チップパッケージ1のメモリ容量が所望のメモリ容量よりも少なくなるような場合には、冗長性を持たせて、必要最小限の数よりも多い数の半導体チップ30を含むように積層チップパッケージ1を構成してもよい

。どの程度の冗長性を積層チップパッケージ 1 に持たせるかは、不良の半導体チップ 30 の発生率等に応じて任意に決めることができる。

【0137】

なお、本実施の形態に係る積層チップパッケージ 1 の製造方法によれば、1 つ以上の良品の半導体チップ 30 と 1 つ以上の不良の半導体チップ 30 とを含む積層チップパッケージ 1 のみならず、複数の良品の半導体チップ 30 のみを含む積層チップパッケージ 1 や、複数の不良の半導体チップ 30 のみを含む積層チップパッケージ 1 も製造され得る。複数の良品の半導体チップ 30 のみを含む積層チップパッケージ 1 は、当然、製品として成り立つ。複数の不良の半導体チップ 30 のみを含む積層チップパッケージ 1 は、破棄すればよい。

10

【0138】

また、本実施の形態では、積層された複数の半導体チップ 30 は、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって電氣的に接続される。そのため、本実施の形態では、ワイヤボンディング方式における問題点、すなわちワイヤ同士の接触を避けるために電極の間隔を小さくすることが難しいという問題点や、ワイヤの高い抵抗値が回路の高速動作の妨げになるという問題点は生じない。

【0139】

また、本実施の形態では、貫通電極方式に比べて以下の利点がある。まず、本実施の形態では、チップに貫通電極を形成する必要がないので、チップに貫通電極を形成するための多くの工程は不要である。

20

【0140】

また、本実施の形態では、複数の半導体チップ 30 間の電氣的接続を、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって行う。そのため、本実施の形態によれば、複数のチップ間の電氣的接続を貫通電極によって行う場合に比べて、チップ間の電氣的接続の信頼性を向上させることができる。

【0141】

また、本実施の形態では、配線 3 の線幅や厚みを容易に変更することができる。そのため、本実施の形態によれば、将来における配線 3 の微細化の要望にも容易に対応することができる。

【0142】

また、貫通電極方式では、上下のチップの貫通電極同士を、例えば、高温下で半田によって接続する必要がある。これに対し、本実施の形態では、配線 3 は例えばめっき法によって形成することができるため、より低温下で、配線 3 を形成することが可能である。また、本実施の形態では、複数の階層部分 10 の接合も低温下で行うことができる。そのため、チップ 30 が熱によって損傷を受けることを防止することができる。

30

【0143】

また、貫通電極方式では、上下のチップの貫通電極同士を接続するため、上下のチップを正確に位置合わせする必要がある。これに対し、本実施の形態では、複数の半導体チップ 30 間の電氣的接続を、上下に隣接する 2 つの階層部分 10 の界面では行わず、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって行うため、複数の階層部分 10 の位置合わせの精度は、貫通電極方式における複数のチップ間の位置合わせの精度に比べて緩やかでよい。

40

【0144】

また、本実施の形態に係る積層チップパッケージの製造方法では、特許文献 1 に記載された積層チップパッケージの製造方法に比べて、工程数を少なくすることができ、その結果、積層チップパッケージのコストを低減することができる。

【0145】

以上のことから、本実施の形態によれば、積層チップパッケージ 1 を低コストで短時間に大量生産することが可能になる。

【0146】

50

また、本実施の形態に係る積層チップパッケージ 1 の製造方法によれば、積層基礎構造物 115 を構成する複数の基礎構造物 110 を、それらが損傷を受けることを防止しながら、容易に薄くすることができる。そのため、本実施の形態によれば、小型で集積度の高い積層チップパッケージ 1 を、高い歩留まりで製造することが可能になる。

#### 【0147】

なお、本実施の形態において、積層基礎構造物 115 を作製する方法は、図 5 ないし図 27 を参照して説明した方法に限らない。例えば、以下のような方法で積層基礎構造物 115 を作製してもよい。すなわち、まず、第 1 の研磨前基礎構造物 109 の第 1 の面 109a が治具に対向するように、第 1 の研磨前基礎構造物 109 を治具に張り付ける。次に、第 1 の研磨前基礎構造物 109 が研磨により薄くされることによって、第 1 の基礎構造物 110 が、治具に張り付けられた状態で形成されるように、治具に張り付けられた第 1 の研磨前基礎構造物 109 における第 2 の面 109b を研磨する。次に、第 2 の研磨前基礎構造物 109 の第 1 の面 109a が、第 1 の基礎構造物 110 の研磨された面に対向するように、第 1 の基礎構造物 110 に第 2 の研磨前基礎構造物 109 を張り付ける。次に、第 2 の研磨前基礎構造物 109 が研磨により薄くされることによって、第 2 の基礎構造物 110 が、第 1 の基礎構造物 110 上に積層された状態で形成されるように、第 2 の研磨前基礎構造物 109 における第 2 の面 109b を研磨する。更に、必要に応じて、第 2 の基礎構造物 110 の形成方法と同様の方法で、第 2 の基礎構造物 110 の上に 1 つ以上の基礎構造物 110 を積層して、積層基礎構造物 115 を作製する。

#### 【0148】

あるいは、第 2 の面 110b 同士が対向するように 2 つの基礎構造物 110 を張り合わせて、2 つの基礎構造物 110 を含む積層体を作製し、この積層体を複数積層して積層基礎構造物 115 を作製してもよい。

#### 【0149】

##### 〔第 2 の実施の形態〕

次に、本発明の第 2 の実施の形態に係る積層チップパッケージ 1 の製造方法について説明する。本実施の形態に係る積層チップパッケージ 1 の製造方法では、フレーム 108 を形成する工程のみが、第 1 の実施の形態と異なっている。まず、本実施の形態では、フレーム 108 を形成するためのフォトレジスト層はポジ型である。

#### 【0150】

以下、図 40 のフローチャートを参照して、本実施の形態におけるフレーム 108 を形成するためのフォトレジスト層の露光工程について説明する。第 1 の実施の形態と同様に、本実施の形態においても、この露光工程では、フォトレジスト層のうち、正常に動作しない半導体チップ予定部 30P に対応する部分には、正常に動作しない半導体チップ予定部 30P に接続されると共に配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置される端面を有する電極に対応する潜像が形成されず、フォトレジスト層のうち、正常に動作する半導体チップ予定部 30P に対応する部分には、複数の電極 32 に対応した潜像が形成されるように、フォトレジスト層の露光を行う。この露光工程では、まず、図 14 に示した露光装置において、複数の半導体チップ予定部 30P に対応する複数のパターン投影領域のうち、最初の半導体チップ予定部 30P に対応するパターン投影領域が露光される状態に設定される（ステップ S201）。次に、設定されたパターン投影領域に対応する半導体チップ予定部 30P が正常に動作する半導体チップ予定部 30P か否かが、制御装置 250 によって判断される（ステップ S202）。

#### 【0151】

ステップ S202 において、正常に動作する半導体チップ予定部 30P であると判断された場合（Y）には、複数の電極 32 に対応した電極パターンを有するマスク 201 を用いて、フォトレジスト層のうち、正常に動作する半導体チップ予定部 30P に対応する部分に対して、電極パターンによる露光を行う（ステップ S203）。本実施の形態における電極パターンは、具体的には、パターン投影領域のうち、後に電極 32 を収容する溝部 108a が形成される部分に対しては光が照射され、他の部分に対しては光が照射されな

いようにするパターンである。この露光により、フォトリジスト層のうち、正常に動作する半導体チップ予定部 30 P に対応する部分には、複数の電極 32 に対応した潜像が形成される。具体的には、この露光が行われた後、フォトリジスト層のうち、正常に動作する半導体チップ予定部 30 P に対応する部分では、後に電極 32 を収容する溝部 108 a が形成される部分は現像液に対して可溶性になり、他の部分は現像液に対して不溶性である。

#### 【0152】

ステップ S 202 において、正常に動作しない半導体チップ予定部 30 P であると判断された場合 (N) には、フォトリジスト層のうち、正常に動作しない半導体チップ予定部 30 P に対応する部分に対して露光を行わない (ステップ S 204)。これにより、フォトリジスト層のうち、正常に動作しない半導体チップ予定部 30 P に対応する部分には、正常に動作しない半導体チップ予定部 30 P に接続されると共に配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置される端面を有する電極に対応する潜像は形成されない。具体的には、フォトリジスト層のうち、正常に動作しない半導体チップ予定部 30 P に対応する部分の全体が、現像液に対して不溶性になる。なお、第 2 の種類の階層部分 10 が、正常に動作しない半導体チップ 30 に接続されると共に配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置される端面を有するような形態の電極ではない、他の形態の電極や配線を含んでいる場合には、ステップ S 204 において、露光を行わない代りに、他の形態の電極や配線に対応する潜像が形成されるように露光を行う。この場合にも、フォトリジスト層のうち、正常に動作しない半導体チップ予定部 30 P に対応する部分には、正常に動作しない半導体チップ予定部 30 P に接続されると共に配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置される端面を有する電極に対応する潜像は形成されない。

#### 【0153】

ステップ S 203 またはステップ S 204 の実行後は、ステップ S 203 またはステップ S 204 を実行したパターン投影領域が、最後の半導体チップ予定部 30 P に対応するパターン投影領域であったか否かが、制御装置 250 によって判断される (ステップ S 205)。最後の半導体チップ予定部 30 P に対応するパターン投影領域であった場合 (Y) には、露光工程を終了する。最後の半導体チップ予定部 30 P に対応するパターン投影領域ではなかった場合 (N) には、次の半導体チップ予定部 30 P に対応するパターン投影領域が露光される状態に設定されて (ステップ S 206)、ステップ S 202 以降の処理が繰り返される。

#### 【0154】

図 41 は、図 40 に示した露光工程を示す説明図である。図 41 において、符号 108 P は、フレーム 108 を形成するために用いられるフォトリジスト層を示している。図 41 において、(a)、(b)、(c)、(d) は、ステップ S 203 またはステップ S 204 が実行される領域を表している。図 41 に示した例では、領域 (a)、(b)、(c)、(d) の順に、ステップ S 203 またはステップ S 204 が実行されている。また、領域 (a)、(c)、(d) では、ステップ S 202 において、正常に動作する半導体チップ予定部 30 P であると判断され、電極パターンを有するマスク 201 C を用いて、フォトリジスト層 108 P のうち、正常に動作する半導体チップ予定部 30 P に対応する部分に対して、電極パターンによる露光が行われている。領域 (b) では、ステップ S 202 において、正常に動作しない半導体チップ予定部 30 P であると判断され、フォトリジスト層 108 P のうち、正常に動作しない半導体チップ予定部 30 P に対応する部分に対して露光が行われていない。図 41 において、(e) は、露光によってフォトリジスト層 108 P に形成された潜像の平面形状を表している。

#### 【0155】

上記の露光工程の後、フォトリジスト層 108 P は、現像液によって現像され、これにより、フレーム 108 が形成される。このフレーム 108 の形状は、第 1 の実施の形態と同様である。

## 【0156】

本実施の形態におけるその他の構成、作用および効果は、第1の実施の形態と同様である。

## 【0157】

## [第3の実施の形態]

次に、本発明の第3の実施の形態に係る積層チップパッケージ1の製造方法について説明する。本実施の形態に係る積層チップパッケージ1の製造方法では、フレーム108を形成する工程のみが、第1の実施の形態と異なっている。まず、本実施の形態では、フレーム108を形成するためのフォトリソスト層はネガ型である。

## 【0158】

本実施の形態では、フレーム108を形成する工程は、フォトリソスト層のうち、複数の半導体チップ予定部30Pに対応する複数の部分の全て、すなわち全てのパターン投影領域に対して、複数の電極32に対応した電極パターンによる露光を行う第1の露光工程と、第1の露光工程の前または後において、フォトリソスト層のうち、正常に動作しない半導体チップ予定部30Pに対応する部分のみに対して、全面的に露光を行う第2の露光工程と、第1および第2の露光工程の後で、フォトリソスト層を現像する工程とを含んでいる。

## 【0159】

ここで、図42および図43を参照して、第1の露光工程の後に第2の露光工程を行う場合について説明する。図42は第1の露光工程を示す説明図であり、図43は第2の露光工程を示す説明図である。図42および図43において、符号108Pは、フレーム108を形成するために用いられるフォトリソスト層を示している。

## 【0160】

図42において、(a)、(b)、(c)、(d)は、それぞれ、第1の露光工程において、電極パターンによる露光が行われる領域を表している。第1の露光工程では、電極パターンを有するマスク201Aを用いて、フォトリソスト層108Pのうち、複数の半導体チップ予定部30Pに対応する複数の部分の全てに対して、電極パターンによる露光を行う。これにより、フォトリソスト層108Pのうち、複数の半導体チップ予定部30Pに対応する複数の部分の全てにおいて、電極パターンによる潜像が形成される。図42において(e)は、露光によってフォトリソスト層108Pに形成された潜像の平面形状を表している。

## 【0161】

図43における領域(a)、(b)、(c)、(d)は、図42における領域(a)、(b)、(c)、(d)に対応している。図43に示した例では、領域(a)、(c)、(d)における半導体チップ予定部30Pは、正常に動作する半導体チップ予定部30Pであり、領域(b)における半導体チップ予定部30Pは、正常に動作しない半導体チップ予定部30Pであるものとする。第2の露光工程では、領域(b)において、フォトリソスト層108Pのうち、正常に動作しない半導体チップ予定部30Pに対応する部分に対して、全面的に露光を行う。図43において、(e)は、露光によってフォトリソスト層108Pに形成された潜像の平面形状を表している。

## 【0162】

領域(b)では、図42に示したように、第1の露光工程により潜像が形成されるが、第2の露光工程における全面的な露光により潜像は消滅し、フォトリソスト層108Pのうち、正常に動作しない半導体チップ予定部30Pに対応する部分の全体が、現像液に対して不溶性になる。

## 【0163】

上記の第1および第2の露光工程の後、フォトリソスト層108Pは、現像液によって現像され、これにより、フレーム108が形成される。このフレーム108の形状は、第1の実施の形態と同様である。

## 【0164】

なお、本実施の形態では、第2の露光工程の後に第1の露光工程を行ってもよい。この場合には、まず、第2の露光工程において、フォトリジスト層108Pのうち、正常に動作しない半導体チップ予定部30Pに対応する部分の全体が、現像液に対して不溶性になる。その後、第1の露光工程により、フォトリジスト層108Pのうち、正常に動作する半導体チップ予定部30Pに対応する部分に、電極パターンによる潜像が形成される。このとき、フォトリジスト層108Pのうち、正常に動作しない半導体チップ予定部30Pに対応する部分に対しても、電極パターンによる露光が行われるが、この部分は既に全面的な露光により、その全体が現像液に対して不溶性になっている。第2の露光工程の後に第1の露光工程を行った場合にも、第1の露光工程の後に第2の露光工程を行った場合と同様のフレーム108が形成される。

10

#### 【0165】

本実施の形態では、第1の露光工程と第2の露光工程のいずれにおいても、途中でマスク201を交換する必要がないので、第1の露光工程と第2の露光工程のいずれも短時間で実行することができる。特に第1の露光工程では、全てのパターン投影領域に対して、同じ電極パターンによる露光を行うので、ステッパーを用いて、複数、例えば4～6のパターン投影領域に対する露光を同時に行うことができる。また、第1の露光工程では、ステッパーの代りに、例えばコンタクトアライナーやプロジェクションアライナーを用いて、全てのパターン投影領域に対する露光を同時に行うことができる。このように第1の露光工程において、複数のパターン投影領域に対する露光を同時に行うことにより、第1の露光工程の所要時間を短縮することができる。以上のことから、本実施の形態によれば、第1または第2の実施の形態に比べて、フレーム108を形成するためにフォトリジスト層108Pを露光する工程の所要時間を短くすることができ、生産性を向上させることができる。

20

#### 【0166】

本実施の形態におけるその他の構成、作用および効果は、第1の実施の形態と同様である。

#### 【0167】

なお、本発明は、上記各実施の形態に限定されず、種々の変更が可能である。例えば、実施の形態では、複数の本体集合体130を並べて、この複数の本体集合体130における各本体予定部2Pに対して同時に配線3を形成したが、複数の本体集合体130を並べずに、1つの本体集合体130における各本体予定部2Pに対して配線3を形成してもよい。

30

#### 【0168】

また、配線3が形成された後の本体集合体130を切断して本体2を形成した後、本体集合体130を切断することによって本体2に形成された面に、更に他の配線を形成してもよい。

#### 【0169】

また、積層チップパッケージ1の本体2は、端子層20を含まずに、配線3の一部が外部接続端子を兼ねていてもよい。

#### 【符号の説明】

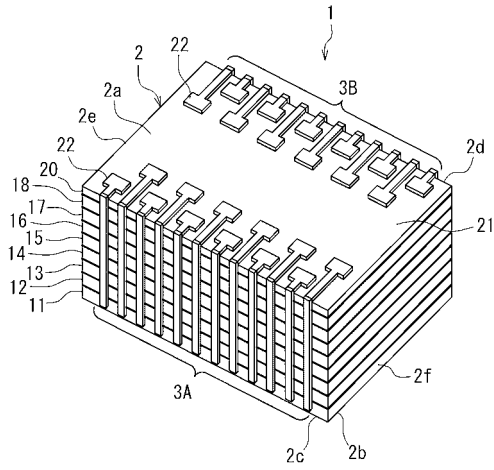
40

#### 【0170】

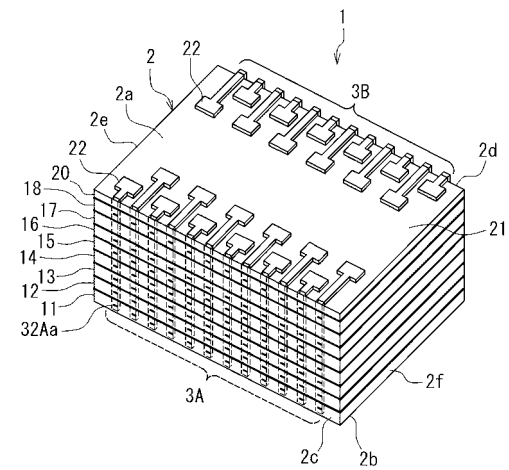
1…積層チップパッケージ、2…本体、3A、3B…配線、11～18…階層部分、30…半導体チップ、31…絶縁部、32…電極、101…基礎構造物前ウェハ、104…溝、109…研磨前基礎構造物、110…基礎構造物、115…積層基礎構造物。



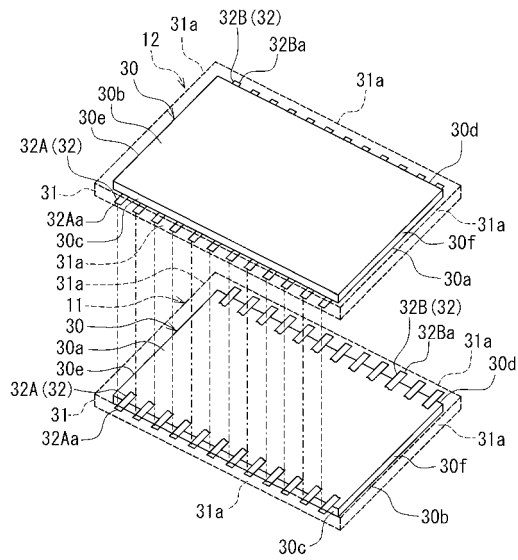
【図 1】



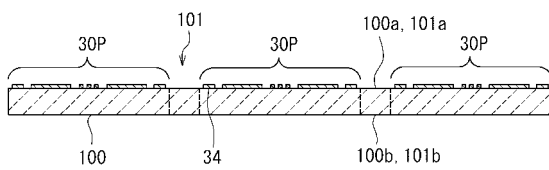
【図 2】



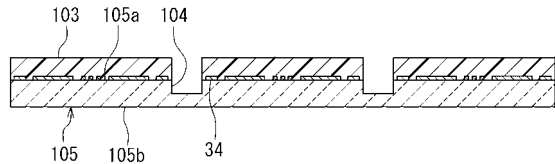
【図 3】



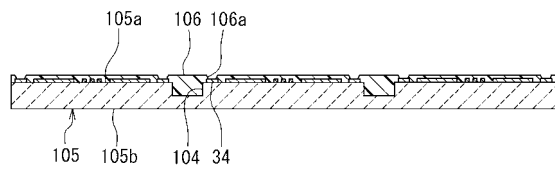
【図 4】



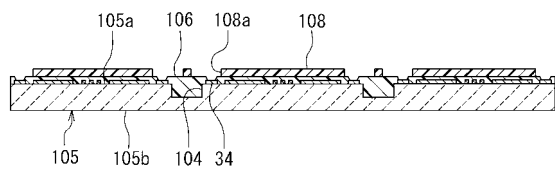
【図 5】



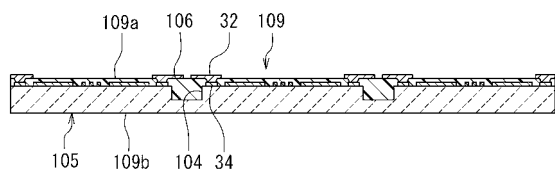
【図 6】



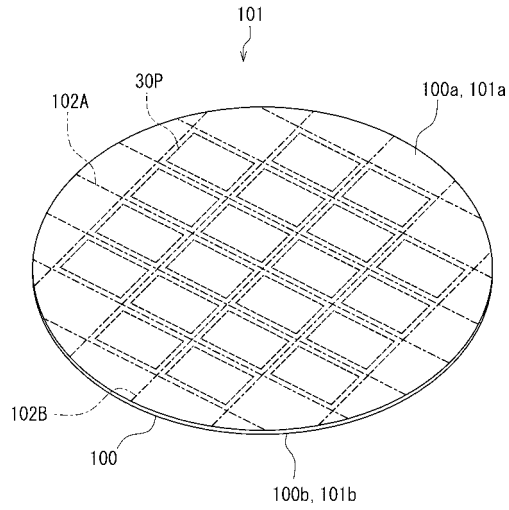
【図 7】



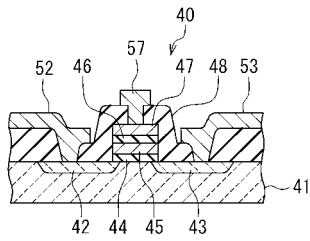
【図 8】



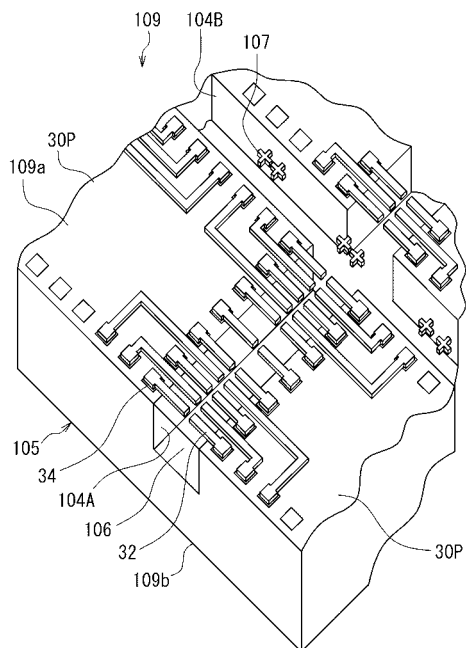
【図 9】



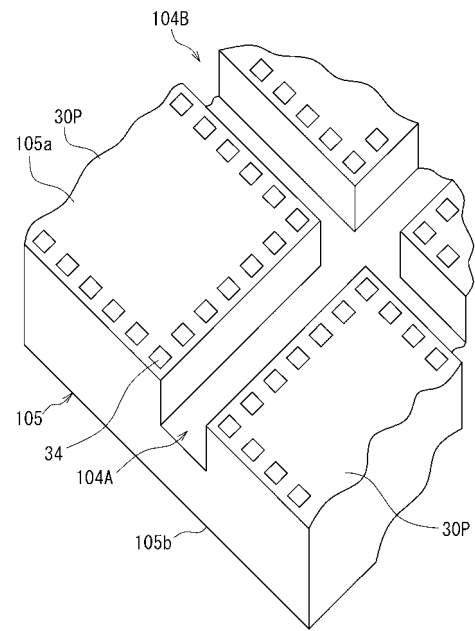
【図 10】



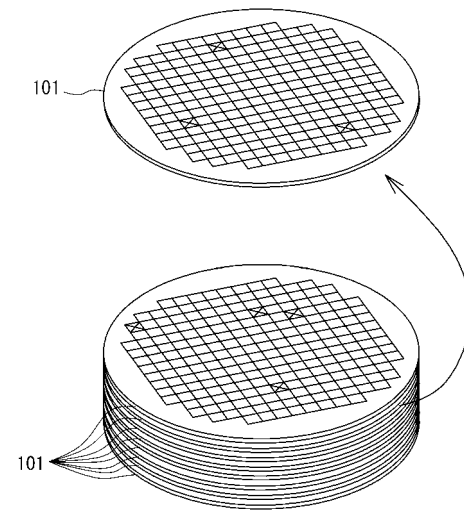
【図 12】



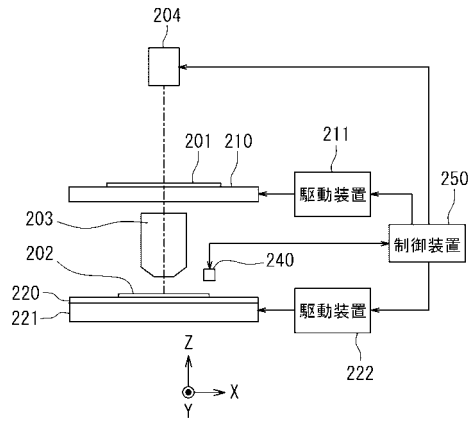
【図 11】



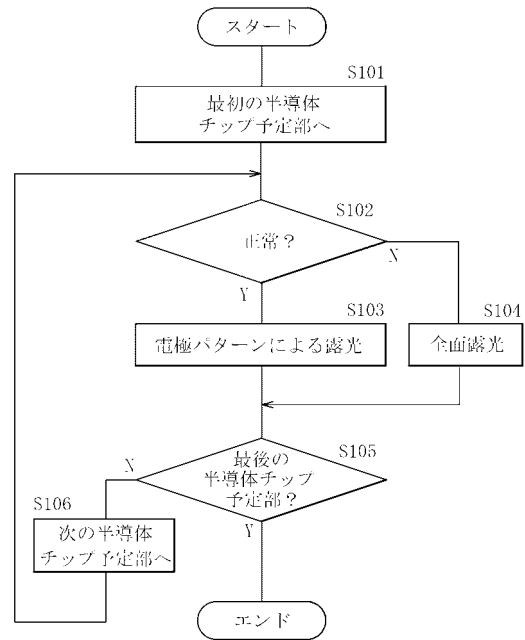
【図 13】



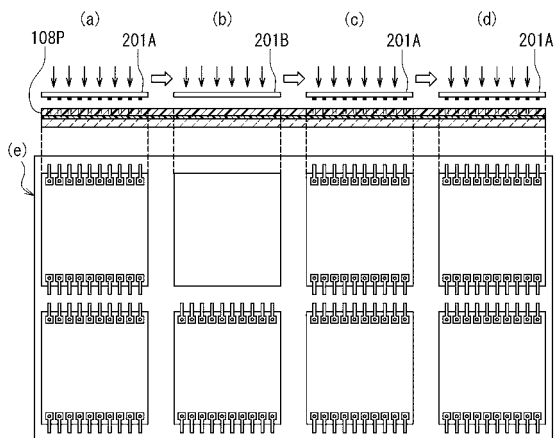
【図 1 4】



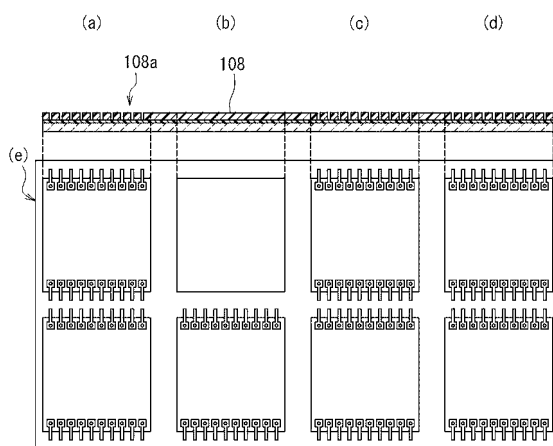
【図 1 5】



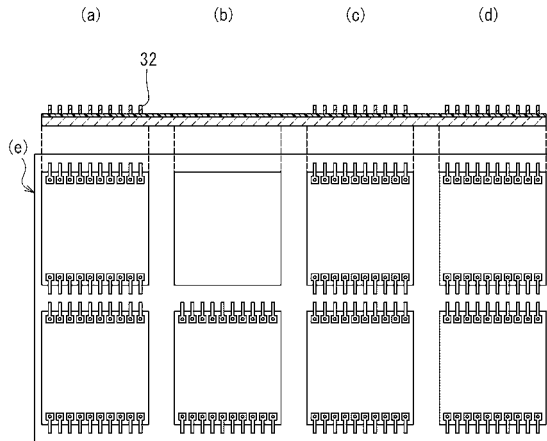
【図 1 6】



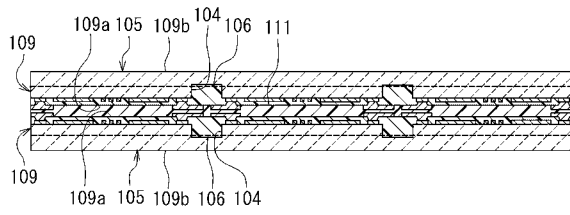
【図 1 7】



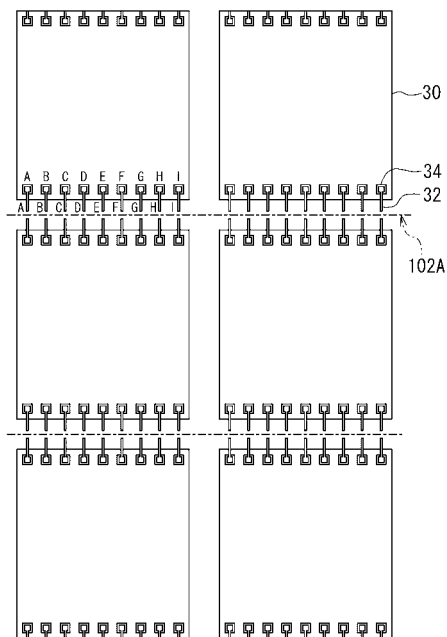
【図 18】



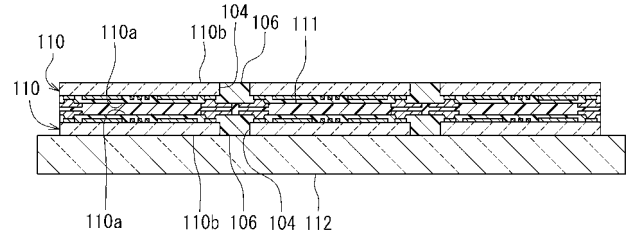
【図 19】



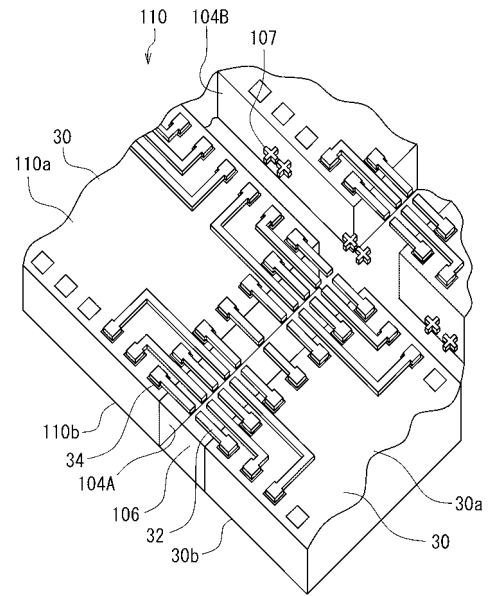
【図 22】



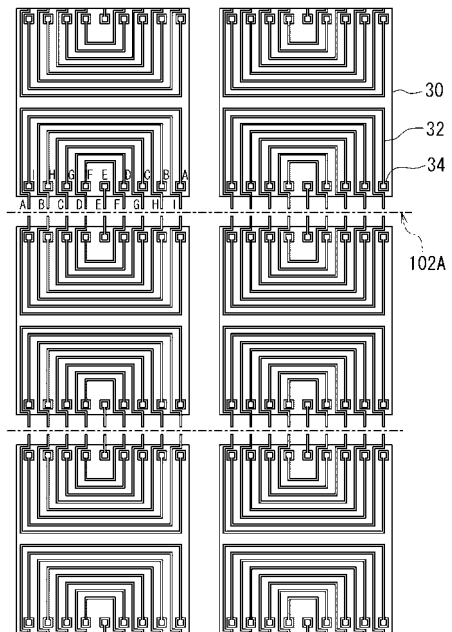
【図 20】



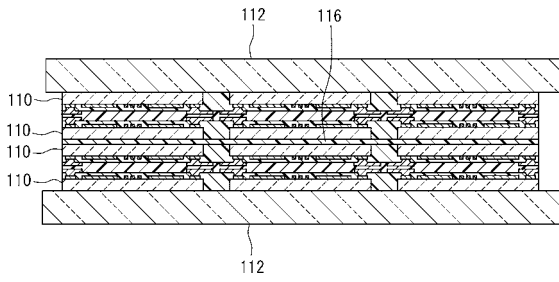
【図 21】



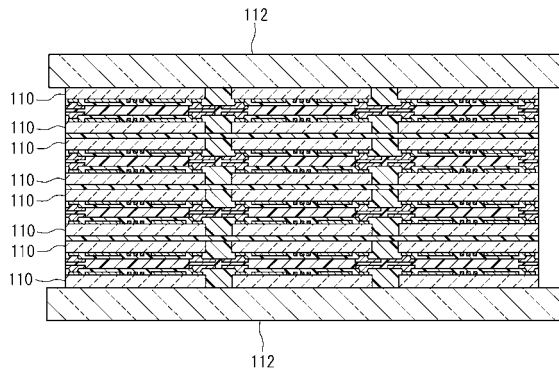
【図 23】



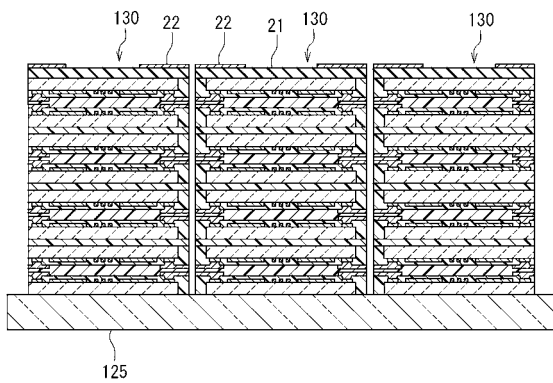
【図 2 4】



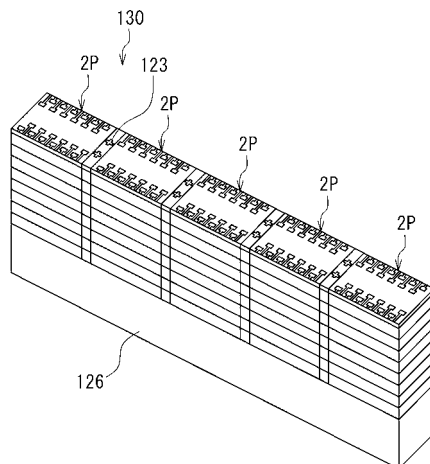
【図 2 5】



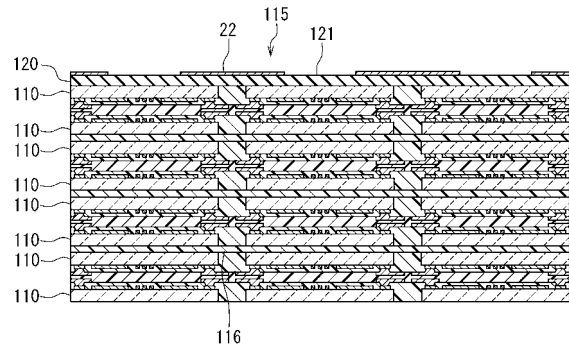
【図 2 8】



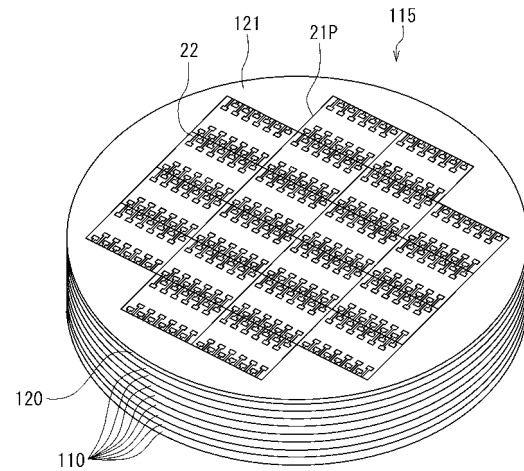
【図 2 9】



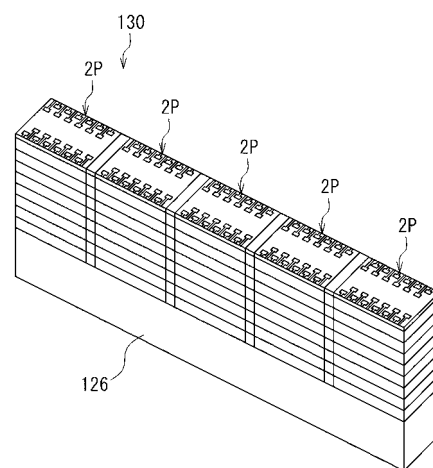
【図 2 6】



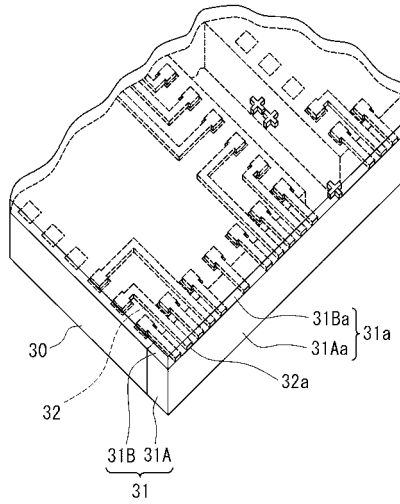
【図 2 7】



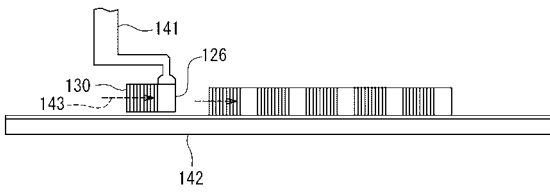
【図 3 0】



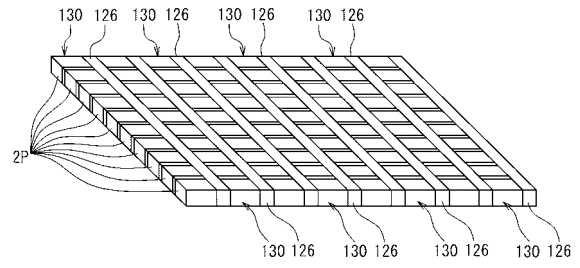
【図 3 1】



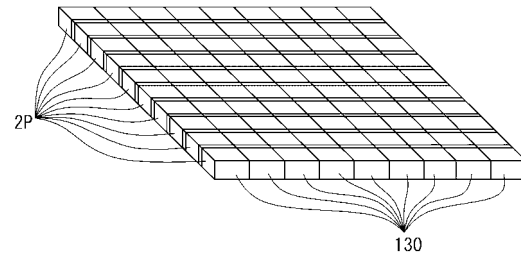
【図 3 2】



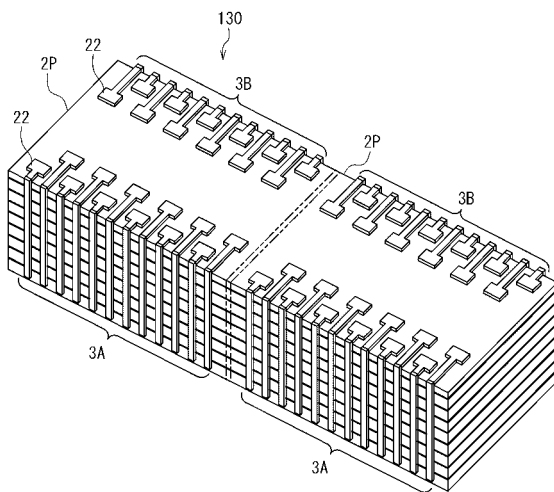
【図 3 3】



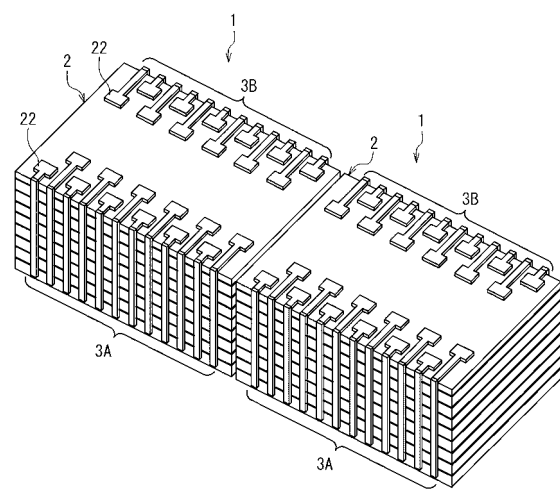
【図 3 4】



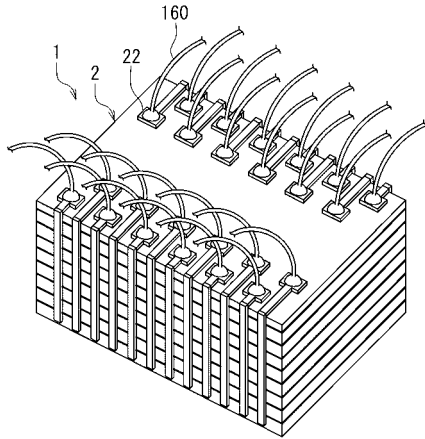
【図 3 5】



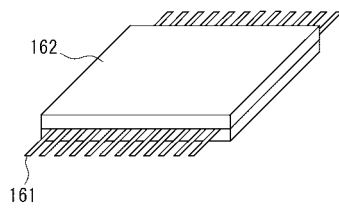
【図 3 6】



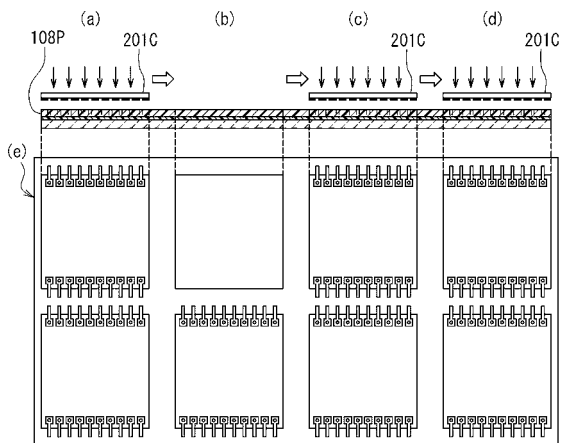
【図 37】



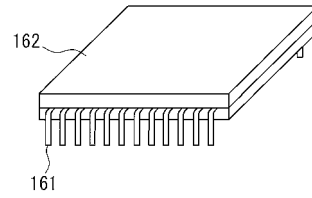
【図 38】



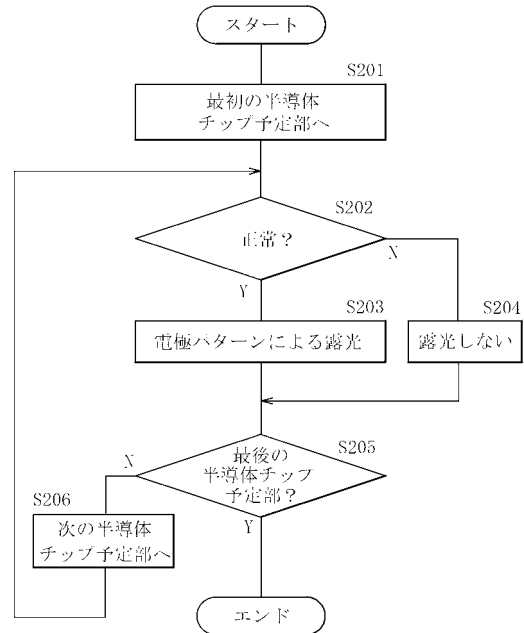
【図 41】



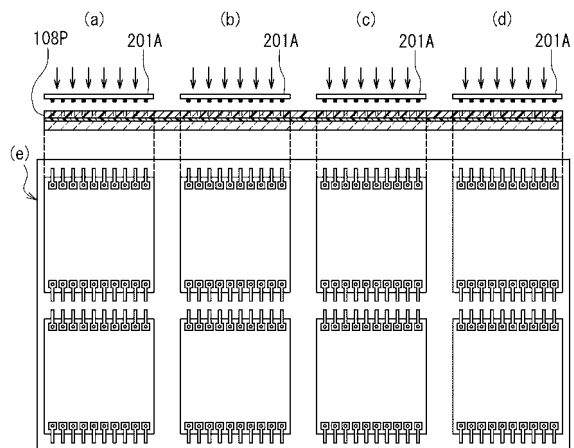
【図 39】



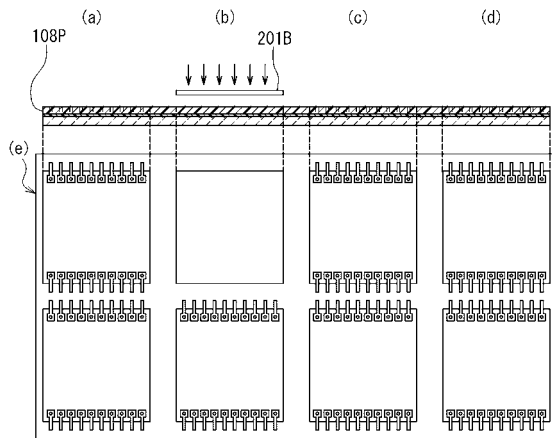
【図 40】



【図 42】



【図 4 3】





フロントページの続き

(71)出願人 500393893

新科實業有限公司

SAE Magnetics (H. K. ) Ltd.

香港新界沙田香港科學園科技大道東六號新科中心

SAE Technology Centre, 6 Science Park East Avenue, Hong Kong Science Park, Shatin, N. T., Hong Kong

(74)代理人 100107559

弁理士 星宮 勝美

(74)代理人 100115118

弁理士 渡邊 和浩

(72)発明者 佐々木 芳高

アメリカ合衆国 カリフォルニア州 95035 ミルピタス サウス・ヒルビュー・ドライブ  
678 ヘッドウェイテクノロジーズ インコーポレイテッド内

(72)発明者 伊藤 浩幸

アメリカ合衆国 カリフォルニア州 95035 ミルピタス サウス・ヒルビュー・ドライブ  
678 ヘッドウェイテクノロジーズ インコーポレイテッド内

(72)発明者 原田 達也

東京都中央区日本橋一丁目13番1号 TDK株式会社内

(72)発明者 奥澤 信之

東京都中央区日本橋一丁目13番1号 TDK株式会社内

(72)発明者 末木 悟

東京都中央区日本橋一丁目13番1号 TDK株式会社内

(72)発明者 池島 寛

中華人民共和国 香港新界沙田香港科學園科技大道東六號新科中心 新科實業有限公司内

Fターム(参考) 5F033 HH11 MM17 PP27 PP28 QQ07 QQ08 QQ09 QQ13 QQ37 QQ47

RR21 RR22 RR27 TT03 UU04 VV06 VV07 VV16 XX33 XX34