

(21)申請案號：103109184

(22)申請日：中華民國 103 (2014) 年 03 月 13 日

(51)Int. Cl. : **H03K17/08 (2006.01)**

H03K17/687 (2006.01)

H02H9/04 (2006.01)

(30)優先權：2013/03/13 美國

13/801,723

(71)申請人：萬國半導體股份有限公司 (美國) ALPHA AND OMEGA SEMICONDUCTOR
INCORPORATED (US)

美國

(72)發明人：瑪力卡勒強斯瓦密 雪克 MALLIKARJUNASWAMY, SHEKAR (US)

(74)代理人：李國光；張仲謙

申請實體審查：有 申請專利範圍項數：17 項 圖式數：6 共 43 頁

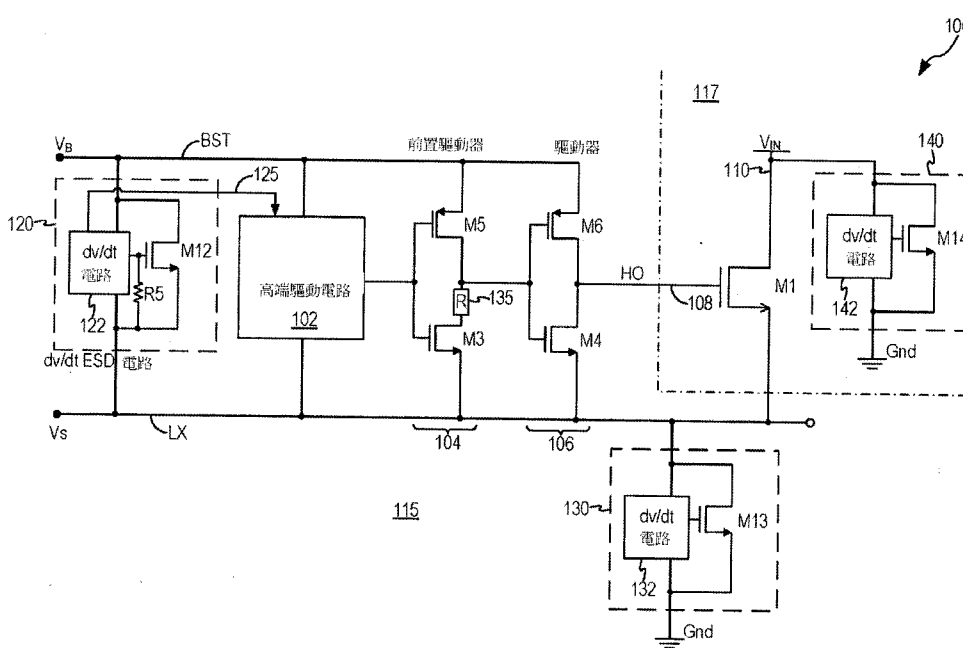
(54)名稱

高壓閘極驅動電路

HIGH-VOLTAGE GATE DRIVER CIRCUIT

(57)摘要

本發明係揭露一種用於驅動高端功率開關和低端功率開關的高壓閘極驅動電路，包含一個有源 dv/dt 觸發 ESD 保護電路，耦合在受保護的節點和電源軌道節點之間。有源 dv/dt 觸發 ESD 保護電路包含一個 dv/dt 電路，控制連接在受保護的節點和電源軌道節點之間的 ESD 保護電晶體。當受保護的節點處發生 ESD 事件時，ESD 保護電晶體接通，將 ESD 電流從受保護的節點傳導至電源軌道節點。時間常數之後，dv/dt 電路充滿電，使 ESD 保護電晶體停止工作。



第 3 圖

100：高壓閘極驅動電路

102： 高端驅動電路

104：前置驅動器

106：閘極驅動器

108：節點

110：節點

115：閘極驅動器積體
電路

117：功率開關積體電路

120：ESD 保護電路

122 : dv/dt 電路

125：節點

130 : ESD 電路

132 : dv/dt 電路

135：電阻器

140：ESD 電路

142：dv/dt 電路

BST：節點

HO：高端驅動訊號

LX：節點

M1：N-通道功率

MOSFET

M3：NMOS 電晶體

M4：NMOS 電晶體

M5：PMOS 電晶體

M6：PMOS 電晶體

M12：ESD 保護電晶
體

M14：ESD 保護電晶
體

R5：電阻器

V_B：升壓電源電壓

V_{IN}：高輸入電壓

V_s：輸出電壓

(21)申請案號：103109184

(22)申請日：中華民國 103 (2014) 年 03 月 13 日

(51)Int. Cl. : H03K17/08 (2006.01)
H02H9/04 (2006.01)

H03K17/687 (2006.01)

(30)優先權：2013/03/13 美國 13/801,723

(71)申請人：萬國半導體股份有限公司 (美國) ALPHA AND OMEGA SEMICONDUCTOR
INCORPORATED (US)

美國

(72)發明人：瑪力卡勒強斯瓦密 雪克 MALLIKARJUNASWAMY, SHEKAR (US)

(74)代理人：李國光；張仲謙

申請實體審查：有 申請專利範圍項數：17 項 圖式數：6 共 43 頁

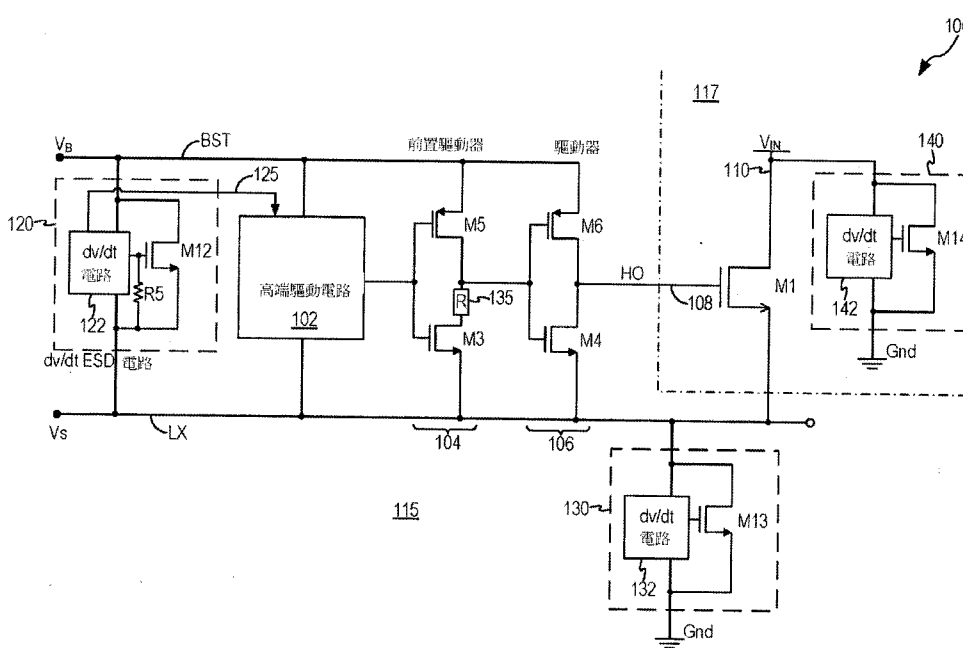
(54)名稱

高壓開極驅動電路

HIGH-VOLTAGE GATE DRIVER CIRCUIT

(57)摘要

本發明係揭露一種用於驅動高端功率開關和低端功率開關的高壓開極驅動電路，包含一個有源 dv/dt 觸發 ESD 保護電路，耦合在受保護的節點和電源軌道節點之間。有源 dv/dt 觸發 ESD 保護電路包含一個 dv/dt 電路，控制連接在受保護的節點和電源軌道節點之間的 ESD 保護電晶體。當受保護的節點處發生 ESD 事件時，ESD 保護電晶體接通，將 ESD 電流從受保護的節點傳導至電源軌道節點。時間常數之後，dv/dt 電路充滿電，使 ESD 保護電晶體停止工作。



第 3 圖

100：高壓開極驅動電路

102：高端驅動電路

104：前置驅動器

106：開極驅動器

108：節點

110：節點

115：開極驅動器積體電路

117：功率開關積體電路

120：ESD 保護電路

122：dv/dt 電路

125：節點

130：ESD 電路

132：dv/dt 電路

135：電阻器

申請日: 103. 3. 13

IPC分類:

H03K17/08 (2006.01)

H03K17/68 (2006.01)

H02H 9/04 (2006.01)

【發明摘要】**【中文發明名稱】** 高壓閘極驅動電路**【英文發明名稱】** HIGH-VOLTAGE GATE DRIVER CIRCUIT**【中文】**

本發明係揭露一種用於驅動高端功率開關和低端功率開關的高壓閘極驅動電路，包含一個有源dv/dt觸發ESD保護電路，耦合在受保護的節點和電源軌道節點之間。有源dv/dt觸發ESD保護電路包含一個dv/dt電路，控制連接在受保護的節點和電源軌道節點之間的ESD保護電晶體。當受保護的節點處發生ESD事件時，ESD保護電晶體接通，將ESD電流從受保護的節點傳導至電源軌道節點。時間常數之後，dv/dt電路充滿電，使ESD保護電晶體停止工作。

【英文】

A high-voltage gate driver circuit configured to drive a high-side power switch and a low-side power switch includes an active dv/dt triggered ESD protection circuit coupled between a protected node and a power rail node. The active dv/dt triggered ESD protection circuit includes a dv/dt circuit controlling an ESD protection transistor connected between the protected node and the power rail node. The ESD protection transistor is turned on when an ESD event occurs at the protected node to conduct ESD current from the protected node to the power rail node. The dv/dt circuit is charged up after a time constant to disable the ESD protection transistor.

【指定代表圖】 第(3)圖。

【代表圖之符號簡單說明】

100：高壓閘極驅動電路
102：高端驅動電路
104：前置驅動器
106：閘極驅動器
108：節點
110：節點
115：閘極驅動器積體電路
117：功率開關積體電路
120：ESD保護電路
122：dv/dt電路
125：節點
130：ESD電路
132：dv/dt電路
135：電阻器
140：ESD電路
142：dv/dt電路
BST：節點
HO：高端驅動訊號
LX：節點
M1：N-通道功率MOSFET
M12、M14：ESD保護電晶體
M3、M4：NMOS電晶體
M5、M6：PMOS電晶體

201436458

R5：電阻器

V_B ：升壓電源電壓

V_{IN} ：高輸入電壓

V_S ：輸出電壓

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 高壓閘極驅動電路

【英文發明名稱】 HIGH-VOLTAGE GATE DRIVER CIRCUIT

【技術領域】

【0001】 本發明是關於半導體領域，尤其是關於一種高壓閘極驅動電路。

【先前技術】

【0002】 閘極驅動電路，包含高端和低端驅動器，用於驅動功率金氧半場效電晶體（Metal Oxide Semiconductor Field Effect Transistor, MOSFET）或通常用於高壓應用（例如電動機）的絕緣閘極雙極電晶體（Insulated Gate Bipolar Transistor IGBT）輸出電晶體。在一些應用中，高端驅動器用於驅動在工作電壓高達600 V的高端結構中的N-通道功率MOSFET。傳統的高壓閘極驅動電路在同一個積體電路上整合了高端閘極驅動器和低端閘極驅動器。第1圖表示傳統的高壓閘極驅動電路之示意圖。在第1圖所示的示例中，高壓閘極驅動電路10包含閘極驅動積體電路11（用虛線表示），帶有高端閘極驅動電路和低端閘極驅動電路。配置高壓閘極驅動電路10，用於驅動串聯在高輸入電壓 V_{IN} （節點40）和低電壓（節點42）之間的一對功率開關上。在本說明中，功率開關為N-通道功率MOSFET M1、M2。而且，在本說明中，高輸入電壓 V_{IN} 為600 V或600 V以上。N-通道MOSFET M1必須在高達600 V的電壓下工作。一對N-通道功率MOSFET M1、M2，在高端驅動訊號HO（節點25）和低端驅動訊號LO（節點32）的控制下，可以選擇接通或斷開，以產生輸出電壓訊號 V_s （節點LX）驅動負載

。功率MOSFET M1、M2可以整合在閘極驅動積體電路11上。更經常的是，功率MOSFET M1、M2為分立元件，在某些情況下，分立元件和閘極驅動積體電路11（用點劃線表示）一起共同封裝。

【0003】 高壓閘極驅動電路10接收高端輸入訊號HIN（節點14）和低端輸入訊號LIN（節點16）。低端輸入訊號LIN耦合到低端驅動電路26上，低端驅動電路26驅動閘極驅動器30，產生低端驅動訊號LO驅動功率開關M2。同時，高端輸入訊號HIN耦合到高端控制電路上，高端控制電路包含脈衝發生器18、電平位移和高端驅動電路20、前置驅動器22和閘極驅動器24。閘極驅動器24產生高端驅動訊號HO，驅動功率開關M1。

【0004】 高壓閘極驅動電路10接收邏輯電源電壓Vdd（節點12）。邏輯電源電壓Vdd為低端控制電路（例如低端驅動電路26和閘極驅動器30）供電。由於耦合高端控制電路，驅動高端功率開關M1在高輸入電源電壓 V_{IN} 下工作，因此某些高端控制電路形成在高壓浮動槽中，並藉由升壓節點BST上的升壓電源電壓 V_B 供電。浮動槽偏置到輸出電壓Vs（節點LX），輸出電壓Vs也稱為浮動電源電壓。更確切地說，脈衝發生器18在邏輯電源電壓Vdd下工作，然後訊號電平移位向上，使得電平位移器和高端驅動電路20、前置驅動器22以及閘極驅動器24形成在高壓浮動槽中，並且藉由升壓電源電壓VB供電。

【0005】 升壓電源電壓VB由邏輯電源電壓Vdd和升壓電容器CB產生。更確切地說，電容器 C_B 連接在升壓節點BST和輸出電壓Vs（節點LX）之間。二極體D1置於邏輯電源電壓Vdd（節點12）和電容器 C_B （節點BST）的頂板之間。更確切地說，二極體D1的陽極連接到邏

輯電源電壓（節點12），二極體D1的陰極連接到電容器 C_B 的頂板（節點BST）。二極體D1的作用是，當MOSFET M2接通時，為升壓電容器 C_B 充電，當MOSFET M1接通時，提供反向閉鎖。也就是說，當MOSFET M2接通時，二極體D1使電流從邏輯電源電壓Vdd開始，沿正向偏置的方向，為電容器CB充電。然而，當MOSFET M1接通時，二極體D1防止電流從電容器 C_B 流回邏輯電源電壓節點。在這種方式下，產生升壓電源電壓 V_B ，並用於為某些高壓控制電路供電。

○ 【0006】 閘極驅動積體電路11無論是否帶功率開關M1和功率開關M2共同封裝，都需要保護它們不受靜電放電（Electrostatic Discharge, ESD）事件的影響。ESD事件最常發生在輸入/輸出焊盤或積體電路的電源引腳處。ESD尖峰可以高達上千伏，會對積體電路中的電路造成損壞。因此，積體電路通常含有多種保護電路，防止輸入/輸出/電源焊盤的高壓ESD尖峰觸及積體電路，造成永久性損壞。

○ 【0007】 確切地說，對於高壓閘極驅動電路10來說，與高端閘極驅動電路有關的輸入/輸出焊盤（bonding pad）和電源電壓焊盤必須使用ESD保護電路。一般來說，ESD保護電路用於升壓節點BST、浮動電源電壓節點LX以及高輸入電源電壓 V_{IN} 節點40。當沒有共同封裝功率開關時，高端驅動訊號HO輸出節點25也需要ESD保護。但是即使是當共同封裝了功率開關時，功率開關M1的源極和閘極之間的耦合電容會使ESD電流到達高端驅動訊號輸出節點25，損壞閘極驅動器24的電晶體。因此，ESD保護也常用於HO節點25。

【0008】 常用的ESD保護電路依靠一個或多個p-n接面二極體觸發連接到輸

入/輸出焊盤的相關雙極電晶體，將ESD尖峰分流至電源電壓節點或接地節點。例如，常用的ESD保護電路包含Zener觸發的NPN雙極電晶體或接地閘NMOS電晶體，或RC-閘極的NMOS電晶體。常用的ESD保護電路為被動電路，依靠保護電晶體的擊穿使電流分流。第2圖表示將ESD保護電路引入第1圖所示的高壓閘極驅動電路的高端控制電路。在第2圖中，為了便於討論，僅表示出了一個高壓閘極驅動電路10的高端控制電路，省略了驅動電路10中的其他電路元件。參見第2圖，ESD保護電路50位於升壓節點BST和浮動電壓節點LX之間，保護相當於浮動槽的升壓節點。在本說明中，提供ESD保護電路58從 V_{IN} 電壓（節點40）到接地端，提供ESD保護電路55從浮動電源電壓節點LX到接地端。在本說明中，配置ESD保護電路50、55、58作為Zener觸發NPN雙極電晶體。在其他示例中，ESD保護電路可以作為接地端-閘極NMOS電晶體60。帶或不帶電阻器，NMOS電晶體60的閘極都可以接地。

【0009】 當驅動積體電路沒有通電時，製備、測試或操作時經常會發生ESD事件。在這種情況下，由於高電流偏離而電晶體卻沒有接通，導致NMOS電晶體出故障並迅速跳回，因此閘極驅動電路24的NMOS電晶體M4或前置驅動電路22的NMOS電晶體M3最容易出故障。由於PMOS電晶體沒有迅速跳回，因此PMOS電晶體M5、M6不會受到影響。同樣地，驅動積體電路的ESD事件通常導致NMOS電晶體M3或NMOS電晶體M4故障。因此，積體電路設計規則規定NMOS電晶體M3、M4的ESD兼容佈局，在NMOS電晶體M3、M4處，汲極和源極壓載用於減小當NMOS電晶體斷開時，ESD事件引起的高電流和高功率耗散。由於從汲極接頭到多晶矽閘極之間的間距很大，因此汲

極壓載增大了NMOS電晶體元件的尺寸。ESD兼容佈局會使用於前置驅動器的NMOS電晶體和用於高端功率開關的閘極驅動電路通常尺寸都很大，而且消耗大量的矽片空間。

【發明內容】

【0010】 本發明提供的有源ESD保護電路，可以用於高壓閘極驅動電路，保護高壓節點，還可以利用標準的電晶體佈局，用於閘極驅動下拉元件，不必再使用ESD兼容佈局，還可以利用標準的電路模擬器，預測ESD響應動作。

○ 【0011】 爲了達到上述目的，本發明提供一種高壓閘極驅動電路，用於驅動串聯在輸入電壓節點和地電壓之間的高端功率開關和低端功率開關，該閘極驅動電路包含：一個形成在浮動槽中的高端控制電路，其由相對於浮動電源電壓節點處的浮動電源電壓的升壓節點處的升壓電壓供電，該閘極驅動電路包含：

○ 【0012】 一個有源 dv/dt 觸發ESD保護電路，耦合在受保護節點和電源軌道節點之間，該有源 dv/dt 觸發ESD保護電路包含一個 dv/dt 電路，該電路控制一個連接在受保護節點和電源軌道節點之間的ESD保護電晶體，當受保護節點處發生ESD事件時，ESD保護電晶體接通，將ESD電流從受保護節點傳導至電源軌道節點，在一時間常數之後，使 dv/dt 電路充滿電。

○ 【0013】 ESD保護電晶體包含一個MOS可控矽整流器，當所傳導的ESD電流仍然在指定門檻值以上時， dv/dt 電路充滿電之後，ESD保護電晶體仍然保持接通，當 dv/dt 電路充滿電，而且ESD電流降至指定門檻值以下之後，ESD保護電晶體停止工作。

- 【0014】 dv/dt 觸發ESD保護電路包含：
- 【0015】 一個RC網絡，其包含串聯在受保護的節點和電源軌道節點之間的電阻器和電容器，該RC網絡提供 dv/dt 電路的時間常數；以及
- 【0016】 一個反相器，其包含串聯在受保護的節點和電源軌道節點之間的PMOS電晶體和NMOS電晶體，PMOS和NMOS電晶體的閘極端連接到RC網絡的公共節點，耦合它們的汲極端，控制ESD保護電晶體。
- 【0017】 dv/dt 觸發ESD保護電路更包含：
- 【0018】 一個開關，其連接RC網絡中電阻器的兩端，由一個啓用訊號控制，當正常工作模式下閘極驅動電路通電時，根據啓用訊號，開關閉合，當閘極驅動電路未通電時，開關打開。
- 【0019】 有源 dv/dt 觸發ESD保護電路耦合在作為受保護節點的升壓節點和作為電源軌道節點的浮動電源電壓節點之間。
- 【0020】 當升壓節點處相對於浮動電源電壓節點發生ESD事件時，有源 dv/dt 觸發ESD保護電路產生控制訊號，控制訊號耦合到高端控制電路上，使高端控制電路接通閘極驅動器的下拉電晶體，驅動高端功率開關，發生ESD事件期間，閘極電晶體的下拉電晶體接通。
- 【0021】 高端控制電路包含一個高端驅動電路，用於驅動閘極驅動器，閘極驅動器轉而驅動高端功率開關，閘極驅動器包含上拉電晶體和下拉電晶體，下拉電晶體的製備無需源極或汲極壓載。
- 【0022】 有源 dv/dt 觸發ESD保護電路耦合在作為受保護節點的升壓節點和作為電源軌道節點的地電壓之間。

【0023】 軌道控制電路在高端驅動訊號輸出節點處，產生高端驅動訊號，有源dv/dt觸發ESD保護電路耦合在作為受保護節點的高端驅動訊號輸出節點和作為電源軌道節點的浮動電源電壓節點之間。

【0024】 有源dv/dt觸發ESD保護電路耦合在作為受保護節點的浮動電源電壓節點和作為電源軌道節點的地電壓之間。

【0025】 有源dv/dt觸發ESD保護電路耦合在作為受保護節點的輸入電壓節點和作為電源軌道節點的地電壓之間。

【0026】 高端控制電路包含一個高端驅動電路，用於驅動前置驅動器，前置驅動器驅動閘極驅動器，閘極驅動器再轉而驅動高端功率開關，前置驅動器包含上拉電晶體和下拉電晶體，一個電阻器耦合到下拉電晶體的源極端。

【0027】 有源dv/dt觸發ESD保護電路更包含一個耦合到ESD保護電晶體的控制端的被動下拉元件。

【0028】 被動下拉元件包含一個電阻器。

【0029】 有源dv/dt觸發ESD保護電路包含一個第一dv/dt電路，控制連接在第一受保護的節點和第一電源軌道節點之間的第一ESD保護電晶體；閘極驅動電路更包含：

【0030】 一個連接在第二受保護的節點和第二電源軌道節點之間的第二ESD保護電晶體，第二ESD保護電晶體由第一dv/dt電路控制。

【0031】 第一受保護的節點與第二受保護的節點相同或不同；第一電源軌道節點與第二電源軌道節點相同或不同。

【0032】 第一電源軌道節點與第二電源軌道節點相同或不同。

【0033】 本發明所述的有源dv/dt觸發ESD保護電路具有許多優於傳統ESD保護體系的優勢。首先，有源dv/dt觸發ESD保護電路可以用於高壓閘極驅動電路，保護高壓節點，例如升壓節點，關於浮動電壓節點。當積體了高端功率開關或者當高端功率開關形成在一個單獨的積體電路上，而沒有共同封裝時，可以使用ESD保護電路。

【0034】 第二，ESD保護電路利用標準的電晶體佈局，用於閘極驅動下拉元件，不必再使用ESD兼容佈局。由於汲極或源極加載，ESD兼容佈局會使元件尺寸變得更大。當使用本發明所述的ESD保護電路時，可以利用最小的間距電晶體尺寸，設計閘極驅動下拉元件，無需汲極或源極加載。在這種情況下，可以減小閘極驅動積體電路的尺寸。

【0035】 第三，本發明所述的ESD保護電路可以利用標準的電路模擬器，預測ESD響應動作。也就是說，由於ESD保護電路依靠有源模式中的ESD電晶體操作，因此元件的模擬可以用於預測電路動作。本發明所述的ESD保護電路確保整個功率積體電路技術的設計可移植性，而不會影響性能與ESD抗擾性的關係。

【圖式簡單說明】

【0036】 第1圖是傳統的高壓閘極驅動電路之示意圖。

第2圖是第1圖所示的高壓閘極驅動電路的高端控制電路中引入了ESD保護電路。

第3圖是在本發明之實施例中，高壓閘極驅動電路引入一個或多個有源dv/dt觸發ESD保護電路之示意圖。

第4圖是在本發明的一個可選實施例中，高壓閘極驅動電路引入一個或多個有源dv/dt觸發ESD保護電路之示意圖。

第5圖是在本發明之實施例中，dv/dt ESD電路之示意圖。

第6圖是在本發明之實施例中，升壓節點和浮動電源電壓節點之間配置dv/dt ESD 電路之示意圖。

【實施方式】

【0037】 本發明可以以各種方式實現，包含作為一個製程；一種裝置；一個系統；或一種物質合成物。在本說明書中，這些實現方式或本發明可能採用的任意一種其他方式，都可以稱為技術。一般來說，可以在本發明的範圍內變換所述製程步驟的順序。

○ 【0038】 本發明的一個或多個實施例的詳細說明以及圖式解釋了本發明的原理。雖然，本發明與這些實施例一起提出，但是本發明的範圍並不局限於任何實施例。本發明的範圍僅由申請專利範圍限定，本發明包含多種可選方案、修正以及等效方案。在以下說明中，所提出的各種具體細節用於全面理解本發明。這些細節用於解釋說明，無需這些詳細細節中的部分細節或全部細節，依據申請專利範圍，就可以實現本發明。為了簡便，本發明相關技術領域中眾所周知的技術材料並沒有詳細說明，以免對本發明產生不必要的混淆。

○ 【0039】 依據本發明的實施例，形成在積體電路上的高壓閘極驅動電路，引入了一個連接到積體電路的輸入/輸出/電源焊盤上的有源dv/dt觸發ESD保護電路。有源dv/dt觸發ESD保護電路包含一個ESD保護電晶體，在發生ESD事件時，接通ESD保護電晶體，將ESD保護電流分流至電源軌道，電源軌道可以是模擬節點，或電源接地節點，或浮動電源電壓節點。有源dv/dt觸發ESD保護電路並不像傳統的被動ESD保護體系那樣，依靠斷開中斷或失效的保護電

晶體傳導電流。而是本發明所述的ESD保護電路在主動模式下工作，在發生ESD事件時，ESD保護電晶體接通，傳導ESD電流。

【0040】 在本發明所述的實施例中，高壓閘極驅動電路引入一個有源dv/dt觸發ESD保護電路，耦合在升壓節點和浮動電源電壓節點之間。在發生ESD事件時，有源ESD保護電路接通ESD保護電晶體，在升壓節點處，使ESD電流從升壓節點傳導至浮動電源電壓節點。另外，在某些實施例中，有源dv/dt觸發ESD保護電路產生耦合到高端驅動電路的控制訊號，使高端驅動電路接通閘極驅動器的下拉電晶體，驅動功率開關。在這種方式下，高端驅動電流中的閘極驅動器的下拉電晶體接通（有源），在發生ESD事件時，使ESD電流傳導至浮動電源電壓節點LX。由於閘極驅動器下拉電晶體在發生高電流ESD事件時，不再處於被動擊穿模式中，因此可以排除ESD造成的閘極驅動器下拉電晶體處的元件損壞。更重要的是，由於發生ESD事件時，閘極驅動器下拉電晶體接通（有源），因此下拉電晶體不再需要ESD兼容佈局規則。根據設計規則，可以利用汲極接頭與多晶矽閘極之間的最小間距或源極接頭與多晶矽閘極之間的最小間距，製備閘極驅動器下拉電晶體，以減小閘極驅動器所需的矽片空間。也就是說，不再需要閘極驅動器下拉電晶體處的汲極壓載，而且高壓閘極驅動電路可以形成在更小的矽片區域中。

【0041】 第3圖表示在本發明的實施例中，高壓閘極驅動電路引入一個或多個有源dv/dt觸發ESD保護電路之示意圖。第3圖僅表示與高端控制電路和高端功率開關M1有關的高壓閘極驅動電路100的一部分電路。要理解的是，高壓閘極驅動電路100還要包含第3圖中沒

有表示出來的其他電路元件，才能完成電路操作。在本發明的實施例中，按照第1圖所示的閘極驅動電路10類似的方式，配置高壓閘極驅動電路100，特此引入第1圖所示的閘極驅動電路10的討論內容，並不再重複。在第3圖中，忽略低端控制電路和脈衝發生器電路，以便著重討論實現ESD保護。確切地說，第3圖主要說明了需要耐用的ESD保護的高端控制電路。

【0042】參見第3圖，高壓閘極驅動電路100包含一個閘極驅動器積體電路115和一個功率開關積體電路117。閘極驅動器積體電路115承載了高端閘極驅動電路和低端閘極驅動電路。在本說明中，僅表示出了高端閘極驅動電路，包含耦合高端驅動電路102，驅動前置驅動器104，然後前置驅動器104驅動閘極驅動器106。高端驅動電路102、前置驅動器104和閘極驅動器106形成在高壓浮動槽中，並且耦合到升壓電源電壓VB（節點BST）和浮動輸出電壓VS（節點LX）上作為電源軌道。高端驅動電路102接收高端輸入訊號HIN（參見第1圖）產生的控制訊號（圖中沒有表示出），高端輸入訊號HIN的電平移位到高端驅動電路102的工作電壓範圍。前置驅動器104和閘極驅動器106都分別配置成含有上拉電晶體（例如PMOS電晶體M5、M6）和下拉電晶體（例如NMOS電晶體M3、M4）的反相器電路。

【0043】在本示例中，高端控制電路包含前置驅動器104和閘極驅動器106，構成一個二階閘極驅動電路。在其他實施例中，閘極驅動電路可以包含一階或多階。例如，可以省略前置驅動器，僅利用閘極驅動器106驅動功率開關。更可選擇，在其他實施例中，閘極驅動電路包含前置驅動器和最終的閘極驅動器的兩階或多階，提供

所需的緩衝和放大，用於驅動功率開關。

【0044】 配置高壓閘極驅動電路100，驅動一對功率開關M1和功率開關M2，可以交替接通和斷開功率開關M1和功率開關M2，在節點LX處產生輸出電壓訊號 V_s ，驅動負載。功率開關M1、M2以與第1圖所示相同的方式，串聯在高輸入電源電壓 V_{IN} （節點110）和接地電勢之間。在本實施例中，功率開關為N-通道功率MOSFET，高端驅動訊號HO（節點108）和低端驅動訊號LO（參見第1圖）控制功率開關M1、M2，交替接通和斷開。在第3圖所示的高端控制電路中，閘極驅動器106產生高端輸出訊號HO（節點108），耦合高端輸出訊號HO，用於驅動高端功率開關M1的閘極端。高端功率開關M1連接在高輸入電源電壓 V_{IN} （節點110）和浮動電源電壓節點LX之間。

【0045】 在本發明的實施例中，高端功率開關M1和低端功率開關M2整合在閘極驅動積體電路115上。在這種情況下，功率開關積體電路117是與閘極驅動積體電路115相同的積體電路。在其他實施例中，高端功率開關M1和低端功率開關M2是作為獨立的元件。在這種情況下，功率積體電路117是與閘極驅動積體電路115分離的積體電路。在其他實施例中，功率開關積體電路117與閘極驅動積體電路115共同封裝，從而使積體電路都形成在一個單獨的封裝中，可以作為一個單獨的封裝元件。

【0046】 如上所述，參見第1圖，藉由升壓電容器CB（參見第1圖），邏輯電源電壓Vdd產生升壓電源電壓 V_B （節點BST）。當低端功率開關M2接通時，升壓電容器 C_B 充電，當高端功率開關M1接通時，升壓電源電壓 V_B 升高到高電壓值。更確切地說，當接通低端功率開關

M2時，驅動輸出電壓 V_s （節點LX）接地，藉由邏輯電源電壓 V_{dd} （二極體D1正向偏置）給電容器 C_B 充電，在整個電容器CB上建立電容器電壓 V_c ，電容器電壓 V_c 與邏輯電源電壓 v_{dd} 近似，例如當 $V_{dd}=25\text{ V}$ 時， V_c 約為25 V左右。當低端功率開關M2斷開時，高端功率開關M1接通，輸出電壓 V_s 趨於高輸入電源電壓 V_{IN} ，升壓電源電壓 V_B 升高到 V_s+V_c 的電壓值，例如當 $V_{IN}=600\text{ V}$ 時， V_B 約為 $600\text{ V}+25\text{ V}=625\text{ V}$ 。當高端功率開關M1接通時，高端驅動訊號HO趨於升高後的電壓 V_B （例如625 V）。因此，可以驅動浮動輸出電壓節點LX處的輸出電壓 V_s 達到高輸入電源電壓 V_{IN} （例如600 V）的幅值。

【0047】 因此，配置高壓閘極驅動電路100後，積體電路115或積體電路117的輸入/輸出焊盤和電源電壓焊盤通常需要ESD保護。確切地說，與形成在閘極驅動電路100的高壓浮動槽中的節點有關的電源焊盤和輸入/輸出焊盤，需要耐用的ESD保護。在本發明的實施例中，高壓閘極驅動電路100引入了有源 dv/dt 觸發ESD保護電路120，耦合在升壓節點BST和浮動電源電壓節點LX之間，為與浮動電源電壓節點LX有關的升壓節點提供ESD保護。在某些實施例中，有源 dv/dt 觸發ESD保護電路120（也稱為「 dv/dt ESD電路」或「ESD保護電路」），包含 dv/dt 電路122和ESD保護電晶體M12。在本實施例中，ESD保護電晶體M12為NMOS電晶體。

【0048】 在本說明中，「 dv/dt 觸發」是指觸發一個電路響應，或者根據輸入訊號的變化速度確定輸出訊號。在本說明中， dv/dt 電路僅對於 dv/dt 電路的時間常數之內發生的電壓瞬變，產生響應或確定輸出訊號。當輸入訊號的變化超出預定義的時間常數時，

dv/dt 電路就不會響應或確定其輸出。在某些實施例中，由於大多數的ESD事件都可以在1微秒的時間內發生，因此本發明所述的dv/dt ESD電路中引入的dv/dt電路的時間常數為1微秒。當有快速電壓瞬變的ESD脈衝加載到dv/dt電路時，dv/dt電路在1微秒的時間常數內確定其輸出訊號。超出1微秒時間常數時，dv/dt電路會取消確定其輸出訊號。利用dv/dt電路，驅動ESD保護電晶體的閘極端。因此，發生ESD事件時，ESD保護電晶體會接通長達dv/dt電路的時間常數（例如1微秒），將ESD電流從易受ESD脈衝影響的電源軌道分流。1微秒的時間常數之後，dv/dt電路就不再確定其輸出訊號，ESD保護電晶體的閘極被拉低，ESD保護電晶體斷開。

【0049】 在某些實施例中，利用回跳元件配置ESD保護電晶體，dv/dt電路可以具有更短的時間常數，僅僅足夠將ESD保護電晶體觸發至回跳或鎖定狀態。在一個實施例中，利用矽控制整流器（SCR）元件，配置ESD保護電晶體，利用dv/dt觸發，將SCR元件觸發至接通狀態。

【0050】 在dv/dt電路120中，當升壓節點BST處發生ESD事件時，升壓節點BST上快速增大的ESD脈衝電壓，觸發dv/dt電路122響應。因此升壓節點處的ESD脈衝，使dv/dt電路122根據指定的時間常數充電。同時，接通ESD保護電晶體M12，將ESD電流從升壓節點BST傳導至浮動電源電壓節點LX。當dv/dt電路充滿電時，也就是說dv/dt電路122的時間常數結束後，ESD保護電晶體M12斷開。當高壓閘極驅動電路100未開機時，在發生ESD事件時，觸發dv/dt ESD電路120。也就是說，不提供邏輯電源電壓Vdd和高輸入電源電壓V_{IN}

，電路100處於斷電或不可用的狀態。在元件正常工作時，也就是說當提供邏輯電源電壓V_{dd}和高輸入電源電壓V_{IN}時，電路100接通，正常工作，dv/dt ESD電路120停止工作，ESD保護電晶體M12處於閉鎖模式，ESD保護電路不會干擾電路100的正常工作。

【0051】 本發明所述的有源dv/dt觸發ESD保護電路的顯著特點是，當位於積體電路上的保護電路沒有接通時，ESD保護電晶體接通，傳導ESD電流。在傳統的ESD保護體系中，保護電晶體斷開或停止工作，ESD保護依靠擊穿模式下工作的電晶體傳導多餘的ESD電流。與之相反，本發明所述的ESD保護電路藉由在發生ESD事件時，接通ESD保護電晶體，傳導多餘的電流。在有源模式下，ESD保護電晶體工作具有許多優勢，包含可以模擬ESD保護電路的ESD響應，從而精確地預測ESD保護電路的動作。

【0052】 另外，在本發明的實施例中，dv/dt ESD電路120更產生控制訊號（節點125），用於高端驅動電路102，使高端驅動電路接通閘極驅動器106的下拉電晶體。更確切地說，為高端驅動電路102提供的控制訊號（節點125），產生輸出訊號，驅動前置驅動器104，反過來又驅動驅動器106，接通下拉電晶體（NMOS電晶體104）。在這種方式下，高端閘極驅動器電路中閘極驅動器106的下拉電晶體M4接通（有源），在發生ESD事件時，將ESD電流傳導至浮動電源電壓節點LX。由於發生高電流ESD事件時，下拉電晶體M4不再處於被動擊穿模式，因此排除了ESD造成的閘極驅動下拉電晶體M4處的元件故障。當下拉電晶體M4接通時，電晶體就不會被ESD事件損壞。更重要的是，由於發生ESD事件時，接通了下拉電晶體M4（有源），因此下拉電晶體不再需要ESD兼容佈局規則。

而是可以利用最小的空間設計規則，製備下拉電晶體M4，減小閘極驅動電晶體所需的矽片空間。也就是說，不再需要閘極驅動下拉電晶體M4處的汲極/源極壓載，可以利用更小的矽片區域製備高壓閘極驅動電路。

【0053】 當高壓閘極驅動電路100包含一個或多個前置驅動級時，在發生ESD事件時，某些前置驅動級的下拉電晶體可能不會接通。在某些實施例中，藉由在汲極端提供電阻器，可以製成帶有額外ESD保護的前置驅動器下拉電晶體，例如電阻器135在前置驅動器104中電晶體M3的汲極端。電阻器135可以是一個鎮流電阻器或塊狀電阻，例如多晶矽電阻。在這種情況下，發生ESD事件時，藉由接通保護閘極驅動器下拉電晶體M4，同時汲極電阻保護前置驅動器下拉電晶體M3。

【0054】 在第3圖所示的實施例中，包含額外的有源 dv/dt 觸發ESD保護電路，保護其他的電源焊盤接至地電位。例如， dv/dt ESD電路130形成在閘極驅動積體電路115上，並且耦合在浮動電源電壓節點LX和地電位之間， dv/dt ESD電路130包含 dv/dt 電路132及ESD保護晶體管M13。 dv/dt ESD電路130為與接地有關的浮動電源電壓節點LX提供ESD保護。在另一個示例中， dv/dt ESD電路140形成在功率開關積體電路117上，並且耦合在高輸入電源電壓節點110和地電位之間， dv/dt ESD電路140包含 dv/dt 電路142及ESD保護晶體管M14。 dv/dt ESD電路140為與接地有關的高輸入電源電壓（ V_{IN} ）節點110提供ESD保護。額外的ESD保護電路130、140是可選的，也可以省略或使用其他的ESD保護體系。文中僅提到為節點LX和節點 V_{IN} ，使用有源 dv/dt 觸發ESD保護電路。

【0055】 另外，在其他的實施例中，可以包含額外的有源dv/dt觸發ESD保護電路，保護閘極驅動電路100的其他輸入/輸出焊盤和其他電源焊盤。第4圖表示在一個可選實施例中，引入一個或多個有源dv/dt觸發ESD保護電路的高壓閘極驅動電路的示意圖。在第4圖所示的實施例中，假設高壓閘極驅動電路200包含閘極驅動積體電路215和功率開關積體電路217，它們雖然是單獨的積體電路，但是共同封裝的。配置高壓閘極驅動電路200包含有源dv/dt觸發ESD保護電路120、130、140，在升壓節點BST到浮動電源電壓節點LX、浮動電源電壓節點LX到接地端以及高輸入電源電壓 V_{IN} 節點到接地端之間，提供ESD保護。

【0056】 當閘極驅動積體電路是獨立於功率開關積體電路的一個單獨的積體電路時，必須保護升壓節點接地，不受ESD電擊的影響。另外，高端驅動訊號HO輸出節點108經常需要ESD保護不受ESD電擊到浮動電源電壓節點。在本發明的實施例中，閘極驅動積體電路215包含dv/dt ESD電路150，耦合在升壓節點BST和地電壓之間，dv/dt ESD電路150包含dv/dt電路152。閘極驅動積體電路215更包含dv/dt ESD電路160，耦合在高端驅動訊號HO輸出節點108和浮動電源電壓節點LX之間。額外的ESD保護電路150、160是可選的，也可以省略，或使用其他的ESD保護體系。文中僅提到為升壓節點到接地端和到HO節點以及到LX節點，使用有源dv/dt觸發ESD保護電路。

【0057】 在上述實施例中，利用dv/dt觸發ESD保護電路120，在升壓節點BST和浮動電源電壓節點LX之間提供ESD保護。在某些實施例中，dv/dt ESD保護電路120包含一個很小的被動下拉元件，例如電阻

器R5，耦合到ESD保護電晶體M12的閘極和浮動電源電壓節點LX上。下拉電阻器R5用於將ESD保護電晶體M12的閘極下拉至電壓 V_s ，當電晶體M12不用於分流ESD電流時，保持電晶體M12斷開。在升壓節點BST充電時，保持ESD保護電晶體M12斷開很重要。參見第1圖，升壓電容器 C_B 耦合在升壓節點BST和浮動電源電壓節點LX之間。當低端功率開關M2接通時，升壓電容器 C_B 充電，產生升壓電源電壓 V_B ，為高壓控制電路供電。當ESD保護電晶體M12耦合在整個升壓節點BST和浮動電源電壓節點LX時，如果ESD保護電晶體M12的閘極仍然浮動，那麼ESD保護電晶體M12會在升壓節點BST和浮動電源電壓節點LX之間產生汲電，阻止升壓電壓 V_B 充電。因此，被動下拉元件，例如第3圖和第4圖中所示的下拉電阻器R5，可以耦合到ESD保護電晶體的閘極，當它不用於分流ESD電流時，保持ESD保護電晶體斷開。

【0058】 在某些實施例中，利用 dv/dt 觸發ESD保護電路150，在升壓節點BST和地電壓（第4圖）之間提供ESD保護。在這種情況下，下拉元件，例如電阻器R6，可以耦合到ESD保護電晶體M15的閘極，將電晶體M15的閘極拉低，當電晶體不用於分流ESD電流時，保持斷開。下文更將詳細介紹，可以配置閘極驅動電路200中的各種 dv/dt ESD電路，共享一個公共 dv/dt 電路。因此，一個單獨的 dv/dt 電路產生多個ESD保護電晶體的控制訊號。當共享的 dv/dt 電路驅動ESD保護電晶體M15時，可以省略電阻器R6。

【0059】 第5圖表示在本發明的實施例中， dv/dt ESD電路之示意圖。參見第5圖， dv/dt ESD電路300耦合到節點310上，為與電源軌道（節點320）有關的受保護的節點310提供ESD保護。受保護的節點310

可以是任意輸入端、輸出端或閘極驅動電路的電源焊盤。在本說明中，當閘極驅動電路通電並觸發時，受保護的節點310的電壓值為 V_{PAD} 。 dv/dt ESD電路耦合到電源軌道（節點320），作為ESD電流的放電軌道。在本說明中，電源軌道320的電壓值為 V_{supply} 。電壓 V_{supply} 可以是地電壓或第3圖和第4圖中閘極驅動電路的浮動電源電壓 V_s 。

【0060】 dv/dt ESD電路300包含一個RC網絡，RC網絡包含電阻器R1和電容器C1串聯在受保護的節點310和電源軌道節點320之間。電阻器R1的電阻值和電容器C1的電容值確定了RC時間常數值或計時器的值。RC網絡驅動由PMOS電晶體 M_{P1} 和NMOS電晶體 M_{N1} 構成的反相器。更確切地說，耦合電阻器R1和電容器C1之間的公共節點312，用於驅動的PMOS電晶體 M_{P1} 和NMOS電晶體 M_{N1} 閘極端。然後，利用反相器的輸出節點314驅動ESD保護電晶體MESD。啟用訊號EN使 dv/dt ESD電路300可用或停止工作。在本實施例中，耦合啟用訊號EN，以控制電阻器R1上耦合的開關S1。

【0061】 在本發明的實施例中，ESD保護電晶體MESD為NMOS電晶體。在其他實施例中，ESD保護電晶體MESD為N-型MOS可控矽整流器（Silicon Controlled Rectifier, SCR），汲極中含有P-型擴散物。

【0062】 dv/dt ESD電路300的工作情況如下：當閘極驅動電路未通電或閘極驅動電路停止工作時，開關S1打開， dv/dt ESD電路300用於保護受保護的節點，不受ESD事件的影響。當受保護的節點310上加載ESD脈衝時，ESD脈衝帶來的快速增大的高壓加載到電阻器R1和電容器C1的RC電路上。RC電路具有特定的時間常數，以確定為公

共節點312充滿電所需的時間。也就是說，RC時間常數起計時器的作用。例如，RC時間常數可能是 $1\ \mu\text{s}$ ，也就是說加載ESD脈衝後，公共節點312將充電 $1\ \mu\text{s}$ 。同時，電容器C1將公共節點312保持在接地端附近。在這種情況下，發生ESD事件時或RC網絡的時間常數之前，PMOS電晶體MP1接通，而NMOS電晶體 M_{N1} 斷開。PMOS電晶體 M_{P1} 拉起輸出節點314，然後輸出節點314接通ESD保護電晶體 M_{ESD} 。一旦ESD保護電晶體 M_{ESD} 接通，受保護節點310處的ESD電流就會穿過ESD保護電晶體，傳導至Vsupply節點320。按照這種方式，ESD電流藉由有源ESD保護電晶體耗散，不再依靠被動電晶體元件的擊穿。

【0063】 指定的時間常數（例如 $1\ \mu\text{s}$ ）之後，公共節點312充滿電，NMOS電晶體 M_{N1} 接通，拉低ESD保護電晶體 M_{ESD} 的閘極。然後，斷開ESD保護電晶體 M_{ESD} 。在本發明的實施例中，當利用MOS可控矽整流器（SCR）配置ESD保護電晶體 M_{ESD} 時，只要ESD電流高於給定的保持電流水平，即使閘極端停止工作，ESD保護電晶體 M_{ESD} 也將保持接通，繼續傳導ESD電流。當ESD電流耗散，藉由SCR ESD保護電晶體的電流降至給定的保持電流水平以下時，SCR ESD保護電晶體將斷開。

【0064】 當高壓閘極驅動電路在正常的元件運行中通電時，發出啓用訊號EN，關閉開關S1，使電阻器R1短路。在這種情況下，受保護節點310處的電壓 V_{PAD} 將為電容器C1充電。接通NMOS電晶體MN1，驅動ESD保護電晶體 M_{ESD} 的閘極接地，從而斷開ESD保護電晶體。因此，在高壓閘極驅動電路正常工作時，ESD保護電晶體 M_{ESD} 停止工作或斷開。

【0065】 當 dv/dt ESD電路300用於保護關於浮動電源電壓節點LX的升壓節點時， dv/dt ESD電路發出控制訊號給高端閘極驅動電路102（第3圖）。第6圖表示在本發明的實施例中， dv/dt ESD電路用於升壓節點和浮動電源電壓節點之間的示意圖。參見第6圖， dv/dt ESD電路350耦合在升壓節點BST和浮動電源電壓節點LX之間。也就是說，受保護的節點是升壓電壓VB，電源軌道為浮動輸出電壓Vs。 dv/dt ESD電路350的配置方式與第5圖所示的 dv/dt ESD電路300的配置方式相同，類似的元件具有相似的參考序號，在此不再介紹。在 dv/dt ESD電路350的情況下，反相器發出的輸出訊號（節點314）也耦合驅動高端驅動電路，接通閘極驅動器中的下拉電晶體，驅動功率開關。

【0066】 在本發明的實施例中， dv/dt ESD電路300（第5圖）包含一個可選的被動下拉元件（例如電阻器R10），用於拉低ESD保護電晶體MESD的閘極。更確切地說，電阻器R10連接在電晶體MESD的閘極（接地314）和底部電源軌道（節點320）之間。電阻器R10是可選件，當ESD保護電晶體 M_{ESD} 不用於分流ESD電流時，必須保持電晶體斷開，此時可使用電阻器R10。在第6圖所示的 dv/dt ESD電路350的情況下，耦合ESD保護電晶體 M_{ESD} ，使ESD電流從升壓節點分流至浮動電源電壓節點LX。在這種情況下，含有電阻器R10，當ESD保護電晶體 M_{ESD} 不用於分流ESD電流時，可以確保電晶體 M_{ESD} 斷開。

【0067】 如上所述，高壓閘極驅動電路可以含有多個 dv/dt ESD電路，保護電路的不同節點。在本發明的實施例中，電阻器R1和電容器C1的RC網絡，可以作為共享的電路元件，在多個保護電路之間共享

。由於RC網絡可以很大，因此在多個dv/dt ESD電路之間共享一個RC網絡可以更加有效地利用矽片面積。

【0068】 本發明所述的有源dv/dt觸發ESD保護電路具有許多優於傳統ESD保護體系的優勢。首先，有源dv/dt觸發ESD保護電路可以用於高壓閘極驅動電路，保護高壓節點，例如升壓節點，關於浮動電壓節點。當整合了高端功率開關或者當高端功率開關形成在一個單獨的積體電路上，而沒有共同封裝時，可以使用ESD保護電路。

【0069】 第二，ESD保護電路利用標準的電晶體佈局，用於閘極驅動下拉元件，不必再使用ESD兼容佈局。由於汲極或源極加載，ESD兼容佈局會使元件尺寸變得更大。當使用本發明所述的ESD保護電路時，可以利用最小的間距電晶體尺寸，設計閘極驅動下拉元件，無需汲極或源極加載。在這種情況下，可以減小閘極驅動積體電路的尺寸。

【0070】 第三，本發明所述的ESD保護電路可以利用標準的電路模擬器，預測ESD響應動作。也就是說，由於ESD保護電路依靠有源模式中的ESD電晶體操作，因此元件的模擬可以用於預測電路動作。本發明所述的ESD保護電路確保整個功率積體電路技術的設計可移植性，而不會影響性能與ESD抗擾性的關係。

【0071】 儘管本發明的內容已經藉由上述較佳實施例作了詳細介紹，但應當認識到上述的描述不應被認為是對本發明的限制。在本領域中具有通常知識者閱讀了上述內容後，對於本發明的多種修改和替代都將是顯而易見的。因此，本發明的保護範圍應由所附的申請專利範圍來限定。

【符號說明】

【0072】	1：二極體
	10：高壓閘極驅動電路
	100：高壓閘極驅動電路
	102：高端驅動電路
	104：前置驅動器
	106：閘極驅動器
	108：節點
	11：閘極驅動積體電路
	110：節點
	115：閘極驅動器積體電路
	117：功率開關積體電路
	12：節點
	120：ESD保護電路
	122：dv/dt電路
	125：節點
	130：ESD電路
	132：dv/dt電路
	135：電阻器
	14：節點
	140：ESD電路
	142：dv/dt電路
	150：ESD電路
	152：dv/dt電路
	16：節點

160：ESD電路
18：脈衝發生器
20：高端驅動電路
200：高壓閘極驅動電路
215：閘極驅動積體電路
217：功率開關積體電路
22：前置驅動器
24：閘極驅動器
25：節點
26：低端驅動電路
30：閘極驅動器
300：ESD電路
310：節點
312：節點
314：節點
32：節點
320：電源軌道
350：ESD電路
40：節點
42：節點
50：ESD保護電路
55：ESD保護電路
58：ESD保護電路
60：NMOS電晶體
BST：節點

C1：電容器

C_B ：電容器

D1：二極體

EN：啓用訊號

HIN：高端輸入訊號

HO：高端驅動訊號

LIN：低端輸入訊號

LO：低端驅動訊號

LX：節點

M1、M2：N-通道功率MOSFET

M12、M13、M14：ESD保護電晶體

M15：電晶體

M3、M4：NMOS電晶體

M5、M6：PMOS電晶體

M_{ESD} ：ESD保護電晶體

M_{Pl} ：PMOS電晶體

M_{Nl} ：NMOS電晶體

R1：電阻器

R10：電阻器

R5：電阻器

R6：電阻器

S1：開關

V_B ：升壓電源電壓

V_C ：電容器電壓

V_{dd} ：邏輯電源電壓

V_{IN} ：高輸入電壓

V_{PAD} ：電壓

V_s ：輸出電壓

V_{supply} ：電壓

【主張利用生物材料】

無

【發明申請專利範圍】

【第1項】 一種高壓閘極驅動電路，用於驅動串聯在輸入電壓節點和低電壓之間的高端功率開關和低端功率開關，該閘極驅動電路包含：形成在浮動槽中的高端控制電路，其由相對於浮動電源電壓節點處的浮動電源電壓的升壓節點處的升壓電壓供電，該閘極驅動電路包含：

一有源 dv/dt 觸發ESD保護電路，耦合在受保護節點和電源軌道節點之間，該有源 dv/dt 觸發ESD保護電路包含一 dv/dt 電路，該電路控制連接在受保護節點和電源軌道節點之間的ESD保護電晶體，當受保護節點處發生ESD事件時，ESD保護電晶體接通，將ESD電流從受保護節點傳導至電源軌道節點，在一時間常數之後，使 dv/dt 電路充滿電。

【第2項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中ESD保護電晶體包含一MOS可控矽整流器，當所傳導的ESD電流仍然在指定門檻值以上時， dv/dt 電路充滿電之後，ESD保護電晶體仍然保持接通，當 dv/dt 電路充滿電，而且ESD電流降至指定門檻值以下之後，ESD保護電晶體停止工作。

【第3項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中 dv/dt 觸發ESD保護電路包含：

一RC網絡，其包含串聯在受保護的節點和電源軌道節點之間的電阻器和電容器，該RC網絡提供 dv/dt 電路的时间常數；以及
一反相器，其包含串聯在受保護的節點和電源軌道節點之間的

PMOS電晶體和NMOS電晶體，PMOS和NMOS電晶體的閘極端連接到RC網絡的公共節點，耦合它們的汲極端，控制ESD保護電晶體。

【第4項】 如申請專利範圍第3項所述之高壓閘極驅動電路，其中dv/dt觸發ESD保護電路還包含：

一開關，其連接RC網絡中電阻器的兩端，由一啓用訊號控制，當正常工作模式下閘極驅動電路通電時，根據啓用訊號，開關閉合，當閘極驅動電路未通電時，開關打開。

【第5項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中有源dv/dt觸發ESD保護電路耦合在作為受保護節點的升壓節點和作為電源軌道節點的浮動電源電壓節點之間。

【第6項】 如申請專利範圍第5項所述之高壓閘極驅動電路，其中當升壓節點處相對於浮動電源電壓節點發生ESD事件時，有源dv/dt觸發ESD保護電路產生控制訊號，控制訊號耦合到高端控制電路上，使高端控制電路接通閘極驅動器的下拉電晶體，驅動高端功率開關，發生ESD事件期間，閘極電晶體的下拉電晶體接通。

【第7項】 如申請專利範圍第6項所述之高壓閘極驅動電路，其中高端控制電路包含一高端驅動電路，用於驅動閘極驅動器，閘極驅動器轉而驅動高端功率開關，閘極驅動器包含上拉電晶體和下拉電晶體，下拉電晶體的製備無需源極或汲極壓載。

【第8項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中有源dv/dt觸發ESD保護電路耦合在作為受保護節點的升壓節點和作為電源軌道節點的地電壓之間。

【第9項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中軌道控制電路在高端驅動訊號輸出節點處，產生高端驅動訊號，有源dv/dt觸發ESD保護電路耦合在作為受保護節點的高端驅動訊號輸

出節點和作為電源軌道節點的浮動電源電壓節點之間。

【第10項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中有源 dv/dt 觸發ESD保護電路耦合在作為受保護節點的浮動電源電壓節點和作為電源軌道節點的地電壓之間。

【第11項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中有源 dv/dt 觸發ESD保護電路耦合在作為受保護節點的輸入電壓節點和作為電源軌道節點的地電壓之間。

【第12項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中高端控制電路包含一高端驅動電路，用於驅動前置驅動器，前置驅動器驅動閘極驅動器，閘極驅動器再轉而驅動高端功率開關，前置驅動器包含上拉電晶體和下拉電晶體，一電阻器耦合到下拉電晶體的源極端。

【第13項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中有源 dv/dt 觸發ESD保護電路更包含一耦合到ESD保護電晶體的控制端的被動下拉元件。

【第14項】 如申請專利範圍第13項所述之高壓閘極驅動電路，其中被動下拉元件包含一電阻器。

【第15項】 如申請專利範圍第1項所述之高壓閘極驅動電路，其中有源 dv/dt 觸發ESD保護電路包含一第一 dv/dt 電路，控制連接在第一受保護的節點和第一電源軌道節點之間的第一ESD保護電晶體；閘極驅動電路更包含：

一連接在第二受保護的節點和第二電源軌道節點之間的第二ESD保護電晶體，第二ESD保護電晶體由第一 dv/dt 電路控制。

【第16項】 如申請專利範圍第15項所述之高壓閘極驅動電路，其中第一受保護的節點與第二受保護的節點相同或不同；第一電源軌道節點與

第二電源軌道節點相同或不同。

- 【第17項】 如申請專利範圍第15項所述之高壓閘極驅動電路，其中第一電源軌道節點與第二電源軌道節點相同或不同。

【發明圖式】

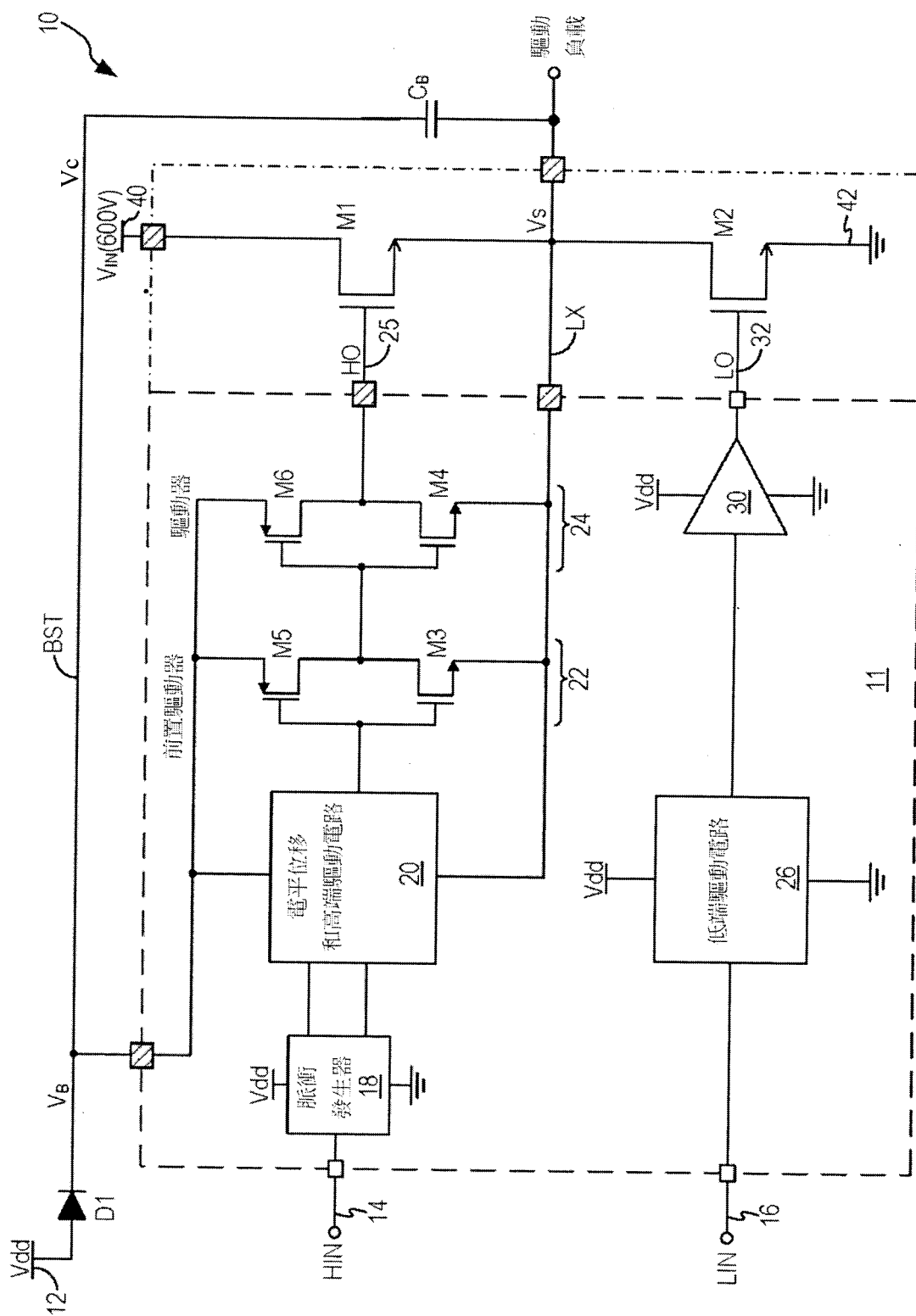
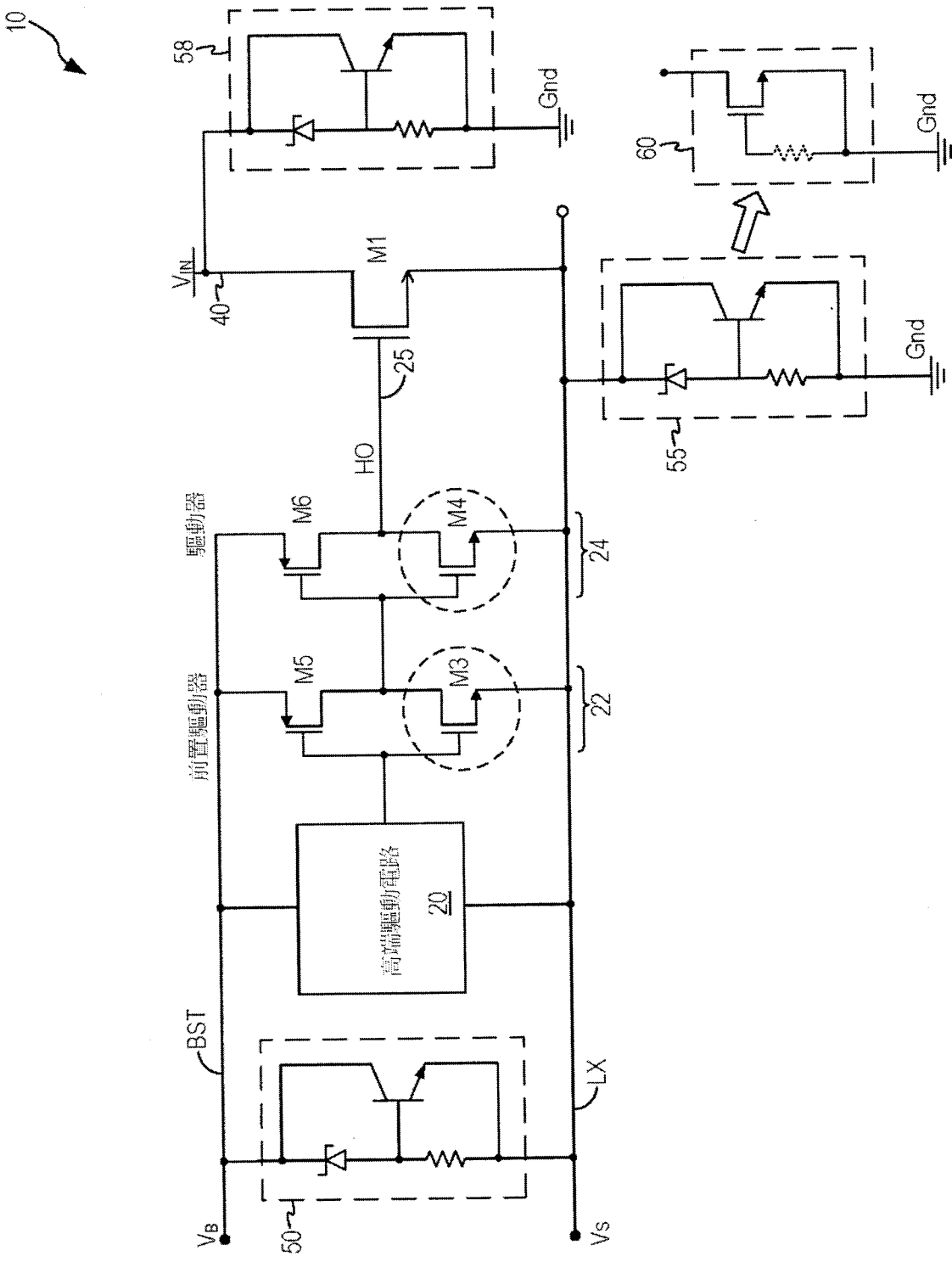
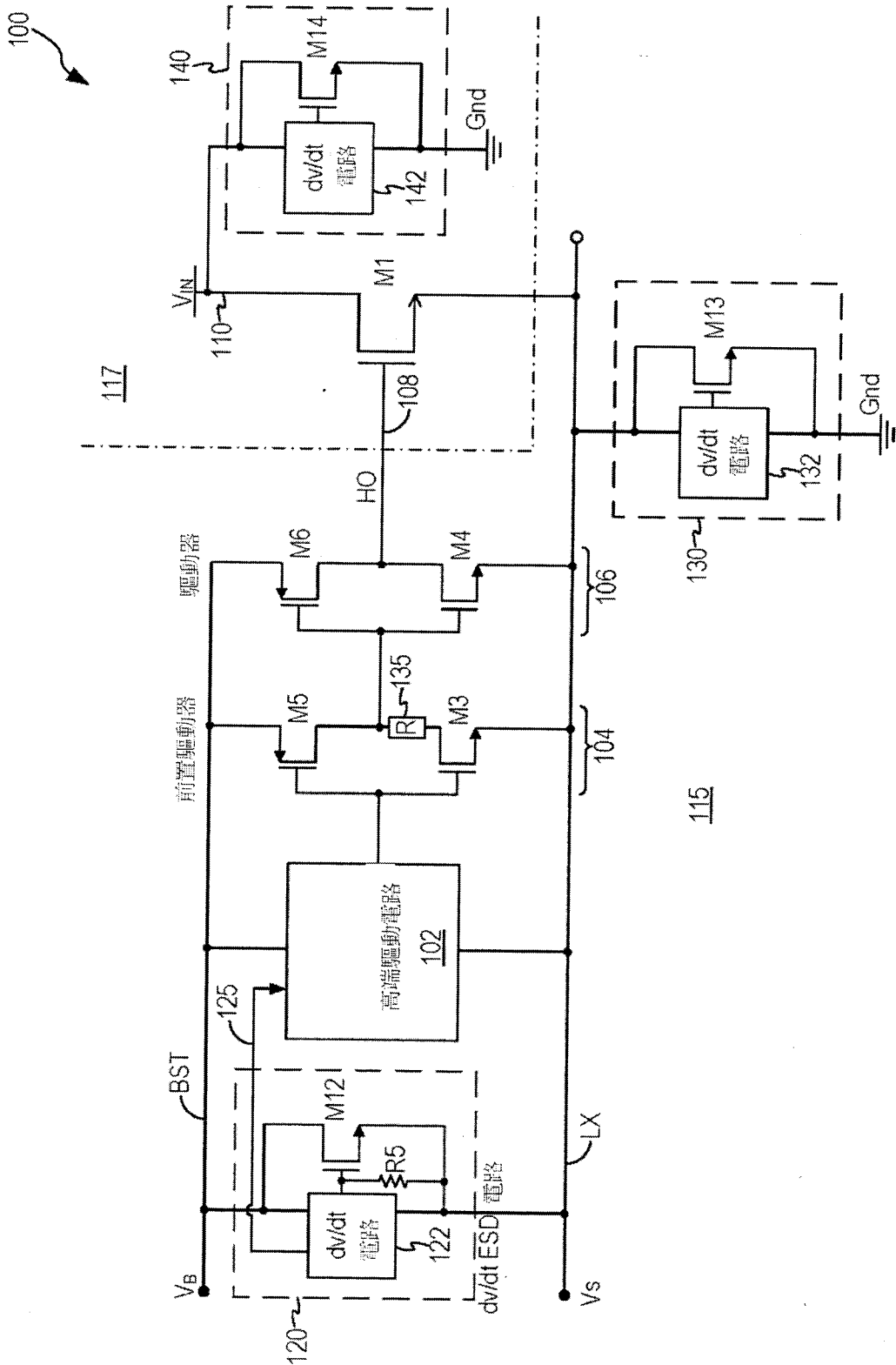


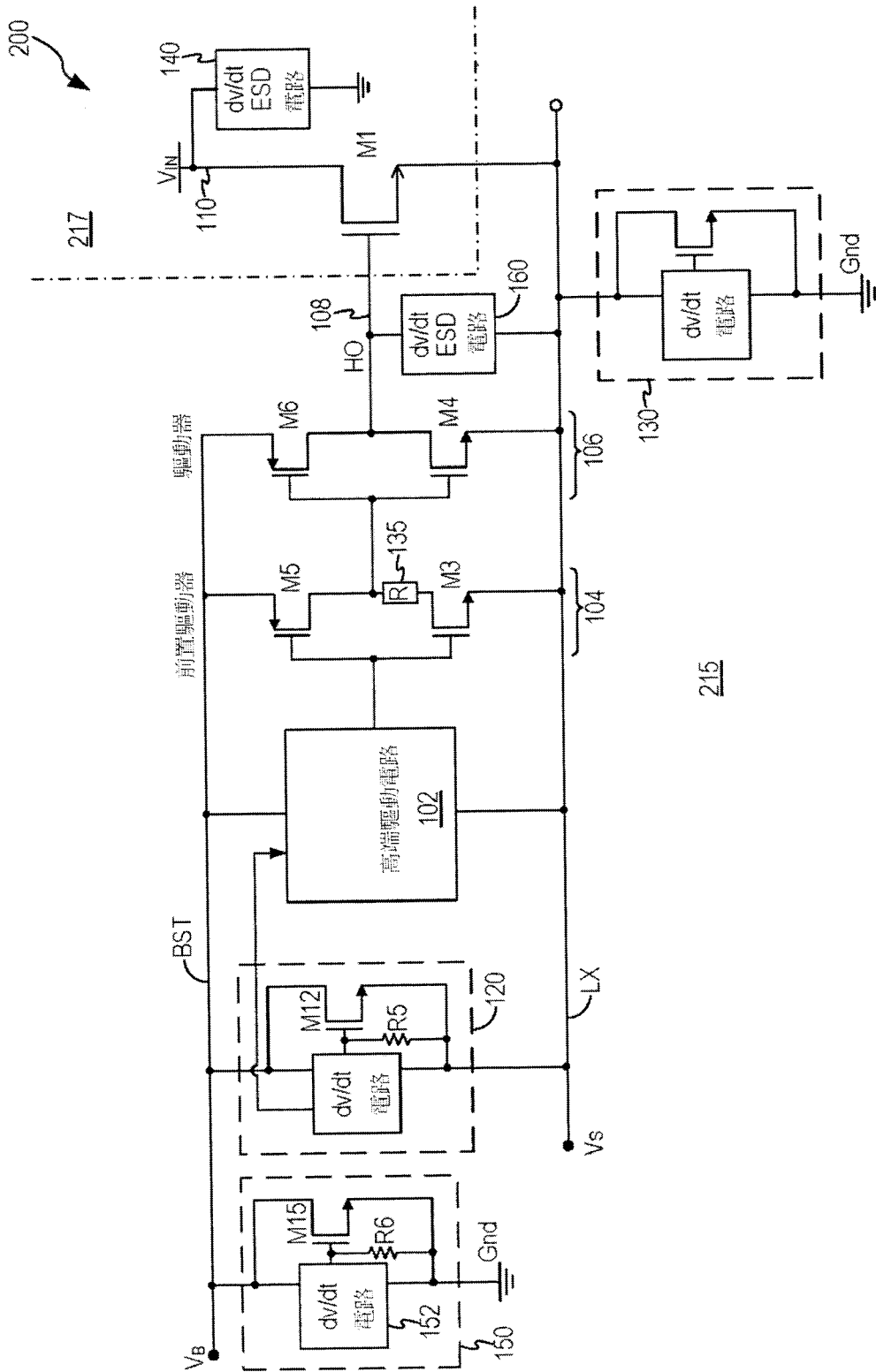
圖
一
錄



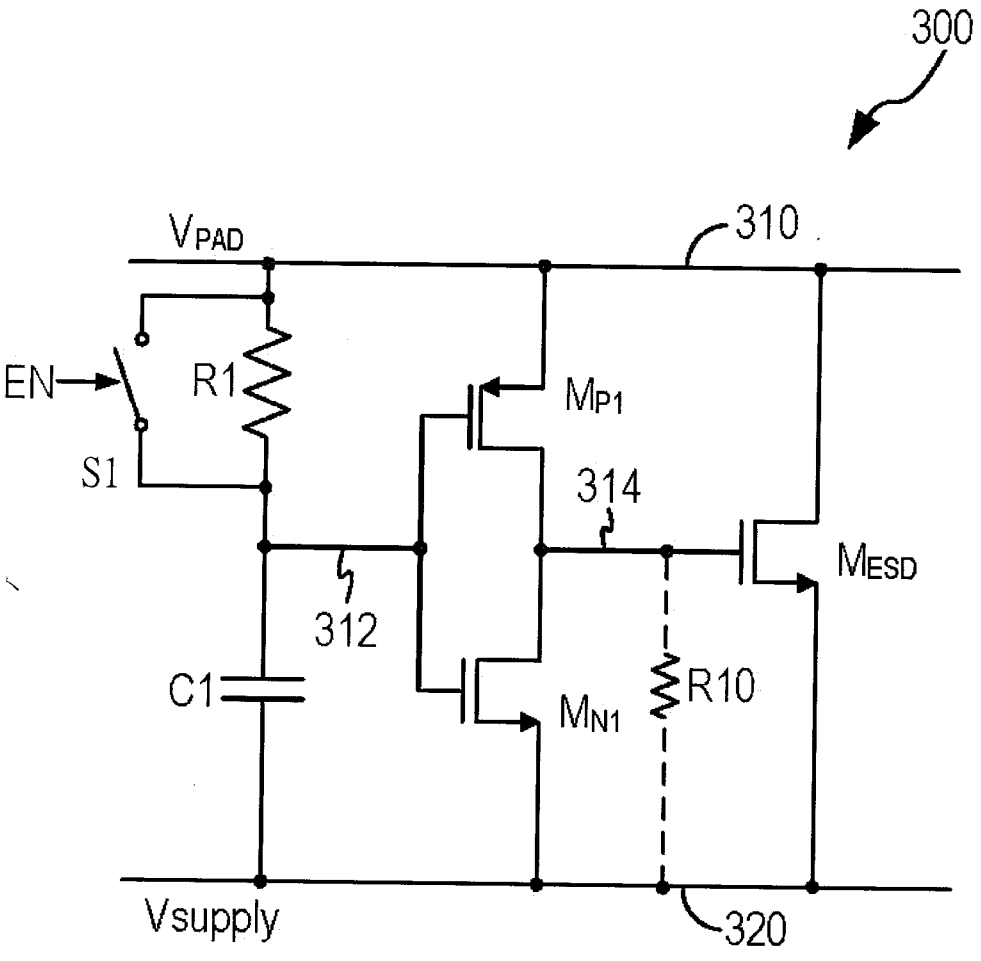
第 2 圖



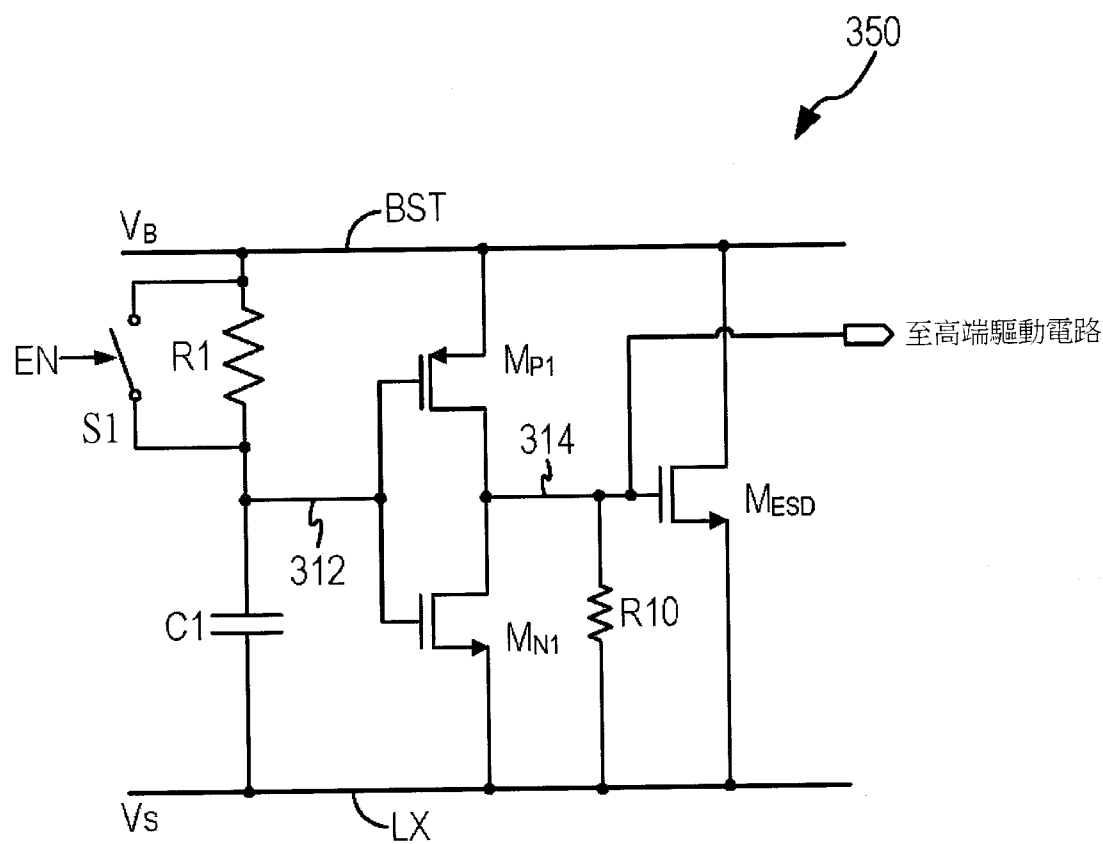
第 3 圖



第 4 圖



第 5 圖



第 6 圖