

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-93286

(P2006-93286A)

(43) 公開日 平成18年4月6日(2006.4.6)

(51) Int. Cl.	F I	テーマコード (参考)
H05K 3/22 (2006.01)	H05K 3/22 E	5E343
H05K 3/46 (2006.01)	H05K 3/46 H	5E346
H01L 23/13 (2006.01)	H05K 3/46 N	
	H01L 23/12 C	

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号	特願2004-274938 (P2004-274938)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成16年9月22日 (2004.9.22)	(74) 代理人	100100114 弁理士 西岡 伸泰
		(74) 代理人	100128831 弁理士 杉岡 佳子
		(72) 発明者	細川 淳史 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	5E343 AA02 AA23 BB15 BB21 BB72 DD03 DD75 ER35 FF21 GG14 5E346 AA12 AA15 AA35 AA38 BB01 CC17 CC31 DD02 DD34 EE24 EE25 FF18 GG03 GG04 GG06 GG09 HH08

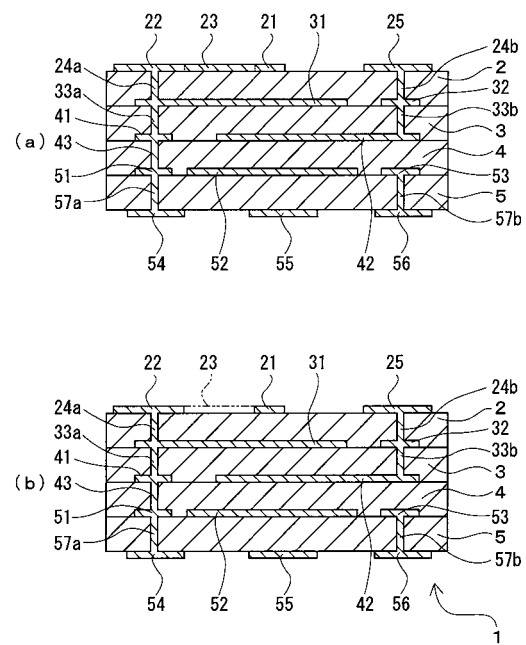
(54) 【発明の名称】 積層セラミック電子部品の製造方法

(57) 【要約】

【課題】 積層セラミック電子部品の大型化を招くことなく、短絡不良の発生を防止することが出来る積層セラミック電子部品の製造方法を提供する。

【解決手段】 本発明に係る積層セラミック電子部品の製造方法は、複数のセラミック層2、3、4、5となる各グリーンシートにそれぞれ所定の導体パターンを形成する工程と、これによって得られた複数のグリーンシートを積層して積層体を作成する工程と、これによって得られた積層体を焼成する工程とを有し、前記導体パターン形成工程にて、第1セラミック層2となるグリーンシートに第1導体パターン21と第2導体パターン22とを形成すると共に、両導体パターン21、22を互いに電気的に接続する接続線路23を形成し、その後の絶縁処理工程にて接続線路23を切断して、第1導体パターン21と第2導体パターン22とを互いに絶縁する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

所定の導体パターンが形成された複数のセラミック層の積層構造を有し、最上層のセラミック層と最下層のセラミック層の内、少なくとも一方のセラミック層には、外側に露出する表面に、互いに電氣的に絶縁された第 1 の導体パターンと第 2 の導体パターンとが形成されると共に、該セラミック層と直接に重なるセラミック層の表面には第 3 の導体パターンが形成され、該第 3 の導体パターンは、前記第 2 の導体パターンと電氣的に接続されると共に、前記第 1 の導体パターンとは電氣的に絶縁されている積層セラミック電子部品の製造方法において、

前記複数のセラミック層となる複数枚のグリーンシートにそれぞれ所定の導体パターンを形成する導体パターン形成工程と、該導体パターン形成工程を経て得られる複数枚のグリーンシートを積層して積層体を作製する積層体作製工程と、該積層体作製工程を経て得られる積層体に焼成を施す焼成工程とを有し、

前記導体パターン形成工程では、前記一方のセラミック層となるグリーンシートの表面に、前記第 1 の導体パターンと第 2 の導体パターンとを形成すると共に、第 1 の導体パターンと第 2 の導体パターンとを互いに電氣的に接続する接続線路を形成し、前記焼成工程の後、前記接続線路の一部若しくは全部を除去して、第 1 の導体パターンと第 2 の導体パターンとを互いに電氣的に絶縁する絶縁処理工程を実施することを特徴とする積層セラミック電子部品の製造方法。

【請求項 2】

前記導体パターン形成工程では、前記一方のセラミック層となるグリーンシートに直接に重ねられるべきグリーンシートの表面であって、前記第 1 の導体パターンと少なくとも一部がオーバーラップすることとなる領域に、前記第 3 の導体パターンを形成する請求項 1 に記載の積層セラミック電子部品の製造方法。

【請求項 3】

前記絶縁処理工程では、前記接続線路の一部若しくは全部を削って除去する請求項 1 又は請求項 2 に記載の積層セラミック電子部品の製造方法。

【請求項 4】

前記導体パターン形成工程では、前記一方のセラミック層となるグリーンシートに垂直の貫通孔を開設した後、該貫通孔に導体材料を充填して垂直線路を形成し、該垂直線路によって前記第 2 の導体パターンと第 3 の導体パターンとを互いに電氣的に接続する請求項 1 乃至請求項 3 の何れかに記載の積層セラミック電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、携帯電話機等の小型の電子機器に装備される各種電子回路を構成するための積層セラミック電子部品の製造方法に関するものである。

【背景技術】

【0002】

近年、携帯電話機等の小型の電子機器においては、小型化に対する要求が益々厳しくなっており、この様な状況において、機器を構成する複数の回路素子を 1 チップの積層セラミック電子部品に集積化して、該積層セラミック電子部品をメイン基板に実装することが行なわれている。

【0003】

図 4 (a) ~ (e) は、従来の積層セラミック電子部品 (101) の一連の製造工程を示している。図 4 (e) に示す如く、該積層セラミック電子部品 (101) は、4 層のセラミック層 (6) (7) (8) (9) の積層構造を有している。

該積層セラミック電子部品 (101) は、図 4 (a) ~ (c) に示す如く、4 層のセラミック層 (6) (7) (8) (9) となる 4 枚のグリーンシート (69) (79) (89) (99) にそれぞれ所定の導体パターンを形成する導体パターン形成工程と、該導体パターン形成工程を経て得られる 4 枚

10

20

30

40

50

のグリーンシート(69)(79)(89)(99)を図4(d)に示す如く積層し、積層体を作製する積層体作製工程と、図4(e)に示す如く、該積層体作製工程を経て得られる積層体に焼成を施す焼成工程とを経て作製される。

尚、図4(a)~(c)は、前記導体パターン形成工程を、最上層の第1セラミック層(6)となる第1グリーンシート(69)について示したものである。

図4(a)に示す如く、先ず、第1グリーンシート(69)を用意し、次に、図4(b)に示す如く、第1グリーンシート(69)の所定位置に貫通孔(64a)(64b)を開設した後、図4(c)に示す如く、貫通孔(64a)(64b)に導体材料を充填して垂直線路を形成すると共に、第1グリーンシート(69)の表面に導体材料を印刷して、所定の導体パターン(61)(62)(63)を形成する。

10

同様にして、第2乃至第4セラミック層(7)(8)(9)となる第2乃至第4グリーンシート(79)(89)(99)にも、それぞれ所定の導体パターンと垂直線路を形成する。

【0004】

次の積層体作製工程では、前記導体パターン形成工程を経て得られた第1乃至第4グリーンシート(69)(79)(89)(99)を図4(d)に示す如く順に積み重ねて、積層体を作製する。その後、図4(e)に示す焼成工程にて、該積層体に熱圧着及び焼成を施して一体化する。この様にして積層セラミック電子部品(101)が作製されることになる。

【0005】

しかしながら、図4(e)に示す焼成工程において、第1セラミック層(6)の表面に形成された第1の導体パターン(61)と第2セラミック層(7)の表面に形成された第2の導体パターン(71)とが、図示の如く微細な短絡線路(65)により接続されて、短絡不良が発生することがあった。

20

【0006】

発明者は上述の短絡不良が発生する条件を分析したところ、両導体パターン(61)(71)が互いに電氣的に絶縁されており、且つ、両導体パターン(61)(71)が上下方向に重なって、互いにオーバーラップする領域を有している場合に短絡不良が発生することを見出した。

上述の短絡不良は、例えば、図4(e)に示す如く互いに電氣的に接続された第1セラミック層(6)上の導体パターン(63)と第2セラミック層(7)上の導体パターン(72)との間では発生しない。即ち、両導体パターン(63)(72)が上下方向に重なって、互いにオーバーラップする領域を有していても、貫通孔(64b)に形成された垂直線路によって互いに電氣的

30

【0007】

そこで、発明者は短絡不良の原因を、焼成工程において発生する両導体パターン(61)(71)間の電位差によるものと推測した。

即ち、焼成工程において、温度上昇に伴う焦電効果及び圧着による圧電効果によって、誘電体である第1セラミック層(6)に分極が生じ、該分極に伴って、第1セラミック層(6)を挟んで互いに対向する第1及び第2の導体パターン(61)(71)が帯電して、両導体パターン(61)(71)間に電位差が生じることになる。該電位差に起因して微細な短絡線路(65)が形成され、短絡不良が発生すると推測されるのである。

【0008】

ところで、高温高湿条件下において、微小な間隔で形成された配線間を導体材料が移動して、該配線間が短絡してしまうマイグレーション現象が知られており、マイグレーション現象の発生を防止すべく種々の導体材料が提案されている(特許文献1参照)。

40

【特許文献1】特開平6-20517号公報 [H01B 1/16]

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、マイグレーション現象が発生し難い導体材料を用いたとしても、上述の短絡不良の発生を防止することが充分ではなかった。

そこで、従来の積層セラミック電子部品の製造においては、セラミック層を挟んで対向

50

する2つの導体パターンがセラミック層の積層方向に重ならない様に配置し、或いはセラミック層の厚さを一定以上の厚さに形成する等の設計上の対策を施すことにより、短絡不良の発生を防止していた。

しかしながら、この様な設計上の対策のために集積度が低下して、積層セラミック電子部品が大型化してしまう問題があった。

そこで、本発明の目的は、積層セラミック電子部品の大型化を招くことなく、短絡不良の発生を防止することが出来る積層セラミック電子部品の製造方法を提供することである。

【課題を解決するための手段】

【0010】

本発明の対象とする積層セラミック電子部品は、所定の導体パターンが形成された複数のセラミック層の積層構造を有し、最上層のセラミック層と最下層のセラミック層の内、少なくとも一方のセラミック層には、外側に露出する表面に、互いに電氣的に絶縁された第1の導体パターンと第2の導体パターンとが形成されると共に、該セラミック層と直接に重なるセラミック層の表面には第3の導体パターンが形成され、該第3の導体パターンは、前記第2の導体パターンと電氣的に接続されると共に、前記第1の導体パターンとは電氣的に絶縁されている。本発明に係る積層セラミック電子部品の製造方法は、前記複数のセラミック層となる複数枚のグリーンシートにそれぞれ所定の導体パターンを形成する導体パターン形成工程と、該導体パターン形成工程を経て得られる複数枚のグリーンシートを積層して積層体を作製する積層体作製工程と、該積層体作製工程を経て得られる積層体に焼成を施す焼成工程とを有している。

前記導体パターン形成工程では、前記一方のセラミック層となるグリーンシートの表面に、前記第1の導体パターンと第2の導体パターンとを形成すると共に、第1の導体パターンと第2の導体パターンとを互いに電氣的に接続する接続線路を形成し、前記焼成工程の後、前記接続線路の一部若しくは全部を除去して、第1の導体パターンと第2の導体パターンとを互いに電氣的に絶縁する絶縁処理工程を実施する。

【0011】

上記本発明の積層セラミック電子部品の製造方法によれば、導体パターン形成工程にて、前記第1の導体パターンと第2の導体パターンは、前記接続線路を介して互いに電氣的に接続される。

次の積層体作製工程にて作製される積層体の状態において、前記第2の導体パターンと第3の導体パターンとが互いに電氣的に接続され、これによって前記第1の導体パターンと第3の導体パターンとが、前記接続線路及び第2の導体パターンを介して互いに電氣的に接続されることになる。

この結果、次の焼成工程中に、仮に前記第1の導体パターンと第3の導体パターンとに挟まれたセラミック層に分極が生じ、前記第1の導体パターンと第3の導体パターンとが一時的に異なる電位に帯電したとしても、前記第1の導体パターンと第3の導体パターンとの間で電荷が移動して、前記第1の導体パターンと第3の導体パターンとは同電位に保たれる。従って、前記第1の導体パターンと第3の導体パターンとの間に電位差が生じることはない。これによって、短絡不良の発生を防止することが出来る。

更に、次の絶縁処理工程にて前記接続線路の一部或いは全部を除去することにより、前記第1導体パターンと前記第2の導体パターンとが電氣的に絶縁されて、所望の積層セラミック電子部品が完成することになる。

【0012】

上記本発明の積層セラミック電子部品の製造方法によれば、従来のような設計上の対策を施すことなく短絡不良の発生を防止することが出来る。又、従来は短絡不良が発生していた領域、即ち前記第1の導体パターンと少なくとも一部がオーバーラップすることとなる領域に、前記第3の導体パターンを形成することが可能となるので、これによって、積層セラミック電子部品の集積度が向上し、積層セラミック電子部品の小型化を図ることが出来る。

10

20

30

40

50

【0013】

具体的方法において、前記絶縁処理工程では、接続線路の一部若しくは全部を削って除去する。

該具体的方法においては、前記接続線路は、積層セラミック電子部品の外側に露出する表面に形成されているので、外部から該接続線路の位置を確認しながら、その一部若しくは全部を削って除去することが出来る。

【0014】

又、具体的方法において、前記導体パターン形成工程では、前記一方のセラミック層となるグリーンシートに垂直の貫通孔を開設した後、該貫通孔に導体材料を充填して垂直線路を形成し、該垂直線路によって前記第2の導体パターンと第3の導体パターンとを互いに電氣的に接続する。

10

該具体的方法によれば、前記積層体作製工程を経て作製した積層体の状態において、前記一方のセラミック層となるグリーンシートと、表面に前記第3の導体パターンが形成されたグリーンシートとが重なって、前記垂直線路と前記第3の導体パターンとが互いに接触することにより、前記第2の導体パターンと第3の導体パターンとが前記垂直線路を介して互いに電氣的に接続されることになる。

【発明の効果】

【0015】

本発明の積層セラミック電子部品の製造方法によれば、積層セラミック電子部品の大型化を招くことなく、短絡不良の発生を防止することが出来る。

20

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態につき、図面に沿って具体的に説明する。

本発明に係る積層セラミック電子部品(1)は、図2(b)に示す如く、4層のセラミック層(2)(3)(4)(5)の積層構造を有している。

図2(b)及び図3(b)に示す如く、最上層の第1セラミック層(2)の表面には、第1導体パターン(21)及び第2導体パターン(22)を含む所定の導体パターンが形成されており、第2導体パターン(22)と第1セラミック層(2)に接する第2セラミック層(3)の表面に形成された第3導体パターン(31)とは、導体材料が充填された貫通孔(24a)を介して互いに電氣的に接続されている。一方、第1導体パターン(21)は、第2導体パターン(22)及び第3導体パターン(31)の何れとも接続されず、電氣的に絶縁状態にあり、且つ、第3導体パターン(31)と上下方向に重なって、互いにオーバーラップする領域に形成されている。

30

各セラミック層(2)(3)(4)(5)は、例えば5mm角の平板形状を呈し、各セラミック層(2)(3)(4)(5)の厚さは、例えば50 μ mに形成されている。又、各導体パターンの厚さは、例えば10~20 μ mに形成されている。

【0017】

上記本発明の積層セラミック電子部品(1)の製造工程においては、先ず、導体パターン形成工程にて、第1乃至第4セラミック層(2)(3)(4)(5)となる第1乃至第4グリーンシート(29)(39)(49)(59)にそれぞれ所定の導体パターンを形成する。

図1(a)~(c)は、第1セラミック層(2)となる第1グリーンシート(29)についての導体パターン形成工程を示したものである。

40

図1(a)に示す如く、先ず、第1グリーンシート(29)を用意し、次に、図1(b)に示す如く、第1グリーンシート(29)の所定位置に貫通孔(24a)(24b)を開設する。その後、図1(c)に示す如く、貫通孔(24a)(24b)に導体材料を充填して垂直線路を形成すると共に、第1グリーンシート(29)の表面に導体材料を印刷して、図1(c)及び図3(a)に示す如く、第1導体パターン(21)及び第2導体パターン(22)を含む所定の導体パターンを形成すると共に、第1導体パターン(21)と第2導体パターン(22)とを互いに電氣的に接続する接続線路(23)を形成する。

【0018】

同様にして、図1(d)に示す如く、第2セラミック層(3)となる第2グリーンシート(3

50

9)には、導体材料が充填された貫通孔(33a)(33b)と導体パターン(31)(32)を含む所定の導体パターンとを形成し、第3セラミック層(4)となる第3グリーンシート(49)には、導体材料が充填された貫通孔(43)と導体パターン(41)(42)を含む所定の導体パターンとを形成し、第4セラミック層(5)となる第4グリーンシート(59)には、導体材料が充填された貫通孔(57a)(57b)と導体パターン(51)~(56)を含む所定の導体パターンとを形成する。

この様にして、所定の導体パターンと垂直線路を形成した第1乃至第4グリーンシート(29)(39)(49)(59)が作製されることになる。

【0019】

次の積層体作製工程にて、前記導体パターン形成工程を経て得られた第1乃至第4グリーンシート(29)(39)(49)(59)を、図1(d)に示す如く順に積み重ねて、積層体を作製する。このとき、第1グリーンシート(29)の貫通孔(24a)に形成された垂直線路の下端面が、第2グリーンシート(39)上の第3導体パターン(31)に接触し、第1グリーンシート(29)を挟んで互いに対向する第1導体パターン(21)と第3導体パターン(31)とは、接続線路(23)、第2導体パターン(22)、及び貫通孔(24a)に形成した垂直線路を介して互いに電氣的に接続されることになる。同様に、第1グリーンシート(29)上の導体パターン(25)と第2グリーンシート(39)上の導体パターン(32)とは、第1グリーンシート(29)の貫通孔(24b)に形成した垂直線路を介して互いに電氣的に接続される。

又、第2グリーンシート(39)上の第3導体パターン(31)と第3グリーンシート(49)上の導体パターン(41)とは、第2グリーンシート(39)の貫通孔(33a)に形成した垂直線路を介して互いに電氣的に接続される。同様に、第2グリーンシート(39)上の導体パターン(32)と第3グリーンシート(49)上の導体パターン(42)とは、第2グリーンシート(39)の貫通孔(33b)に形成した垂直線路を介して互いに電氣的に接続される。

更に、第3グリーンシート(49)上の導体パターン(41)と第4グリーンシート(59)上の導体パターン(51)とは、第3グリーンシート(49)の貫通孔(43)に形成した垂直線路を介して互いに電氣的に接続される。

【0020】

次に、図2(a)に示す焼成工程にて、前記積層体作製工程を経て作製した積層体に熱圧着及び焼成を施して一体化する。焼成過程において、仮に第1セラミック層(2)に分極が生じ、第1セラミック層(2)を挟んで互いに対向する第1導体パターン(21)と第3導体パターン(31)とが一時的に異なる電位に帯電したとしても、第1導体パターン(21)と第3導体パターン(31)とは電氣的に接続されているので、第1導体パターン(21)と第3導体パターン(31)との間で電荷が移動して、両導体パターン(21)(31)は同電位に保たれる。従って、第1導体パターン(21)と第3導体パターン(31)の間に電位差が生じることはない。これによって、短絡不良の発生を防止することが出来る。

【0021】

最後に、図2(b)及び図3(b)に示す絶縁処理工程で、接続線路(23)の位置を確認しながら、リユータ等の工具を用いて接続線路(23)の一部或いは全部を削って除去し、該接続線路(23)を切断する。これによって、第1導体パターン(21)と第2導体パターン(22)とは、互いに電氣的に絶縁され、目的とする積層セラミック電子部品(1)が完成する。

【0022】

本発明の積層セラミック電子部品(1)の製造方法によれば、従来のような設計上の対策を施すことなく短絡不良の発生を防止することが出来る。又、従来は短絡不良が発生していた領域、即ち、第1導体パターン(21)と大きくオーバーラップすることとなる領域に、第3導体パターン(31)を形成することが可能となるので、積層セラミック電子部品の集積度が向上し、これによって積層セラミック電子部品の小型化を図ることが出来る。

【0023】

尚、本発明の各部構成は上記実施の形態に限らず、特許請求の範囲に記載の技術的範囲内で種々の変形が可能である。例えば、本実施例において積層セラミック電子部品(1)を構成するセラミック層の数を4層としたが、2層以上であれば何層であってもよい。

又、本実施例において接続線路(23)は、最上層のセラミック層(2)の表面に形成したが

10

20

30

40

50

、必要に応じて、最下層のセラミック層の裏面に形成することも可能である。即ち、図 2 (b) に示す第 4 セラミック層 (5) の表面に形成された 2 つの導電パターン (51) (52) が互いに電氣的に接続されている構成において、一方の導体パターン (52) と第 4 セラミック層 (5) の裏面に形成した導体パターン (55) との間に短絡不良が発生する場合には、導体パターン形成工程にて、第 4 グリーンシート (59) の裏面に、2 つの導体パターン (55) (54) の間を互いに電氣的に接続する接続線路を形成し、その後の絶縁処理工程にて、該接続線路の一部或いは全部を除去して、両導体パターン (55) (54) を互いに電氣的に絶縁すればよい。

又、垂直線路は、貫通孔に導体材料を充填して形成したが、これに限らず、例えば各セラミック層の側面に形成した垂直の電極によって構成することも可能である。

更に、各グリーンシートの表面に所定の導体パターンを形成する方法として導体材料を印刷する方法を用いたが、これに限らず、例えばスパッタ法、蒸着法、メッキ法等の種々の方法を採用することも可能である。

10

【図面の簡単な説明】

【0024】

【図 1】本発明に係る積層セラミック電子部品の製造方法における導体パターン形成工程及び積層体作製工程を示す一連の断面図である。

【図 2】該積層セラミック電子部品の製造方法における焼成工程及び絶縁処理工程を示す断面図である。

【図 3】導体パターン形成工程後の第 1 セラミック層となる第 1 グリーンシートの表面と絶縁処理工程後の第 1 セラミック層の表面を示す平面図である。

20

【図 4】従来の積層セラミック電子部品の製造工程を示す一連の断面図である。

【符号の説明】

【0025】

(1) 積層セラミック電子部品

(2) 第 1 セラミック層

(21) 第 1 導体パターン

(22) 第 2 導体パターン

(23) 接続線路

(24) 貫通孔

(29) 第 1 グリーンシート

30

(3) 第 2 セラミック層

(31) 第 3 導体パターン

(39) 第 2 グリーンシート

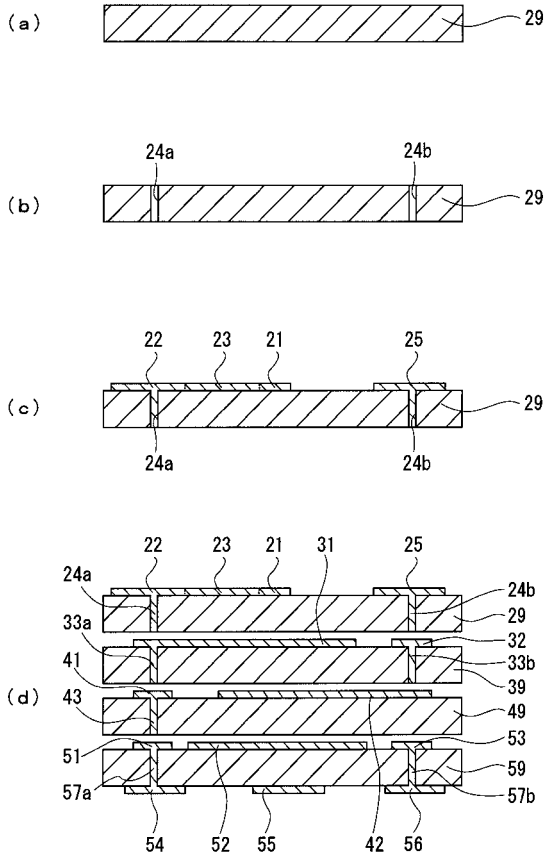
(4) 第 3 セラミック層

(49) 第 3 グリーンシート

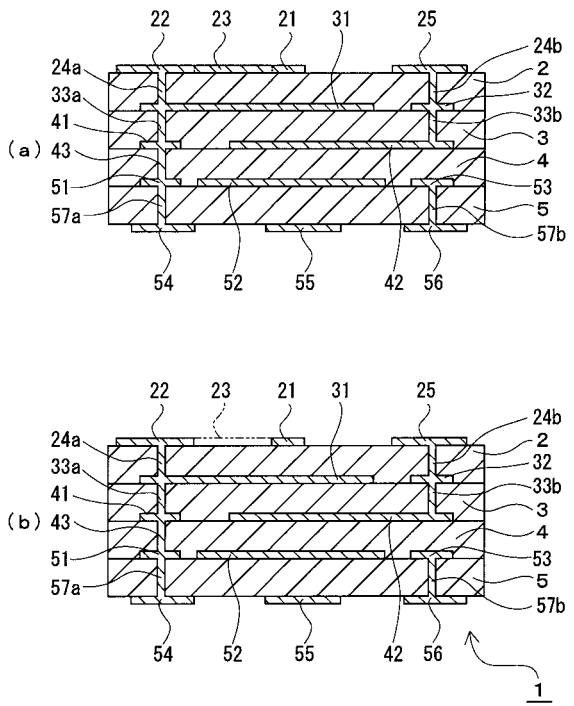
(5) 第 4 セラミック層

(59) 第 4 グリーンシート

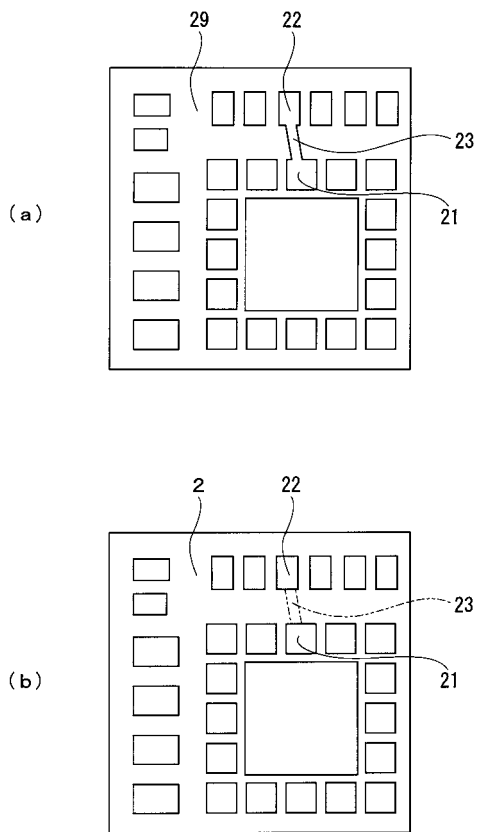
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

