

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5404144号
(P5404144)

(45) 発行日 平成26年1月29日 (2014. 1. 29)

(24) 登録日 平成25年11月8日 (2013. 11. 8)

(51) Int. Cl. F 1
G 0 6 F 13/362 (2006. 01) G O 6 F 13/362 5 1 O A
G 0 6 F 15/78 (2006. 01) G O 6 F 15/78 5 1 O G

請求項の数 6 (全 18 頁)

<p>(21) 出願番号 特願2009-94516 (P2009-94516) (22) 出願日 平成21年4月9日 (2009. 4. 9) (65) 公開番号 特開2010-244445 (P2010-244445A) (43) 公開日 平成22年10月28日 (2010. 10. 28) 審査請求日 平成24年3月27日 (2012. 3. 27)</p>	<p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部 1 7 5 3 番地 (74) 代理人 100089071 弁理士 玉村 静世 (72) 発明者 高橋 保彦 東京都千代田区大手町二丁目6番2号 株 式会社ルネサステクノロジ内 (72) 発明者 石倉 裕道 東京都千代田区大手町二丁目6番2号 株 式会社ルネサステクノロジ内 審査官 古河 雅輝</p>
--	--

最終頁に続く

(54) 【発明の名称】 データ処理装置

(57) 【特許請求の範囲】

【請求項 1】

C P U と、
 上記 C P U に接続された C P U バスと、
 上記 C P U バスを介して上記 C P U に結合され、それぞれ起動ビットが設定されること
 で起動可能な複数の機能モジュールと、
 上記複数の機能モジュールにおける 個々の機能モジュール毎の起動ビットを操作可能な
 マスタビットを保持可能なマスタビットレジスタと、 を含み、
 上記マスタビットレジスタにおけるマスタビットは、上記 C P U によって設定可能とさ
 れ、

上記機能モジュールは、上記マスタビットレジスタの出力信号を選択的に取り込み、上
 記起動ビットを操作するためのマスタビット選択回路を含んで成ることを特徴とするデー
 タ処理装置。

【請求項 2】

上記マスタビット選択回路は、上記マスタビットレジスタからの複数の出力信号のうち
 のひとつを上記起動ビット設定用に選択するためのセレクタと、

上記セレクタの選択動作を決定するためのマスタビット選択レジスタと、 を含んで成る
 請求項 1 記載のデータ処理装置。

【請求項 3】

上記マスタビット選択回路は、上記マスタビットレジスタからの複数の出力信号のうち

の任意信号のオア論理を出力するためのセレクトと、

上記マスタビットレジスタからの複数の出力信号のうちの任意信号を決定するためのマスタビット選択レジスタと、を含んで成る請求項 1 記載のデータ処理装置。

【請求項 4】

上記マスタビット選択レジスタは、上記 CPU によって設定可能にされて成る請求項 2 又は 3 記載のデータ処理装置。

【請求項 5】

上記マスタビット選択回路は、上記機能モジュールの起動完了を示す起動完了フラグを形成するための起動完了通知回路を含む請求項 1 記載のデータ処理装置。

【請求項 6】

上記起動完了通知回路によって形成された起動完了フラグを出力するための起動完了フラグ出力回路と、

上記複数の機能モジュールにおける上記起動完了フラグ出力回路からの出力信号のワイヤードアンド論理を取得可能な起動完了バスと、

上記起動完了バスに結合され、起動完了ビットが設定される起動完了レジスタと、を含み、

上記起動完了レジスタは、上記 CPU によって管理されるアドレス空間に配置されて成る請求項 5 記載のデータ処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ処理装置の内部制御技術に関するもので、例えばマイクロコンピュータに適用して有効な技術に関する。

【背景技術】

【0002】

データ処理装置の一例とされるマイクロコンピュータ（マイクロプロセッサやデータプロセッサなどと称されることもある）には、CPU（中央処理装置）及び特定の機能を有する複数の機能モジュールが搭載される。上記機能モジュールとしては、タイマ、ADC（アナログ・デジタル・コンバータ）、DAC（デジタル・アナログ・コンバータ）、I2C（Inter-Integrated Circuit Bus IF：相互統合回路バスインタフェース）などが挙げられる。このような機能モジュールは、CPUの周辺に配置されることから「周辺モジュール」とも称される。また、上記機能モジュールは、IP（Intellectual Property）として提供することができる。上記機能モジュールは、CPUによって、必要に応じて選択的に起動させることができる。この機能モジュールの起動は、当該モジュールに対応するレジスタの書き込みによって可能とされる。例えばタイマを起動させる場合には、起動しようとするタイマに対応するレジスタに初期設定を行い、その後、当該レジスタに起動ビットを設定する。起動しようとするタイマが複数ある場合、レジスタの初期設定や起動ビットの設定は、タイマ毎に個別に行われる。

【0003】

特許文献 1 には、複数のリクエスト（使用希望）が競合する場合においてそのリクエストの一つを高速に選択する競合調停装置が示される。調停装置またはリクエストバスを用いてデバイスを選択するようにしている。

【0004】

特許文献 2 には、CPUと周辺回路との間にバスインターフェイスを設置し、校正プログラムによって各周辺回路におけるレジスタの最適なアクセスタイミングを個々に調整する技術が示される。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2003 - 132011 号公報

10

20

30

40

50

【特許文献2】特開2004-326690号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本願発明者は、上記マイクロコンピュータにおいて、複数の機能モジュールを同時に起動させることについて検討した。それによれば、例えば複数のタイマの起動タイミングを揃えようとしても、CPUの命令実行クロック数と、互いに異なるクロック間の再同期化待ちの時間との調整が必要で、起動タイミングを揃えるのは困難であることが見いだされた。複数の機能モジュール間で、起動ビットを同じレジスタに割り付ければ、同時起動が可能と考えられるが、マイクロコンピュータによって機能モジュールの種類や搭載数が異なるため、製品毎にレジスタのビット割付けを変えなければ、必要な機能モジュールを同一レジスタにマッピングすることはできない。製品毎にレジスタのビット割付けが変更されることはプログラムの修正を意味し、ユーザに多大な不便を強いることになる。このような課題は、特許文献1や特許文献2に記載された技術によっても解決できない。

10

【0007】

本発明の目的は、複数の機能モジュールの同時起動を可能にするための技術を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【0009】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

すなわち、データ処理装置は、CPU、CPUバス、複数の機能モジュール、マスタビットレジスタを含む。複数の機能モジュールは、上記CPUバスを介して上記CPUに結合され、それぞれ起動ビットが設定されることで起動される。マスタビットレジスタには、上記複数の機能モジュールにおける起動ビットを操作可能なマスタビットが保持される。上記マスタビットレジスタにおけるマスタビットは、上記CPUによって設定することができる。マスタビットレジスタにマスタビットを設定することにより、複数の機能モジュールは一斉に起動される。

30

【発明の効果】

【0011】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0012】

すなわち、マスタビットレジスタにマスタビットを設定することにより、複数の機能モジュールが一斉に起動されることから、複数の機能モジュールの同時起動が可能になる。

【図面の簡単な説明】

40

【0013】

【図1】本発明にかかるデータ処理装置の一例とされるマイクロコンピュータの構成例ブロック図である。

【図2】図1に示されるマイクロコンピュータにおける複数のタイマ同時起動についてのフローチャートである。

【図3】本発明にかかるデータ処理装置の一例とされるマイクロコンピュータの別の構成例ブロック図である。

【図4】図3に示されるマイクロコンピュータにおける複数のタイマ同時起動についてのフローチャートである。

【図5】図3に示されるマイクロコンピュータに含まれるマスタビット選択回路の構成例

50

回路図である。

【図6】図3に示されるマイクロコンピュータに含まれるマスタビット選択回路の別の構成例回路図である。

【図7】図3に示されるマイクロコンピュータにおける主要動作の流れを示すフローチャートである。

【図8】図3に示されるマイクロコンピュータにおける主要動作の説明図である。

【図9】図3に示されるマイクロコンピュータに設けられる起動完了通知回路の構成例回路図である。

【図10】図9に示される起動完了通知回路における主要部の動作タイミング図である。

【図11】本発明にかかるデータ処理装置の一例とされるマイクロコンピュータの別の構成例ブロック図である。

10

【図12】図11に示されるマイクロコンピュータに設けられる起動完了フラグ出力回路の構成例回路図である。

【図13】図11に示されるマイクロコンピュータに設けられる起動完了フラグ出力回路の別の構成例回路図である。

【発明を実施するための形態】

【0014】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

20

【0015】

〔1〕本発明の代表的な実施の形態に係るデータ処理装置(100)は、CPU(102)、CPUバス(105)、複数の機能モジュール(110, 111, 119, 120)、マスタビットレジスタ(118)を含む。複数の機能モジュール(110, 111, 119, 120)は、上記CPUバスを介して上記CPUに結合され、それぞれ起動ビットが設定されることで起動される。マスタビットレジスタ(118)には、上記複数の機能モジュールにおける起動ビットを操作可能なマスタビットが保持される。上記マスタビットレジスタにおけるマスタビットは、上記CPUによって設定することができる。

【0016】

30

上記の構成によれば、マスタビットレジスタ(118)にマスタビットを設定することにより、複数の機能モジュール(110, 111, 119, 120)を一斉に起動することが可能になる。しかも、かかる構成においては、複数の機能モジュール間で、起動ビットを同じレジスタに割り付けるものではないので、製品毎にレジスタのビット割り付けを変える必要はない。

【0017】

〔2〕上記〔1〕において、上記マスタビットレジスタ(118)は複数配置することができる。その場合において、個々のマスタビットレジスタには、上記複数の機能モジュールにおける起動ビットを操作可能なマスタビットが保持される。

【0018】

40

〔3〕また、上記データ処理装置(100)は、CPU(102)、CPUバス(105)、複数の機能モジュール(108~115, 119, 120)、マスタビットレジスタ(118)を含んで構成することができる。かかる場合において、上記機能モジュール(108~115, 119, 120)は、上記マスタビットレジスタ(118)の出力信号を選択的に取り込むためのマスタビット選択回路(SEL)を含んで構成することができる。各機能モジュール(108~115, 119, 120)においては、マスタビット選択回路(SEL)が設けられることにより、上記マスタビットレジスタ(118)の出力信号を選択的に取り込むことができ、それに基づいて、各機能モジュール毎の起動ビットを設定することができる。

【0019】

50

〔４〕上記〔３〕において、上記マスタビット選択回路（SEL）は、上記マスタビットレジスタからの複数の出力信号のうちの一つを上記起動ビット設定用に選択するためのセレクタ（５０１）と、上記セレクタ（５０１）の選択動作を決定するためのマスタビット選択レジスタ（５０２）とを含んで構成することができる。

【００２０】

〔５〕上記〔３〕において、上記マスタビット選択回路は、上記マスタビットレジスタからの複数の出力信号のうち任意信号のオア論理を出力するためのセレクタ（５０５）と、上記マスタビットレジスタからの複数の出力信号のうち任意信号を決定するためのマスタビット選択レジスタ（５０６）とを含んで構成することができる。かかる場合において、上記マスタビットレジスタからの複数の出力信号のうち任意信号は、上記セレクタ（５０５）において、マスタビット選択レジスタ（５０６）の出力信号と、上記マスタビット選択レジスタ（５０６）の出力とのアンド論理を得ることによって容易に決定することができる。上記のようにマスタビットバス１２１を介して伝達された信号と、マスタビット選択レジスタ５０６の出力信号とのアンド論理を得るようにしているため、マスタビットレジスタ１１８にかかわらず、マスタビット選択レジスタ５０６への情報設定により、選択されるマスタビットを複数指定することができる。

10

【００２１】

〔６〕上記〔４〕又は〔５〕において、上記マスタビット選択レジスタ（５０２，５０６）は、上記CPU（１０２）によって管理されるアドレス空間に配置することができ、そのようにすることで、上記マスタビット選択レジスタ（５０２，５０６）の書き換えを上記CPU（１０２）によって行うことができる。

20

【００２２】

〔７〕上記〔３〕において、上記マスタビット選択回路（SEL）には、上記機能モジュールの起動完了を示す起動完了フラグを形成するための起動完了通知回路（９００）を設けることができる。

【００２３】

〔８〕上記〔７〕において、上記起動完了フラグを出力するための起動完了フラグ出力回路（SFC）と、上記複数の機能モジュールにおける上記起動完了フラグ出力回路からの出力信号のワイヤードアンド論理を取得可能な起動完了バス（１２２）と、起動完了ビットが設定される起動完了レジスタ（１２３）とを設けることができる。この場合において、上記起動完了レジスタを、上記CPUによって管理されるアドレス空間に配置することができる。そのようにすることで、同時起動にかかる機能モジュールからの起動完了フラグを纏めてモニタすることができるので、上記CPUにおいては、複数の機能モジュールの同時起動が完了したか否かの判別を容易に行うことができる。

30

【００２４】

２．実施の形態の詳細

実施の形態について更に詳述する。

【００２５】

<実施の形態１>

図１には、本発明にかかるデータ処理装置の一例とされるマイクロコンピュータが示される。

40

【００２６】

マイクロコンピュータ１００は、特に制限されないが、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。マイクロコンピュータ１００は、割り込み制御回路１０１、CPU（中央処理装置）コア１０２、内蔵RAM（ランダム・アクセス・メモリ）１０３、内蔵ROM（リード・オンリー・メモリ）１０４を含む。上記CPU（中央処理装置）コア１０２、内蔵RAM（ランダム・アクセス・メモリ）１０３、内蔵ROM（リード・オンリー・メモリ）１０４は、３２ビット構成のCPUバス１０５によって互いに信号のやり取り可能に結合される。また、上記CPUバス１０５には、それぞれバスブリッジ１０６，１０７を介して周辺バス１１６，１１７が

50

結合される。周辺バス 116 は 16 ビット構成とされ、周辺バス 117 は 8 ビット構成とされる。この周辺バス 116, 117 には、それぞれ特定の機能を有する機能モジュールが結合される。例えば周辺バス 116 に結合された機能モジュールとして、I2C (Inter-Integrated Circuit Bus IF: 相互統合回路バスインタフェース) 108, 109、タイマ 110, 111 を挙げることができる。周辺バス 117 に結合された機能モジュールとして、シリアル通信インタフェース (SCI) 112、アナログ・デジタル・コンバータ (ADC) 113、デジタル・アナログ・コンバータ (DAC) 114, 115、タイマ 119, 120 を挙げることができる。上記 I2C 108, 109、タイマ 110, 111, 119, 120、シリアル通信インタフェース (SCI) 112、アナログ・デジタル・コンバータ (ADC) 113、デジタル・アナログ・コンバータ (DAC) 114, 115 は、IP (Intellectual Property) として提供される。また、上記周辺バス 117 には、マスタビットを保持するためのマスタビットレジスタ 118 が結合される。そしてこのマスタビットレジスタ 118 と上記タイマ 110, 111, 119, 120 とは、上記マスタビットレジスタ 118 の出力信号を上記タイマ 110, 111, 119, 120 に伝達するための専用線 99 を介して結合される。

10

【0027】

上記 CPU コア 102 は、予め設定されたプログラムに従って所定の演算処理を実行する。上記内蔵 RAM 103 は、上記 CPU コア 102 で行われる演算処理の作業領域に使用される。上記内蔵 ROM 104 は、上記 CPU コア 102 で実行されるプログラムを記憶するプログラムメモリとして機能する。プログラムメモリは、電気的に書き換え可能なフラッシュメモリによって形成される場合もある。上記 I2C 108, 109 は外部に接続される周辺デバイスと接続され、外部との間でシリアル通信を行うために設けられる。上記タイマ 110, 111, 119, 120 は、各種信号生成や各種処理における時間計測に用いられる。上記シリアル通信インタフェース 112 は、このマイクロコンピュータ 100 の外部との間でシリアル通信を行うために設けられる。アナログ・デジタル・コンバータ 113 は、入力されたアナログ信号をデジタル信号に変換する。デジタル・アナログ・コンバータ 114, 115 は、入力されたデジタル信号をアナログ信号に変換する。

20

【0028】

上記 I2C 108, 109、タイマ 110, 111, 119, 120、シリアル通信インタフェース 112、アナログ・デジタル・コンバータ 113、デジタル・アナログ・コンバータ 114, 115 は、それぞれ CPU コア 102 によって設定可能な制御レジスタ CNTL を含む。この制御レジスタ CNTL の設定によって各機能モジュールの動作が制御されるようになっている。各機能モジュール内の制御レジスタ CNTL には、起動ビットを保持するレジスタが含まれ、この起動ビットが設定されることによって当該機能モジュールが起動される。

30

【0029】

このマイクロコンピュータ 100 が搭載されるシステムによっては、マイクロコンピュータ 100 内の複数の機能モジュールの動作開始タイミングを揃えたい場合がある。例えば 4 個のタイマ 110, 111, 119, 120 の起動タイミングを揃えようとしても、CPU コア 102 の命令実行クロック数と、互いに異なるクロック間の再同期化待ちの時間との調整が必要で、起動タイミングを正確に揃えるのは困難である。

40

【0030】

そこでこのマイクロコンピュータ 100 には、タイマ 110, 111, 119, 120 の起動ビットを操作可能なマスタビットレジスタ 118 が設けられている。このマスタビットレジスタ 118 には、CPU コア 102 によってマスタビットの設定が可能とされる。このマスタビットによれば、タイマ 110, 111, 119, 120 のうち任意の組み合わせで起動ビットを設定することができる。例えばタイマ 110, 111, 119, 120 の全ての起動タイミングを揃えたい場合、マスタビットレジスタ 118 の出力によって、タイマ 110, 111, 119, 120 の全ての起動ビットが一斉に選択レベルに設定されるように構成する。

50

【 0 0 3 1 】

図 2 には、図 1 に示されるマイクロコンピュータ 1 0 0 におけるタイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 の同時起動についてのフローチャートが示される。

【 0 0 3 2 】

タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 の同時起動に先立って、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 の初期設定が行われる (S 1 1 ~ S 1 4) 。つまり、CPU コア 1 0 2 によって、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 内の制御レジスタ C N T R に所定の制御情報が書き込まれる。

【 0 0 3 3 】

次に、マスタビットレジスタ 1 1 8 のマスタビットが選択レベルに設定されることによって、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 の同時起動が指示される (S 1 5) 。マスタビットレジスタ 1 1 8 のマスタビット設定は、CPU コア 1 0 2 により周辺バス 1 1 7 を介して行われる。

10

【 0 0 3 4 】

そして、上記マスタビットが選択レベルに設定されると、それに応じて、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 の全ての起動ビットが一斉に選択レベルに設定される。このような設定により、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 の同時起動が可能になる。

【 0 0 3 5 】

上記の構成例では、マスタビットレジスタ 1 1 8 のマスタビットが選択レベルに設定されることによって、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 の同時起動が指示される場合について説明したが、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 のうちの任意の組み合わせについて同時起動を行うことができる。例えばマスタビットレジスタ 1 1 8 のマスタビットによって、タイマ 1 1 0 , 1 1 1 又はタイマ 1 1 9 , 1 2 0 についての同時起動を行うようにしても良い。また、マスタビットレジスタ 1 1 8 を複数個設け、このマスタビットレジスタ毎に、同時起動するタイマの組み合わせを異ならせるようにしても良い。

20

【 0 0 3 6 】

実施の形態 1 においては、以下の作用効果を得ることができる。

【 0 0 3 7 】

(1) CPU コア 1 0 2 から周辺バス 1 1 7 を介してマスタビットレジスタ 1 1 8 にマスタビットを設定することにより、複数のタイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 を一斉に起動することができる。

30

【 0 0 3 8 】

(2) このようマイクロコンピュータ 1 0 0 は、複数のタイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 が一斉に起動される場合において、複数のタイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 間で、起動ビットを同じレジスタに割り付けるものではないので、製品毎にレジスタのビット割付けを変える必要はなく、汎用性に優れる。

【 0 0 3 9 】

(3) マスタビットレジスタ 1 1 8 を複数個設け、このマスタビットレジスタ毎に、同時起動するタイマの組み合わせを異ならせるようにすることで、同時起動するタイマの組み合わせとして複数パターンに対応することができる。

40

【 0 0 4 0 】

< 実施の形態 2 >

図 3 には、マイクロコンピュータ 1 0 0 の別の構成例が示される。

【 0 0 4 1 】

図 3 に示されるマイクロコンピュータ 1 0 0 が、図 1 に示されるマイクロコンピュータ 1 0 0 と大きく異なるのは、それぞれの周辺モジュール内にマスタビット選択回路 S E L が設けられている点である。マスタビット選択回路 S E L は、I 2 C 1 0 8 , 1 0 9 、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0 、シリアル通信インタフェース 1 1 2 、アナログ・デジタル・コンバータ 1 1 3 、デジタル・アナログ・コンバータ 1 1 4 , 1 1 5 内に設けられ、マスタビットの選択を可能とする。各機能モジュールにおいて、内部のマスタビッ

50

ト選択回路SELによって選択されたマスタビットによって制御レジスタCNT Rの起動ビットが設定されるようになっている。また、マスタビットレジスタ118と、上記IC108, 109、タイマ110, 111, 119, 120、シリアル通信インタフェース112、アナログ・デジタル・コンバータ113、デジタル・アナログ・コンバータ114, 115とは、8ビット構成のマスタビットバス121を介して結合される。これにより、マスタビットレジスタ118の出力信号は、マスタビットバス121を介して複数の機能モジュールへ共通に伝達される。

【0042】

IC108, 109、タイマ110, 111, 119, 120、シリアル通信インタフェース112、アナログ・デジタル・コンバータ113、デジタル・アナログ・コンバータ114, 115内に設けられるマスタビット選択回路SELは、互いに同一構成とされる。

10

【0043】

図5には、タイマ120内に設けられたマスタビット選択回路SELの構成例が代表的に示される。

【0044】

マスタビット選択回路SELは、特に制限されないが、セクタ501と、マスタビット選択レジスタ502とを含んで成る。セクタ501は、上記マスタビットレジスタ118から8ビット構成のマスタビットバス121を介して伝達された複数の出力信号のうちの一つが選択されて出力される。選択されたマスタビットによって制御レジスタCNT Rの起動ビットが設定される。マスタビット選択レジスタ502は、3ビット構成とされ、周辺バス117に結合されている。マスタビット選択レジスタ502には、CPUコア102によってマスタビット選択情報が設定される。このマスタビット選択情報に従ってセクタ501の選択動作が制御される。つまり、CPUコア102によって設定されたマスタビット選択情報に従って、マスタビットバス121のうちの任意の1ビットが選択される。

20

【0045】

尚、セクタ501によって選択されたマスタビットは、フリップフロップ回路503, 504によって、クロック信号CLKで再同期化してから制御レジスタCNT Rに伝達されるように構成することができる。

30

【0046】

図4には、図3に示されるマイクロコンピュータ100におけるタイマ110, 111, 119, 120の同時起動についてのフローチャートが示される。

【0047】

タイマ110, 111, 119, 120の同時起動に先立って、タイマ110, 111, 119, 120の初期設定が行われる(S21~S24)。つまり、CPUコア102によって、タイマ110, 111, 119, 120内の制御レジスタCNT Rに所定の制御情報が書き込まれる。

【0048】

次に、マスタビット選択のため、タイマ110, 111, 119, 120におけるマスタビット選択レジスタ502(又は506)への情報設定が行われる(S25~S28)。

40

【0049】

そして、マスタビットレジスタ118のマスタビットが選択レベルに設定されることによって、タイマ110, 111, 119, 120の同時起動が指示される(S15)。これにより、上記ステップS25~S28においてマスタビットが選択されたタイマ群を一斉に起動することができる。また、各機能モジュール内のマスタビット選択回路SELによって、マスタビットバス121が参照されるので、同時起動が可能になるのは、タイマ110, 111, 119, 120に限定されるものではない。マスタビットバス121に接続されている全ての機能モジュールを同時起動の対象とすることができる。

50

【 0 0 5 0 】

図 6 には、タイマ 1 2 0 内に設けられたマスタビット選択回路 S E L の別の構成例が示される。

【 0 0 5 1 】

図 6 に示されるマスタビット選択回路 S E L は、上記マスタビットレジスタからの複数の出力信号の任意ビットのオア論理を出力するためのセクタ 5 0 5 と、上記セクタ 5 0 5 の動作制御のための情報が設定されるマスタビット選択レジスタ 5 0 6 とを含んで成る。マスタビット選択レジスタ 5 0 6 は、8 ビット構成とされ、周辺バス 1 1 7 に結合されている。マスタビット選択レジスタ 5 0 6 には、C P U コア 1 0 2 によってマスタビット選択情報が設定される。このマスタビット選択情報に従ってセクタ 5 0 5 の選択動作が制御される。上記セクタ 5 0 5 は、8 個の 2 入力アンドゲート 6 0 0 ~ 6 0 7 と、8 入力のオアゲート 5 1 1 とが結合されて成る。8 個の 2 入力アンドゲート 6 0 0 ~ 6 0 7 は、上記マスタビットレジスタ 1 1 8 からマスタビットバス 1 2 1 を介して伝達された信号と、上記マスタビット選択レジスタ 5 0 6 の出力信号とのアンド論理を得る。そして、オアゲート 5 1 1 において、8 個の 2 入力アンドゲート 6 0 0 ~ 6 0 7 の出力信号のオア論理が得られることでマスタビットの選択が行われる。

10

【 0 0 5 2 】

図 5 に示される構成では、各機能モジュールにおいて参照されるマスタビットがひとつである。しかし、図 6 に示される構成では、マスタビット選択レジスタ 5 0 6 の出力信号とのアンド論理を得るようにしているため、マスタビットレジスタ 1 1 8 にかかわらず、マスタビット選択レジスタ 5 0 6 への情報設定により、選択されるマスタビットを複数指定することができる。

20

【 0 0 5 3 】

尚、図 5 に示される場合と同様に、セクタ 5 0 5 によって選択されたマスタビットは、フリップフロップ回路 5 0 3 , 5 0 4 によって、クロック信号 C L K で再同期化してから制御レジスタ C N T R に伝達されるようにしても良い。

【 0 0 5 4 】

多くの機能モジュールが設けられたマイクロコンピュータ 1 0 0 において、全てのアプリケーションで必要とされる同時起動の組み合わせをマスタビットレジスタ 1 1 8 に設定するのは現実的でない。これに対して図 6 に示される構成では、マスタビット選択回路 S E L 内のマスタビット選択レジスタ 5 0 6 の設定情報を必要に応じて変更することによって、同時起動の組み合わせを変更することができるので、全てのアプリケーションで必要とされる同時起動の組み合わせに容易に対応することができる。これについて、図 7 及び図 8 に基づいて説明する。

30

【 0 0 5 5 】

マイクロコンピュータ 1 0 0 はプロセス # 1 とプロセス # 2 を有するものとする。そして図 8 に示されるように、プロセス # 1 ではタイマ 1 1 0 , 1 1 1 と、タイマ 1 1 0 , 1 1 9 とが交互に同時起動され、プロセス # 2 ではタイマ 1 2 0 とデジタル・アナログ・コンバータ (D A C) 1 1 4 とが同時起動されるものとする。リソースに着目すると、図 7 (A) に示されるようになる。

40

【 0 0 5 6 】

タイマ 1 1 0 , 1 1 1 , 1 1 9 がプロセス # 1 で取得され (S 3 1 ~ 3 3)、マスタビットバス 1 2 1 のビット 0 , 1 がプロセス # 1 で取得される (S 3 4 , S 3 5)。そして、タイマ 1 2 0 及びデジタル・アナログ・コンバータ (D A C) 1 1 4 がプロセス # 2 で取得され (S 3 6 , S 3 7)、マスタビットバス 1 2 1 のビット 2 がプロセス # 2 で取得される (S 3 8)。

【 0 0 5 7 】

この場合の同時起動は、図 7 (B) に示されるように行われる。先ず、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0、及びデジタル・アナログ・コンバータ (D A C) 1 1 4 の初期設定が行われる (S 4 1 ~ S 4 5)。この初期設定において、C P U コア 1 0 2 によって

50

、タイマ110, 111, 119, 120、及びデジタル・アナログ・コンバータ(DAC)114内の制御レジスタCNT Rに所定の制御情報が書き込まれる。

【0058】

次に、マスタビット選択のため、タイマ110, 111, 119, 120、及びデジタル・アナログ・コンバータ(DAC)114におけるマスタビット選択レジスタ506への情報設定が行われる(S46~S50)。タイマ110内のマスタビット選択レジスタ506にはマスタビット0, 1が選択されるようにフラグが設定され(S46)。タイマ111内のマスタビット選択レジスタ506にはマスタビット0が選択されるようにフラグが設定される(S47)。タイマ119内のマスタビット選択レジスタ506にはマスタビット1が選択されるようにフラグが設定される(S48)。タイマ120内のマスタビット選択レジスタ506にはマスタビット2が選択されるようにフラグが設定される(S49)。デジタル・アナログ・コンバータ(DAC)114内のマスタビット選択レジスタ506にはマスタビット2が選択されるようにフラグが設定される(S50)。これにより、選択されたマスタビットに応じて機能モジュールが同時起動される。

10

【0059】

ここで、マスタビット選択回路SELとして、図5に示される構成を採用した場合には、プロセス#1において、同時起動毎に、必ずマスタビット選択レジスタ502への書き込み(フラグ設定)が必要となる。これに対して、マスタビット選択回路SELとして、図6に示される構成を採用した場合には、複数のマスタビットの参照が可能となり、重複した機能モジュールで同時起動の任意グループの構成が可能になることから、同時起動毎のマスタビット選択レジスタ502への書き込みは必ずしも必要ではない。

20

【0060】

次に、機能モジュールが起動したことをCPUコア102に知らせるための起動完了通知について説明する。

【0061】

図9には、起動完了通知のための起動完了フラグを形成する起動完了通知回路の構成が示される。また、図10には、図9における主要部の動作タイミングが示される。

【0062】

各機能モジュールに、図9に示されるような起動完了通知回路900を設けることができる。この起動完了通知回路900は、図5又は図6に示されるマスタビット選択回路SELに対応するもので、フリップフロップ回路902, 903、2入力ナンドゲート904とを含んで成る。フリップフロップ回路902のデータ入力端子(D)には、セレクタ501又は505で選択されたマスタビット(制御レジスタCNT Rに設定される起動ビット)901が伝達される。フリップフロップ回路902の出力端子(Q)の出力信号は、後段のフリップフロップ回路903のデータ入力端子(D)に伝達される。上記フリップフロップ回路902には周辺バス116又は117のクロック信号が供給され、上記フリップフロップ回路903には、上記フリップフロップ回路903が内蔵される機能モジュールにおけるクロック信号が供給される。図10に示されるように、周辺バス116又は117のクロック信号や、機能モジュールにおけるクロック信号は、CPUバス105のクロック信号(CPUクロック信号)に比べて周波数が低い。フリップフロップ回路902では、セレクタ501で選択されたマスタビット901が周辺バス116又は117のクロック信号で同期化され、フリップフロップ回路903では、フリップフロップ回路902の出力信号が機能モジュールのクロック信号で同期化される。上記フリップフロップ回路903の出力端子(Q)の出力信号と、上記フリップフロップ回路902の出力端子(Q)の出力信号とのアンド論理の反転出力がナンドゲート904で得られる。このナンドゲート904の出力が起動完了フラグとされる。この起動完了フラグは、ローアクティブの信号とされ、各機能モジュールにおける制御レジスタCNT Rの所定ビットに設定される。CPUコア102は、周辺バス116又は117を介して、同時起動にかかる機能モジュールからの起動完了フラグをモニタすることによって、複数の機能モジュールの同時起動が完了したか否かを判別することができる。

30

40

50

【 0 0 6 3 】

実施の形態 2 によれば、以下の作用効果を得ることができる。

【 0 0 6 4 】

(1) マイクロコンピュータ 1 0 0 は、 I 2 C 1 0 8 , 1 0 9、タイマ 1 1 0 , 1 1 1 , 1 1 9 , 1 2 0、シリアル通信インタフェース 1 1 2、アナログ・デジタル・コンバータ 1 1 3、デジタル・アナログ・コンバータ 1 1 4 , 1 1 5 内に、マスタビットの選択を可能とするマスタビット選択回路 S E L が設けられている。このような各機能モジュール (1 0 8 ~ 1 1 5 , 1 1 9 , 1 2 0) においては、マスタビット選択回路 S E L が設けられることにより、マスタビットレジスタ 1 1 8 の出力信号を選択的に取り込むことができ、それに基づいて、各機能モジュール (1 0 8 ~ 1 1 5 , 1 1 9 , 1 2 0) 毎の起動ビットを設定することができる。

10

【 0 0 6 5 】

(2) 上記マスタビット選択回路 S E L は、図 5 に示されるように、上記マスタビットレジスタからの複数の出力信号のうちの一つを上記起動ビット設定用に選択するためのセクタ 5 0 1 と、上記セクタ 5 0 1 の選択動作を決定するためのマスタビット選択レジスタ 5 0 2 とを含んで容易に構成することができる。マスタビット選択レジスタ 5 0 2 には、 C P U コア 1 0 2 によってマスタビット選択情報が設定される。このマスタビット選択情報に従ってセクタ 5 0 1 の選択動作が制御されることにより、マスタビットバス 1 2 1 のうちの任意の 1 ビットが容易に選択される。

【 0 0 6 6 】

(3) 上記マスタビット選択回路 S E L は、図 6 に示されるように、上記マスタビットレジスタからの複数の出力信号の任意ビットのオア論理を出力するためのセクタ 5 0 5 と、上記セクタ 5 0 5 の動作制御のための情報が設定されるマスタビット選択レジスタ 5 0 6 とを含んで構成することができる。上記セクタ 5 0 5 は、 2 入力アンドゲート 6 0 0 ~ 6 0 7 と、オアゲート 5 1 1 とが結合されて成る。 2 入力アンドゲート 6 0 0 ~ 6 0 7 は、上記マスタビットレジスタ 1 1 8 からマスタビットバス 1 2 1 を介して伝達された信号と、上記マスタビット選択レジスタ 5 0 6 の出力信号とのアンド論理を得る。そして、オアゲート 5 1 1 において、 2 入力アンドゲート 6 0 0 ~ 6 0 7 の出力信号のオア論理が得られることでマスタビットの選択が行われる。かかる構成によれば、マスタビットバス 1 2 1 を介して伝達された信号と、マスタビット選択レジスタ 5 0 6 の出力信号とのアンド論理を得るようにしているため、マスタビットレジスタ 1 1 8 にかかわらず、マスタビット選択レジスタ 5 0 6 への情報設定により、選択されるマスタビットを複数指定することができる。

20

30

【 0 0 6 7 】

(4) 上記マスタビット選択レジスタ 5 0 2 , 5 0 6 は、上記 C P U コア 1 0 2 によって管理されるアドレス空間に配置することができ、そのようにすることで、上記マスタビット選択レジスタ 5 0 2 , 5 0 6 の書き換えを上記 C P U コア 1 0 2 によって容易に行うことができる。

【 0 0 6 8 】

(5) 上記マスタビット選択回路 S E L には、上記機能モジュールの起動完了を示す起動完了フラグを形成するための起動完了通知回路 9 0 0 を設けることができる。この起動完了通知回路 9 0 0 は、図 5 又は図 6 に示されるマスタビット選択回路 S E L に対応するもので、フリップフロップ回路 9 0 2 , 9 0 3、 2 入力ナンドゲート 9 0 4 とを含んで成る。フリップフロップ回路 9 0 2 では、セクタ 5 0 1 で選択されたマスタビット 9 0 1 が周辺バス 1 1 6 又は 1 1 7 のクロック信号で同期化され、フリップフロップ回路 9 0 3 では、フリップフロップ回路 9 0 2 の出力信号が機能モジュールのクロック信号で同期化される。上記フリップフロップ回路 9 0 3 の出力端子 (Q) の出力信号と、上記フリップフロップ回路 9 0 2 の出力端子 (Q) の出力信号とのアンド論理がナンドゲート 9 0 4 で得られる。このナンドゲート 9 0 4 の出力が起動完了フラグとされる。この起動完了フラグは、ハイアクティブの信号とされ、各機能モジュールにおける制御レジスタ C N T R の

40

50

所定ビットに設定される。CPUコア102は、周辺バス116又は117を介して、同時起動にかかる機能モジュールからの起動完了フラグをモニタすることによって、複数の機能モジュールの同時起動が完了したか否かを容易に判別することができる。

【0069】

<実施の形態3>

図11には、本発明にかかるデータ処理装置の一例とされるマイクロコンピュータの別の構成例が示される。図11に示されるマイクロコンピュータ100が、図3に示されるのと大きく相違するのは、同時起動にかかる機能モジュールからの起動完了フラグを纏めて保持するための起動完了レジスタ123が設けられている点である。この起動完了レジスタ123は、8ビット構成とされ、周辺バス117に結合される。また起動完了レジスタ123は、起動完了バス122を介して各機能モジュール(108~115, 119, 120)に結合される。各起動完了バス122では、各機能モジュールから出力された複数の起動完了フラグのワイヤードアンド論理が得られるようになっている。そしてこの各機能モジュールから出力された複数の起動完了フラグのワイヤードアンド論理の結果が起動完了レジスタ123に保持されるようになっている。CPUコア102は、起動完了レジスタ123の保持情報をモニタすることによって、複数の機能モジュールの同時起動が完了したか否かを判別することができる。このような判別を円滑に行うため、各機能モジュール(108~115, 119, 120)内には、図12又は図13に示されるような起動完了フラグ出力回路SFCを設けることができる。

【0070】

図12に示される起動完了フラグ出力回路SFCは、図5に示されるマスタビット選択回路SELに対応している。この起動完了フラグ出力回路SFCは、各機能モジュール内の起動完了フラグ(図9及び図10参照)を振り分けるためのマルチプレクサ124と、このマルチプレクサ124によって振り分けられた起動完了フラグが伝達されるnチャンネル型MOSトランジスタ125~132とを含む。nチャンネル型MOSトランジスタ125~132のソース電極は低電位側電源Vssに結合される。nチャンネル型MOSトランジスタ125~132のドレイン電極は、起動完了バス122の対応ビットに結合される。起動完了バス122の各ビットは、それぞれ抵抗Rを介して高電位側電源Vddにプルアップされている。

【0071】

マルチプレクサ124は、当該マルチプレクサ124が内蔵される機能モジュール内のマスタビット選択レジスタ502の3ビット出力によって動作制御される。このようにすることで、各機能モジュール内のマスタビット(起動ビット)と、起動完了フラグ出力回路SFCの出力との対応をとることができる。起動完了フラグがローレベルにアサートされ(図10参照)、それが、マルチプレクサ124を介してnチャンネル型MOSトランジスタ125~132のいずれかに伝達されると、当該MOSトランジスタがオフされる。それにより、起動完了バス122における対応ビットは、当該MOSトランジスタにより低電位側電源Vss側に引き抜かれていた電位が抵抗Rにより高電位側電源Vddにプルアップされるため、それまでのローレベルからハイレベルに遷移される。

【0072】

各機能モジュール(108~115, 119, 120)における起動完了フラグ出力回路SFCが、上記のように動作することにより、各機能モジュールにおける起動完了フラグ出力回路SFCからの出力信号のワイヤードアンド論理を得ることができる。これにより、同時起動にかかる全ての機能モジュール内の起動完了フラグ出力回路SFCからの出力信号がハイレベルの場合にのみ、起動完了レジスタ123における対応ビットがハイレベルに保持される。起動完了レジスタ123における対応ビットがハイレベルの場合、CPUコア102は、同時起動にかかる複数の機能モジュールの同時起動が完了したと判断する。

【0073】

図13に示される起動完了フラグ出力回路SFCは、図6に示されるマスタビット選択

10

20

30

40

50

回路SELに対応している。図13に示される起動完了フラグ出力回路SFCが、図12に示されるのと大きく相違するのは、マルチプレクサ124に代えて、8個の2入力アンドゲート140～147が設けられている点である。この8個の2入力アンドゲート140～147は、図6における8個の2入力アンドゲート600～607に対応するもので、この8個の2入力アンドゲート600～607と同様に、マスタビット選択レジスタ506の出力信号が伝達される。8個の2入力アンドゲート140～147により、起動完了フラグとマスタビット選択レジスタ506の出力信号とのアンド論理が得られ、そのようなアンドゲートの出力信号が、対応するnチャンネル型MOSトランジスタ125～132に伝達されるようになっている。

【0074】

実施の形態3によれば、以下の作用効果を得ることができる。

【0075】

起動完了フラグ出力回路SFCは、図12や図13に示されるように簡単に構成することができる。各機能モジュール(108～115, 119, 120)における起動完了フラグ出力回路SFCの動作により、各機能モジュールにおける起動完了フラグ出力回路SFCからの出力信号のワイヤードアンド論理を得ることができる。これにより、同時起動にかかる全ての機能モジュール内の起動完了フラグ出力回路SFCからの出力信号がハイレベルの場合にのみ、起動完了レジスタ123における対応ビットがハイレベルに保持される。起動完了レジスタ123における対応ビットがハイレベルの場合、CPUコア102は、同時起動にかかる複数の機能モジュールの同時起動が完了したと判断する。このように、同時起動にかかる機能モジュールからの起動完了フラグを纏めてモニタすることができるので、上記CPUにおいては、複数の機能モジュールの同時起動が完了したか否かの判別を容易に行うことができる。

【0076】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【符号の説明】

【0077】

- 99 専用線
- 100 マイクロコンピュータ
- 101 割り込み制御回路
- 102 CPUコア
- 103 内蔵RAM
- 104 内蔵ROM
- 105 CPUバス
- 106, 107 バスブリッジ
- 108, 109 I2C (Inter-Integrated Circuit Bus IF: 相互統合回路バスインタフェース)
- 110, 111, 119, 120 タイマ
- 112 シリアル通信インタフェース
- 113 アナログ・デジタル・コンバータ
- 114, 115 デジタル・アナログ・コンバータ
- 116, 117 周辺バス
- 118 マスタビットレジスタ
- 122 起動完了バス
- 123 起動完了レジスタ
- 124 セレクタ
- 125～132 nチャンネル型MOSトランジスタ
- 140～147 アンドゲート

10

20

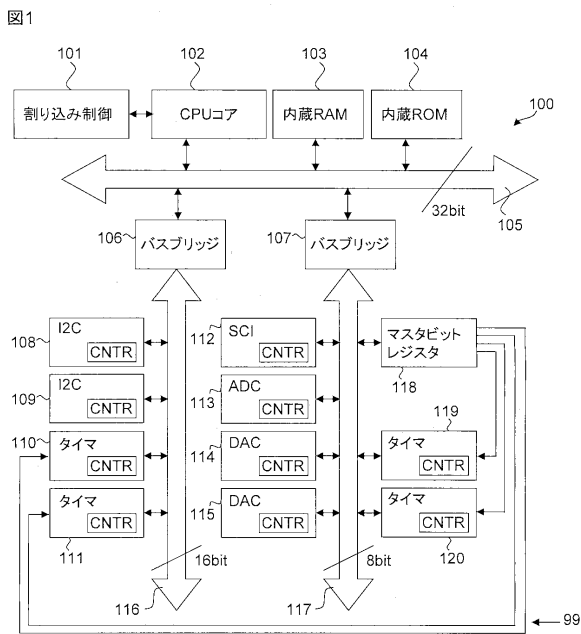
30

40

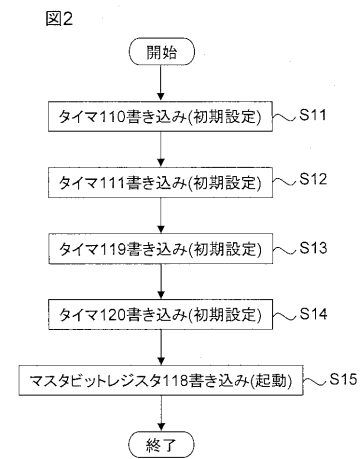
50

- 5 0 1 , 5 0 5 セレクト
- 5 0 2 , 5 0 6 マスタビット選択レジスタ
- 5 1 1 オアゲート
- 6 0 0 ~ 6 0 7 アンドゲート
- 9 0 0 起動完了通知回路
- 9 0 2 , 9 0 3 フリップフロップ回路
- 9 0 4 ナンドゲート
- S E L マスタビット選択回路
- C N T R 制御レジスタ
- S F C 起動完了フラグ出力回路

【図1】

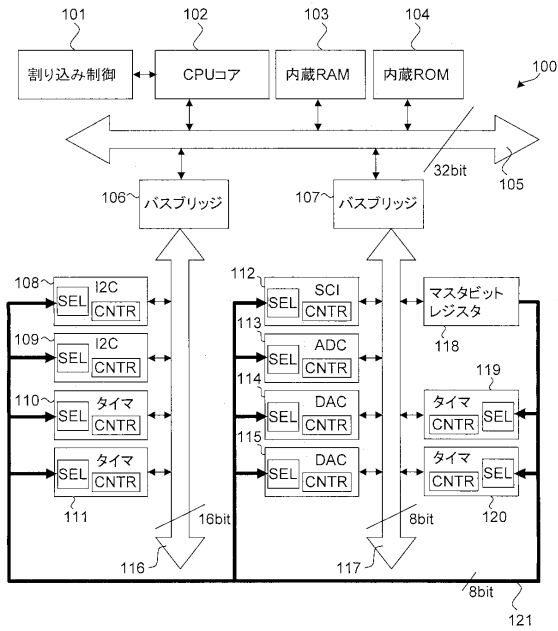


【図2】



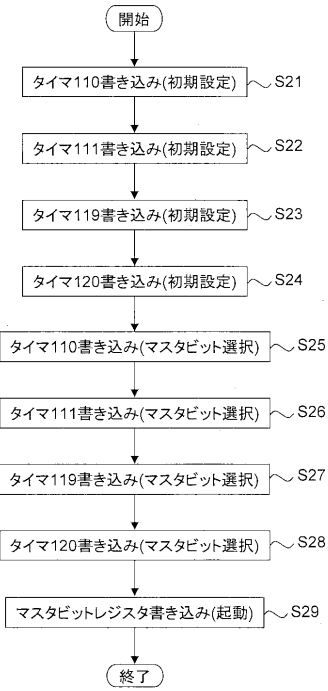
【図3】

図3



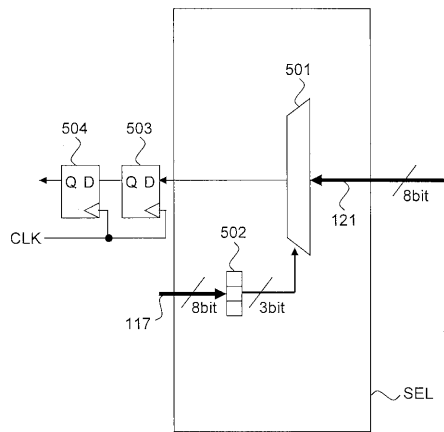
【図4】

図4



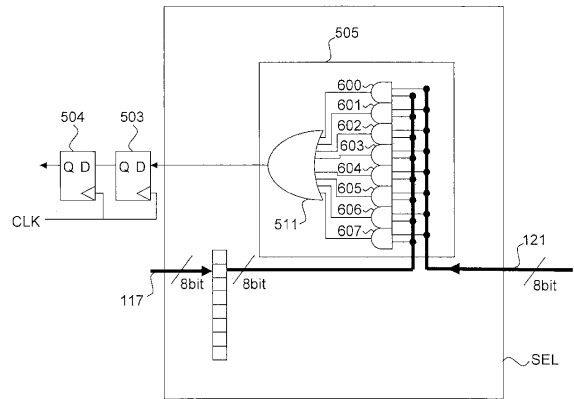
【図5】

図5



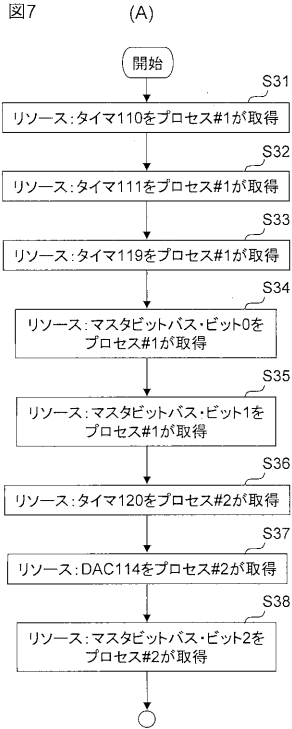
【図6】

図6



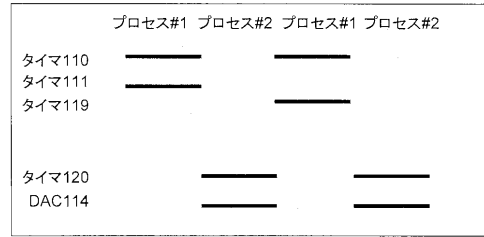
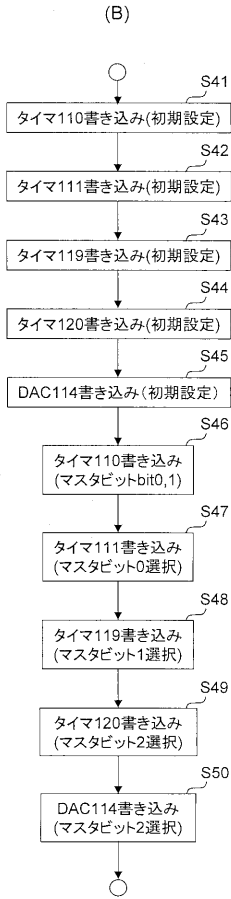
【図7】

図7



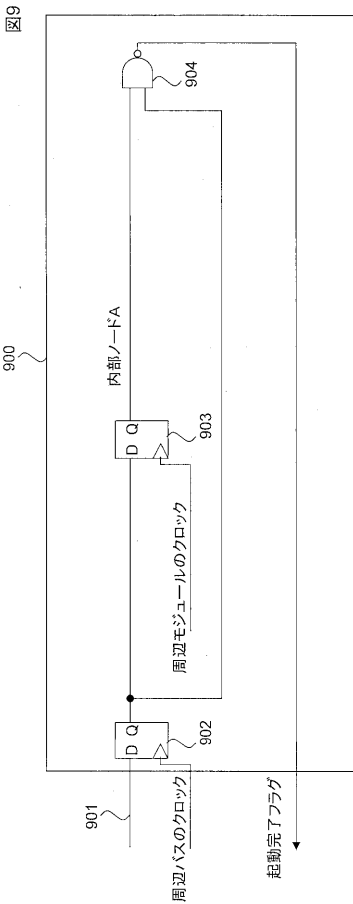
【図8】

図8



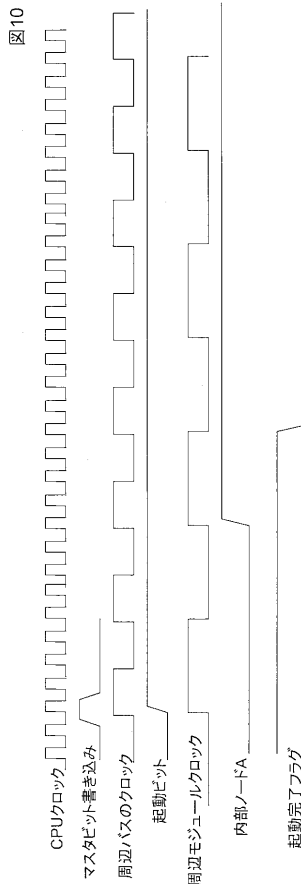
【図9】

図9



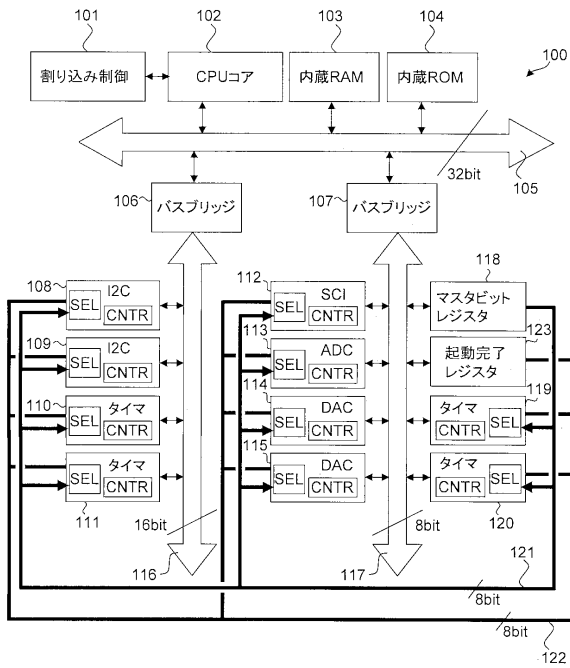
【図10】

図10



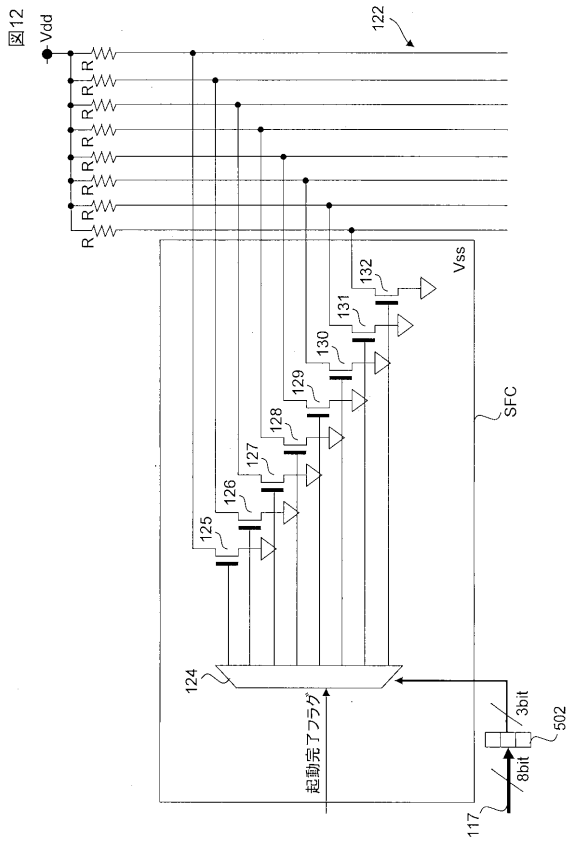
【図11】

図11



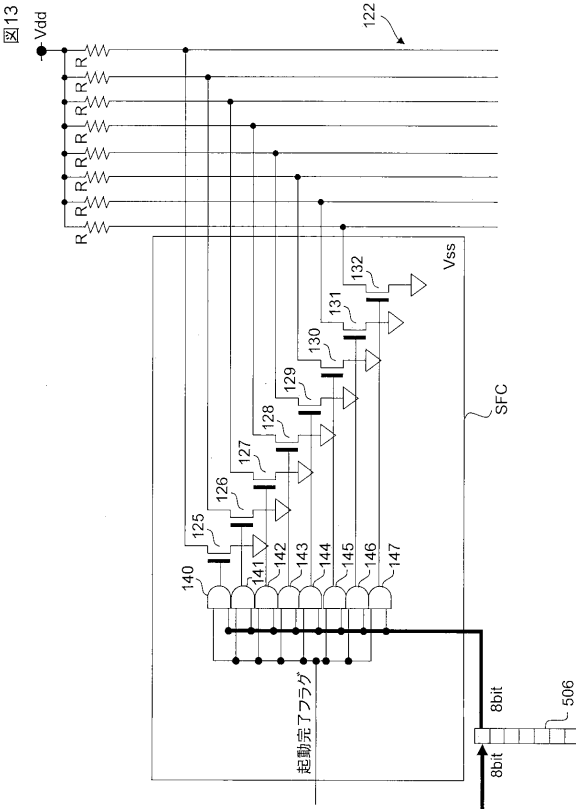
【図12】

図12



【図13】

図13



フロントページの続き

(56)参考文献 特開平06-110576(JP,A)
特開2000-099195(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/10 - 13/14

G06F 13/20 - 13/42

G06F 15/78