

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】令和5年8月7日(2023.8.7)

【公開番号】特開2023-93568(P2023-93568A)

【公開日】令和5年7月4日(2023.7.4)

【年通号数】公開公報(特許)2023-124

【出願番号】特願2023-63963(P2023-63963)

【国際特許分類】

A 6 3 F 7/02 (2006.01)

10

【F I】

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 7/02 3 0 4 D

【手続補正書】

【提出日】令和5年7月28日(2023.7.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

20

【補正の内容】

【特許請求の範囲】

【請求項1】

画像演出に必要な画像信号を生成するVDP (Video Display Processor)、及び、前記VDPの動作を規定する設定値が設定されるVDPレジスタを有するVDP回路を設け、

前記VDP回路にディスプレイリストを発行するCPUが機能して、画像演出を含んだ各種の演出動作が実行される遊技機であって、

前記CPUがアクセス可能なメモリ空間には、前記CPUを含むCPU回路の外部に位置して、データバス幅を各々規定可能な複数の外部アドレス空間が含まれ、

前記メモリ空間には、前記CPUのリセット後、最初に実行すべき初期プログラムを格納するメモリデバイスと、前記VDPレジスタとが、少なくとも位置付けられている一方、前記VDPがアクセス可能なメモリ空間には、CG圧縮データを記憶するCGメモリと、画像演出用の画像データ生成に使用されるビデオRAMと、が含まれ、

前記複数の外部アドレス空間のうち、所定のROM空間には、該外部アドレス空間に属する第1アドレス情報と、何れの外部アドレス空間にも属さない第2アドレス情報が不揮発的に記憶され、

前記CPUのリセット後、前記第2アドレス情報が、前記CPUのスタックポインタに設定され、前記第1アドレス情報が、前記CPUのプログラムカウンタに設定されることで、所定の初期プログラムの実行が開始されるよう構成されると共に、

前記ビデオRAMには、所定ビット位置以下の下位ビットが全て0となる基点アドレスに基づいて複数のメモリ領域が確保され、

所定のメモリ領域における前記CG圧縮データの展開先は、前記VDPによって規定されるよう構成されている遊技機。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

40

50

上記の目的を達成するため、本発明は、画像演出に必要な画像信号を生成する V D P (Video Display Processor)、及び、前記 V D P の動作を規定する設定値が設定される V D P レジスタを有する V D P 回路を設け、前記 V D P 回路にディスプレイリストを発行する C P U が機能して、画像演出を含んだ各種の演出動作が実行される遊技機であって、前記 C P U がアクセス可能なメモリ空間には、前記 C P U を含む C P U 回路の外部に位置して、データバス幅を各々規定可能な複数の外部アドレス空間が含まれ、前記メモリ空間には、前記 C P U のリセット後、最初に実行すべき初期プログラムを格納するメモリデバイスと、前記 V D P レジスタとが、少なくとも位置付けられている一方、前記 V D P がアクセス可能なメモリ空間には、C G 圧縮データを記憶する C G メモリと、画像演出用の画像データ生成に使用されるビデオ R A M と、が含まれ、前記複数の外部アドレス空間のうち、所定の R O M 空間にには、該外部アドレス空間に属する第 1 アドレス情報と、何れの外部アドレス空間にも属さない第 2 アドレス情報が不揮発的に記憶され、前記 C P U のリセット後、前記第 2 アドレス情報が、前記 C P U のスタックポインタに設定され、前記第 1 アドレス情報が、前記 C P U のプログラムカウンタに設定されることで、所定の初期プログラムの実行が開始されるよう構成されると共に、前記ビデオ R A M には、所定ビット位置以下の下位ビットが全て 0 となる基点アドレスに基づいて複数のメモリ領域が確保され、所定のメモリ領域における前記 C G 圧縮データの展開先は、前記 V D P によって規定されるよう構成されている。

10

20

30

40

50