

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4489618号  
(P4489618)

(45) 発行日 平成22年6月23日 (2010. 6. 23)

(24) 登録日 平成22年4月9日 (2010. 4. 9)

(51) Int. Cl.

F I

H O 1 L 21/768 (2006. 01)

H O 1 L 21/90 J

H O 1 L 23/522 (2006. 01)

C 2 3 C 16/42

C 2 3 C 16/42 (2006. 01)

H O 1 L 21/316 X

H O 1 L 21/316 (2006. 01)

請求項の数 7 (全 17 頁)

(21) 出願番号 特願2005-70788 (P2005-70788)  
 (22) 出願日 平成17年3月14日 (2005. 3. 14)  
 (65) 公開番号 特開2006-253557 (P2006-253557A)  
 (43) 公開日 平成18年9月21日 (2006. 9. 21)  
 審査請求日 平成20年3月6日 (2008. 3. 6)

(73) 特許権者 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 100080001  
 弁理士 筒井 大和  
 (72) 発明者 高安 雅美  
 東京都千代田区丸の内二丁目4番1号 株  
 式会社ルネサステクノロジ内  
 (72) 発明者 堀田 勝彦  
 東京都千代田区丸の内二丁目4番1号 株  
 式会社ルネサステクノロジ内

審査官 ▲辻▼ 弘輔

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

金属材料からなる単層または多層の配線を半導体基板上に形成する半導体装置の製造方法であって、

前記半導体基板上に層間膜として S i O C 膜を形成する工程と、

前記 S i O C 膜上に T E O S 膜を形成する工程と、

前記 S i O C 膜および T E O S 膜の所定の領域に配線溝を形成する工程と、

前記配線溝内および前記配線溝の外の前記 T E O S 膜上に前記金属材料を堆積する工程と、

前記配線溝以外の前記 T E O S 膜上の前記金属材料を C M P 法により研磨して除去する工程と、を有し、

前記 S i O C 膜は、 F T - I R から求まる前記 S i O C 膜の S i - C H <sub>3</sub> 結合と S i - O 結合との結合比が 2 . 0 5 ~ 2 . 4 9 % の範囲であることを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、前記 S i O C 膜の比誘電率は 3 以下であることを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 1 記載の半導体装置の製造方法において、前記 S i O C 膜の硬度は 2 . 8 G p a 以上であることを特徴とする半導体装置の製造方法。

10

20

## 【請求項 4】

請求項 1 記載の半導体装置の製造方法において、前記 SiO<sub>2</sub> 膜の弾性率は 1.8 GPa 以上であることを特徴とする半導体装置の製造方法。

## 【請求項 5】

請求項 1 記載の半導体装置の製造方法において、前記 SiO<sub>2</sub> 膜はプラズマ CVD 法により形成されることを特徴とする半導体装置の製造方法。

## 【請求項 6】

請求項 5 記載の半導体装置の製造方法において、前記 SiO<sub>2</sub> 膜は、圧力 400 ~ 600 Pa、DMOS 流量 200 ~ 350 sccm、He 流量 100 ~ 200 sccm、RF パワー 3000 ~ 4000 W、基板温度 350 ~ 400 の成膜条件により形成されることを特徴とする半導体装置の製造方法。

10

## 【請求項 7】

請求項 1 記載の半導体装置の製造方法において、前記配線は、銅を主導体層とするダマシン配線であることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置の製造技術に関し、特に、半導体素子と配線との間または上下の配線間を電気的に絶縁するために設けられる絶縁膜を有する半導体装置の製造に適用して有効な技術に関するものである。

20

## 【背景技術】

## 【0002】

例えば、少なくとも C/Si 比が 5 以上で、かつ、分子量が 100 以上の有機シランを原料として形成された SiOH、SiCNH および SiCH からなる有機絶縁膜、および該有機絶縁膜を用いた半導体装置、特に、溝構造を有する半導体装置が、特開 2004 - 221275 号公報（特許文献 1）に記載されている。

## 【0003】

また、約 10 W から約 200 W の一定の RF パワーレベルか、または約 20 W から約 500 W のパルス RF パワーレベルで、炭素を含む 1 以上のシリコン化合物と酸化ガスとを反応させて、低誘電率の膜を堆積させるための方法および装置が、特開 2002 - 503879 号公報（特許文献 2）に開示されている。

30

## 【0004】

また、基板上に形成された炭素含有シリコン酸化膜と、炭素含有シリコン酸化膜に埋め込まれた金属配線と、炭素含有シリコン酸化膜および金属配線の上に形成された絶縁膜を備え、上記炭素含有シリコン酸化膜は、炭素濃度が 1 atm% 以下であって最表面からの深さが 50 nm である表面層を有した半導体装置が、特開 2003 - 124307 号公報（特許文献 3）に開示されている。

## 【0005】

また、銅配線を覆うシリコンカーバイド層を有する下地構造を準備する工程と、下地構造上に、ソースガスとしてテトラメチルシクロテトラシロキサン、炭酸ガス、炭酸ガスの流量に対して 3% 以下の流量の酸素を用い、気相成長でシリコンオキシカーバイドを成長する工程とを有し、上記シリコンオキシカーバイドが水素を含み、炭素含有量約 1.8 at% 以上、比誘電率約 3.1 以下とする半導体装置の製造方法が、特開 2004 - 172590 号公報（特許文献 4）に開示されている。

40

## 【0006】

また、基板上に膜を成長させるのに十分な化学気相成長条件下で、シリルエーテル、シリルエーテルオリゴマーまたは 1 以上の反応性基を有する有機ケイ素化合物を含む、有機ケイ素前駆物質を反応させて、約 3.5 以下の誘電率を有する層間絶縁膜を形成する技術が、特開 2002 - 256434 号公報（特許文献 5）に開示されている。

【特許文献 1】特開 2004 - 221275 号公報

50

【特許文献2】特開2002-503879号公報

【特許文献3】特開2003-124307号公報

【特許文献4】特開2004-172590号公報

【特許文献5】特開2002-256434号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

半導体装置の微細化に伴う配線遅延を抑制するために、配線抵抗および配線容量の低減が図られている。配線抵抗に関しては、設計技術による対応と、銅を主導体層とした配線の採用が検討されている。銅配線の形成には、絶縁膜に形成された溝の内部を含む基板上に銅を主導体層とする配線用金属を堆積した後、溝以外の領域の余分な配線用金属をCMP (Chemical Mechanical Polishing) 法を用いて除去することにより、溝の内部に配線パターンを形成する方法、いわゆるダマシン法が用いられている。

10

【0008】

一方、配線容量に関しては、配線間を絶縁する層間膜に比誘電率が2~3程度と相対的に低い低誘電率材料の採用が検討されている。なかでも、機械的強度に優れたカーボンを含むシリコン酸化 (Silicon-oxycarbide: 以下、SiOCと記す) 膜が、低誘電率材料として有望視されている。

【0009】

しかしながら、SiOC膜を層間膜に採用したダマシン配線の製造については、以下に説明する種々の技術的課題が存在する。

20

【0010】

すなわち、さらなる配線容量の低減を図るため、SiOC膜に含まれるC量を相対的に多くしたところ、SiOC膜の機械的強度が低下することが明らかとなった。前述したように、溝の内部を含む基板上に配線用金属を堆積した後、CMP法を用いて溝以外の領域の余分な配線用金属を除去することにより溝の内部に配線が形成されるが、SiOC膜の機械的強度が低下すると、CMP法を用いて配線用金属膜を研磨する際にSiOC膜が剥れる、またはSiOC膜に積層される他種絶縁膜とSiOC膜との界面が剥離するなどの不具合が生じ、半導体装置の製造歩留まりが低下してしまう。さらに、半導体ウエハ上に回路パターンの形成がほぼ完了した後、半導体ウエハを1個1個のチップに切り分けるダイシングの際にも、SiOC膜にクラックが入る、またはSiOC膜に積層される他種絶縁膜とSiOC膜との界面で剥離が生ずることがある。

30

【0011】

本発明の目的は、層間膜にSiOC膜を用いた半導体装置の信頼性を向上することのできる技術を提供することにある。

【0012】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40

【0014】

本発明は、上下または左右に位置する配線の間を電氣的に絶縁する層間膜をSiOC膜により形成する半導体装置の製造方法において、FT-IRから求まるSiOC膜のSi-CH<sub>3</sub>結合とSi-O結合との結合比を2.50%未満とする。

【発明の効果】

【0015】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

50

## 【 0 0 1 6 】

S i O C 膜の機械的強度の低下を防ぐことにより、層間膜に S i O C 膜を用いた半導体装置の信頼性を向上することができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 7 】

本実施の形態においては、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、本実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、本実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

10

## 【 0 0 1 8 】

また、本実施の形態においては、電界効果トランジスタを代表する M I S F E T を M I S と略し、pチャネル型の M I S F E T を p M I S と略し、nチャネル型の M I S F E T を n M I S と略す。

## 【 0 0 1 9 】

また、本実施の形態を説明するための全図において、同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

20

## 【 0 0 2 0 】

本発明の一実施の形態では、C M O S（Complementary Metal Oxide Semiconductor）デバイスの製造方法に本発明を適用した場合について図 1 ～ 図 1 8 を用いて説明する。

## 【 0 0 2 1 】

図 1 に示すように、例えば p 型のシリコン単結晶からなる半導体基板（円形の薄い板状に加工した半導体ウエハ）1 を用意し、半導体基板 1 の主面に素子分離部 2 を形成する。次に、フォトリソグラフィ法により形成されたレジストパターンをマスクとして半導体基板 1 に不純物をイオン注入し、p ウェル 3 および n ウェル 4 を形成する。p ウェル 3 には p 型の導電型を示す不純物、例えばボロンをイオン注入し、n ウェル 4 には n 型の導電型を示す不純物、例えばリンをイオン注入する。この後、各ウェル領域に M I S のしきい値を制御するための不純物をイオン注入してもよい。

30

## 【 0 0 2 2 】

次に、シリコン酸化膜、シリコン多結晶膜およびシリコン酸化膜を順次堆積して積層膜を形成した後、フォトリソグラフィ法により形成されたレジストパターンをマスクとして上記積層膜をエッチングする。これにより、シリコン酸化膜からなるゲート絶縁膜 5、シリコン多結晶膜からなるゲート電極 6 およびシリコン酸化膜からなるキャップ絶縁膜 7 を形成する。続いて半導体基板 1 上に、例えば C V D（Chemical Vapor Deposition）法によりシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極 6 の側壁にサイドウォール 8 を形成する。

40

## 【 0 0 2 3 】

次に、フォトリソグラフィ法により形成されたレジストパターンをマスクとして p ウェル 3 に n 型不純物、例えばヒ素をイオン注入し、ゲート電極 6 の両側の p ウェル 3 に n 型半導体領域 9 を形成する。n 型半導体領域 9 は、ゲート電極 6 およびサイドウォール 8 に対して自己整合的に形成され、n M I S のソース・ドレインとして機能する。同様に、フォトリソグラフィ法により形成されたレジストパターンをマスクとして n ウェル 4 に p 型不純物、例えばフッ化ボロンをイオン注入し、ゲート電極 6 の両側の n ウェル 4 に p 型半導体領域 1 0 を形成する。p 型半導体領域 1 0 は、ゲート電極 6 およびサイドウォール 8 に対して自己整合的に形成され、p M I S のソース・ドレインとして機能する。

50

## 【 0 0 2 4 】

次に、図 2 に示すように、半導体基板 1 上に、例えばスパッタ法または C V D 法によりシリコン酸化膜を形成した後、このシリコン酸化膜を、例えば C M P 法によって研磨することにより、その表面が平坦化された層間絶縁膜 1 1 を形成する。続いてフォトリソグラフィ法により形成されたレジストパターンをマスクとしたエッチングによって層間絶縁膜 1 1 に接続孔 1 2 を形成する。この接続孔 1 2 は n 型半導体領域 9 または p 型半導体領域 1 0 上などの必要部分に形成する。

## 【 0 0 2 5 】

次に、接続孔 1 2 の内部を含む半導体基板 1 の全面にチタン窒化膜を、例えば C V D 法により形成し、さらに接続孔 1 2 を埋め込むタンゲステン膜を、例えば C V D 法により形成する。その後、接続孔 1 2 以外の領域のチタン窒化膜およびタンゲステン膜を、例えば C M P 法により除去して接続孔 1 2 の内部にプラグ 1 3 を形成する。

10

## 【 0 0 2 6 】

次に、シングルダマシン法により第 1 層目の配線を形成する。まず、プラグ 1 3 上にストッパ絶縁膜 1 4 を形成し、さらに配線が形成される絶縁膜（以下、配線層間膜と記す）1 5 を形成する。ストッパ絶縁膜 1 4 は、配線層間膜 1 5 への配線溝加工の際にエッチングストッパとなる膜であり、配線層間膜 1 5 に対してエッチング選択比を有する材料で構成される。ストッパ絶縁膜 1 4 は、例えばシリコン炭化（以下、S i C と記す）膜、シリコン窒化（以下、S i N と記す）膜または窒素を含んだシリコン炭化（以下、S i C N と記す）膜等とし、その厚さは、例えば 5 n m 程度である。また、配線層間膜 1 5 は S i O C 膜 1 5 a および T E O S (Tetraethoxysilane:  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) 膜 1 5 b を下層から順に堆積した積層膜からなり、S i O C 膜 1 5 a の厚さは、例えば 5 0 0 n m 程度、T E O S 膜 1 5 b の厚さは、例えば 5 0 n m 程度である。T E O S 膜 1 5 b は、後の工程で半導体基板 1 上に形成される銅膜を研磨する際の犠牲膜として機能する。

20

## 【 0 0 2 7 】

本実施の形態では、S i O C 膜を F T - I R (Fourier Transform Infrared Spectrometer) により分析し、そのスペクトル波形から得られる S i - C H <sub>3</sub> 結合と S i - O 結合との結合比（以下、S i - C H <sub>3</sub> / S i - O 結合比と記す）が 2 . 5 0 % 未満の S i O C 膜を配線層間膜 1 5 に用いる。

## 【 0 0 2 8 】

図 3 に、F T - I R により得られた S i O C 膜のスペクトル波形の一例を示す。

30

## 【 0 0 2 9 】

本実施の形態における S i O C 膜の S i - C H <sub>3</sub> / S i - O 結合比は、図 3 に示したスペクトル波形から S i - C H <sub>3</sub> ピーク面積と S i - O ピーク面積とを測定し、さらにこれらピーク面積を式 ( 1 ) に代入することによって求めることができる。

## 【 0 0 3 0 】

$$\text{S i - C H}_3 / \text{S i - O 結合比} (\%) = (\text{S i - C H}_3 \text{ ピーク面積} \div \text{S i - O ピーク面積}) \times 100 \quad (1)$$

図 4 に、S i O C 膜のテープテストの結果をまとめる。テープテストには、S i - C H <sub>3</sub> / S i - O 結合比が 2 . 3 0 %、2 . 4 0 %、2 . 5 0 %、2 . 5 5 % および 2 . 9 0 % の 5 つの S i O C 膜を用いた。テープ荷重は 2 2 0 g / c m であり、測定には半導体基板上に S i O C 膜（厚さ 5 0 0 n m）、T E O S 膜（厚さ 5 0 n m）、T a / T a N 積層膜（厚さ 1 0 0 n m）、C u 膜（厚さ 6 0 0 ~ 7 0 0 n m）を下層から順に堆積した積層構造の試料を用いた。

40

## 【 0 0 3 1 】

S i - C H <sub>3</sub> / S i - O 結合比が 2 . 3 0 % および 2 . 4 0 % の S i O C 膜を有する試料では、剥離は見られなかったが、S i - C H <sub>3</sub> / S i - O 結合比が 2 . 5 0 %、2 . 5 5 % および 2 . 9 0 % の S i O C 膜を有する試料では、S i O C 膜と T E O S 膜との界面において剥離が生じた。

## 【 0 0 3 2 】

50

図5に、前述のテープテストにおいて剥離が生じた試料（剥離有り）および剥離が生じなかった試料（剥離無し）のそれぞれに用いられたSiOC膜の表面の状態を調べた結果をまとめる。

#### 【0033】

剥離が生じなかった試料では、SiOC膜の表面のH量およびOH量が相対的に多く、CH<sub>3</sub>量が相対的に少ないことから、SiOC膜の表面にはCH<sub>3</sub>で終端された割合が相対的に少ないことが推測される。これに対して、剥離が生じた試料では、SiOC膜の表面のH量およびOH量が相対的に少なく、CH<sub>3</sub>量が相対的に多いことから、SiOC膜の表面にはCH<sub>3</sub>で終端された割合が相対的に多いことが推測される。従って、CH<sub>3</sub>で終端された割合が相対的に少ないSiOC膜、すなわちSi-CH<sub>3</sub>/Si-O結合比が2.50%未満のSiOC膜では、OまたはHで終端した分子構造が界面における原子間の結合を強めて、その上に堆積される膜との接着性を向上させると考えられる。

10

#### 【0034】

図6に、SiOC膜の硬度とSi-CH<sub>3</sub>/Si-O結合比との関係を示し、図7に、SiOC膜の弾性率とSi-CH<sub>3</sub>/Si-O結合比との関係を示す。

#### 【0035】

Si-CH<sub>3</sub>/Si-O結合比が減少するに従って硬度および弾性率は増加しており、Si-CH<sub>3</sub>/Si-O結合比が2.50%未満での硬度は約2.8GPa以上、弾性率は約18GPa以上となる。これは、CH<sub>3</sub>量が減少すると、膜中の空隙が減少してSiOC膜が緻密となることに起因すると考えられる。

20

#### 【0036】

このように、SiOC膜のSi-CH<sub>3</sub>/Si-O結合比を2.50%未満とすることにより、SiOC膜と、その上（またはその下）に堆積される膜との接着性が向上し、さらにSiOC膜の強度および弾性率が向上する。一方で、Si-CH<sub>3</sub>/Si-O結合比を2.50%未満とすると、SiOC膜の誘電率が相対的に高くなり、SiOC膜を配線層間膜15に採用した利点が無くなってしまう。例えばSi-CH<sub>3</sub>/Si-O結合比が2.90%のSiOC膜の比誘電率は2.7程度であるが、Si-CH<sub>3</sub>/Si-O結合比が2.40%のSiOC膜の比誘電率は2.9～3.0程度となる。これらのことから、Si-CH<sub>3</sub>/Si-O結合比が、例えば2.05～2.49%の範囲（他の条件によってはこの範囲に限定されないことはもとよりである）のSiOC膜が適切であると考えられるが、さらに2.30～2.40%の周辺範囲のSiOC膜が最も好適と考えられる。

30

#### 【0037】

SiOC膜は、例えばプラズマCVD法により形成されるが、SiOC膜中のCH<sub>3</sub>量は、その成膜条件、例えば成膜圧力、DMDMOS（Dimethyldimethoxysilane：Si(OCH<sub>3</sub>)<sub>2</sub>(CH<sub>3</sub>)<sub>2</sub>）流量、He流量、RFパワーまたは基板温度などに依存する。図8～図10に、Si-CH<sub>3</sub>/Si-O結合比と成膜条件との関係の一例を示す。図8は、Si-CH<sub>3</sub>/Si-O結合比と成膜圧力との関係を示すグラフ図、図9は、Si-CH<sub>3</sub>/Si-O結合比とDMDMOS流量との関係を示すグラフ図、図10は、Si-CH<sub>3</sub>/Si-O結合比とRFパワーとの関係を示すグラフ図である。

40

#### 【0038】

例えば成膜圧力またはDMDMOS流量が増加するに従い、Si-CH<sub>3</sub>/Si-O結合比は増加し、RFパワーが増加するに従い、Si-CH<sub>3</sub>/Si-O結合比は減少する。このように成膜条件により、SiOC膜のSi-CH<sub>3</sub>/Si-O結合比は変化するが、成膜条件としては、例えば圧力400～600Pa、DMDMOS流量200～350sccm、He流量100～200sccm、RFパワー3000～4000W、基板温度350～400の範囲が適切であると考えられる。

#### 【0039】

次に、図11に示すように、フォトリソグラフィ法により形成されたレジストパターンをマスクとしたエッチングによってストッパ絶縁膜14および配線層間膜15の所定の領域に配線溝16を形成する。

50

## 【0040】

次に、配線溝16の内部を含む半導体基板1の全面にバリアメタル層17を形成する。バリアメタル層17は、例えばタンタル膜からなり、その厚さは、例えば基板平面上で50nm程度とすることができる。上記タンタル膜は、例えばスパッタ法により形成される。バリアメタル層17は、チタン窒化膜、タンタル窒化膜等で構成してもよい。続いてバリアメタル層17上に銅のシード層を、例えばCVD法またはスパッタ法により形成し、さらにシード層上に銅膜18を、例えば電界めっき法により形成する。

## 【0041】

次に、図12に示すように、CMP法を用いて銅膜18およびシード層を研磨する。さらに研磨を継続し、配線層間膜15上のバリアメタル層17を除去する。これにより、配線溝16以外の領域の銅膜18（シード層を含む）およびバリアメタル層17が除去されて、第1層目の配線19が形成される。

10

## 【0042】

ところで、本実施の形態では、配線絶縁膜15を構成するSiOC膜にSi-CH<sub>3</sub>/Si-O結合比が2.50%未満のSiOC膜を採用していることから、配線層間膜15を構成するTEOS膜15bとSiOC膜15aとの接着性、およびSiOC膜15aとストッパ絶縁膜14との接着性が良く、銅膜18（シード層を含む）およびバリアメタル層17のCMP工程において、配線層間膜15を構成するTEOS膜15bとSiOC膜15aとの界面およびSiOC膜15aとストッパ絶縁膜14との界面での剥離はほとんど生じない。

20

## 【0043】

次に、デュアルダマシン法により第2層目の配線を形成する。まず、図13に示すように、第1層目の配線19上にキャップ絶縁膜20、接続孔が形成される絶縁膜（以下、ビア層間膜と記す）21および配線形成用のストッパ絶縁膜22を順次形成する。キャップ絶縁膜20は、銅の拡散を防ぐ機能を有するが、ビア層間膜21に対してエッチング選択比を有する材料で構成され、ビア層間膜21への接続孔加工の際のエッチングストッパとしても用いられる。キャップ絶縁膜20は、例えばSiC膜、SiN膜またはSiCN膜等とし、その厚さは、例えば5nm程度である。

## 【0044】

ビア層間膜21は、SiOC膜からなり、SiOC膜は、例えばプラズマCVD法により形成され、その成膜条件は、例えば前記配線層間膜15を構成するSiOC膜15aとほぼ同じ条件を用いることができる。なお、ビア層間膜21は、前記配線層間膜15と同様に、SiOC膜の上層にTEOS膜を堆積した積層膜で構成してもよい。

30

## 【0045】

ストッパ絶縁膜22は、ビア層間膜21および後にストッパ絶縁膜22上に堆積される配線層間膜に対してエッチング選択比を有する絶縁材料で構成され、例えばSiC膜、SiN膜またはSiCN膜等とし、その厚さは、例えば5nm程度である。

## 【0046】

次に、孔パターンにパターニングされたフォトリソ膜をストッパ絶縁膜22上に形成し、このフォトリソ膜をマスクとしてストッパ絶縁膜22をエッチングする。

40

## 【0047】

次に、ストッパ絶縁膜22上に配線層間膜23を形成する。配線層間膜23はSiOC膜からなり、SiOC膜は、例えばプラズマCVD法により形成され、その成膜条件は、例えば前記配線層間膜15を構成するSiOC膜15aとほぼ同じ条件を用いることができる。なお、配線層間膜23は、前記配線層間膜15と同様に、SiOC膜の上層にTEOS膜を堆積した積層膜で構成してもよい。

## 【0048】

その後、図14に示すように、溝パターンにパターニングされたフォトリソ膜を配線層間膜23上に形成し、このフォトリソ膜をマスクとして配線層間膜23をエッチングする。この際、ストッパ絶縁膜22がエッチングストッパとして機能する。続いて上

50

記フォトリソグ膜およびストッパ絶縁膜 22 をマスクとしてビア層間膜 21 をエッチングする。この際、キャップ絶縁膜 20 がエッチングストッパとして機能する。

【0049】

次に、露出したキャップ絶縁膜 20 を、例えばドライエッチング法により除去する。キャップ絶縁膜 20 を除去すると同時にストッパ絶縁膜 22 が除去されて、キャップ絶縁膜 20 およびビア層間膜 21 に接続孔 24 が形成され、ストッパ絶縁膜 22 および配線層間膜 23 に配線溝 25 が形成される。

【0050】

次に、図 15 に示すように、接続孔 24 および配線溝 25 の内部を含む半導体基板 1 の全面にバリアメタル層 26 を形成する。バリアメタル層 26 は、例えばタンタル膜からなり、その厚さは、例えば基板平面上で 50 nm 程度とすることができる。上記タンタル膜は、例えばスパッタ法により形成される。バリアメタル層 26 は、チタン窒化膜、タンタル膜等で構成してもよい。

10

【0051】

続いてバリアメタル層 26 上に銅のシード層（図示せず）を、例えば CVD 法またはスパッタ法により形成し、さらにシード層上に銅膜 27 を、例えば電界めっき法により形成する。

【0052】

次に、図 16 に示すように、CMP 法を用いて銅膜 27 およびシード層を研磨する。さらに研磨を継続し、配線層間膜 23 上のバリアメタル層 26 を除去する。これにより、配線溝 25 以外の領域の銅膜 27（シード層を含む）およびバリアメタル層 26 が除去されて、接続部材と一体に形成された第 2 層目の配線 28 が形成される。

20

【0053】

本実施の形態では、ビア層間膜 21 および配線層間膜 23 を構成する SiOC 膜に Si-CH<sub>3</sub>/Si-O 結合比が 2.50% 未満の SiOC 膜を採用していることから、SiOC 膜と、これに接する各種膜との接着性が良く、銅膜 27（シード層を含む）およびバリアメタル層 26 の CMP 工程においては、前述した銅膜 18（シード層を含む）およびバリアメタル層 17 の CMP 工程の場合と同様に、キャップ絶縁膜 20 とビア層間膜 21 との界面、ビア層間膜 21 とストッパ絶縁膜 22 との界面、ストッパ絶縁膜 22 と配線層間膜 23 との界面において剥離はほとんど発生せず、さらに配線層間膜 23 の剥がれまたは決れはほとんど生じない。

30

【0054】

続いて、図示はしないが、第 2 層目の配線 28 上にキャップ絶縁膜を形成し、さらに上層の配線を形成した後、パッシベーション膜で半導体基板 1 の全面を覆うことにより、CMOS デバイスが略完成する。

【0055】

次に、半導体基板 1 の主面（回路形成面）上に前述した CMOS デバイスが製造された半導体ウエハから個々のチップを切り出し、実装基板上に搭載するまでの工程を説明する。

【0056】

まず、半導体ウエハ上に作られた各チップの良・不良を判定する。例えば半導体ウエハを測定用ステージに載置し、例えば CMOS デバイスが形成された回路形成面の電極パッドにプローブを接触させて入力端子から信号波形を入力すると、出力端子から信号波形が出力される。これをテスターが読み取ることによりチップの良・不良が判定される。不良と判断されたチップには、不良のマーキングが打たれる。

40

【0057】

次に、半導体ウエハの回路形成面に保護テープを貼り付けた後、グラインダ装置を用いて半導体ウエハの裏面（回路形成面と反対側の面）を粗研削することにより、半導体ウエハの厚さを所定の厚さまで減少させ、続いて仕上げ研磨することにより、粗研削により生じた半導体ウエハの裏面の歪みを除去する。半導体ウエハの回路形成面に保護テープが貼

50



り付けてあるので、集積回路が破壊されることはない。この後、上記粗研削および仕上げ研磨により半導体ウエハの裏面に生じた研磨スジを除去してもよい。

【 0 0 5 8 】

次に、半導体ウエハの裏面にリング状のフレームに固定されたダイシングテープを貼り付けた後、保護テープを剥離する。ダイシングテープに貼り直すのは、後のダイシング工程で半導体ウエハの回路形成面に形成されているアライメントマークを基準としてダイシングを行うため、アライメントマークが形成されている回路形成面を上面とする必要がある。

【 0 0 5 9 】

次に、図 1 7 に示すように、半導体ウエハをダイシング装置 2 9 へ搬送し、ダイシング  
テーブル 3 0 上に載置した後、ダイヤモンド・ソーと呼ばれるダイヤモンド微粒を貼り付  
けた極薄の円形刃 3 1 を用いて、半導体ウエハをスクライブラインに沿って縦、横にカットする。半導体ウエハはチップ 3 2 に個片化されるが、個片化された後も各チップ 3 2 は  
ダイシングテープ 3 3 を介してフレーム 3 4 に固定されているため、整列した状態を維持  
している。

【 0 0 6 0 】

このダイシング工程では、前述した配線層間膜 1 5 , 2 3 またはビア層間膜 2 1 を構成  
する S i O C 膜に力が加わるが、本実施の形態では、S i - C H <sub>3</sub> / S i - O 結合比が 2  
. 5 0 % 未満の S i O C 膜を採用していることから、S i O C 膜のクラックを防ぎ、S i  
O C 膜に積層される他種絶縁膜と S i O C 膜との界面で生ずる剥離を回避することができ  
る。

【 0 0 6 1 】

次に、ダイシングテープ 3 3 の裏面側から U V を照射して、ダイシングテープ 3 3 の各  
チップ 3 2 と接する面の粘着力を低下させた後、良と判断されたチップ 3 2 を突き上げピ  
ンにより押圧し、チップ 3 2 をダイシングテープ 3 3 から剥離する。続いて剥離されたチ  
ップ 3 2 の回路形成面をコレットにより真空吸着することにより、1 個ずつチップ 3 2 を  
ダイシングテープ 3 3 から引き剥がしてピックアップする。ピックアップされたチップは  
コレットに吸着、保持されて実装基板の所定位置に搭載される。

【 0 0 6 2 】

その後、チップ 3 2 上の電極と実装基板上の電極とを電氣的に接続し、さらにモールド  
樹脂によりチップ 3 2 を封入して保護する。続いてモールド樹脂上に品名などを捺印し、  
実装基板から 1 個 1 個のチップ 3 2 を切り分ける。さらに、仕上がったチップ 3 2 を製品  
規格に沿って選別し、検査工程を経て製品が完成する。

【 0 0 6 3 】

なお、本実施の形態では、半導体基板 1 の主面上に形成される半導体素子として C M O  
S デバイスを例示したが、これに限定されるものではない。また、半導体基板 1 の主面上  
に形成される配線を 2 層としたが、例えば単層の配線または 3 層以上の多層の配線を形成  
し、上下または左右に位置する配線の間を電氣的に絶縁する層間膜に本発明を適用するこ  
とができる。

【 0 0 6 4 】

また、本実施の形態では、デュアルダマシン法により第 2 層目の配線 2 8 を形成する際  
、ストッパ絶縁膜 2 2 にあらかじめ孔パターンを加工した後、キャップ絶縁膜 2 0 および  
ストッパ絶縁膜 2 2 をエッチングストッパとして機能させて、ビア層間膜 2 1 に接続孔 2  
4 を、配線層間膜 2 3 に配線溝 2 5 を同時に形成したが、この形成方法に限定されるもの  
ではない。例えば孔パターンにパターニングされたフォトリジスト膜をマスクとしたエッ  
チングにより配線層間膜 2 3 およびビア層間膜 2 1 に接続孔 2 4 を形成した後、溝パター  
ンにパターニングされたフォトリジスト膜をマスクとしたエッチングにより配線層間膜 2  
3 に配線溝 2 5 を形成する方法、あるいは溝パターンにパターニングされたフォトリジス  
ト膜をマスクとしたエッチングにより配線層間膜 2 3 に配線溝 2 5 を形成した後、孔パター  
ンにパターニングされたフォトリジスト膜をマスクとしたエッチングによりビア層間膜

10

20

30

40

50

21に接続孔24を形成する方法などがある。

【0065】

また、本実施の形態では、層間膜に用いるSiOC膜をSi-CH<sub>3</sub>/Si-O結合比により規定したが、これに限定されるものではなく、例えばSi-O結合のピーク強度に対するSi-OH結合またはSi-H結合のピーク強度の強度比により規定することができる。

【0066】

図18に、SiOC膜のSi-CH<sub>3</sub>/Si-O結合比とSi-O結合のピーク強度に対する各結合(Si-OH結合、Si-H結合(波長:2230cm<sup>-1</sup>)およびSi-H結合(波長:2170cm<sup>-1</sup>))のピーク強度の強度比を示す。Si-H結合は、FT-IRにおいて2170cm<sup>-1</sup>および2230cm<sup>-1</sup>付近の2箇所強いピークを持っているので、2箇所規定することができる。

【0067】

Si-CH<sub>3</sub>/Si-O結合比が2.49%以下のSiOC膜では、Si-O結合のピーク強度に対するSi-OH結合のピーク強度の強度比(以下、Si-OH結合の強度比という)は0.0013、Si-CH<sub>3</sub>/Si-O結合比が2.50%のSiOC膜では、Si-OH結合の強度比は0.0007、Si-CH<sub>3</sub>/Si-O結合比が2.90%のSiOC膜では、Si-OH結合の強度比は0.0005となる。また、Si-CH<sub>3</sub>/Si-O結合比が2.49%以下のSiOC膜では、Si-O結合のピーク強度に対するSi-H結合(波長:2230cm<sup>-1</sup>)のピーク強度の強度比(以下、Si-H結合(2230cm<sup>-1</sup>)の強度比という)は0.0058、Si-CH<sub>3</sub>/Si-O結合比が2.50%のSiOC膜では、Si-H結合(2230cm<sup>-1</sup>)の強度比は0.0050、Si-CH<sub>3</sub>/Si-O結合比が2.90%のSiOC膜では、Si-H結合(2230cm<sup>-1</sup>)の強度比は0.0040となる。また、Si-CH<sub>3</sub>/Si-O結合比が2.49%以下のSiOC膜では、Si-O結合のピーク強度に対するSi-H結合(波長:2170cm<sup>-1</sup>)のピーク強度の強度比(以下、Si-H結合(2170cm<sup>-1</sup>)の強度比という)は0.0095、Si-CH<sub>3</sub>/Si-O結合比が2.50%のSiOC膜では、Si-H結合(2170cm<sup>-1</sup>)の強度比は0.0067、Si-CH<sub>3</sub>/Si-O結合比が2.90%のSiOC膜では、Si-H結合(2170cm<sup>-1</sup>)の強度比は0.0051となる。

【0068】

以上のことから、Si-OH結合の強度比が0.0007を超える、Si-H結合(2230cm<sup>-1</sup>)の強度比が0.0050を超える、およびSi-H結合(2170cm<sup>-1</sup>)の強度比が0.0067を超えるSiOC膜を層間膜に用いることができる。

【0069】

このように、本実施の形態によれば、SiOC膜のSi-CH<sub>3</sub>/Si-O結合比を規定する、またはSi-O結合のピーク強度に対するSi-OH結合またはSi-H結合のピーク強度の強度比を規定することにより、所望する比誘電率が得られると共に、硬度または弾性率の低下が抑えられて、SiOC膜の機械的強度の向上を図ることができる。これにより、ダマシン配線を構成する金属材料、例えば銅膜18, 27およびバリアメタル層17, 26のCMPの際に、配線層間膜15, 23またはビア層間膜21を構成するSiOC膜が決れる、またはSiOC膜に積層される他種絶縁膜とSiOC膜との界面において剥離が生じるなどの問題を回避することができる。また、半導体基板1上に回路パターンの形成がほぼ完了した後、半導体ウエハを1個1個のチップ32に切り分けるダイシングの際にも、SiOC膜にクラックが入る、またはSiOC膜に積層される他種絶縁膜とSiOC膜との界面において剥離が生じやすくなるなどの問題を回避することができる。その結果、層間膜にSiOC膜を用いた半導体装置の信頼性が向上し、さらには半導体装置の製造歩留まりを向上させることができる。また、上記剥離等による半導体製造装置の汚染等を低減することができことから、半導体製造装置の稼働率が上がり、半導体製品のコスト低減にも効果がある。

## 【 0 0 7 0 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

## 【 0 0 7 1 】

例えば、前記実施の形態では、 $\text{SiOC}$ 膜をダマシン銅配線の配線層間膜またはビア層間膜に用いた場合について説明したが、これに限定されるものではない。例えばリソグラフィ技術とドライエッチング技術とを用いて形成された金属材料、例えばアルミニウム合金またはタングステン等の高融点金属膜からなる配線の上に、 $\text{SiOC}$ 膜からなる層間絶縁膜が形成された場合にも、この層間絶縁膜に対して適用することができる。

10

## 【産業上の利用可能性】

## 【 0 0 7 2 】

本発明の半導体装置の製造方法は、層間膜に $\text{SiOC}$ 膜を用いる半導体装置に適用することができる。

## 【図面の簡単な説明】

## 【 0 0 7 3 】

【図 1】本発明の一実施の形態である  $\text{CMOS}$  デバイスの製造工程を示す半導体基板の要部断面図である。

【図 2】本発明の一実施の形態である  $\text{CMOS}$  デバイスの製造工程を示す半導体基板の要部断面図である。

20

【図 3】本発明の一実施の形態である  $\text{FT-IR}$  により得られた  $\text{SiOC}$  膜のスペクトル波形の一例を示す波形図である。

【図 4】本発明の一実施の形態である  $\text{SiOC}$  膜のテープテストの結果を示す説明図である。

【図 5】本発明の一実施の形態である  $\text{SiOC}$  膜の表面の状態を調べた結果を示すグラフ図である。

【図 6】本発明の一実施の形態である  $\text{SiOC}$  膜の硬度と  $\text{Si-CH}_3 / \text{Si-O}$  結合比との関係を示すグラフ図である。

【図 7】本発明の一実施の形態である  $\text{SiOC}$  膜の弾性率と  $\text{Si-CH}_3 / \text{Si-O}$  結合比との関係を示すグラフ図である。

30

【図 8】本発明の一実施の形態である  $\text{Si-CH}_3 / \text{Si-O}$  結合比と成膜圧力との関係を示すグラフ図である。

【図 9】本発明の一実施の形態である  $\text{Si-CH}_3 / \text{Si-O}$  結合比と  $\text{DMOS}$  流量との関係を示すグラフ図である。

【図 10】本発明の一実施の形態である  $\text{Si-CH}_3 / \text{Si-O}$  結合比と  $\text{RF}$  パワーとの関係を示すグラフ図である。

【図 11】本発明の一実施の形態である  $\text{CMOS}$  デバイスの製造工程を示す半導体基板の要部断面図である。

【図 12】本発明の一実施の形態である  $\text{CMOS}$  デバイスの製造工程を示す半導体基板の要部断面図である。

40

【図 13】本発明の一実施の形態である  $\text{CMOS}$  デバイスの製造工程を示す半導体基板の要部断面図である。

【図 14】本発明の一実施の形態である  $\text{CMOS}$  デバイスの製造工程を示す半導体基板の要部断面図である。

【図 15】本発明の一実施の形態である  $\text{CMOS}$  デバイスの製造工程を示す半導体基板の要部断面図である。

【図 16】本発明の一実施の形態である  $\text{CMOS}$  デバイスの製造工程を示す半導体基板の要部断面図である。

【図 17】本発明の一実施の形態である半導体基板のダイシング工程を示す要部断面図である。

50

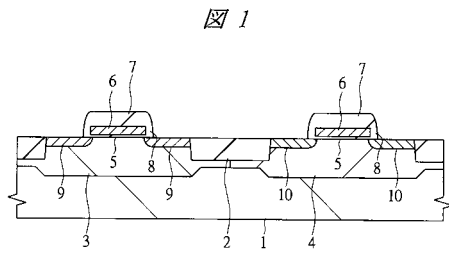
【図 18】本発明の一実施の形態である SiCO 膜の Si - CH<sub>3</sub> / Si - O 結合比、および Si - O 結合のピーク強度に対する各結合のピーク強度の強度比をまとめた結果を示すグラフ図である。

【符号の説明】

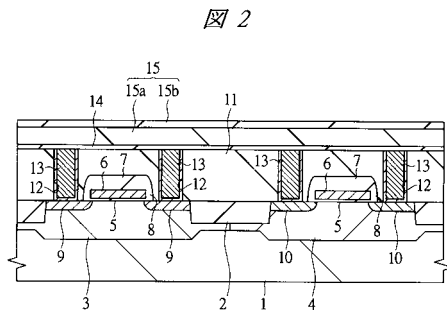
【0074】

1	半導体基板	
2	素子分離部	
3	p ウェル	
4	n ウェル	
5	ゲート絶縁膜	10
6	ゲート電極	
7	キャップ絶縁膜	
8	サイドウォール	
9	n 型半導体領域	
10	p 型半導体領域	
11	層間絶縁膜	
12	接続孔	
13	プラグ	
14	ストッパ絶縁膜	
15	配線層間膜	20
15a	SiOC 膜	
15b	TEOS 膜	
16	配線溝	
17	バリアメタル層	
18	銅膜	
19	配線	
20	キャップ絶縁膜	
21	ビア層間膜	
22	ストッパ絶縁膜	
23	配線層間膜	30
24	接続孔	
25	配線溝	
26	バリアメタル層	
27	銅膜	
28	配線	
29	ダイシング装置	
30	ダイシングテーブル	
31	円形刃	
32	チップ	
33	ダイシングテープ	40
34	フレーム	

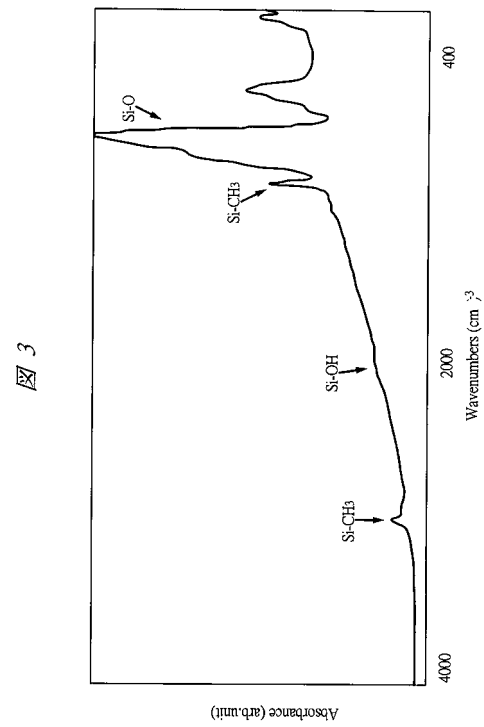
【図1】



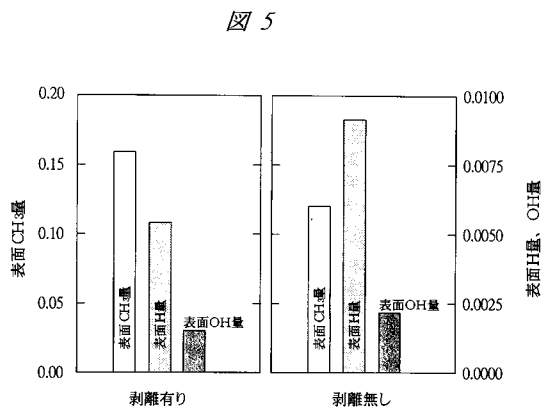
【図2】



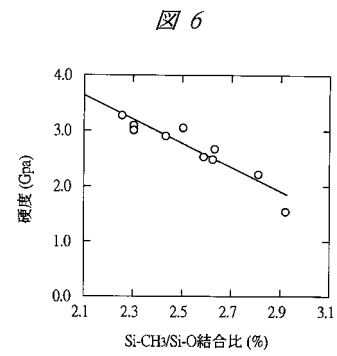
【図3】



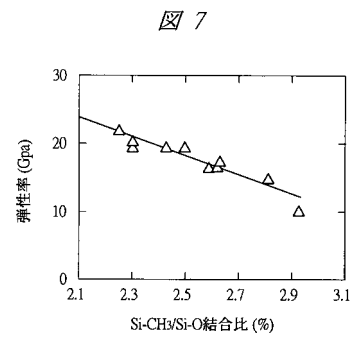
【図5】



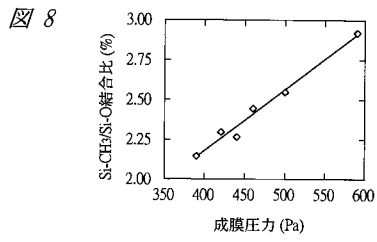
【図6】



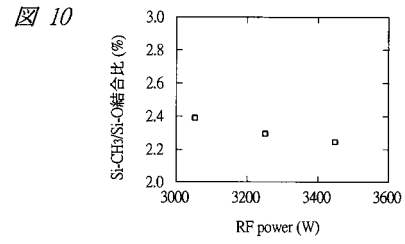
【図7】



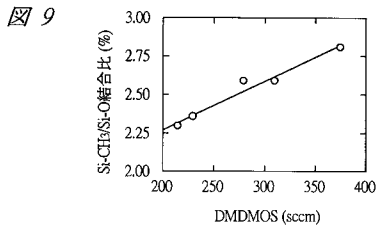
【図 8】



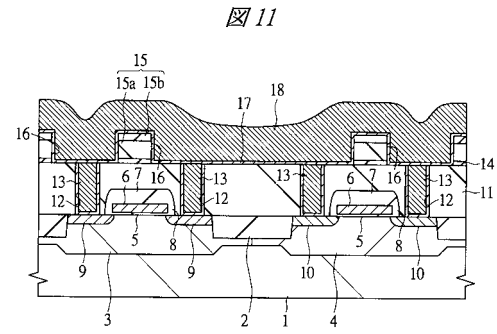
【図 10】



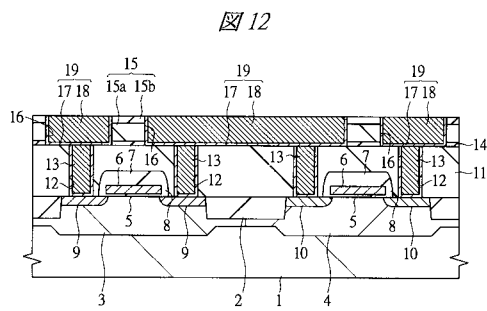
【図 9】



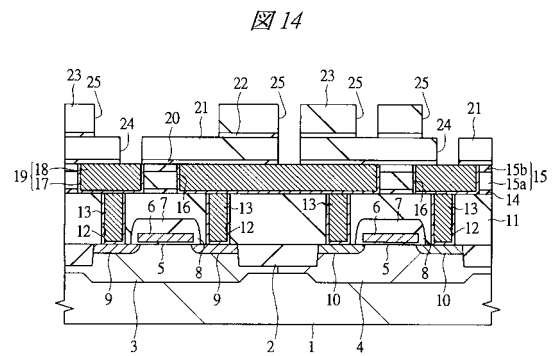
【図 11】



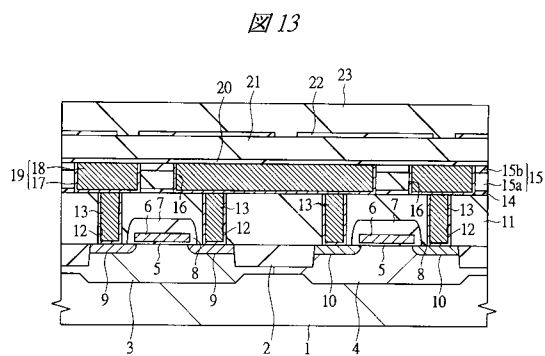
【図 12】



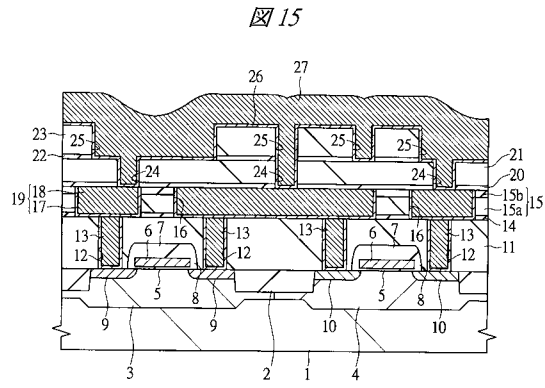
【図 14】



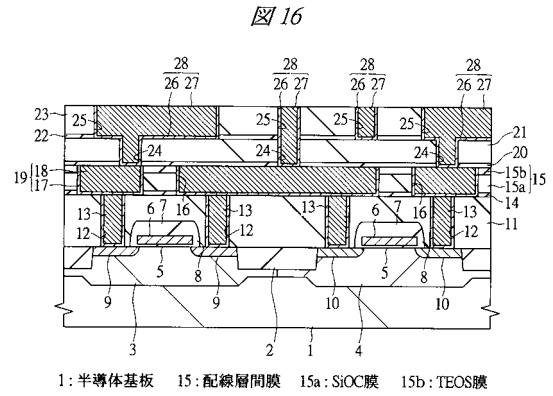
【図 13】



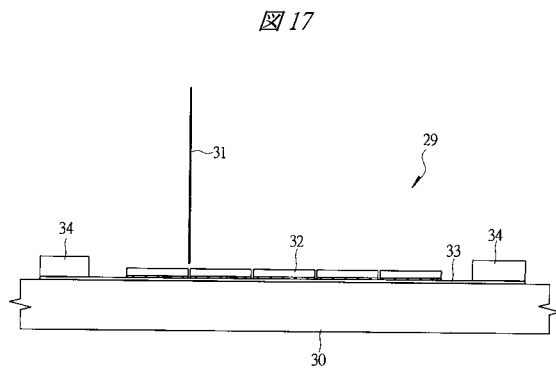
【図15】



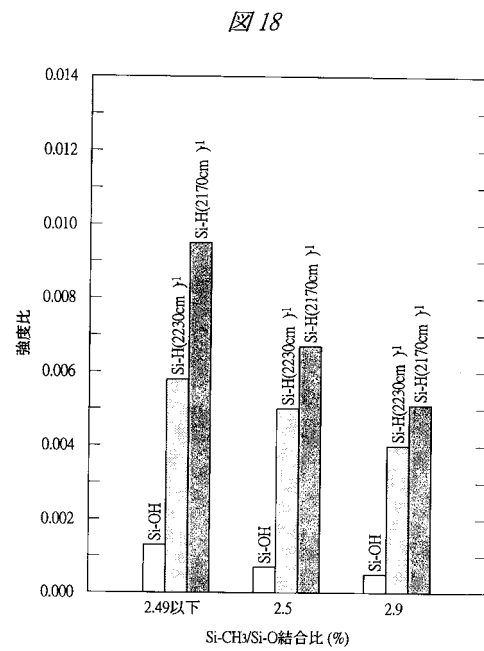
【図16】



【図17】








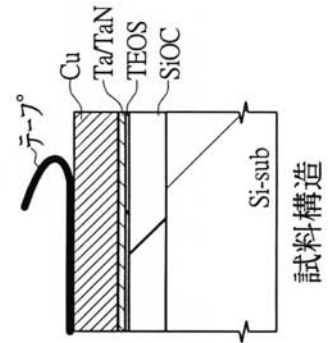
【図18】



【図4】

図 4

Si-CH <sub>3</sub> /Si-O結合比 (%)	2.30	2.40	2.50	2.55	2.90
テープ写真					





---

フロントページの続き

## (56)参考文献 特開2003-152077(JP, A)

Ebrahim Andideh, Michael Lerner, Gerald Palmrose, Safaa El-Mansy, Tracey Scherban, Guanghai Xu, and Jeanette Blaine, Compositional effects on electrical and mechanical properties in carbon-doped oxide dielectric films: Application of Fourier-transform infrared spectroscopy, J. Vac. Sci. Technol. B, 2004年 1月23日, Volume 22, Issue 1, pp.196-201

## (58)調査した分野(Int.Cl., DB名)

H01L 21/3205

H01L 21/3213

H01L 21/768

C23C 16/42

H01L 21/316

H01L 23/522