

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年10月21日 (21.10.2004)

PCT

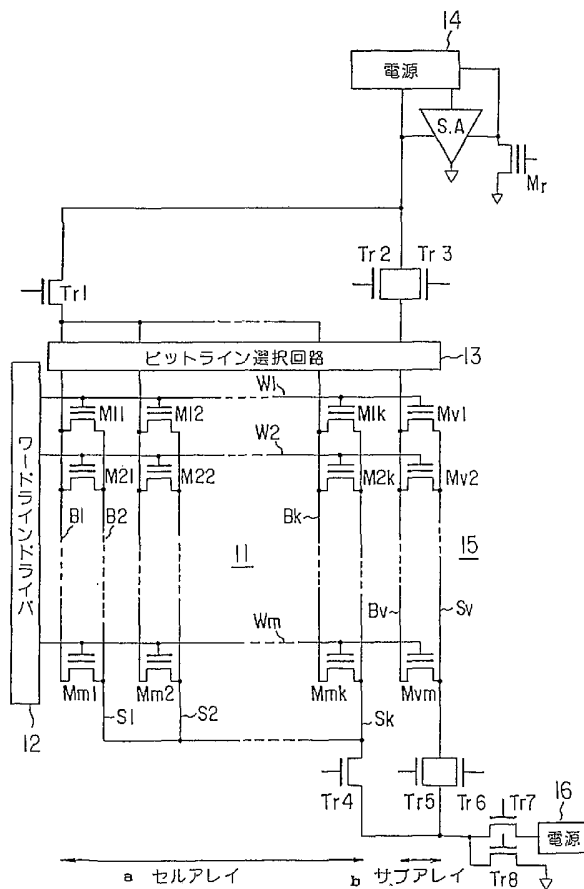
(10) 国際公開番号
WO 2004/090908 A1

- (51) 国際特許分類: G11C 16/02
- (21) 国際出願番号: PCT/JP1997/002006
- (22) 国際出願日: 1997年6月11日 (11.06.1997)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 - 特願8-149005 1996年6月11日 (11.06.1996) JP
 - 特願8-166116 1996年6月26日 (26.06.1996) JP
- (71) 出願人 および
- (72) 発明者: 竹内信善 (TAKEUCHI, Nobuyoshi) [JP/JP]; 〒100 東京都千代田区丸の内一丁目1番2号 日本鋼管株式会社内 Tokyo (JP).
- (74) 代理人: 鈴江武彦, 外 (SUZUYE, Takehiko et al.); 〒100 東京都千代田区霞が関3丁目7番2号 鈴業内外國特許事務所内 Tokyo (JP).
- (81) 指定国 (国内): US.

[続葉有]

(54) Title: NONVOLATILE MEMORY HAVING VERIFYING FUNCTION

(54) 発明の名称: ベリファイ機能を有する不揮発性記憶装置



(57) Abstract: For each word line, a plurality of array cells and one verify cell which has approximately the same threshold as those of the array cells are provided in parallel with them. The threshold value is electrically changed by setting a voltage applied to the verify cell at a value lower than the writing voltage or erasing voltage applied to the array cells. Alternatively, the threshold value is electrically changed by changing apparent threshold value by changing the sensing ratio between the output of the verify cell and the output of a reference cell in a sense amplifier. By changing the threshold value electrically, the writing and erasing of the array cells can be finished earlier than the writing and erasing of the verify cell and the verification of the array cells can be ensured by the verification of the verify cell.

- 12 ... word line driver
- 13 ... bit line selector
- 14, 16 ... power supply
- a ... cell array
- b ... sub-array

[続葉有]

WO 2004/090908 A1



添付公開書類:

- 国際調査報告書
- 米国特許商標庁により1999年3月23日(23.03.1999)に一連番号5886927として付与された国際出願に基づく特許の発行に基づいた、条約第64条(3)(c)(ii)に規定された公開。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

複数のアレイセルに対してほぼ同じ閾値の1個のベリファイセルを夫々のワードラインに関して並置し、アレイセルに印加される書き込みあるいは消去電圧よりベリファイセルに印加される電圧値を低い値に設定することで電氣的に閾値を変え、あるいはこのベリファイセルの出力とリファレンスセルの出力とのセンスアンプにおけるセンス比を変えることにより見掛上の閾値を変えることで電氣的に閾値を変えてアレイセルの書き込み、消去がベリファイセルより早く終了するように設定し、ベリファイセルのベリファイによりアレイセルのベリファイが保証される。

1

明 細 書

ベリファイ機能を有する不揮発性記憶装置

技術分野

この発明は、不揮発性記憶装置、特にワードラインに接続された複数のメモリセルに加えてベリファイ用のメモリセル（ここではベリファイセルと称する）を備えたベリファイ機能を有する不揮発性記憶装置に関する。

背景技術

E E P R O M 或いはフラッシュメモリ等の不揮発性記憶装置では、情報の書き込みあるいは消去操作を行った後、この情報が正しく書き込まれ、あるいは消去されたことを確認する必要がある。ここでは、この確認動作をベリファイと呼ぶことにする。従来このベリファイは不揮発性記憶装置を構成するアレイセル用のメモリセルの記憶内容を一つ一つ読みだし、その結果をリファレンス用のメモリセルトランジスタの内容と対比している。

たとえば、E E P R O M あるいはフラッシュメモリ等の不揮発性記憶装置では、情報の書き込み或いは消去操作が一定時間行われ、この書き込み或いは消去操作が正しく完了したか否かを確認する操作が行われ、まだの場合は書き込み或いは消去操作と確認操作をセットで一定時間づつ行い、この書

き込み或いは消去操作が正しく完了されたところで確認操作を終了する方法がある。

この方法のベリファイは、情報の書き込み或いは消去時に不揮発性記憶装置を構成するアレイセル内のメモリセル一つ一つの記憶内容を順次読み出し、その結果をリファレンス用のメモリセルの内容と対比することにより行っている。具体的にはアレイセル内のメモリセル一つ一つのしきい値とリファレンス用のメモリセルの閾値とを比較してベリファイが行われる。

しかし、最近メモリの高集積化が進みメモリセルの数が膨大になってきた為、一つ一つのセルのしきい値を検査することは多大の手間と時間が掛かるものである。

例えば、米国特許N0. 5, 142, 496号にはセルマトリクス端にリファレンスコラムを設け、ワードラインを共有するリファレンスセルとアレイセルの出力をセンス回路におけるセンス比を調整してベリファイを行うという技術が示されている。ここで、各々のワードライン毎に一つのリファレンスセルが接続されているため、各々のリファレンスセルをベリファイすると、ワードラインを共有するアレイセルの特性を検査できる。

この米国特許N0. 5, 142, 496号の発明ではワードラインを共有するアレイセルとリファレンスセルとの比較をセンスアンプで行うことになるが、書き込み時に選択されたアレイセルをベリファイ時に再度選択してリファレンスセルと比較しなければならない。このため、たとえばワードラ

イン単位でページモードで書き込みを行っても、少なくとも選択されたアレyselとリファレンスセルとの比較が必要であり、特定のセルの選択に時間を要し、それだけベリファイに時間が掛かってしまう。

更に、リファレンスセルが各ワードラインごとに異なるため、リファレンスセルの製造のばらつきがリファレンスセルの特性のばらつきとなって現れ、ワードライン毎にベリファイの基準が異なってしまう。

このように従来の不揮発性記憶装置では、アレysel内のメモリセルに情報が正しく書き込まれ或いは消去されたことを確認するために選択されたすべてのメモリセルについてベリファイを行わなければならない、多大の手間と時間を要するものであった。

発明の開示

そこで、この発明は、ベリファイを速やかにかつ正確に行うことによって、結果的に情報の書き込み、消去操作を簡単にかつ速やかに行うことができる、ベリファイ機能を有する不揮発性記憶装置を提供することを目的とする。

この発明のベリファイ機能を有する不揮発性記憶装置は、行方向に複数本配列されたワードラインと、前記ワードラインと交差する列方向に複数本配列されたビットラインと、前記ワードラインとビットラインとの交点に夫々配置された複数の不揮発性メモリセルと、前記ワードラインの夫々に前記複数の不揮発性メモリセルと共通に接続されかつ複数の不揮

発性メモリセルとほぼ同一の閾値を持つ少なくとも1個の不揮発性ベリファイセルと、情報の書込み、消去時に前記不揮発性メモリセルの閾値に対して前記不揮発性ベリファイセルの閾値を所定の値だけ電氣的に減少させる閾値制御手段と、前記閾値制御手段による閾値の変化より所定時間後に前記不揮発性ベリファイセルの記憶内容のベリファイ動作を行うベリファイ手段とから構成されている。

また、この発明のベリファイ機能を有する不揮発性記憶装置は、行方向に複数本配列されたワードラインと、前記ワードラインと交差する列方向に複数本配列されたビットラインと、前記ワードラインとビットラインとの交点に夫々配置された複数の不揮発性メモリセルと、前記複数本配列されたワードラインのうち少なくとも1本のワードラインに前記不揮発性メモリセルと共通に接続された少なくとも1個の不揮発性ベリファイセルと、情報の書き込み、消去時に前記不揮発性メモリセルに所定の電圧を印加すると共にこの所定の電圧より小さい電圧を前記不揮発性ベリファイセルに印加する手段と、所定時間後に前記不揮発性ベリファイセルの記憶内容のベリファイ動作を行う手段とから構成されている。

上記の構成により情報の書き込み、消去時に前記不揮発性メモリセルに書き込みあるいは消去のための所定の電圧を印加すると共に、この所定の電圧より小さい電圧を前記不揮発性ベリファイセルに印加するようにしたから、前記不揮発性ベリファイセルについての情報の書き込み、消去の動作が終了した時点では前記不揮発性メモリセルについての情報の書

き込み、消去動作は既に終了しており、この不揮発性ベリファイセルの記憶内容のベリファイ動作を行うことにより、前記不揮発性メモリセルについての情報の書き込み、消去動作のベリファイも終了されたことになる。

また、この発明に係るベリファイ機能を有する不揮発性記憶装置は、行方向に複数本配列されたワードラインと、前記ワードラインと交差する列方向に複数本配列されたビットラインと、前記ワードラインとビットラインとの交点に夫々配置された複数の不揮発性メモリセルと、前記ワードラインの夫々に前記複数の不揮発性メモリセルと共通に接続されかつ複数の不揮発性メモリセルとほぼ同一の書き込み消去特性を有する少なくとも1個のベリファイセルと、参照信号を発生するリファレンスセルと、書き込み消去時に選択されたワードラインに接続されたベリファイセルの出力および前記リファレンスセルよりの参照信号を夫々異なる所定のセンス感度をもって検出するセンス手段とから構成されている。

上記の構成によりワードラインの夫々に接続された複数の不揮発性メモリセルのベリファイを、これらの不揮発性メモリセルと共通に接続されかつ複数の不揮発性メモリセルとほぼ同一の書き込み消去特性を有するベリファイセルとリファレンスセルを用いてワードライン単位、すなわちページ単位でおこなうことができるので高速ベリファイを実現できる。

これに加えて、上記の構成によれば、このような高速ベリファイもセンス手段のセンス感度を電氣的に制御してセルのしきい値を調製することで行うことができるので、ベリファ

イを速やかにかつ正確に行うことができる。また製造時にはセンス手段が簡単な回路構成であるとともに、ベリファイセルも複数の不揮発性メモリセルと同時に形成が可能であるので、製造プロセスをほぼそのまま使用して製造でき、チップ面積も小さくでき製造コストを低減できる。

図面の簡単な説明

第1図はこの発明の一実施例の回路構成を示すブロック図。

第2図はメモリセルに印加される書き込み電圧を変えた時のしきい値の変化を示す図。

第3図はメモリセルに印加される消去電圧を変えた時のしきい値の変化を示す図。

第4図はホットエレクトロン注入による書き込み時にメモリセルに印加される書き込み電圧を変えた時のしきい値の変化を示す図。

第5図はこの発明の他の実施例の回路構成を示すブロック図。

第6図はこの発明の他の実施例のブロック図。

第7図は第6図の実施例の動作を説明するための線図。

第8図はこの発明の他の実施例のブロック図。

第9図はこの発明の更に他の実施例のブロック図。

第10図はこの発明の更に他の実施例に含まれるメモリセルの構成を示す断面図。

第11図はこの発明の更に他の実施例に含まれるベリファイセルの構成を示す断面図。

第12A～12C図は第10図、第11図に示したセルを有する実施例の動作を説明するための線図。

第13A～13C図は第10図、第11図に示したセルを有する実施例の動作を説明するための線図。

発明を実施するための最良の形態

以下、この発明の第1の実施の形態について図面を参照して説明する。

第1図はこの第1の実施の形態を示すブロック回路図であり、メモセルアレイ11は複数の不揮発性メモリセルトランジスタM11, M12, …M1k、M21, M22, …M2k, …Mm1, Mm2, …Mmkが行方向および列方向にマトリクス状に配列されてなる。不揮発性メモリセルトランジスタM11, M12, …M1kのコントロールゲートは共通に1番目のワードラインW1に接続され、不揮発性メモリセルトランジスタM21, M22, …M2kのコントロールゲートは共通に2番目のワードラインW2に接続され、不揮発性メモリセルトランジスタMm1, Mm2, …Mmkのコントロールゲートは共通にワードラインWmに接続される。これらのワードラインW1…Wmはそれぞれワードラインドライバ12の出力端に接続されて駆動される。

不揮発性メモリセルトランジスタM11, M21, …Mm1のドレインは共通に1番目のビットラインB1に接続され、不揮発性メモリセルトランジスタM12, M22, …Mm2のドレインは共通に2番目のビットラインB2に接続され、不揮発性メモリセルトランジスタM1k, M2k, …Mmk

のドレインは共通に k 番目のビットライン B_k に接続される。これらのビットライン $B_1 \dots B_k$ はそれぞれビットライン選択回路 13 を介して駆動トランジスタ T_{r1} に接続され、更にこの駆動トランジスタ T_{r1} を介して電源 14 に接続される。なお、不揮発性メモリセルトランジスタ M_{11} , M_{21} , \dots M_{m1} のソースは共通に 1 番目のソースライン S_1 に接続され、不揮発性メモリセルトランジスタ M_{12} , M_{22} , \dots M_{m2} のソースは共通に 2 番目のソースライン S_2 に接続され、不揮発性メモリセルトランジスタ M_{1k} , M_{2k} , \dots M_{mk} のソースは共通に k 番目のソースライン S_k に接続される。これらのソースライン $S_1 \dots S_k$ は共通にトランジスタ T_{r4} のドレインに接続される。

このように構成されたメモセルアレイ 11 に対して更にサブメモリセルで構成されるサブアレイ 15 が並設される。このサブアレイ 15 はセルアレイ 11 のベリファイに用いることから以下の説明ではベリファイセルアレイ 15 と称する。このベリファイセルアレイ 15 は夫々のワードライン $W_1 \dots W_m$ に対応して 1 個ずつ設けられたベリファイセルトランジスタ M_{v1} , M_{v2} , \dots M_{vm} から構成される。これらのベリファイセルトランジスタ M_{v1} , M_{v2} , \dots M_{vm} のコントロールゲートは夫々ワードライン $W_1 \dots W_m$ に接続され、ドレインは共通にビットライン B_v を介してビットライン選択回路 13 に接続され、さらに並列駆動トランジスタ T_{r2} , T_{r3} に接続される。更にこの並列駆動トランジスタ T_{r2} , T_{r3} を介して電源 14 に接続される。これらのベリファイ

セルトランジスタ $Mv1$, $Mv2$, ... Mvm のソースは共通にソースライン Sv に接続され、このソースライン Sv は並列トランジスタ $Tr5$, $Tr6$ の夫々のドレインに接続される。

トランジスタ $Tr4$ および並列トランジスタ $Tr5$, $Tr6$ の夫々のソースは共通にトランジスタ $Tr5$, $Tr6$ の夫々のドレインに接続され、一方のトランジスタ $Tr7$ のソースは電源 16 の正端子に接続され、他方のトランジスタ $Tr8$ のソースは接地される。

一方のトランジスタ $Tr7$ は、後で詳述するが、ホットエレクトロンを用いて電子をフローティングゲートに注入するプログラミング法、即ちホットエレクトロンプログラム法で書き込みを行う場合、およびフローティングゲートに注入されている電子の引き抜きをファウラーノードハイムトンネル電流 ($F-N$ 電子引き抜き) によって行う消去法を実行する場合に導通して、電源 16 からの正電圧がベリファイセルアレイ 15 を構成するベリファイセルトランジスタ $Mv1$, $Mv2$, ... Mvm のソースに印加される。

他方のトランジスタ $Tr8$ は情報の書き込みをファウラーノードハイムトンネル電流による電子注入 ($F-N$ 電子注入) によって行う場合に導通して、トランジスタ $Tr6$ を介してベリファイセルトランジスタ $Mv1$, $Mv2$, ... Mvm のソースを接地する。

トランジスタ $Tr1$, $Tr2$, $Tr3$ は共通にセンスアンプ SA の一方のセンス入力端子に接続され、このセンスアンプ

プ S A の他方のセンス入力端子は後で詳述するリファレンスセルトランジスタ M_r のドレインに接続される。これらのセンスアンプ S A およびリファレンスセルトランジスタ M_r はそれぞれ電源 1 4 および接地の間に接続される。

この実施例では、上記のメモセルアレイ 1 1 およびベリファイセルアレイ 1 5 を構成する不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ およびベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ はその付属回路素子とともに 1 個の半導体基板上に形成される。特に、メモセルアレイ 1 1 およびベリファイセルアレイ 1 5 を構成する不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ およびベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ はいずれも同じ構成、寸法を有するから、同じ製造工程において同時に形成される。従って、そのメモリセルとしての特性は同じであり、情報の書き込み、消去時に与えられる電圧が同じであればその書き込み、消去に要する時間もほぼ同じとなる。別の見方をすれば、もしもメモセルアレイ 1 1 に与えられる電圧に対してベリファイセルアレイ 1 5 に与えられる電圧の値が小さければ、情報の書き込み、消去に要する時間はメモセルアレイ 1 1 の方が早くなることは容易に理解できる。この実施例はこの点に注目してベリファイを行うものであり、詳細は次に述べる。

第 2 図は第 1 図に示した不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ およびベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ への情報の書き込みをファウラーノードハ

イムトンネル電流による電子注入（F-N電子注入）によって行う場合に、ワードライン電圧、ソース電圧を一定とし、ドレイン電圧を異ならせた場合の書き込み特性（しきい値-時間特性）を示す。

第2図において実線は不揮発性メモリセルトランジスタM₁₁…M_{mk}のドレイン電圧V₁を示し、破線はベリファイセルトランジスタM_{v1}, M_{v2}, …M_{vm}のドレイン電圧V₂を示し、両者の関係はV₁ > V₂になるように設定される。

このような関係に設定するためには第1図の実施例の回路においてトランジスタT_{r1}, T_{r2}, T_{r4}, T_{r6}, T_{r8}のゲートにON信号を印加してこれらのトランジスタを導通させ、トランジスタT_{r3}, T_{r5}, T_{r7}のゲートにOFF信号を印加してこれらのトランジスタを非導通状態にさせる。この結果、ビットライン選択回路13と電源14との間に接続されている不揮発性メモリセルトランジスタM₁₁…M_{mk}のソースは接地される。この状態で、ドレイン駆動用のトランジスタT_{r1}の駆動力は、ベリファイセルトランジスタM_{v1}, M_{v2}, …M_{vm}のドレイン駆動用のトランジスタT_{r2}の駆動力より大きく設定されているので、実線で示した不揮発性メモリセルトランジスタM₁₁…M_{mk}のドレイン電圧V₁は、破線で示したベリファイセルトランジスタM_{v1}, M_{v2}, …M_{vm}のドレイン電圧V₂より大きくなる。

この様にドレイン電圧を異ならせることにより、ドレイン

電圧 V_1 が印加された不揮発性メモリセルトランジスタ $M_{11} \dots M_{1k}$ のしきい値 V_{th} の上昇率が、ドレイン電圧 V_2 が印加された不揮発性ベリファイセルトランジスタ M_{v1} , M_{v2} , \dots M_{vm} のしきい値 V_{th} の上昇率よりも大きくなる。

一般に、不揮発性メモリセルトランジスタの書き込み（又は消去）のベリファイは、書き込み（又は消去）の動作を一定時間行い、次にベリファイ動作を行うという操作のセットを何回か繰り返す。

又一般にメモリセルは製造のバラツキ等によりその書き込み（又は消去）の特性にバラツキが生じ、例えば一つのワードラインに接続されたメモリセルのうち選択されたすべてのメモリセルの書き込みが同時に終わることはなく、書き込み完了に至る時間にもバラツキがある。例えばあるメモリセルは n 番目のセットの書き込み動作で書き込みが終了するのに対し、他のメモリセルは $n+1$ 番目のセットで書き込みが終了するというようなことが起きる。

このように、第1図の実施例においてワードライン W_1 に接続されている不揮発性メモリセルトランジスタ $M_{11} \dots M_{1k}$ の書き込み特性にもバラツキがある。しかしながら、この内の最も遅い書き込み完了時間を有するメモリセルであっても、前記のようにドレイン電圧を異ならせることにより少なくともベリファイセルトランジスタ M_{v1} よりは早いことは確かである。

第2図において、たとえば書き込み開始後の時点 t_1 にお

いて n 番目のセットの書き込み動作が終わったものとする。不揮発性メモリセルトランジスタ $M_{11} \dots M_{1k}$ の書き込み完了時のしきい値を V_{th1} とすると、ファウラーノードハイムトンネル電流 ($F-N$ 電子注入) により、実線で示したように、これらの不揮発性メモリセルトランジスタ $M_{11} \dots M_{1k}$ のしきい値は既に V_{th1} に到達して、ワードライン W_1 に関しては書き込みが完了している。

しかしながら、この時点 t_1 においては不揮発性ベリファイセルトランジスタ M_{v1} のしきい値 V_{th} は、破線で示したように、まだ V_{th1} に到達してなく、 n 番目のセットのベリファイモードでは書き込みが完了していないことが検知される。

時点 t_1 から所定時間経過後の時点 t_2 において実施された、たとえば $n+1$ 番目のセットでは、ドレイン電圧 V_2 が印加された不揮発性ベリファイセルトランジスタ M_{v1} のしきい値が V_{th1} に到達したことが検知されて、この $n+1$ 番目のセットのベリファイモードでは不揮発性メモリセルトランジスタ $M_{11} \dots M_{1k}$ のしきい値も既に V_{th1} に到達して書き込みが完了しているはずであることがわかる。

また、ワードライン W_2 に関してたとえば $n+1$ 番目のセットではドレイン電圧 V_2 が印加された不揮発性ベリファイセルトランジスタ M_{v2} のしきい値がまだ V_{th1} に到達してなく、 $n+2$ 番目のセットで到達したことが検知されたとすれば、この $n+2$ 番目のセットのベリファイモードで不揮発性メモリセルトランジスタ $M_{21} \dots M_{2k}$ のうちの選択さ

れたセルのしきい値も既に V_{th1} に到達して書き込みが完了しているはずであることがわかる。

他のワードラインについても同様に不揮発性ペリフェイスルトランジスタのしきい値が V_{th1} に到達したことで、そのワードラインに関してビットラインにより選択されたすべての不揮発性メモリセルトランジスタのしきい値も既に V_{th1} に到達して書き込みが完了しているはずであることが分かる。

このように、不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ のドレイン電圧 V_1 を、ペリフェイスルトランジスタ M_{v1} , M_{v2} , $\dots M_{vm}$ のドレイン電圧 V_2 より大きくなるように設定しておくことにより、不揮発性ペリフェイスルトランジスタ M_{v1} , M_{v2} , $\dots M_{vm}$ の書き込みが完了した時点 t_2 では必ず不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ は既に書き込みが完了していることになるので、 t_2 の時点でペリフェイスルトランジスタ M_{v1} , M_{v2} , $\dots M_{vm}$ のペリファイを行えば、不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ のペリファイも出来たことになる。

ここで、第1図の回路において書き込み、ペリファイの動作をより詳細に説明する。 n (n は1以上の正の整数) 番目のセットの情報の書き込みモードでは、トランジスタ T_{r1} , T_{r2} , T_{r4} , T_{r6} , T_{r8} がON状態に設定され、セルアレイ11、ペリフェイスルアレイ15が電源14、接地の間に接続される。

たとえばページ単位でプログラミングを行う場合、ワード

ライン $W_1 - W_m$ がワードラインドライバ12により順次駆動され、これと同時にビットライン $B_1 - B_k$ が書き込み情報の内容に応じて選択的に駆動される。セルアレイ11の不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ はビットライン選択回路13により選択されるが、ベリファイセルアレイ15のベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ はすべて書き込み状態に設定される。

この際、前述したように、トランジスタ T_{r1} の方がトランジスタ T_{r2} より駆動力が大きく設定されているので、たとえば第2図に示したようにベリファイセルアレイ15のベリファイセルトランジスタ M_{v1} の書き込みが完了した時点 t_2 ではセルアレイ11のワードライン W_1 に関して書き込みは既に完了している。この状態で n 番目のセットの書き込みモードから n 番目のセットのベリファイモードに切り替えられ、トランジスタ T_{r3}, T_{r6}, T_{r8} のみがONとなる。

ベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ のベリファイを行うために、第1図に示したセンスアンプSAとリファレンスセルトランジスタ M_r とが用いられる。このベリファイモードはトランジスタ T_{r3}, T_{r6}, T_{r8} をONとし、トランジスタ $T_{r1}, T_{r2}, T_{r4}, T_{r5}, T_{r7}$ をOFFとすることにより設定される。この状態でベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ の書き込みの内容に従ってトランジスタ T_{r3}, T_{r6} を通過して電源14と接地との間に所定の大きさの電流が流れ、この結果、

センスアンプ S A の一方の入力端子には所定のベリファイ電圧が印加される。一方、センスアンプ S A の他の入力端子には所定のリファレンスセルトランジスタ M r から参照電圧が供給される。これらの両方の電圧はセンスアンプ S A で比較され、両者の大小関係に応じてベリファイセルトランジスタ M v 1, M v 2, … M v m の書き込みのベリファイを行うことができる。

つぎに、不揮発性メモリセルトランジスタ M 1 1 … M m k に書き込まれた情報の消去時におけるベリファイモードの動作を説明する。この消去は、不揮発性メモリセルトランジスタ M 1 1 … M m k のソース電圧を第 3 図に示したように V 3 に設定し、ベリファイセルトランジスタ M v 1, M v 2, … M v m のソース電圧を V 4 に設定し、フローティングゲートに注入されている電子の引き抜きをファウラーノードハイムトンネル電流 (F - N 電子引き抜き) によって行う。ここで、二つのソース電圧の関係を $|V 3| > |V 4|$ とするために、トランジスタ T r 4, T r 5 を O N とするとともに、トランジスタ T r 4 の駆動力がトランジスタ T r 5 の駆動力より大きくなるように設定される。この消去の場合は、トランジスタ T r 4, T r 5, T r 8 を導通させ、ソース側を共通に接地させる。

この消去時に、ワードライン電圧、ソース電圧を一定とし、ドレイン電圧を異ならせた場合の消去特性 (閾値 - 時間特性) を第 3 図に示す。

第 3 図においてたとえば消去完了の閾値が V t h 2 である

とすると、ファウラーノードハイムトンネル電流（F-N電子引き抜き）による消去開始後の n セット番目の時点 t_3 においては、トランジスタ T_{r4} の駆動力が大きいので、実線で示したようにたとえばワードライン W_1 に接続された不揮発性メモリセルトランジスタ $M_{11} \dots M_{1k}$ の閾値 V_{th} は先に V_{th2} に到達して、消去が完了しているがこれのベリファイは書き込みと同様に直接は行わない。

一方、この時点 t_3 においては不揮発性ベリファイセルトランジスタ M_{v1} の閾値 V_{th} は、トランジスタ T_{r5} の駆動力が小さいので、破線で示したようにまだ V_{th2} に到達してなく、消去が完了していない。さらに時点 t_3 から所定時間経過後の $n+1$ 番目のセットの時点 t_4 になると、ソース電圧 V_4 が印加された不揮発性ベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ の閾値も V_{th2} に到達して、消去が完了する。他のワードライン $W_2 \dots W_m$ についても同様である。

このように、不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ のドレイン電圧 V_3 を、ベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ のドレイン電圧 V_4 より大きくなるように設定しておくことにより、不揮発性ベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ の消去が完了した時点 t_4 では必ず不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ は既に消去が完了しているはずであるので、 $n+1$ 番目のセットの t_4 の時点で消去モードから消去ベリファイモードに切り替えてベリファイセルトランジスタ $M_{v1}, M_{v2},$

…M v mのベリファイを行えば、不揮発性メモリセルトランジスタM 1 1…M m kの消去のベリファイも出来たことになる。

この消去ベリファイモードでは、ベリファイセルトランジスタM v 1, M v 2, …M v mの消去のベリファイを行うために、第1図に示したセンスアンプS AとリファレンスセルトランジスタM rとが同様に用いられる。この消去ベリファイモードは書き込みベリファイモードと同様に、トランジスタT r 3, T r 6、T r 8をONとし、トランジスタT r 1, T r 2、T r 4, T r 5, Y r 7をOFFとすることにより設定される。この状態でベリファイセルトランジスタM v 1, M v 2, …M v mの消去の進行内容に従ってトランジスタT r 3, T r 6, T r 8を通過して電源1 4と接地との間に所定の大きさの電流が流れ、この結果、センスアンプS Aの一方の入力端子には所定のベリファイ電圧が印加される。一方、センスアンプS Aの他の入力端子には所定のリファレンスセルトランジスタM rから参照電圧が供給される。これらの両方の電圧はセンスアンプS Aで比較され、両者の大小関係に応じてベリファイセルトランジスタM v 1, M v 2, …M v mの消去のベリファイを行うことができる。すなわち、消去が完了していればトランジスタT r 3, T r 6を通過して流れる電流は所定値以下となるから、センスアンプS Aの一方の入力端子に供給されるベリファイ電圧はリファレンスセルトランジスタM rからの参照電圧よりずっと小さくなり、両者の比較から例えば「0」出力がセンスアンプS Aから得られ

ることになり、この結果、消去のベリファイが完了する。

第2図の書き込み特性は情報の書き込みをファウラーノードハイムトンネル電流による電子注入（F-N電子注入）によって行う場合を示したが、ホットエレクトロンの注入によっても同様に書き込みを行うことができる。このホットエレクトロンの注入による書き込みの場合は第1図のトランジスタ $T r 1$ 、 $T r 2$ と共にトランジスタ $T r 4$ 、 $T r 5$ 、 $T r 7$ を導通させ、電源16からの正の電圧を不揮発性メモリセルトランジスタ $M 1 1 \dots M m k$ およびベリファイセルトランジスタ $M v 1$ 、 $M v 2$ 、 $\dots M v m$ のソースに供給する。トランジスタ $T r 8$ はOFFとされる。

第4図はこのホットエレクトロンの注入による書き込み特性の一例を示す。たとえば第1図における不揮発性メモリセルトランジスタ $M 1 1 \dots M m k$ のドレイン電圧 $V 5$ を、ベリファイセルトランジスタ $M v 1$ 、 $M v 2$ 、 $\dots M v m$ のドレイン電圧 $V 6$ より大きくなるように設定してホットエレクトロンの注入による書き込みを行う。

この場合も実線で示したように高いドレイン電圧が印加された不揮発性メモリセルトランジスタ $M 1 1 \dots M m k$ の方が早い時点 $t 5$ で書き込み完了しきい値 $V t h 1$ に到達し、ベリファイセルトランジスタ $M v 1$ 、 $M v 2$ 、 $\dots M v m$ の書き込みはそれより遅い時点 $t 6$ となる。

したがって、第2図の場合と同様にベリファイセルトランジスタ $M v 1$ 、 $M v 2$ 、 $\dots M v m$ の書き込み完了の後にその書き込みのベリファイを行えば、不揮発性メモリセルラン

ジスタ $M_{11} \dots M_{mk}$ の書き込み完了のベリファイが簡単かつ速やかに行われることになる。

第1図の実施例は不揮発性メモリセルトランジスタ $M_{11} \dots M_{mk}$ およびベリファイセルトランジスタ $M_{v1}, M_{v2}, \dots M_{vm}$ のドレインの駆動に単一の電源14を用い、トランジスタ T_{r1} の駆動力をトランジスタ T_{r2} の駆動力より大きく設定して、書き込み時にセルアレイ11の書き込みがベリファイセルアレイ15より早く終了するようにしたが、トランジスタ T_{r1} とトランジスタ T_{r2}, T_{r3} とに夫々別個の電源を用いるようにすれば、トランジスタ T_{r1} とトランジスタ T_{r2} の駆動力に対する制限が無くなる。第5図はその一例を示すブロック図であり、第1図と同一の部分は同一の参照符号を付して説明を省略する。

第5図において、電源14Aはトランジスタ T_{r1} を介してビットライン選択回路13に接続され、電源14Bはトランジスタ T_{r2}, T_{r3} を介してビットライン選択回路13に接続される。従って、セルアレイ11はトランジスタ T_{r1} を介して電源14Aにより駆動され、ベリファイセルアレイ15はトランジスタ T_{r2}, T_{r3} を介して電源14Bにより駆動される。ここでは、電源14Aが電源14Bに対して高い電圧をセルアレイ11のビットライン $B_1 - B_k$ に供給できればよく、トランジスタ T_{r1} とトランジスタ T_{r2} の駆動力は同じでよい。ただし、書き込みのベリファイモード時にはベリファイセルアレイ15に対してトランジスタ T_{r3} を介してセルアレイ11と同じ大きさの駆動を行う必要

があるため、トランジスタ $T r 3$ の駆動力はトランジスタ $T r 1$ の駆動力と同じ値に設定しておく必要がある。従って、センスアンプ $S A$ およびリファレンスセル $M r$ の電源も第5図に示したように電源 $14 A$ から取ることになる。

前記リファレンスセルトランジスタ $M r$ はセルアレイ 11 を構成する不揮発性メモリセルトランジスタ $M 11 \dots M m k$ と同様な特性を持つことが望ましい。この結果、書き込み、消去において不揮発性メモリセルトランジスタ $M 11 \dots M m k$ がどのような状態になるかをリファレンスセルトランジスタ $M r$ で代表できることになる。つまり、リファレンスセルトランジスタ $M r$ は不揮発性メモリセルトランジスタ $M 11 \dots M m k$ と同様な電圧で動作することが望ましい。このことが第5図の実施例の場合にリファレンスセルトランジスタ $M r$ をセルアレイ 11 に接続されたトランジスタ $T r 1$ の電源 $14 A$ に接続する理由である。

以上詳述したようにこの実施例によれば、セルアレイを構成する個々のメモリセルの書き込み、消去のベリファイを行う代わりに、メモリセルに与える電圧より低い電圧が印加されたベリファイセルについてベリファイを行うことによって、結果的に情報の書き込み、消去の際のベリファイを簡単にかつ速やかに行うことができる、ベリファイ機能を有する不揮発性記憶装置が得られる。

以下、この発明の第2の実施の形態について説明する。

第6図はこの第2の実施の形態を示すブロック回路図であり、メモリセルアレイ 31 は複数の不揮発性メモリセルトラ

ンジスタ $M1_i$, $M1_{(i+1)}$, ..., $M2_i$, $M2_{(i+1)}$, ..., $M3_i$, $M3_{(i+1)}$, ... が行方向および列方向にマトリクス状に配列されてなる。不揮発性メモリセルトランジスタ $M1_i$, $M1_{(i+1)}$, ... のコントロールゲートは共通にワードライン WL_i に接続され、不揮発性メモリセルトランジスタ $M2_i$, $M2_{(i+1)}$, ... のコントロールゲートは共通にワードライン WL_{i+1} に接続され、不揮発性メモリセルトランジスタ $M3_i$, $M3_{(i+1)}$, ... のコントロールゲートは共通にワードライン WL_{i+2} に接続される。これらのワードライン WL_i , WL_{i+1} , WL_{i+2} はそれぞれ X デコーダ、すなわちワードラインドライバ 30 の出力端に接続されて駆動される。

不揮発性メモリセルトランジスタ $M1_i$, $M2_i$, $M3_i$... のドレインは共通にビットライン BL_i に接続され、不揮発性メモリセルトランジスタ $M1_{(i+1)}$, $M2_{(i+1)}$, $M3_{(i+1)}$... のドレインは共通にビットライン BL_{i+1} に接続される。これらのビットライン BL_i , BL_{i+1} ... はそれぞれ Y デコーダすなわちビットライン選択回路 32 によりオン・オフ制御されるトランジスタ $8n_i$, $8n_{(i+1)}$ を介してセンスアンプを含む書き込み回路 26 に接続され、更に図示しない電源に接続される。なお、不揮発性メモリセルトランジスタ $M1_i$, $M2_i$, $M3_i$... のソースは共通にソースライン SL_i に接続され、不揮発性メモリセルトランジスタ $M1_{(i+1)}$, $M2_{(i+1)}$, $M3_{(i+1)}$... のソースは共通にソースライン SL_{i+1} に接

続される。これらのソースライン SL_i , SL_{i+1} は共通に接地される。

このように構成されたメモセルアレイ 31 に対して更に冗長セルで構成される冗長セルアレイ 33 が並設される。この冗長セルアレイ 33 は以下に詳細に説明するようにセルアレイ 31 のベリファイに用いることから、以下の説明ではベリファイセルカラム 13 と称する。このベリファイセルカラム 33 は夫々のワードライン WL_i , WL_{i+1} , WL_{i+2} , … に対応して 1 個ずつ設けられた冗長セル、すなわちベリファイセルトランジスタ Mv_1 , Mv_2 , Mv_3 … から構成される。これらのベリファイセルトランジスタ Mv_1 , Mv_2 , Mv_3 … のコントロールゲートは夫々ワードライン WL_i , WL_{i+1} , WL_{i+2} , … に接続され、ドレインは共通にビットライン BL_{vi} を介してビットライン選択回路 32 によりオン・オフ制御されるトランジスタ 28v のソースに接続される。さらに、このトランジスタ 28v を介してセンスアンプ 34 の一方の入力端子に接続される。ベリファイセルトランジスタ Mv_1 , Mv_2 , Mv_3 … のソースは共通に接地される。

センスアンプ 34 の他方の入力端子にはレベル調整回路 37 を介してリファレンスセル 36 からの出力が供給される。このレベル調整回路 37 は後述するベリファイモード時にベリファイ制御回路 38 からの信号で動作し、ベリファイセルカラム 33 からの信号との比較のためにリファレンスセル 36 からの出力のレベルを適切な値に調整してセンスアンプ 3

4に供給するためのものである。

この実施例では、上記のメモセルアレイ31およびベリファイセルカラム33を構成する不揮発性メモリセルトランジスタ $M1_i, \dots, M3_{(i+1)}$ およびベリファイセルトランジスタ $Mv_1, Mv_2, Mv_3 \dots$ はその付属回路素子とともに1個の半導体基板上に形成される。特に、メモセルアレイ31およびベリファイセルカラム33を構成する不揮発性メモリセルトランジスタ $M1_i, \dots, M3_{(i+1)}$ およびベリファイセルトランジスタ $Mv_1, Mv_2, Mv_3 \dots$ はいずれも同じ構成、寸法を有するから、同じ製造工程において同時に形成される。また、リファレンスセル36も同時に形成される。従って、そのメモリセルとしての特性は同じであり、情報の書き込み、消去時に与えられる電圧が同じであればその書き込み、消去に要する時間もほぼ同じとなる。別の見方をすれば、情報の書き込み、消去時にメモセルアレイ31に現れる閾値の変化をベリファイセルカラム33に現れる閾値の変化で代表させて検出することができる。このようにすれば各々のワードラインに接続されたメモリセルトランジスタに対する情報の書き込み、消去のベリファイを夫々1個のベリファイセルで代表して行うことができる。この実施例はこの点に注目してベリファイを行うものであり、詳細は次に述べる。

第7図は第6図に示した不揮発性メモリセルトランジスタ $M1_i, \dots, M3_{(i+1)}$ およびベリファイセルトランジスタ $Mv_1, Mv_2, Mv_3 \dots$ への情報の書き込みをファウラ

ーノードハイトンネル電流による電子注入（F-N電子注入）によって行う場合に、ワードライン電圧、ドレイン電圧、ソース電圧を一定とした場合の書き込み特性分布および消去特性分布（閾値分布）を示す。

第7図において曲線Aは所定時間の電子注入後のアレイセル31のしきい値分布を示し、コラム33のベリファイセルの閾値分布は曲線Aのほぼ中央に位置する曲線Bで示される。この段階でベリファイモードに切り替えて、ベリファイセルコラム33の出力に対してリファレンスセル36の出力のレベルをレベル調整回路37で増大させてセンスアンプ34に供給することによりセンス比を1より大きくすると、コラム33のベリファイセルの閾値分布は曲線Aのほぼ中央の位置から曲線Aの下側に示した曲線B'の位置に移動される。この結果、ベリファイセルの見掛けのしきい値分布B'はアレイセル31のしきい値分布Aより低い位置となる。従って、このしきい値分布B'が検出できるようにリファレンスセル36の出力をレベル調整回路37で調整すれば、コラム33のベリファイセルの閾値分布B'が検出できたところでアレイセル31のしきい値がAで示されている位置に達している筈である。したがって、ワードライン夫々について1個のベリファイセルのベリファイを行うだけでそのワードラインを共有するアレイセルすべての書き込みのベリファイができたことになる。即ち、これはページモードでベリファイを高速に行うことを意味する。

第7図において曲線Cは所定時間の電子引き抜き後のアレ

イセル31のしきい値分布を示し、カラム33のベリファイセルのしきい値分布は曲線Cのほぼ中央に位置する曲線Dで示される。この段階でベリファイモードに切り替えて、ベリファイセルカラム33の出力に対してリファレンスセル36の出力のレベルをレベル調整回路37で減少させてセンスアンプ34に供給することによりセンス比を1より小さくすると、カラム33のベリファイセルの閾値分布は曲線Cのほぼ中央の位置から曲線Cの上側に示した曲線D'の位置に移動される。この結果、ベリファイセルの見掛けのしきい値分布D'はアレイセル31のしきい値分布Cより高い位置となる。従って、このしきい値分布D'が検出できるようにリファレンスセル36の出力をレベル調整回路37で調整すれば、カラム33のベリファイセルのしきい値分布D'が検出できたところでアレイセル31のしきい値がCで示されている位置に達している筈である。したがって、ワードライン夫々について1個のベリファイセルのベリファイを行うだけでそのワードラインを共有するアレイセルすべての消去のベリファイができたことになる。

なお、第6図の実施例において、1個のセルアレイ31に対して1個のベリファイセルカラム33が形成された場合を例にとって説明したが、1本のワードラインに結合されるメモリセルアレイが複数個のセクターから成っている場合のように極めて多数のメモリセルが結合されている場合でも、1個のベリファイセルで代表してベリファイを行うことができることは勿論である。

第8図は第6図の実施例をより具体化した場合のブロック図を示す。ここで、第6図と対応する部分は同一または類似の参照符号を付し、異なる部分のみ説明する。第8図において第6図の回路と異なる部分は、第6図の書き込み回路26が入出力バッファ42およびデータラッチ回路43として示されている点、レベル調整回路37としてセンス比制御回路37aが用いられている点、センスアンプ34の出力が他の入出力バッファ41に供給されている点、および、これらの入出力バッファ41、42およびベリファイ制御回路38が制御回路40の制御下で動作する点である。

第8図において書き込みモード時には入出力バッファ42からデータラッチ回路43にラッチされた情報はビットライン選択回路32aでデコードされてビットライン BL_i, \dots, BL_{i+n} が選択され、ワードラインドライバ30により走査されるワードライン毎に選択されたメモリセルに書き込みが行われる。

所定時間後にベリファイモードに切り替えられると、CPU等の制御回路40からの制御信号によりベリファイ制御回路38が動作し、リファレンスセル36の出力がセンス比制御回路37aで所定のレベルまで増幅されてセンスアンプ44の一方の入力端子に供給される。このセンスアンプ34の他方の入力端子にはビットライン選択回路32aおよびデータラッチ回路43を介してベリファイセルカラム33の出力が供給され、両者の比較が行われる。第2図で説明したように、ベリファイセルカラム33の出力が分布曲線B'の位置

で検出されると、セルアレイ 31 の閾値が分布曲線 A の位置にあることが分かり、ベリファイが行われた事になる。情報消去の場合も第 6 図、第 7 図で説明してあり、ここでは省略する。

第 9 図の実施例は第 8 図の実施例を改良したもので、第 8 図におけるセンス比制御回路 37 a を省略してさらに回路構成を簡単にしてある。第 9 図の実施例では、ベリファイ回路 38 の出力でリファレンスセルトランジスタ 36 のゲートに制御信号を与えて、このリファレンスセルトランジスタ 36 の出力レベルを直接調整するものである。他の構成、動作は第 8 図の実施例と同じであり、説明は省略する。

以上の各々の実施例はいずれもベリファイセルのベリファイだけでワードラインを共有するアレイセルのベリファイを行うことができるため、ベリファイ時間を大幅に短縮できる。また、ベリファイセルカラム 33 としてはメモリセルアレイの故障に備えて同時に形成して設けられる冗長セルアレイの一部をそのまま用いることができるので、不揮発性メモリセルの通常の製造プロセスで実現でき、またベリファイの為の回路構成も簡単化できるので、製造コストの低減とチップサイズの縮小も実現できる。

以上説明した実施例はいずれもメモリセル、ベリファイセル、リファレンスセルの構成が同一で、従ってそのしきい値特性も同じであるとしたが、さらにメモリセルとベリファイセルのしきい値特性が異なっている場合にもこの発明を適用できる。この場合はセンスアンプにおけるセンス比をそのし

きい値に応じて変化させ、あるいはセンス比を1に固定することでベリファイを行うことができる。

例えば、第6図に示した実施例において、メモリセル $M_{1i} \dots M_{1(i+1)}$ およびベリファイセル $M_{v1} \dots M_{v3}$ は第10図及び第11図に示したようなEEPROM構造に形成されている。第10図、第11図には代表してメモリセル M_{1i} およびベリファイセル M_{v1} を示すが、他のセルも同様の構成を有する。これらのメモリセル M_{1i} およびベリファイセル M_{v1} は互いに殆ど同一の構成を有するので、同一の部分は同一の参照符号を付して一度に説明する。

p型のシリコン基板50上にn型の不純物イオンをドーピングして高濃度不純物拡散領域(n+1)としてドレイン領域51およびソース領域52が形成されている。このドレイン領域51およびソース領域52を含むシリコン基板50上にはトンネル酸化膜53が形成されている。ドレイン領域51およびソース領域52間のチャンネル領域上であってこのトンネル酸化膜53上にはポリシリコンからなるフローティングゲート54が形成されている。フローティングゲート54以外のトンネル酸化膜53上にはシリコン酸化膜からなるフィールド酸化膜55が形成されている。

フローティングゲート54の露出面を覆い、フィールド酸化膜55の表面上であってドレイン領域51およびソース領域52の上方まで覆うポリシリコンからなるキャップ56が形成される。このキャップ56およびフィールド酸化膜55上にはさらにこのキャップ56を含むフィールド酸化膜55

の表面に酸化シリコン／窒化シリコンが積層された構造を有する絶縁層としてのONO膜57が形成される。またこのONO膜57上にはポリシリコンからなるコントロールゲート58が形成されている。

第10図、第11図のメモリセルM1iおよびベリファイセルMv1ではキャップ56のディメンションが異なっている。第10図に示すメモリセルM1iではキャップ56はドレイン領域51およびソース領域52が並ぶ方向に沿った長さ $Lx1$ とこのドレイン領域51およびソース領域52が並ぶ方向に対して直交方向に沿った長さ $Ly1$ とを有し、 $Lx1 \times Ly1$ で表されるキャップ面積 $S1$ を有している。

これに対して、第11図に示すベリファイセルMv1ではドレイン領域51およびソース領域52が並ぶ方向に沿った長さ $Lx2$ とこのドレイン領域51およびソース領域52が並ぶ方向に対して直交方向に沿った長さ $Ly2$ とを有し、 $Lx2 \times Ly2$ で表されるキャップ面積 $S2$ を有している。従って、第10図、第11図のメモリセルM1iおよびベリファイセルMv1のキャップ56の面積 $S1$ 、 $S2$ の間には、 $S1 > S2$ の関係がある。

上述したような構造を有するメモリセルM1i及びベリファイセルMv1では、ベリファイセルMv1のゲートカップル比がメモリセルM1iのゲートカップル比に比べて小さく設定されている。ゲートカップル比は、チャンネル領域及びフローティングゲート54間のキャパシタンス及びフローティングゲート54及びコントロールゲート58間のキャパシタ

ンスが大きいほど大きくなる。

第10図及び第11図に示されるメモリセルM1*i*及びベリファイセルMv1においては、チャンネル領域及びフローティングゲート54が対向する面積は、同一であることから、両者のチャンネル領域及びフローティングゲート54間のキャパシタンスは、等しい。これに対して、メモリセルM1*i*及びベリファイセルMv1においては、フローティングゲート54及びコントロールゲート58が対向する面積S1、S2は、異なり、メモリセルM1*i*の方がベリファイセルMv1に比べてフローティングゲート54及びコントロールゲート58が対向する面積S1が大きく、従って、メモリセルM1*i*の方がベリファイセルMv1に比べてフローティングゲート54及びコントロールゲート58間のキャパシタンスが大きくなる。

メモリセルM1*i*のゲートカップル比がベリファイセルMv1のゲートカップル比よりも大きくなっている。上述のようにメモリセルM1*i*とは、異なるゲートカップル比を有するベリファイセルMv1を半導体装置に組み込み、このベリファイセルMv1をベリファイするだけでこのベリファイセルMv1が接続されたワードラインWL*i*のメモリセルM1*i*、M1(*i*+1)をベリファイすることができる。

他のワードラインWL*i*+1、WL*i*+2についても同様である。尚、上述したカップル比の異なるセルは、単純には、セルのトンネル酸化膜部分の面積とフローティングゲートの表面積を整調して形成するのが最も簡便である。

即ち、第10図及び第11図に示した構造において、斜線で示したポリシリコンキャップ56をフォトマスク上の工夫でアレイセルよりベリファイセルでより短くすれば、アレイセルよりベリファイセルの方がカップル比の小さいセルとすることができることは明かである。

前述のように、メモリセルへの書き込み或いは消去は、ファウラーノードハイムトンネル電流（以下、F-N電流）或いは、ホットエレクトロン注入（以下、HE注入）によって行われる。アレイメモリセルM1iに比べてゲートカップル比の小さいベリファイセルMv1を準備し、各々のフローティングゲート54への電子注入特性、フローティングゲート54からの電子引き抜き特性及びフローティングゲート54へのホットエレクトロンの電子注入特性を調べると第12A図、12B図、12C図のようになる。

この第12A図、12B図、12C図から明らかのようにF-N電流でもHE注入でも、カップル比の大きいアレイセルの方がその閾値 V_{th} の変化が速く、所定時間経過後には、夫々閾値が異なっていること判る。この性質を利用してベリファイセルMv1への情報の書き込み、及びベリファイセルMv1からの消去をベリファイするだけで各ワードライン WL_i 、 WL_{i+1} 、 WL_{i+2} 、・・・に接続されたメモリセルをベリファイすることができる。

まず、プログラムベリファイについて説明する。始めに書き込み動作が実行される。即ち、ワードライン WL_i が第6図のワードラインドライバ30で選択されてワードラインW

L i に書き込み選択電圧が印加されるとともに書き込みしたいメモリセルのビットライン B L i、B L i + 1・・・いずれかとベリファイセル M v 1 のビットライン B L v i に接続された選択用トランジスタ 2 8 v、2 8 n、2 8 n (i + 1) がビットライン選択回路 3 2 によって選択され、ビットライン B L i、B L i + 1・・・いずれかとビットライン B L v i に書き込み電圧が印加される。

このようにして、書き込みしたいメモリセルとベリファイセル M v 1 にデータ、例えば、データ” 1 ”が書き込まれる。この書き込み動作では、一定時間の間、選択電圧及び書き込み電圧が印加されてメモリセル及びベリファイセル M v 1 に夫々所定範囲の閾値が与えられる。

この書き込み動作の後にベリファイ動作が開始される。ベリファイ動作では、プログラムされたメモリセルが接続されたワードライン W L i のベリファイセル M v 1 がワードラインドライバ 3 0 によって選択され、ベリファイ電圧が印加される。このベリファイ電圧は、後に説明するようにプログラムされたベリファイセル M v 1 の閾値電圧に対応している。

その後、ビットライン B L v i に接続された選択用トランジスタ 2 8 v がビットライン選択回路 3 2 で選択される。従って、プログラムされたベリファイセル M v 1 からの出力がセンスアンプ 3 4 に供給される。このベリファイ動作の際には、リファレンスセル 3 6 もまた O N されることから、このリファレンスセル 3 6 から参照出力がセンスアンプ 3 4 に供給される。センスアンプ 3 4 では、参照出力とベリファイセ

ルM v 1からの出力がセンス比1で比較される。

ここで、ベリファイセルM v 1が正しくプログラムされている場合には、例えば、参照出力のレベルに比べてベリファイセルM v 1からの出力のレベルが大きく、センスアンプ34からは、正しくプログラムされた旨を意味する出力”1”が出力される。また、ベリファイセルM v 1が正しくプログラムされていない場合には、例えば、参照出力のレベルに比べてベリファイセルM v 1からの出力のレベルが小さく、センスアンプ34からは、正しくプログラムされていない旨を意味する出力”0”が出力される。

このように繰り返しプログラム動作とベリファイ動作が繰り返され、センスアンプ34から正しくプログラムされた旨を意味する出力”1”が出力されるとプログラム動作が終了する。

消去ベリファイは、書き込みベリファイと略同様に下記のように実行される。ここで、消去動作は、共通ソースや共通ウエル毎に実行される。即ち、ワードラインW L i、W L i + 1、・・・に消去ゲート電圧が印加されるとともに共通ウエル又は、共通ソースに消去ウエル電圧又は消去電圧が印加され、或いは、共通ウエル及び共通ソースに夫々消去ウエル電圧及び消去電圧が印加される。

このようにして、メモリセル及びベリファイセルのデータが消去される。この消去動作では、一定時間の間、選択電圧及び消去電圧が印加されてメモリセル及びベリファイセルに夫々所定範囲の閾値が与えられる。この消去動作の後にベリ

ファイ動作が開始される。ベリファイ動作では、データが消去されたメモリセルが結合されたワードラインに接続されたベリファイセルがワードラインドライバ30によって次々に選択され、ベリファイ電圧が印加される。

このベリファイ電圧は、後に説明するように消去時のベリファイセルの閾値電圧に対応している。ビットラインBL_v_iに接続された選択用トランジスタ28_vがビットライン選択回路32で選択されると、消去されたベリファイセルからの出力がセンスアンプ34に供給される。このベリファイ動作の際には、ONされているリファレンスセル36からの参照出力がセンス比1に設定されたセンスアンプ34によってベリファイセルからの出力と比較される。

ここで、ベリファイセルが正しく消去されている場合には、例えば、参照出力のレベルに比べてベリファイセルからの出力のレベルが小さく、センスアンプ34からは、正しく消去された旨を意味する出力"0"が出力される。また、ベリファイセルが消去されていない場合には、例えば、参照出力のレベルに比べてベリファイセルからの出力のレベルが大きく、センスアンプ34からは、正しく消去されていない旨を意味する出力"1"が出力される。

このようにしてベリファイセルがすべて消去されているか否かがベリファイされる。上述したように、ベリファイセルをベリファイすることによってこのベリファイセルとワードラインWL_iを共有するメモリセルのプログラム、或いは、消去がベリファイされる。

これは、下記のような理由に基づいている。第13A図は、多数のセルの閾値の分布を示し、横軸は、セルの数に対応するセルカウントが示され、縦軸には、しきい値電圧 V_{th} が示されている。グラフA1及びB1は、フローティングゲート54に電子を注入したある時点でのメモリセルM1i及びベリファイセルMv1の閾値の分布を示している。

また、グラフA2及びB2は、フローティングゲート54から電子を引き抜いたある時点でのメモリセルM1i及びベリファイセルMv1の閾値の分布を示している。第12A図及び第13A図のグラフA1及びB1から明らかのようにフローティングゲート54に電子を注入した場合には、ベリファイセルMv1の閾値がある値まで上がれば、カップル比がベリファイセルより大きいメモリセルM1iでは、閾値変化がベリファイセルMv1よりも速い為より高い閾値レベルに達している。

従って、ベリファイセルMv1がその閾値で導通するか否かを調べれば、ワードラインに結合された他の全てのメモリセルは、ベリファイセルMv1の閾値よりも大きな閾値を有する所定の閾値を有していることとなり、このベリファイセルMv1に対応するメモリセルがその閾値で導通するか否かを調べる必要がないこととなる。

また、第12A図及び第13A図のグラフA2及びB2から明らかのようにフローティングゲート54から電子を引き抜いた場合には、ベリファイセルの閾値がある値まで下がれば、カップル比がベリファイセルより大きいアレイセルでは、

閾値変化がベリファイセルよりも速い為より低い閾値レベルに達している。従って、ベリファイセルがその閾値で導通するか否かを調べれば、他のメモリセルはベリファイセルの閾値よりも小さな閾値を有する所定の閾値を有していることとなり、このベリファイセルに対応するメモリセルがその閾値で導通するか否かを調べる必要がないこととなる。

このような原理から、ワードラインWL_nを共有する複数のメモリセルに対して1個のベリファイセルを調べるだけでメモリセルのベリファイは保証されることとなる。ホットエレクトロンをフローティングゲート54に注入する場合にあっても第13A図のグラフA1及びB1に示したと同様な分布を示すことから、同様にホットエレクトロンを注入してデータをメモリセルに書き込む場合、或いは、消去する場合にあっても、単にベリファイセルをベリファイするだけで多くのメモリセルをベリファイすることができる。

ここで、リファレンスセル36がアレイメモリセルと同型のセルに形成し、リファレンスセル36のカップル比をアレイメモリセルのカップル比に等しくした場合には、ベリファイセルとのオフセットを調整するためのセンスアンプ34のセンス比調整をTEGプロセスで調べ、第6図ないし第9図で説明した方法でベリファイできる。尚、リファレンスセル36もベリファイセルと同型のセルとすると、その調整が容易となる。

さて、以上から以下のような応用が可能となる。

(1) アレイセルよりカップル比の大きいベリファイセル

からなるビットラインを追加する。このベリファイセルは、オーバイレース（過消去）、オーバプログラムのチェック用に用いることができる。即ち、第13B図に示すようにベリファイセルとアレイセルの閾値分布は、第13Aとは異なっている。

即ち、フローティングゲート54に電子を注入した場合におけるある時点でのメモリセル及びベリファイセルの閾値の関係は、グラフC1及びD1から明らかなようにメモリセルの閾値がある値まで上がれば、カップル比がメモリセルより大きいベリファイセルでは、閾値変化がメモリセルよりも速い為より高い閾値レベルに達している。また、フローティングゲート54から電子を引き抜いた場合におけるある時点でのメモリセル及びベリファイセルの閾値の関係は、グラフC2及びD2から明らかなようにメモリセルの閾値がある値まで下がれば、カップル比がメモリセルより大きいベリファイセルでは、閾値変化がメモリセルよりも速い為より低い閾値レベルに達している。

この性質を利用して第6図に示されるベリファイセルをアレイセルよりカップル比を大きくすることによってベリファイセルをメモリセルのオーバイレース及びオーバプログラムのチェックに用いることができる。

ここで、このメモリセルのオーバイレース及びオーバプログラムのベリファイ方法について説明する。

先ず、平均的なメモリセルをプログラム又は消去するのに必要なパルス数のパルスをカップル比の大きなセルに与え、

その閾値を設定しておく。

次にメモリセルとその閾値をベリファイするベリファイセルをプログラミングし又は消去し、ベリファイを行う。ベリファイセルのベリファイ終了後、個々のメモリセルの閾値とカップル比の大きなセルとの間で閾値のベリファイ、即ち比較を行う。この時、閾値が高くなる方に電圧を印加していたとすると、通常のセルならばその閾値はカップル比の大きなセルに対し低くなるはずである。この際、カップル比の大きなセルより高い閾値を持っている場合、閾値が高くなり過ぎていることを示している。閾値が低くなるように電圧を印加した場合も同様に、メモリセルの閾値がカップル比の大きなセルの閾値より低いことは、閾値が低くなり過ぎたことを意味する。

このように、閾値が高すぎたりまたは低すぎたりすると、フローティングゲートに注入された電荷量に異常があることを示す。このようなセルは一般に電荷がリークし易い場合が多い。また電荷量異常はトンネル酸化膜に与える電界異常につながり、セルを早く劣化させてしまう。このような故障し易いセルが発見できることもオーバープログラム、オーバーレイのチェックの特徴である。

(2) 第6図に示す回路においてメモリセルが異なる閾値を有する第1及び第2メモリセルに分類され、これらの第1及び第2メモリセルの夫々よりもカップル比の小さい第1及び第2ベリファイセルからなるビットラインを2本以上付加することによって多値化メモリに対処することができる。ワ

ードラインに印加する電圧を変えて多値化メモリを作る場合、第1レベルを第1ベリファイセルで、また、第2レベルを第2ベリファイセルでというふうにベリファイする。このとき、第1ベリファイセルと第2ベリファイセルのカップル比は、必ずしも同じ必要はない。

以上詳述したようにこの発明によれば、ベリファイを速やかにかつ正確に行うことにより、結果的に情報の書き込み或いは消去操作を簡単、迅速かつ正確に行うことができる、ベリファイ機能、特にワードライン毎、すなわちページ単位でのベリファイ機能を有する不揮発性記憶装置を提供することができる。

請求の範囲

1. 行方向に複数本配列されたワードラインと、
前記ワードラインと交差する列方向に複数本配列されたビットラインと、
前記ワードラインとビットラインとの交点に夫々配置された複数の不揮発性メモリセルと、
前記ワードラインの夫々に前記複数の不揮発性メモリセルと共通に接続されかつ複数の不揮発性メモリセルとほぼ同一の閾値を持つ少なくとも1個の不揮発性ベリファイセルと、
情報の書込み、消去時に前記不揮発性メモリセルの閾値に対して前記不揮発性ベリファイセルの閾値を所定の値だけ電気的に減少させる閾値制御手段と、
前記閾値制御手段による閾値の変化より所定時間後に前記不揮発性ベリファイセルの記憶内容のベリファイ動作を行うベリファイ手段とを具備するベリファイ機能を有する不揮発性記憶装置。
2. 前記ワードラインの夫々に接続された複数の不揮発性メモリセルに対してページ単位で情報の書き込み、読出、消去を行う手段を含む請求項1によるベリファイ機能を有する不揮発性記憶装置。
3. 行方向に複数本配列されたワードラインと、
前記ワードラインと交差する列方向に複数本配列されたビットラインと、
前記ワードラインとビットラインとの交点に夫々配置され

た複数の不揮発性メモリセルと、

前記複数本配列されたワードラインのうち少なくとも1本のワードラインに前記不揮発性メモリセルと共通に接続された少なくとも1個の不揮発性ベリファイセルと、

情報の書き込み、消去時に前記不揮発性メモリセルに所定の電圧を印加すると共にこの所定の電圧より小さい電圧を前記不揮発性ベリファイセルに印加する電圧印加手段と、

前記電圧印加手段による電圧印加より所定時間後に前記不揮発性ベリファイセルの記憶内容のベリファイ動作を行うベリファイ手段とを具備するベリファイ機能を有する不揮発性記憶装置。

4. 前記不揮発性メモリセルおよび不揮発性ベリファイセルは情報の書き込み、消去時に前記電圧印加手段から印加される前記所定の電圧に対してほぼ同一の書き込み、消去時間特性を有する請求項3によるベリファイ機能を有する不揮発性記憶装置。

5. 前記電圧印加手段は前記情報の書き込み、消去時に、前記不揮発性メモリセルに電流を供給する第1の電流供給手段と、前記不揮発性ベリファイセルに電流を供給する第2の電流供給手段とを有し、前記第1の電流供給手段の駆動力が第2の電流供給手段の駆動力より大きく設定されている請求項3によるベリファイ機能を有する不揮発性記憶装置。

6. 前記電圧印加手段は、単一の電源と、この電源と前記不揮発性メモリセルとの間に接続され前記所定の電圧を発生する第1の駆動手段と、前記電源と前記不揮発性ベリファイ

セルとの間に接続され前記所定の電圧より小さい電圧を発生する第2の駆動手段とを有する請求項3によるベリファイ機能を有する不揮発性記憶装置。

7. 前記電圧印加手段は、前記所定の電圧を発生する第1の電源と、前記所定の電圧より小さい電圧を発生する第2の電源とを有する請求項3によるベリファイ機能を有する不揮発性記憶装置。

8. 前記ベリファイ手段は、前記不揮発性ベリファイセルの記憶内容のベリファイの参照出力を生成するリファレンスセルと、このリファレンスセルからの参照出力と前記不揮発性ベリファイセルの記憶内容に応じて得られるベリファイ出力との比較結果を出力するセンスアンプとを有することを特徴とする請求項3に記載のベリファイ機能を有する不揮発性記憶装置。

9. 行方向に複数本配列されたワードラインと、

前記ワードラインと交差する列方向に複数本配列されたビットラインと、

前記ワードラインとビットラインとの交点に夫々配置された複数の不揮発性メモリセルトランジスタと、

前記複数本配列されたワードラインの夫々に前記不揮発性メモリセルトランジスタと共通に接続された少なくとも1個の不揮発性ベリファイトランジスタと、

情報の書き込み、消去時に夫々前記不揮発性メモリセルトランジスタのドレインおよびソースまたは基板に所定の電圧を印加すると共に、この所定の電圧より小さい電圧を前記不

揮発性ベリファイトランジスタのドレインおよびソースまたは基板に印加する電圧印加手段と、

前記不揮発性メモリセルトランジスタに対する情報の書き込みまたは消去の後に前記不揮発性ベリファイセルトランジスタの記憶内容のベリファイ動作を行う手段とを具備するベリファイ機能を有する不揮発性記憶装置。

10. 前記ベリファイ動作を行う手段は、前記不揮発性ベリファイセルトランジスタの閾値が所定値に到達するまでまたは予め定めた上限回数回前記ベリファイ動作を繰り返す請求項9に記載のベリファイ機能を有する不揮発性記憶装置。

11. 行方向に複数本配列されたワードラインと、

前記ワードラインと交差する列方向に複数本配列されたビットラインと、

前記ワードラインとビットラインとの交点に夫々配置された複数の不揮発性メモリセルと、

前記ワードラインの夫々に前記複数の不揮発性メモリセルと共通に接続されかつ複数の不揮発性メモリセルとほぼ同一の書き込み消去特性を有する少なくとも1個のベリファイセルと、

参照信号を発生するリファレンスセルと、

書き込み消去時に選択されたワードラインに接続されたベリファイセルの出力および前記リファレンスセルよりの参照信号を夫々異なる所定のセンス感度をもって検出するセンス手段とを具備するベリファイ機能を有する不揮発性記憶装置。

12. 前記ベリファイセルは前記不揮発性メモリセルと同

時に形成される冗長セルアレイの一部である請求項11によるベリファイ機能を有する不揮発性記憶装置。

13. 前記センス手段は、ベリファイ時に前記ベリファイセルからの出力を前記センス手段に直接供給する第1供給手段と、前記リファレンスセルよりの参照信号のレベルを調整して前記センス手段に供給する第2供給手段とを具備する請求項11によるベリファイ機能を有する不揮発性記憶装置。

14. 前記センス手段は、ベリファイ時に前記ベリファイセルからの出力を前記センス手段に直接供給する第1供給手段と、前記リファレンスセルの出力制御端子に制御信号を供給して出力される前記参照信号のレベルを調整して前記センス手段に供給する第2供給手段とを具備する請求項11によるベリファイ機能を有する不揮発性記憶装置。

15. 前記ワードライン、ビットライン、メモリセル、ベリファイセル、リファレンスセル、センス手段の各々は単一の半導体チップ上に形成され、前記リファレンスセルは前記メモリセルパターンとセンス手段パターンとの間に配置されてなる請求項11によるベリファイ機能を有する不揮発性記憶装置。

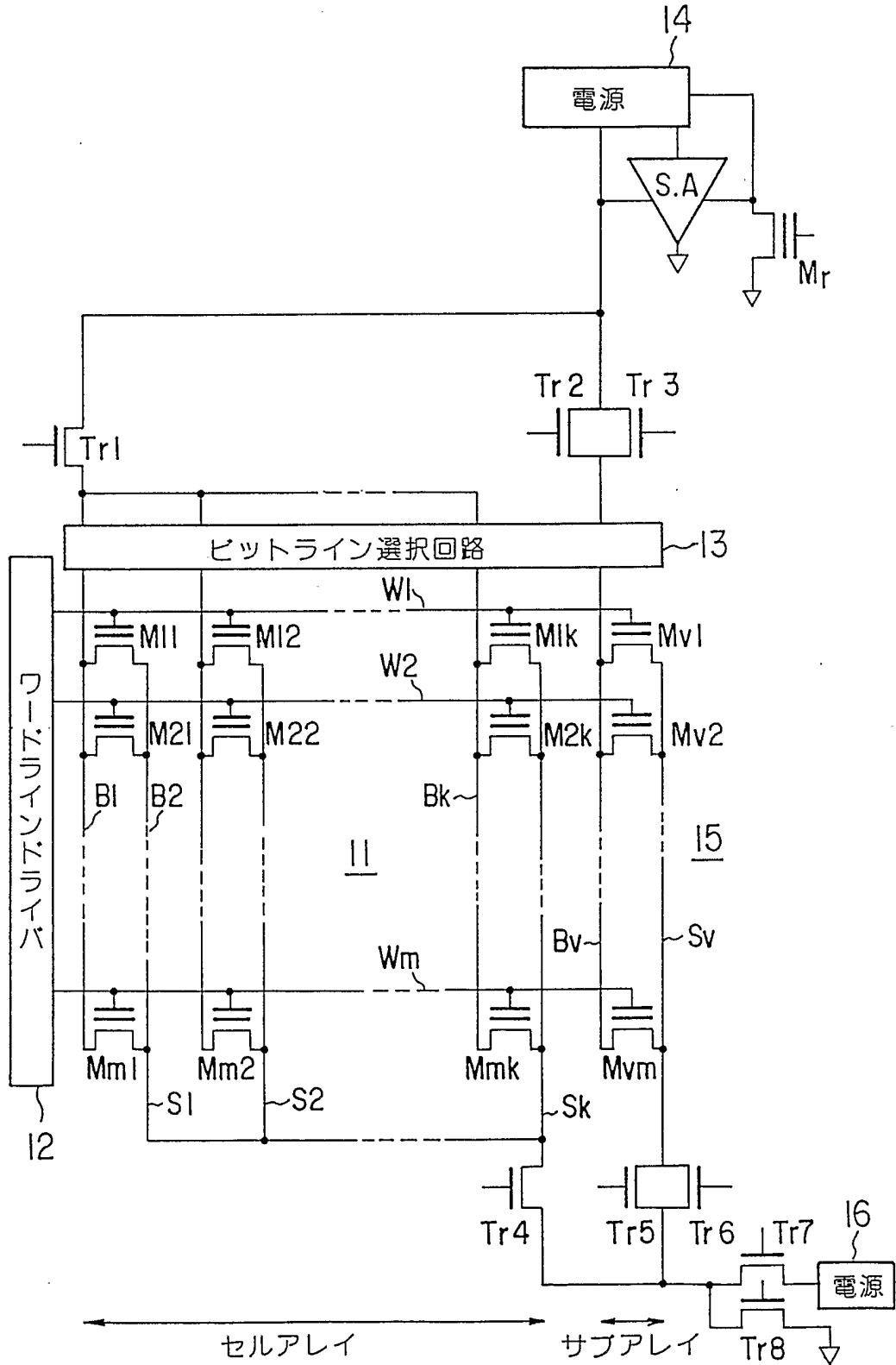


FIG. 1

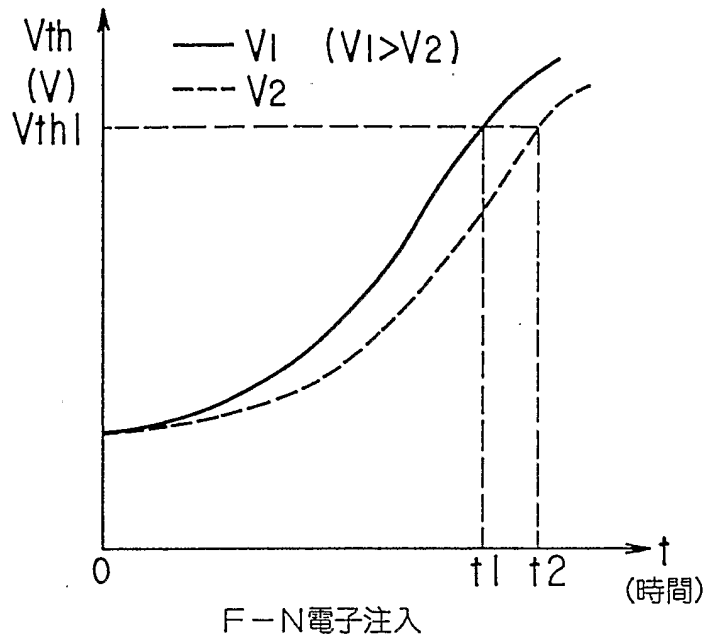


FIG. 2

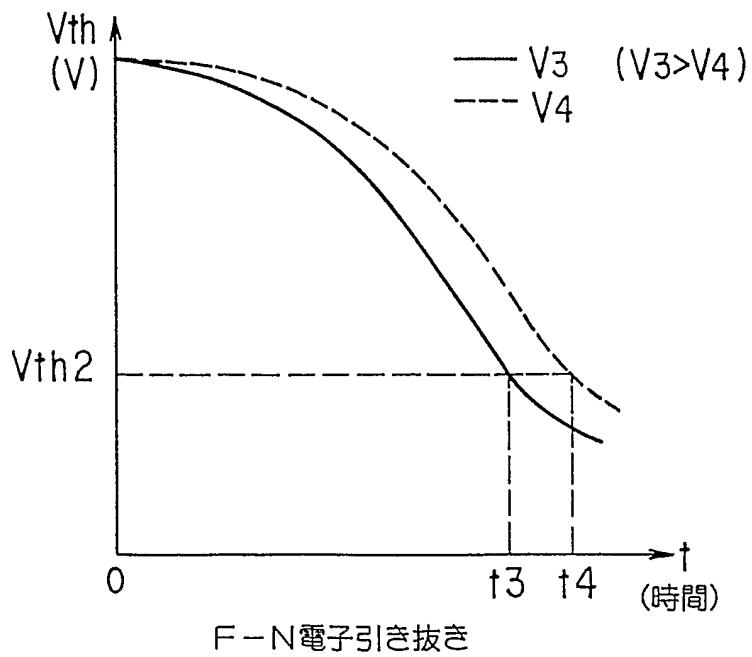


FIG. 3

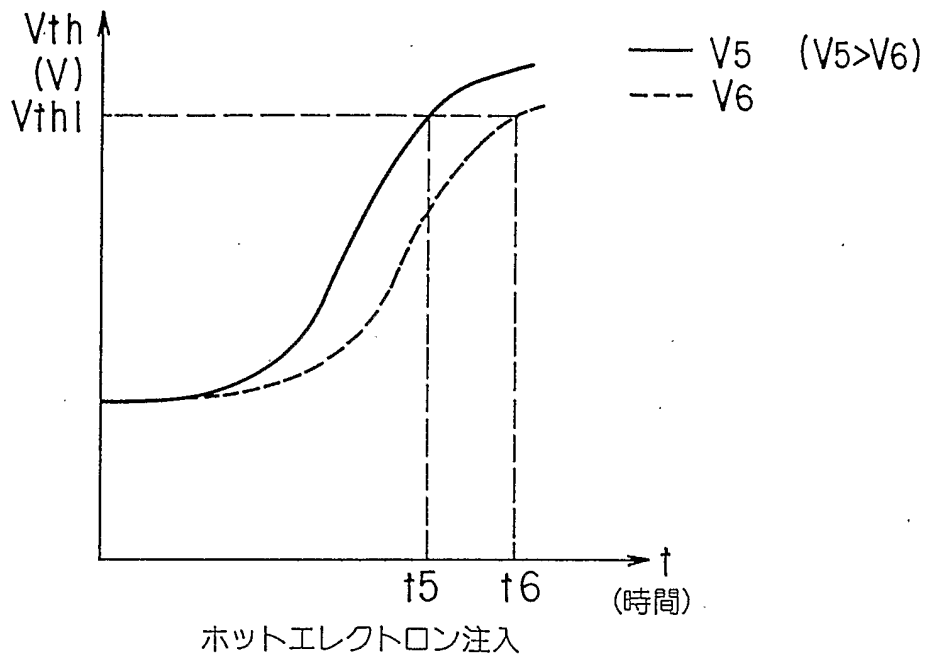


FIG. 4

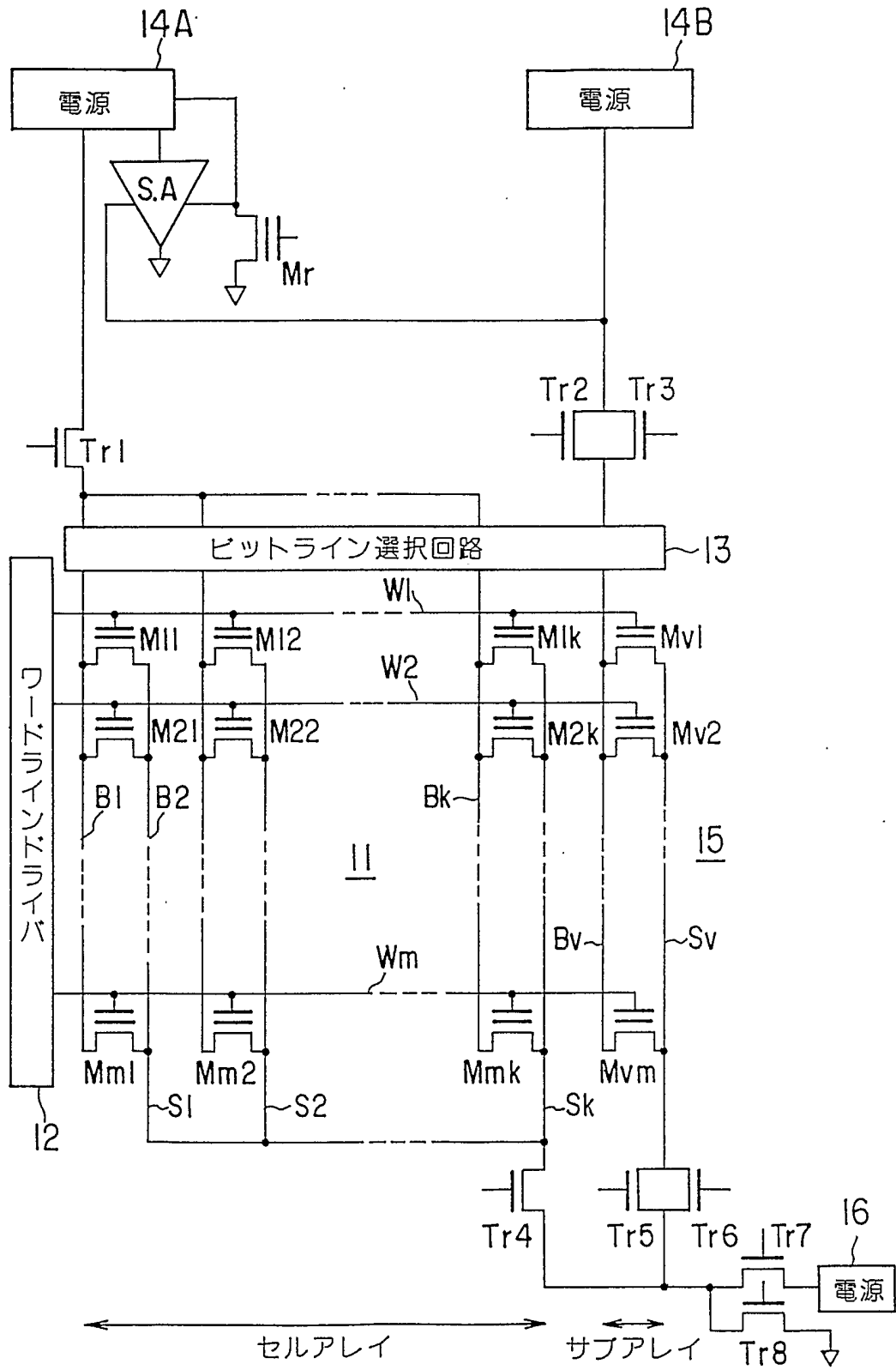


FIG. 5

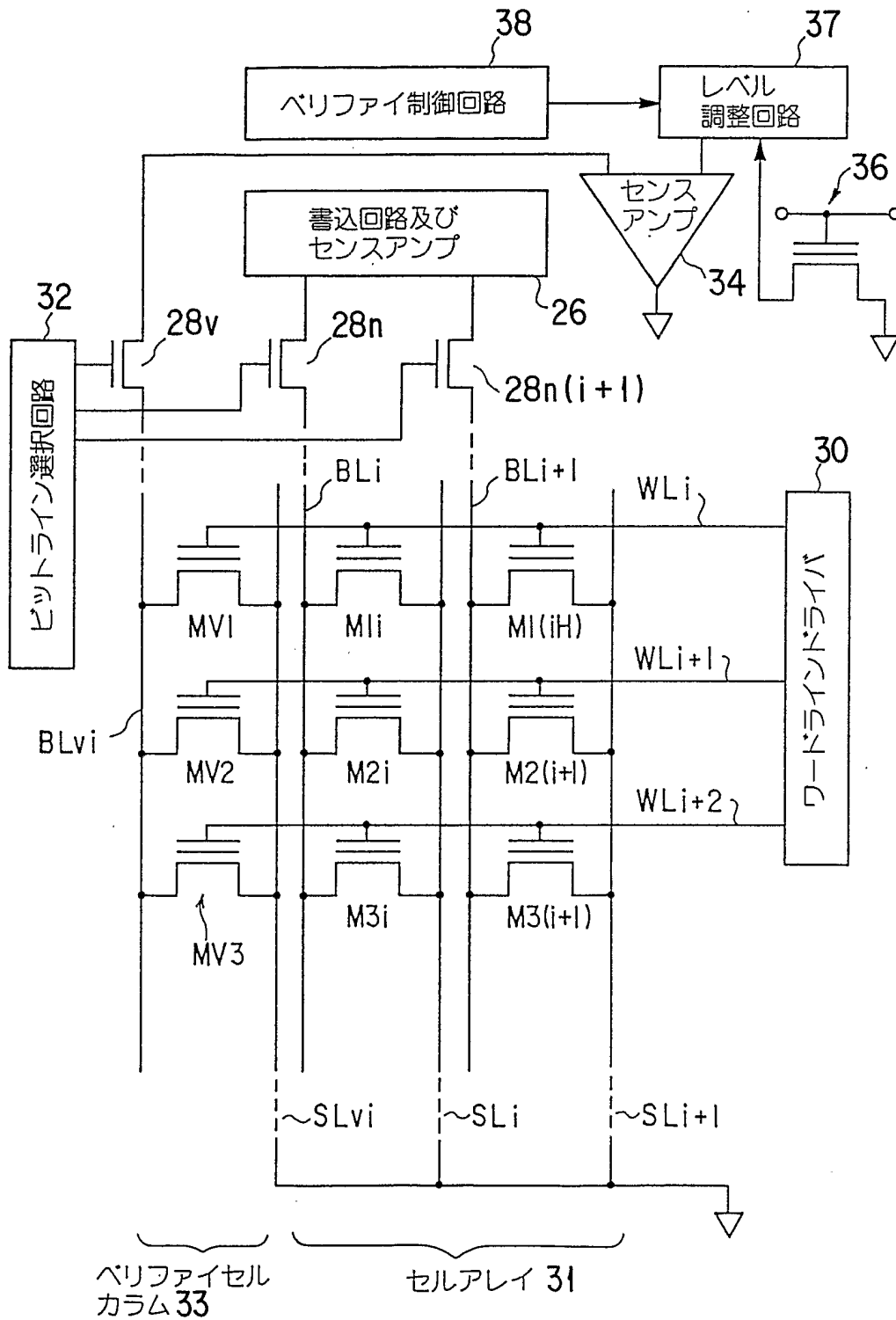


FIG. 6

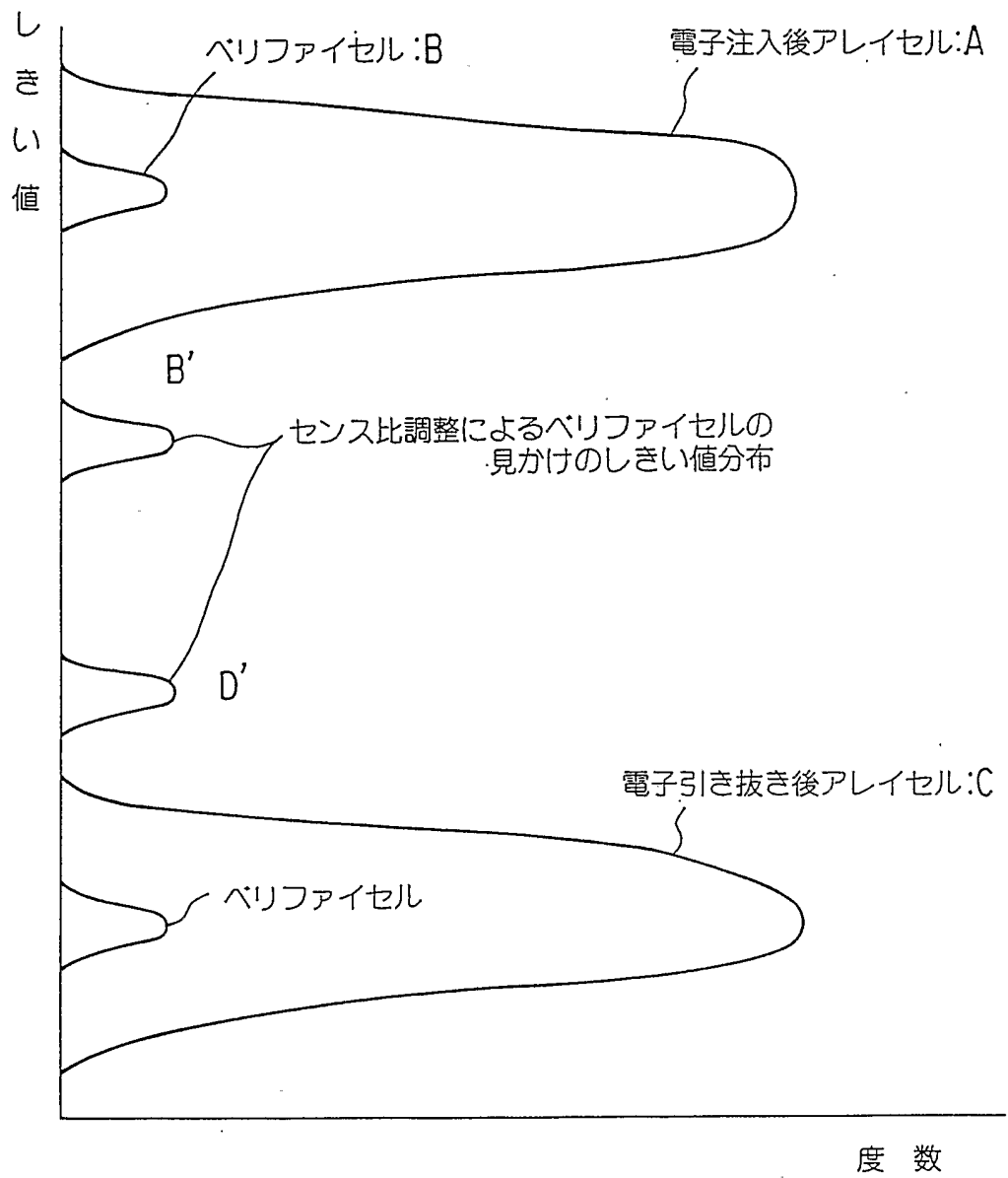


FIG. 7

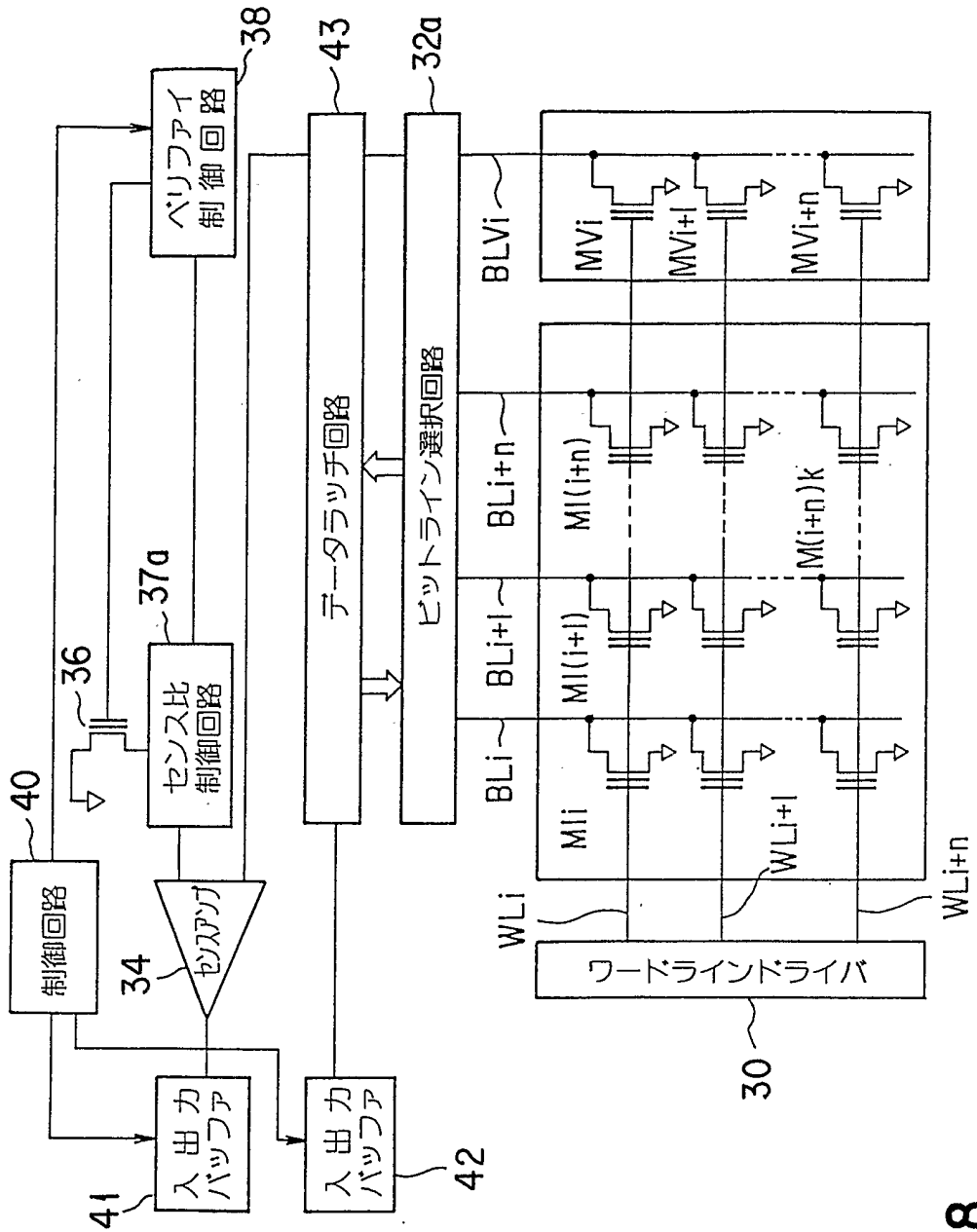


FIG. 8

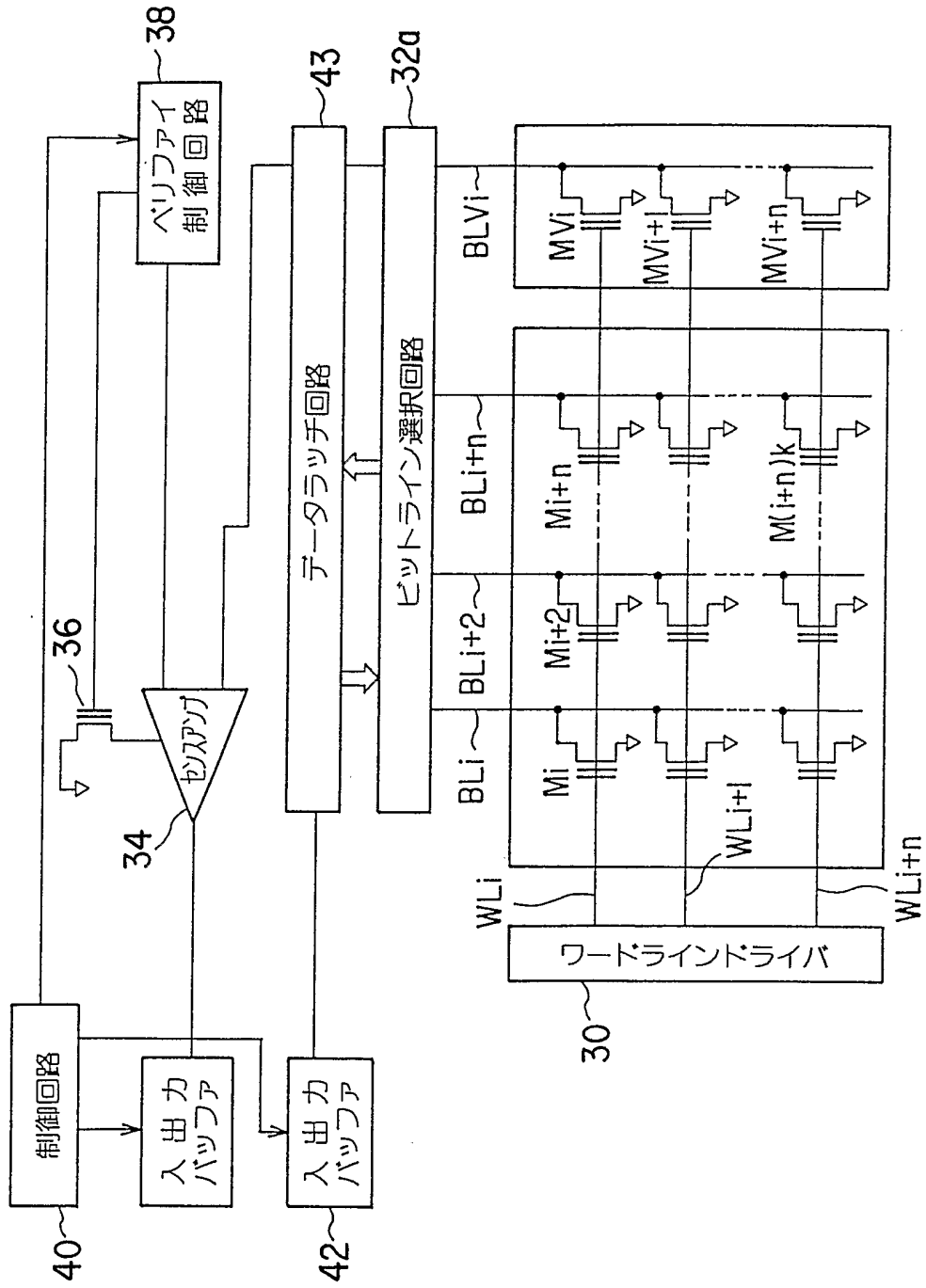


FIG. 9

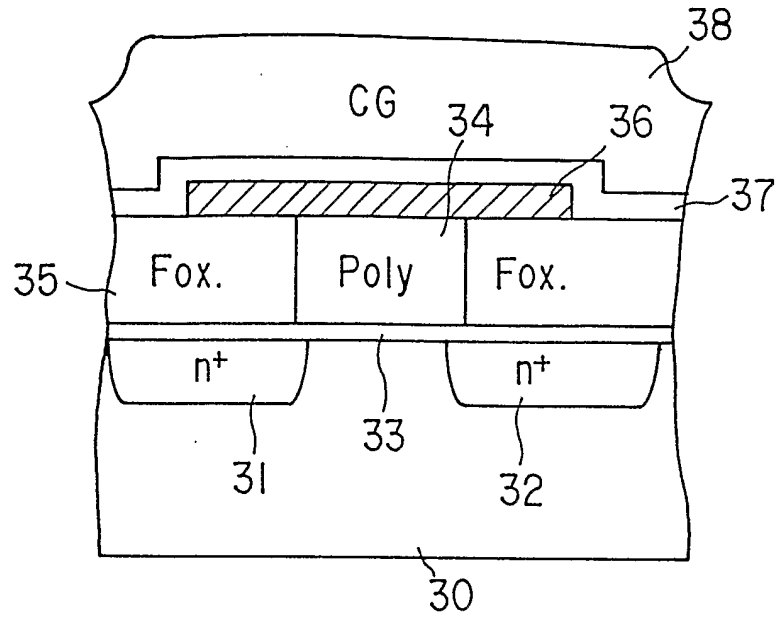


FIG. 10

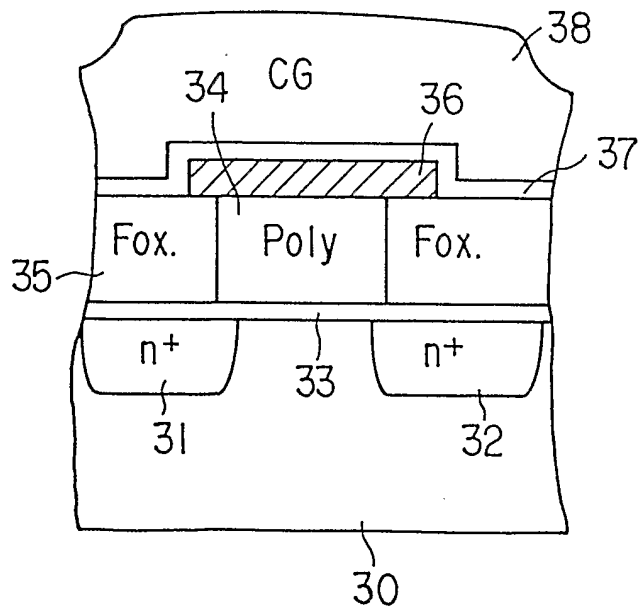


FIG. 11

10 / 11

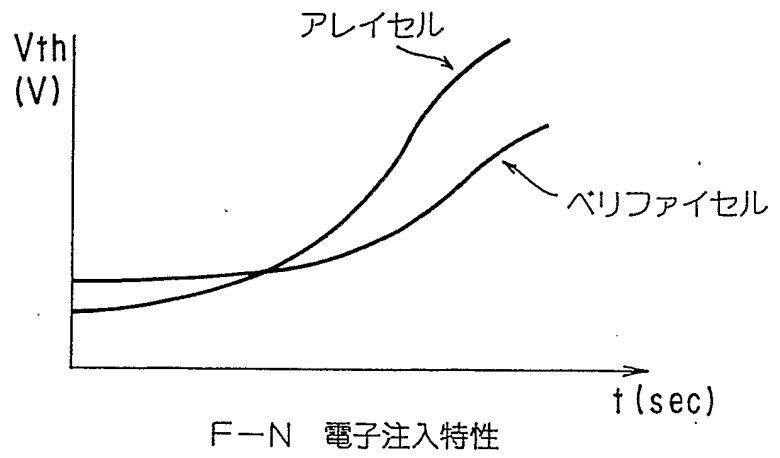


FIG. 12A

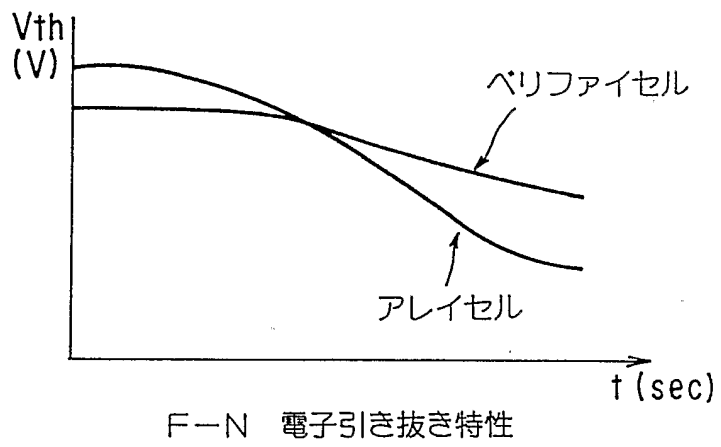


FIG. 12B

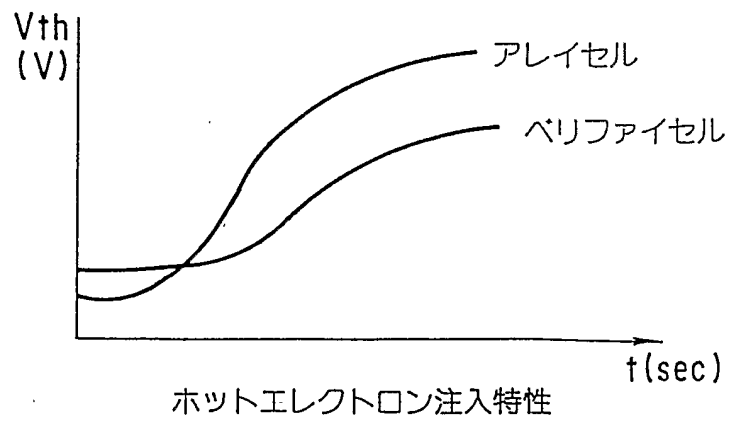


FIG. 12C

11 / 11

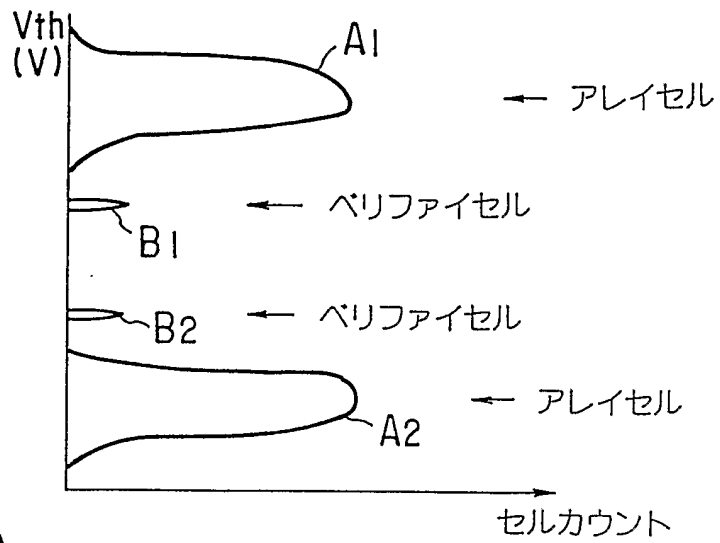


FIG. 13A

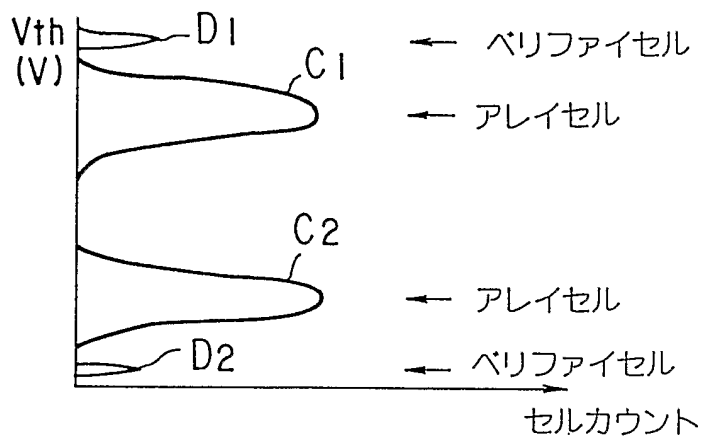


FIG. 13B

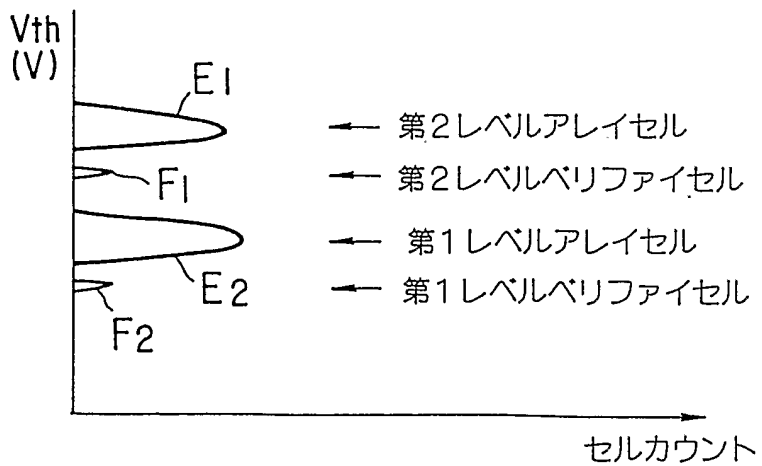


FIG. 13C

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02006

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G11C16/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G11C16/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1995
Kokai Jitsuyo Shinan Koho	1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, A, 07-50096 (Mitsubishi Electric Corp.), February 21, 1995 (21. 02. 95) (Family: none)	1 - 15
A	JP, A, 07-182875 (Toshiba Corp.), July 21, 1995 (21. 07. 95) (Family: none)	5-9, 11, 13
A	JP, A, 06-28899 (Toshiba Corp.), February 4, 1994 (04. 02. 94) & US, A, 5428569	10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

August 14, 1997 (14. 08. 97)

Date of mailing of the international search report

August 26, 1997 (26. 08. 97)


Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁶ G11C16/02		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁶ G11C16/02		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1995 日本国公開公開実用新案公報 1971-1995		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, A, 07-50096 (三菱電機株式会社), 21. 2月. 1995 (21. 02. 95) (ファミリーなし)	1~15
A	JP, A, 07-182875 (株式会社東芝), 21. 7月. 1995 (21. 07. 95) (ファミリーなし)	5~9, 11, 13
A	JP, A, 06-28899 (株式会社東芝), 4. 2月. 1994 (04. 02. 84) & US. A. 5428569	10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	14. 08. 97	国際調査報告の発送日 26. 08. 97
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 金子 幸  印	5L 9458
電話番号 03-3581-1101 内線 3562		