

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5333777号
(P5333777)

(45) 発行日 平成25年11月6日 (2013. 11. 6)

(24) 登録日 平成25年8月9日 (2013. 8. 9)

(51) Int. Cl.

F I

H O 1 L 27/28 (2006. 01)

H O 1 L 27/10 4 4 9

H O 1 L 51/05 (2006. 01)

B 8 2 B 1/00

B 8 2 B 1/00 (2006. 01)

B 8 2 B 3/00

B 8 2 B 3/00 (2006. 01)

H O 1 L 29/28 1 0 0 A

H O 1 L 51/30 (2006. 01)

H O 1 L 29/28 2 8 0

請求項の数 8 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2009-511984 (P2009-511984)
 (86) (22) 出願日 平成19年5月22日 (2007. 5. 22)
 (65) 公表番号 特表2009-538525 (P2009-538525A)
 (43) 公表日 平成21年11月5日 (2009. 11. 5)
 (86) 国際出願番号 PCT/SG2007/000141
 (87) 国際公開番号 W02007/136350
 (87) 国際公開日 平成19年11月29日 (2007. 11. 29)
 審査請求日 平成22年2月15日 (2010. 2. 15)
 (31) 優先権主張番号 60/802, 167
 (32) 優先日 平成18年5月22日 (2006. 5. 22)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 506076891
 ナンヤン テクノロジカル ユニヴァーシ
 ティー
 シンガポール, シンガポール 6 3 9 7
 9 8, ナンヤン アヴェニュー 5 0
 (74) 代理人 100094318
 弁理士 山田 行一
 (74) 代理人 100123995
 弁理士 野田 雅一
 (74) 代理人 100107456
 弁理士 池田 成人

最終頁に続く

(54) 【発明の名称】 有機メモリデバイス及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 の電極と、

第 2 の電極と、

有機半導体の活性層と、

前記第 1 の電極と前記第 2 の電極との間に配設される自己組織化電荷保持層であり、前記自己組織化電荷保持層は、電荷保持材料のナノ構造体及び／又はナノ粒子を有する有機誘電体材料のフィルムを備える、前記自己組織化電荷保持層とを具備し、

前記ナノ構造体及び／又はナノ粒子のそれぞれは、互いから離隔され、前記自己組織化電荷保持層は、コポリマー溶液中にて前駆物質より *i n - s i t u* 還元されたナノ構造体及び／又はナノ粒子を含む自己組織化コポリマー層と、前記ナノ構造体及び／又はナノ粒子が上に設けられる自己組織化単分子層と、からなる群より選択され、

前記自己組織化単分子層に対して前記ナノ構造体及び／又はナノ粒子が親和力を有し、

前記第 1 の電極と前記第 2 の電極との間に制御層及びトンネル層の少なくとも一方をさらに備え、前記制御層及び前記トンネル層の少なくとも一方は、前記自己組織化電荷保持層と一体であり、前記ナノ構造体及び／又はナノ粒子のそれぞれは、電氣的に絶縁され、

前記自己組織化電荷保持層は、2 つの自己組織化単分子層の層を備え、前記ナノ構造体及び／又はナノ粒子は、前記 2 つの層の間に位置し、前記 2 つの自己組織化単分子層の層の一方は、前記制御層であり、前記 2 つの自己組織化単分子層の層の他方は、前記トンネ

10

20

ル層であり、前記 2 つの自己組織化単分子層の層の少なくとも一方は、少なくとも 1 つのシラン誘導体を含むか、又は、

前記自己組織化電荷保持層は、ジブロック、トリブロック及びマルチブロックからなる群より選択される自己組織化コポリマーであり、前記自己組織化コポリマーは、ビニレンベース、メタクリレートベース、及びポリエチレンオキシドベースのモノマーからなる群より選択される材料のものである、有機メモリデバイス。

【請求項 2】

前記親和力は、物理的なもの及び化学的なものからなる群より選択される少なくとも一方である、請求項 1 に記載の有機メモリデバイス。

【請求項 3】

前記ナノ構造体及び／又はナノ粒子は、金属、金属酸化物、半導体、セラミック、半導体ナノ粒子、ナノクラスタ、ナノロッド、ナノファイバ、量子ドット、フラーレン及びフラーレン誘導体からなる群より選択される少なくとも 1 つであり、前記量子ドットは、金、銀、銅、二酸化チタン、二酸化亜鉛、セレン化カドミウム及び硫化カドミウムからなる群より選択される、請求項 1 に記載の有機メモリデバイス。

【請求項 4】

前記有機メモリデバイスは、薄膜トランジスタ (T F T) を備え、前記第 1 の電極は前記 T F T のゲート電極であり、前記第 2 の電極は、前記 T F T のソース電極及びドレイン電極の一方である、請求項 1 に記載の有機メモリデバイス。

【請求項 5】

第 1 の電極を形成するステップと、

ナノ構造体及び／又はナノ粒子を含む有機誘電体材料の自己組織化電荷保持層を形成するステップであり、前記ナノ構造体及び／又はナノ粒子はそれぞれ電気的に絶縁される、ステップと、

有機半導体の活性層を形成するステップと、

前記自己組織化電荷保持層及び前記活性層が前記第 1 の電極と第 2 の電極との間に配設されるようにこの第 2 の電極を形成するステップとを含み、

前記自己組織化電荷保持層は、自己組織化コポリマー層を形成するために、コポリマー溶液中にて前駆物質よりナノ構造体及び／又はナノ粒子を *i n - s i t u* 還元するステップと、前記ナノ構造体及び／又はナノ粒子が上に設けられる自己組織化単分子層を形成するステップとの一方によって形成され、

前記自己組織化単分子層に対して前記ナノ構造体及び／又はナノ粒子が親和力を有し、

前記第 1 の電極と前記第 2 の電極との間に制御層及びトンネル層の少なくとも一方を提供するステップをさらに含み、前記制御層及び前記トンネル層の少なくとも一方は、前記自己組織化電荷保持層と一体に形成され、

前記自己組織化電荷保持層は、2 つの自己組織化単分子層の層を備え、前記ナノ構造体及び／又はナノ粒子は、前記 2 つの層の間に位置し、前記 2 つの自己組織化単分子層の層の一方は前記制御層であり、前記 2 つの自己組織化単分子層の層の他方は前記トンネル層であり、前記 2 つの自己組織化単分子層の層の少なくとも一方は、少なくとも 1 つのシラン誘導体を含むか、又は、

前記ナノ構造体及び／又はナノ粒子のそれぞれは、電気的に絶縁され、前記自己組織化コポリマーは、ジブロック、トリブロック及びマルチブロックからなる群より選択され、前記自己組織化コポリマーは、ビニレンベース、メタクリレートベース、及びポリエチレンオキシドベースのモノマーからなる群より選択される材料のものである、有機メモリデバイスの製造方法。

【請求項 6】

1 つ又は複数の前記層は、スピン塗布、スクリーン印刷及びインクジェット印刷からなる群より選択される少なくとも 1 つによって形成される、請求項 5 に記載の方法。

【請求項 7】

前記ナノ構造体及び／又はナノ粒子は、金属、金属酸化物、半導体、セラミック、半導体ナノ粒子、ナノクラスタ、ナノロッド、ナノファイバ、量子ドット、フラーレン及びフラーレン誘導体からなる群より選択される少なくとも1つであり、

前記量子ドットは、金、銀、銅、二酸化チタン、二酸化亜鉛、セレン化カドミウム及び硫化カドミウムからなる群より選択される、請求項5に記載の方法。

【請求項8】

前記有機メモリデバイスは、薄膜トランジスタ(TFT)を備え、前記第1の電極は前記TFTのゲート電極であり、前記第2の電極は、前記TFTのソース電極及びドレイン電極の一方である、請求項5に記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

(関連出願の参照)

本明細書において優先権が主張され、本明細書において全体として開示されたものとして内容が参照により本明細書に組み込まれる、「Synthesis, Design and Method of Forming Nanoparticles based on organic Floating State Memory Devices」と題された発明について2006年5月22日に出願された、我々の先の出願である米国仮特許出願第60/802,167号を参照とする。

【0002】

20

本発明は、有機メモリデバイス及びその製造方法に関し、限定的ではないが特に、ナノ構造ベースの有機フローティングゲートメモリと、化学的自己組織化を利用し、電荷保持コンポーネントとしてナノ構造体及び／又はナノ粒子を使用するその製造方法とに関する。

【背景技術】

【0003】

近年、低コスト製造、可撓性基板との互換性、小規模の専用の製造工程に対する適応性、大面積堆積への適合性、及び大量生産への適合性を実現するその可能性ゆえに、有機エレクトロニクスの研究がより多くの注目を集めつつある。有機メモリは、低コストと種々の機能性の包括とが望まれる多数のエレクトロニクスのニッチアプリケーションにおいて、非常に魅力的な代替ソリューションを提供する。有機メモリは、単純なデバイス設計を有しており、簡単な統合化と非常に小さなセルサイズでの簡単なセルの構成展開との可能性を提供する。有機メモリは、シリコンチップよりも製造がはるかに簡単であり、堆積が容易であり、ビットを高密度でパッキングするので、低コストなものである。また、有機メモリは、感知、無線認証(RFID)及び、パッシブマトリックス型又はアクティブマトリックス型バックプレーンへの拡張性を有する。

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

3つの主流の半導体メモリ技術、すなわち静的ランダムアクセスメモリ(SRAM)、動的ランダムアクセスメモリ(DRAM)及びフラッシュメモリの中では、フラッシュメモリだけが不揮発性特性を示す。しかし、DRAMは高密度機能を示し、SRAMは高速読出し/書込み性能を有する。これらの3タイプの無機メモリの利点、すなわち不揮発性、高性能性及び高密度性を兼ね備えることが可能であることが有利である。有機メモリは、そのような望ましい特性を示す可能性を提供する。

40

【0005】

有機材料及び有機デバイスにおけるスイッチング現象及びメモリ現象が30年以上もの間報告されてきたが、高性能有機メモリが依然として不足している。強誘電体ポリマーを使用する3端子トランジスタ並びに、金属原子と有機化合物との間での電荷転送を利用する2端子双安定デバイスが、興味深い性能を示すが、メモリにおける実用的なアプリケー

50

ションには程遠いものである。

【 0 0 0 6 】

2つの有機層及び中間の不連続金属層から構成され、2つの金属電極間に挟まれる3層構造を有する新しい電子双安定デバイスが提案されている。これは、有望な性能を示し、不揮発性メモリとして使用することが可能である。しかし、この製造は、高真空中での熱蒸着によるものであり、中間の不連続金属層の構造を制御するために厳密な条件が必要となる。サンドイッチタイプのメモリデバイスと、他のトランジスタとの融合とに追加的に対応することが、依然として必要である。さらに、これは、コストを引き上げ、有機メモリを費用効率の低いものにしてしまう。

【 0 0 0 7 】

他のシリコントランジスタにおいて使用される材料と従来のシリコンマイクロエレクトロニクスノウハウとを利用することにより、電荷保持要素として離散トラップを使用するフローティングゲート型トランジスタベースメモリデバイスを、不揮発性メモリとして論理システム中に組み込むことができる。通常は、このようなデバイスにおいて使用される離散型電荷保持要素は、単離したSi、Ge、又は金属ナノ結晶である。

【 0 0 0 8 】

高温のCMOS適合プロセスを利用したナノ構造体又はナノ粒子の形成について、多くの研究が行われてきた。電荷保持要素として有機保護膜を施されたナノ粒子を使用する有機メモリデバイスは、簡単な化学的自己組織化、ラングミュアープロジェクト法又はスピン塗布法を利用して、室温にて堆積することが可能である。ナノ構造体の室温形成は、例えばポリマーなどの低温加工の可能な材料に適合する、将来型3D有機メモリ構造において適用し得る。

【 0 0 0 9 】

既知の有機メモリデバイスは、有機層中にナノ粒子を埋め込む前に凝集が生じないように、斥力相互作用を有するナノ粒子を予備合成する複数ステップのアプローチの利用を伴う。さらに、この後には、様々な層の堆積プロセスが続く。このプロセスは、非常に複雑である。

【課題を解決するための手段】

【 0 0 1 0 】

第1の例示の実施形態によれば、活性層と、有機誘電体材料のフィルムを備える少なくとも1つの電荷保持層と、誘電体材料のフィルムの上の又はその中の電荷保持材料のナノ構造体及び/又はナノ粒子と、を備え、ナノ構造体及び/又はナノ粒子のそれぞれは、有機誘電体フィルムの有機誘電体材料によって他のナノ構造体及び/又はナノ粒子から隔離される、有機メモリデバイスが提供される。

【 0 0 1 1 】

有機メモリデバイスは、少なくとも1つの電荷保持層の第1の面の上のトンネル層と、電荷保持層の第2の面の上の制御層とをさらに備えてよく、第1の面は第2の面の反対側である。制御層は、少なくとも1つの電荷保持層と一体でもよい。追加的には又は代替的には、トンネル層は、少なくとも1つの電荷保持層と一体でもよい。

【 0 0 1 2 】

有機誘電体材料のフィルムは、ジブロック、トリブロック及びマルチブロックからなる群より選択される自己組織化コポリマーを含んでよい。有機誘電体材料のフィルムは、シラン誘導体から構成され得る自己組織化単分子層を備えてよい。ナノ構造体及び/又はナノ粒子は、自己組織化コポリマー又は自己組織化単分子層に対する親和力を有してよい。

【 0 0 1 3 】

別の例示の態様によれば、ゲート電極の上に制御層を形成するステップと、ナノ構造体及び/又はナノ粒子を含む電荷保持層を制御層の上に形成するステップと、電荷保持層の上にトンネル層を形成するステップと、トンネル層の上に活性層を形成するステップとを含む、有機メモリデバイスの製造方法が提供される。

【 0 0 1 4 】

制御層は、電荷保持層と一体に形成されてよい。追加的には又は代替的には、トンネル層は、電荷保持層と一体に形成されてよい。電荷保持層は、自己組織化コポリマーフィルムと、ナノ構造体及び／又はナノ粒子とを含んでよい。ナノ構造体及び／又はナノ粒子は、スピン塗布、スクリーン印刷及びインクジェット印刷の中の少なくとも1つによってフィルム上に形成されてよい。

【0015】

電荷保持層は、自己組織化コポリマーフィルムと、ナノ構造体及び／又はナノ粒子の前駆物質とのための単一の溶液中で用意されるナノ構造体及び／又はナノ粒子を含んでよい。この方法は、単一の溶液中で還元を実施するステップと、種々の堆積プロセスについて溶液の粘度を調節するステップとをさらに含んでよい。単一の溶液は、電荷保持層を形成するために、薄い酸化層の上にキャストイングされてよい。

10

【0016】

制御層及びトンネル層は共に、自己組織化単分子層を含んでよい。ナノ構造体及び／又はナノ粒子は、自己組織化単分子層の2つの層の間に形成されてよい。ナノ構造体及び／又はナノ粒子は、自己組織化単分子層に対する親和力を有してよい。親和力は、物理的なもの及び／又は化学的なものであってよい。ナノ構造体及び／又はナノ粒子は、自己組織化単分子層の2つの層の第1のものの上に堆積されてよく、次いで自己組織化単分子層の2つの層の他方のものが、ナノ構造体及び／又はナノ粒子の上に堆積されてよい。自己組織化コポリマーは、ジブロック、トリブロック又はマルチブロックであってよい。

20

【0017】

例示の両態様について、ナノ構造体及び／又はナノ粒子はそれぞれ、電気的に絶縁されてよい。電荷保持層は、単一層を備えてよい。ナノ構造体及び／又はナノ粒子は、単一層の中であってよい。代替的には、電荷保持層は、2つの層を備えてよい。ナノ構造体及び／又はナノ粒子は、2つの層の間に形成されてよい。

【0018】

自己組織化コポリマーは、ビニレンベース、メタクリレートベース、及びポリエチレンオキシドベースのモノマーからなる材料のものであってよい。

【0019】

ナノ構造体及び／又はナノ粒子は、自己組織化コポリマーに対する親和力を有してよい。親和力は、物理的なもの及び化学的なものの少なくとも一方であってよい。ナノ構造体及び／又はナノ粒子は、金属、金属酸化物、半導体、セラミック、半導体ナノ粒子、ナノクラスタ、ナノロッド、ナノファイバ、量子ドット、フラーレン及びフラーレン誘導体の中の少なくとも1つであってよい。量子ドットは、金、銀、銅、二酸化チタン、二酸化亜鉛、セレン化カドミウム及び／又は硫化カドミウムのものであってよい。

30

【0020】

単一の溶液中のナノ構造体及び／又はナノ粒子の濃度を調節することによって、電荷保持能力を調節することが可能であってよい。

【0021】

有機メモリデバイスは、薄膜トランジスタを備えてよい。薄膜トランジスタは、ソース電極、ドレイン電極及びゲート電極をさらに備えてよい。活性層は、半導体を含んでよい。薄膜トランジスタは、ガラス、プラスチック、石英、金属箔、非ドーブシリコン及び高濃度ドーブシリコンから選択される支持基板をさらに備えてよい。

40

【0022】

トンネル層及び制御層は、フローティングゲート誘電体を含んでよい。フローティングゲート誘電体は、誘電体及び／又はコポリマーベース誘電体を含んでよい。半導体は、有機、無機、ハイブリッド及びそれらの混合物の中の少なくとも1つであってよい。フローティングゲート誘電体は、自己組織化単分子層であってよい。自己組織化単分子層は、少なくとも1つのシラン誘導体を含んでよい。

【0023】

有機誘電体材料のフィルムは、自己組織化コポリマーを含んでよい。ブロックコポリマ

50

ーフィルムは、ナノ構造体の合成をフィルム中で実施する前に任意のイオン不純物を除去するために、簡単な溶媒抽出法を使用して先に処理されてよい。

【0024】

以下、本発明を十分に理解し、容易に実際に実施し得るようにするため、添付の例示の図面を参照として、単に非限定的な例示として本発明の例示の実施形態を説明する。

【図面の簡単な説明】

【0025】

【図1】従来のONO設計の図である。

【図2】ポリスチレン-ポリ(4-ビニルピリジン) (「PS-P4VP」) 中に埋め込まれた金のナノ粒子の薄膜の画像の図である。

10

【図3】有機制御層と有機トンネル層との間に自己組織化電荷保持層を有する例示の有機メモリデバイスの図である。

【図4】電荷保持層及び制御層の両方として作用する自己組織化層を有し、トンネル層が他のポリマー材料のものである、例示の有機メモリデバイスの図である。

【図5】電荷保持層、トンネル層及び制御層として作用する自己組織化層を有する例示の有機メモリデバイスの図である。

【図6】例示の自己組織化単分子層設計の図である。

【図7】PS-P4VP中の金を還元するための例示の反応スキームの図である。

【図8】 $\text{PyH}^+ \text{AuCl}_4^-$ イオンの吸光度のグラフである。

【図9】ゲート電圧が-5Vから+5Vまで掃引される、150で30分間アニーリングする前及び後の金属/PS-P4VP/SiO₂ (1.4nm)/Si基板の電圧に対する静電容量を示す図である。

20

【図10】ゲート電圧が-5Vから+5Vまで掃引される、150で30分間アニーリングする前及び後の金属/PS-P4VP-Au/SiO₂ (1.4nm)/Si基板の電圧に対する静電容量を示す図である。

【図11】(a) 金属/PS-P4VP/SiO₂ (4.5nm)/Si基板及び、金属/PS-P4VP-Au/SiO₂ (4.5nm)/Si基板と、(b) 様々なゲートバイアス掃引について100kHzでのAuのナノ粒子を有するMIS構造体のC-V曲線とに関する、電圧に対する静電容量を示す2つの図である。開始/終了ゲート電圧は、(A) -2V/+3V、(B) -3V/+4V、(C) -4V/+5Vである。ヒステリシスウィンドウは、(A) については1.66Vであり、(B) については2.75Vであり、(C) については3.45Vである。

30

【図12】Auのナノ粒子の波長に対する吸光度を示す図である。

【図13】3~5nmの合成されたAuのナノ粒子のTEM画像の図である。

【図14】APTES改質された基板上に堆積されるAuのナノ粒子のAFM画像の図である。

【図15】例示のMIS構造の図である。

【図16】ゲート電圧を+5Vと-5Vとの間で掃引することにより求められる、金属/ペンタセン/Auのナノ粒子/APTES改質された基板の電圧に対する静電容量及びコンダクタンスのグラフである。

40

【図17】ゲート電圧を+5Vと-5Vとの間で掃引することにより求められる、金属/ペンタセン/APTES改質された基板の電圧に対する静電容量及びコンダクタンスのグラフである。

【図18】様々なゲートバイアス掃引範囲についての、100kHzでの金属/ペンタセン/Auのナノ粒子/APTES改質された基板の電圧に対する静電容量及びコンダクタンスのグラフである。

【図19】金属/ペンタセン/APTES改質された基板と、金のナノ粒子を有する金属/ペンタセン/APTES改質された基板の対照サンプルとの電圧に対する電流のグラフである。

【発明を実施するための形態】

50

【 0 0 2 6 】

図 1 に図示されるように、本メモリデバイスは酸化シリコン - 窒化シリコン - 酸化シリコン (ONO) をベースとしており、窒化層は電荷保持層である。酸化層の一方がトンネル酸化膜として作用し、他方が制御酸化膜として作用する。窒化層は、ナノ構造フィルムと交換可能である。このナノ構造体中において電荷の蓄積が生じる。

【 0 0 2 7 】

図 2 及び図 3 に図示されるように、例示の一実施形態によれば、有機メモリデバイス 10 において使用するための、ナノ構造体及び / 又はナノ粒子 26 を中に有する電荷保持フィルム 12 が提供される。例えば、電荷保持フィルム 12 は、例えばナノ構造体及び / 又はナノ粒子を中に有する PS - P4VP などの、自己組織化ブロックのコポリマーフィルムであってよい。自己組織化ブロックのコポリマーは、(多くの場合不相溶性の) 種々のブロックの種々のタイプのモノマーから構成される線状高分子であってよい。これらの自己組織化ブロックコポリマーは、ジブロック、トリブロック又はマルチブロックのものであり、ビニレンベース、メタクリレートベース、及び / 又はポリエチレンオキシドベースのモノマーであってよい。

10

【 0 0 2 8 】

図 6 に図示されるように、自己組織化有機フィルム 24 は、自己組織化単分子層であってよい。自己組織化単分子層は、引力又は化学結合形成によって、分子、分子クラスター及び凝集構造体が 2 次元配列及び 3 次元ネットワークに自発的に組織化したものである。自己組織化単分子層は、シラン誘導体分子であってよい。

20

【 0 0 2 9 】

ナノ構造体及び / 又はナノ粒子 30 は、自己組織化単分子層 32 に対する物理的及び / 又は化学的親和力を有してよい。

【 0 0 3 0 】

ナノ構造体及び / 又はナノ粒子 26 は、自己組織化が可能であり、前駆物質をナノ構造体及び / 又はナノ粒子 26 に還元するための相を提供する、任意のビニレンベース、メタクリレートベース又はポリエチレンオキシドベースのブロックコポリマー中に埋め込まれてよい。

【 0 0 3 1 】

自己組織化有機フィルム 24 は、金属、セラミック、半導体ナノ粒子、ナノクラスター、ナノロッド、ナノファイバ並びに、金、銀、銅、二酸化チタン、二酸化亜鉛、セレン化カドミウム、硫化カドミウムなどの (これらに限定されない) 量子ドット、並びにフラーレン及びフラーレン誘導体のナノ構造体及び / 又はナノ粒子 26 / 30 を含んでよい。ナノ構造体及び / 又はナノ粒子 26 / 30 は、互いに接触状態にあるべきではない。これは、多数の電荷保持中心が存在し、これらの中心が短絡しないことを意味する。ブロックコポリマー又は自己組織化単分子層において使用されるナノ構造体及び / 又はナノ粒子 26 / 30 は、電荷を保持する能力を有する任意の金属、酸化物又は半導体のものであってよい。電荷保持能力は、ブロックコポリマーフィルム 12 中の、又は自己組織化単分子層 32 上のナノ構造体の濃度により調整することが可能である。

30

【 0 0 3 2 】

デバイス 10 は、薄膜トランジスタであってよく、ガラス、プラスチック、石英、金属箔、非ドーパシリコン又は高濃度ドーパシリコンの支持基板を有してよい。また、デバイスは、有機、無機、ハイブリッド又はそれらの混合である半導体層を含んでよい。

40

【 0 0 3 3 】

デバイス 10 は、図 3 に図示され、ソース 14、ドレイン 16 及びゲート 18 を有する。トンネル層 20 及び制御層 22 は共に、誘電体であり、例えばポリビニルアルコール (「PVA」) などのポリマー誘電体材料又は適度な比誘電率を有する任意の他のポリマー材料などの、無機、有機或いはプラスチックの誘電体材料から形成することができる。電荷保持層 24 は、電氣的に絶縁されたナノ構造体及び / 又はナノ粒子 26 を有する電荷保持フィルム 12 から構成される。これは、多数の電荷保持中心が存在可能であり、これら

50

の中心はコポリマーフィルム 12 により離隔されているため短絡しないということを意味する。活性層 28 が使用され、ソース電極 14 及びドレイン電極 16 が、それに接続される。好ましくは、活性層 28 は、例えばペンタセン又はポリチオフェンなどの有機半導体のものである。また、活性層 28 は、支持基板としての役割を果たしてよい。

【0034】

図 4 に図示されるように、デバイス 10 は、電荷保持層 24 及び制御層 22 の両方として作用する、ナノ構造体及び／又はナノ粒子 26 を有する自己組織化電荷保持フィルム 12 を有してよい。代替的には、ナノ構造体及び／又はナノ粒子 26 を有する自己組織化電荷保持フィルム 12 は、電荷保持層 24 及びトンネル層 22 の両方として作用することが可能である。

10

【0035】

図 5 において、自己組織化電荷保持フィルム 12 は、電荷保持層、制御層 22 及びトンネル層 20 として作用している。

【0036】

電荷保持フィルム 24 は、100 を下回る温度にてプラスチック基板と共に使用することがそれぞれ可能な 2 つの異なる自己組織化方法の一方を使用して構成してよい。

【0037】

第 1 の方法においては、電荷保持フィルム 24 は、例えばフィルム上にスピン塗布、スクリーン印刷、及び／又はインクジェット印刷できる、*in-situ* 合成されたナノ構造体及び／又はナノ粒子を有する自己組織化コポリマーフィルムである。コポリマー薄膜及びナノ粒子前駆物質の両方に関して単一の溶液を用意してよい。また、還元は、この溶液中で実施することができる。この溶液の粘度は、種々の堆積プロセスについて調節することができる。これにより、凝集しないナノ粒子が提供され、ナノ粒子がポリマーフィルム中に溶解可能である必要性がなくなる。これは、例えば金、銀、アルミニウム、コバルト、鉄 - コバルト合金などの、任意の適切な材料のナノ構造体及び／又はナノ粒子に適している。この方法の使用により、1 ステップでの用意、すなわち混合及び堆積プロセスを使用して、有機電荷保持層 24 を用意することが可能となる。電荷保持層 24 は、1 ステップのプロセスで、制御層 22 及び／又はトンネル層 20 と共に製造することができる。

20

【0038】

有機薄膜トランジスタ（「OTFT」）ベースメモリデバイスの製造プロセスが、ナノ構造体及び／又はナノ粒子を自己組織化コポリマー合成フィルム中に埋め込む *in-situ* 合成による、メモリアプリケーション用のフローティングゲート誘電体層としての自己組織化コポリマー合成フィルムを使用する。例示の一実施形態においては、

30

- 例えばポリビニルアルコールなどの材料の制御層 22 を、ゲート電極 18 上にスピン塗布する。ゲート電極 18 は、例えば金などの任意の適切な材料のものである。

- 次いで、ナノ構造体及び／又はナノ粒子から構成されるメモリ層 24 を、制御層 22 上にスピン塗布する。

- 次いで、例えばポリビニルアルコールなどの材料のトンネル層 20 を、メモリ層 24 上にスピン塗布する。

- 熱蒸着、スピン塗布及び印刷の中の 1 つ又は複数により、例えばペンタセン又はポリチオフェンなどの有機半導体の活性層 28 を、トンネル層 20 に塗布する。

40

- 次いで、パターニングの使用により、ソース 14 及びドレイン 16 を生成する。

【0039】

第 2 の方法は、図 6 に図示される。ここでは、自己組織化単分子層（「SAM」）である層 32 及び 34 により保持されるナノ構造体 30 が製造される。この方法の例示の一形態においては、図 1 の酸化層が、自己組織化単分子層である層 32 及び 34 に置き換えられる。ナノ構造体 30 は、自己組織化単分子層 32、34 に対する親和力を有し、第 1 の層 32 の上に堆積される。次いで、自己組織化単分子層の他方の層 34 を、ナノ構造体 30 の上に堆積する。次いで、活性領域 28 を塗布する。もし必要であれば、又は所望であれば、層 34 を省くことができる。

50

【 0 0 4 0 】

図 7 は、メモリアプリケーション用のフローティングゲート誘電体層としての自己組織化コポリマー合成フィルムの合成のための還元スキームを示す。コポリマー溶液中でナノ粒子を *in-situ* 合成し、次いで、有機メモリデバイスにおける活性層としてフィルムを堆積する。コポリマー溶液中にナノ粒子前駆物質を混合し、この溶液中で前駆物質のナノ粒子への還元を実施する。その後、薄い酸化層上にフィルムをキャストリングして、

電荷保持、

電荷保持及び制御誘電、又は

電荷保持並びに、制御誘電及びトンネル誘電の両方

の中の 1 つのための活性層を形成する。

10

【 0 0 4 1 】

活性層を用意する方法は、ナノ粒子が凝集しないようにポリマーとの混合前にナノ粒子の表面を改質する必要性を軽減する。粒子の凝集は、粒子間の短絡をもたらすおそれがある。有機メモリデバイスは、高可撓性であり、屈曲された場合であってもナノ粒子の短絡を生じさせるべきではない。この方法は、100℃を下回る温度にて実施することが可能である。

【 0 0 4 2 】

自己組織化コポリマーフィルムの *in-situ* 合成のための例示の方法は、以下を含む。

- 初めに、ポリスチレン - ポリ (4 - ビニルピリジン) (P S - P 4 V P) ジブロックコポリマーをトルエン中で溶解した。任意のイオン不純物を除去するために、溶媒抽出プロセスを挿入する。これは、水の中で P S - P 4 V P 溶液を洗浄することにより行う。次いで、水相を除去し、次に、P S - P 4 V P を含むトルエン相をヘキサンから沈殿させることが可能である。P S - P 4 V P を、トルエン中で再度溶解する (濃度は 1 ~ 10 mg / mL の範囲内であり、好ましくは 5 mg / mL である) 。

20

- ミセル溶液に理論当量のテトラクロロ金酸を、1 : 20 から 1 : 1 の範囲内である、好ましくは 1 : 5 である H A u C l ₄ : 4 - V P 比で添加した。4 - V P 単位のプロトン化により、ポリ - イオンブロックの形成が得られた。

- 次いで、この溶液をヒドラジン - 水和物で処理した。ヒドラジンの極性により、ミセルのコアにおいて、ヒドラジンが選択的に引き出され、これが A u ³⁺ を A u ⁰ に還元する。過剰のヒドラジンがあった場合には、これを、水溶塩化水素酸の添加により還元直後に除去した。

30

- 過剰ヒドラジンの中和及び N ₂ H ₅ C l の沈殿が、コロイド分散の長期的な安定性を助ける。沈殿したヒドラジニウムのコロイドを、遠心分離によって除去した。

【 0 0 4 3 】

電荷保持層 2 4、制御層 2 2 及びトンネル層 2 0 を含むコポリマー溶液を、10 から 120 秒の範囲内の時間の間、好ましくは 60 秒間の間、500 から 6000 rpm の範囲内の速度、好ましくは 2000 rpm の速度で、スピン塗布により (ゲート 1 8 としての) p 型シリコン基板に塗布してよい。スピン塗布の後に、コポリマーフィルムを真空内で、100 ~ 200℃ の範囲で、好ましくは 150℃ でアニーリングしてよい。アニーリング時間は、30 分から 72 時間の範囲内、好ましくは 72 時間である。金のナノ構造体及び / 又はナノ粒子 2 6 を含むコポリマーフィルムの堆積後に、活性層 2 8、ソース 1 4 及びドレイン 1 6 を後の熱蒸着によって形成した。図 3 は、デバイス構造の概略図である。

40

【 0 0 4 4 】

図 8 に図示されるように、A u の前駆物質の還元により吸光度スペクトルに変化が生じる。P y H ⁺ A u C l ₄ ⁻ イオンの吸光度 (曲線 a) は、殆ど瞬時にゼロになった。525 nm の吸収帯は、(曲線 b) として現れる小さな A u ナノ結晶の表面プラズモン共鳴の特徴である。

【 0 0 4 5 】

アニーリング後に、金属 - 絶縁体 - 半導体 (「 M I S 」) ヘテロ構造体を製造して、帯

50

電効果を調査した。熱成長した 1 . 4 nm の二酸化シリコンを上部に有する p 型シリコン基板を使用する。ブロックコポリマーを上部にスピン塗布し、その後、300 μ m 径サイズのシャドウマスクを介して熱蒸着により上部金電極を堆積する。使用されるコポリマーフィルムのためのアニーリング温度は、ブロックコポリマーのガラス転移温度を上回る温度 (110 ~ 150) で、少なくとも 30 分間である。

【 0046 】

1 kHz から 1 MHz の範囲の周波数で HP 4284A Precision LCR Meter を使用して、静電容量 - 電圧 (C - V) 測定値を求めた。図 9 は、1 MHz の周波数での C - V 測定値を示す。15 mV の振幅を DC バイアスに重畳した。全ての実験は、室温にて、及び周囲環境中にて実施した。

10

【 0047 】

コポリマーフィルムをアニーリングした後では、フラットバンド電圧の負変化 (ΔV_{FB}) がある。これは、アニーリングしたフィルム中における電子捕獲が低減していることを示す。したがって、アニーリングプロセスは、コポリマーフィルムにおける欠陥及び電荷捕獲箇所を減少させる可能性がある。蓄積体における静電容量の低下は、アニーリングプロセスが電荷捕獲箇所の数を減少させ、したがって電荷捕獲箇所を介するトンネル経路が制限されるために生じる。したがって、総静電容量が低下する。ミセルの極性部分 (P4VP コア) は、アニーリングと同時に収縮する。極性部分の伸張度合がより短くなることにより、P4VP コアの周囲の電荷密度が低下する (すなわち静電斥力がより弱まる) 。これは、より小さなヒステリシスループ (MIS 構造体中に、より少数の電子又は正孔が導入される) 、又はフラットバンド電圧の変化を意味する。しかし、アニーリングされていないサンプルとアニーリングされたサンプルとの蓄積体の形態における静電容量の差異は、アニーリングされていないコポリマーとアニーリングされたコポリマーとの比誘電率の差異によるものである可能性もある。

20

【 0048 】

ミセルの安定性は、Au のナノ粒子の充填により強化されるが、これは、極性部分がイオノマーブロックに転化するためである。この結果が図 10 に示されるが、アニーリング前及びアニーリング後の PS - P4VP - Au について、フラットバンド電圧の変化は殆どない、又は無視できるほどに小さい。

【 0049 】

30

図 11 (a) は、Au のナノ粒子を有する MIS 構造体及び Au のナノ粒子を有さない MIS 構造体について、100 kHz での誘電体層として PS - P4VP を使用する MIS 構造体の静電容量 - 電圧を示す。この MIS 構造体は、4 . 5 nm の二酸化シリコンを上部に有する n 型シリコン基板を使用している。次いで、活性層を上部にスピン塗布し、その後、300 μ m 径サイズのシャドウマスクを介して熱蒸着により上部金電極を堆積する。Au のナノ粒子を有さない場合の曲線については、無視できるほどの小さなヒステリシスが観察され、製造された構造体中において電荷の捕獲がないことが示される。このヒステリシスを、フラットバンド電圧の変化として定義する。

【 0050 】

図 11 (b) は、種々のゲートバイアス掃引についての、100 kHz での Au のナノ粒子を有する MIS 構造体の静電容量 - 電圧曲線を示す。開始 / 終了ゲート電圧は、(A) - 2 V / + 3 V、(B) - 3 V / + 4 V、(C) - 4 V / + 5 V である。ヒステリシスウィンドウは、(A) については 1 . 66 V であり、(B) については 2 . 75 V であり、(C) については 3 . 45 V である。

40

【 0051 】

使用される作動電圧範囲に応じて、0 . 4 から 3 . 45 V の範囲内の反時計回り方向のヒステリシスウィンドウが、Au のナノ粒子を有するサンプルに関して観察され、正味の正孔捕獲効果を示す。作動電圧がより高いほど、ヒステリシスウィンドウはより大きくなる。(上部金属電極から印加される) 負のゲート電圧の誘電で、基板反転層から正孔を注入することができ、極薄の酸化膜を介した直接トンネルプロセスによって、Au のナノ粒

50

子中に正孔を保持することができる。電圧を正の値に掃引すると、Auのナノ粒子中に保持された正孔は放出され、静電容量特性に変化をもたらす。

【0052】

自己組織化コポリマーフィルム中におけるAuのナノ粒子の濃度がより高いほど、電荷保持能力がより優れ得る。したがって、不活性粒子の濃度により、有機メモリの電荷保持能力を制御することができる。

【0053】

フローティングゲート誘電体層として自己組織化単分子層及びナノ構造体を有し得るOTFTベースメモリデバイスを製造するための別の例示のプロセスは、以下により実施することができる。

- 基板上への自己組織化単分子層32の堆積。
- 自己組織化単分子層32上への、自己組織化単分子層32に対する親和力を有するナノ構造体30の堆積。
- ナノ構造体30上への、自己組織化単分子層の別の層34の堆積。
- ペンタセン又はポリチオフェンなどの有機半導体層28を、自己組織化単分子層の別の層34上への熱蒸着、スピン塗布及び印刷の中の少なくとも1つによって、自己組織化単分子層の別の層34に塗布する。
- 次いで、半導体層28の上に、有機メモリ用のソース14及びドレイン16を堆積する。

【0054】

金のナノ粒子の合成は、安定剤としてクエン酸三ナトリウム($\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$)を、還元剤として水素化ホウ素ナトリウム(NaBH_4)を使用した、修正されたTurkevich法を用いることによって実施してよい。例示の一形態では、0.5 mlの0.01 Mテトラクロロ金(III)酸三水合物($\text{HAuCl}_4 \cdot 3\text{H}_2\text{O}$)を、0.5 mlの0.01 Mクエン酸三ナトリウムと混合させた。 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$ に対する $\text{HAuCl}_4 \cdot 3\text{H}_2\text{O}$ のモル比は、1:1であった。この溶液を、18 mlの脱イオン水で希釈し、攪拌した。0.5 mlの0.1 Mの NaBH_4 水溶液を液滴添加し、この溶液を30秒間攪拌した。この溶液を2時間静状態で放置した。

【0055】

図12に図示されるように、Auのナノ粒子は、UV-Visを用いて特徴付けされ、還元剤として水素化ホウ素ナトリウムを使用して HAuCl_4 を還元することによって生成される球状のAuのナノ粒子の存在により、約509.4 nmにてピークを示した。Auのナノ粒子のサイズは、図13のTEM画像から判定することが可能である。金のコロイドの液滴を、有孔炭素膜を有する銅グリッド上に滴下し、真空中で乾燥させた。図13は、単分散した約3~5 nm径のAuのナノ粒子を示す。

【0056】

基板及び、溶液堆積用に使用するガラス製品から生じ得る有機汚染を除去するために、ピラニア溶液(H_2SO_4 (2:1濃縮): H_2O_2 (30%))を使用し、その後、RCA洗浄した($\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:10$ 、及び $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$)。RCA洗浄後には、シリコン基板表面には水酸基が豊富に存在し、これは、3-アミノプロピルトリエトキシシラン(「APTES」)分子を結合するために使用される。1~2時間の間、無水エタノール中の5~10体積%のAPTES中にシリコン基板を浸漬することによって、シリコン表面上にアミノ末端APTES自己組織化単分子層を形成した。次いで、任意の緩い結合分子を除去するために、改質させた基板をエタノール及び脱イオン水中で連続的にリンスし、窒素ガスでブロー乾燥した。最後に、基板を30~60分の間、120 °にて真空オーブン中でベーキングして、Si-O結合の形成を達成した。

【0057】

シリコン上のアミノ置換シランの単分子層を偏光解析法で確認したが、これによって0.9 nmの膜厚が明らかになった。 SiO_2 の層厚を、まず改質させていない基板につい

10

20

30

40

50

て個別に測定し、A P T E S 単分子層で覆われた SiO_2 / Si 基板について判定した全層厚から差し引いた。この厚さの差分により、A P T E S 層の厚さが求められる。

【 0 0 5 8 】

6 ~ 1 2 時間の間、金のナノ粒子のコロイド溶液中に基板を浸漬することによって、アミノ末端シリコン基板の表面上に金のナノ粒子を自己組織化させた。金のコロイド溶液の pH は、約 5 ~ 6 に調整した。金のナノ粒子の溶液は、弱酸性であり、アミノシリル化基板にこの溶液を添加することによって、表面上でアミノ基のプロトン化がもたらされた。このような正の電荷を帯びた基板表面は、負の電荷を帯びたクエン酸安定化した金のナノ粒子を静電的に引き寄せることが可能であった。この基板を溶液から除去し、脱イオン水でリンスし、窒素ガスでブロー乾燥させた。図 1 4 の A F M 画像は、金のナノ粒子の高密度層を示す。

10

【 0 0 5 9 】

金属 - ペンタセン - 絶縁体 - シリコン (「M P I S」) 構造体が、図 1 5 に図示され、ここではペンタセンは、活性半導体層 2 8 である。n 型シリコン基板 3 6 をゲート電極 1 8 として用い、その上方には 4 . 5 nm の熱成長した二酸化シリコン 3 8 がある。室温及び室内圧力にて、化学的自己組織化によって SiO_2 層 3 8 上に金のナノ粒子層 3 0 を堆積した。0 . 1 ~ 0 . 5 nm / s の間の堆積速度で、約 $10^{-6} \sim 10^{-7}$ torr の圧力でペンタセン層 2 8 を熱蒸着して、 45 ± 5 nm 厚のフィルムを形成する。その後、300 μm 径サイズのシャドウマスクを介して熱蒸着により、金の上部金属電極 4 0 を堆積した。

20

【 0 0 6 0 】

静電容量 - 電圧の測定値は、1 kHz ~ 1 MHz の周波数範囲でのものであり、15 mV の振幅を DC バイアスに重畳した。全ての測定は、室温にて、及び真空環境 ($\sim 10^{-3} \sim 10^{-4}$ torr) 中にて実施した。

【 0 0 6 1 】

図 1 6 は、堆積された金のナノ粒子を有する M P I S 構造体の、(1 0 0 kHz の周波数が使用される場合の) 静電容量 - 電圧特性と、コンダクタンス - 電圧特性とを示し、コンダクタンスのピークは、フラットバンド電圧に対応する。コンダクタンスのピークは、ペンタセン / A P T E S 界面状態によってではなく、金のナノ粒子又はペンタセン / 金のナノ粒子界面による電子の捕獲及び放出による、エネルギーの損失に関連し得る。これは、コンダクタンスのピークがない図 1 7 の金のナノ粒子を有さない対照サンプルの観察との比較にもとづく。

30

【 0 0 6 2 】

図 1 6 に図示されるように、1 . 25 V の時計回り方向のヒステリシスウィンドウは、2 つの掃引と同時に発生する。これは、正味の正孔捕獲を示す。負のゲート電圧の誘電の下で、ペンタセン蓄積層から金のナノ粒子中に正孔を注入することが可能となる。金のナノ粒子の伝導帯中に注入される正孔の殆どは、ゲート又は基板によって集められ、それぞれゲート電流又は基板電流となる。正のゲート電圧の印加と同時に、金のナノ粒子中に保持される電荷が出され、フラットバンド電圧に変化をもたらす。静電容量 - 電圧のヒステリシスの大きさ及びコンダクタンス - 電圧のピーク位置の変化は共に、約 1 . 25 V である。2 方向において観察される単一のコンダクタンスのピークは、単一電子又は単一正孔の捕獲及び放出の事象が観察されたことを意味する。そのため、フラットバンド状態の周辺のコンダクタンスのピークは、金のナノ粒子ごとに電子又は正孔が保持される捕獲事象が発生したことを示す。したがって、これらのヒステリシス及びピークの変化は、挟まれた金のナノ粒子中に又は金のナノ粒子の界面で捕獲された正孔に起因し得る。A P T E S の、又は A P T E S - 酸化膜界面の状態は、このような挙動の原因とはなり得ない。

40

【 0 0 6 3 】

図 1 8 は、5 V から 10 V への最大動作バイアスの増加が、C - V 曲線のヒステリシスウィンドウを 1 . 25 V から 2 . 05 V へ増加させることを示す。これは、ゲート電圧を上昇させることによって、ますます多数の正孔が捕獲されていくことを表す。

50

【 0 0 6 4 】

図 1 9 に図示されるように、Au のナノ粒子を有するサンプルについて、デバイス全体を流れるさらに低い電流が観察される。対照サンプル（ペンタセン / A P T E S / S i O₂）から得られる電流は、少なくとも 2 桁大きなものであった。これは、電荷が Au のナノ粒子の内部に保持されており、有効電気ゲート領域を「遮蔽し」、その結果として印加される有効電圧のさらなる低下と、したがってさらなる低電流とをもたらすためであり得る。0 V から - 4 . 5 V に電圧掃引する間に、印加される電界は、いくつかの Au のナノ粒子の帯電及び放電を生じさせて、いくつかの導電性パスの解消又は形成と、したがって電流の低下及び上昇とをそれぞれもたらすことが可能である。

【 0 0 6 5 】

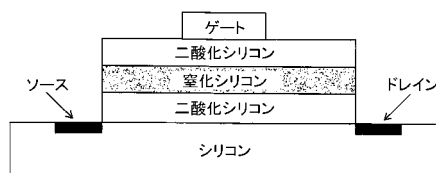
10

メモリデバイス 1 0 は、繰り返し書き込む、読み込む及び消去することが可能であり、低動作電圧（例えば 1 0 V 未満）、少なくとも 2 桁規模のオン状態及びオフ状態間の電流比、約 5 0 から約 2 2 5 までの低加工温度、及び 1 0 0 μ s ~ 1 0 0 n s の範囲内のスイッチング速度の中の少なくとも 1 つを有する不揮発性メモリデバイスであってよい。

【 0 0 6 6 】

上述の説明において本発明の例示の実施形態を説明したが、本発明から逸脱することなく設計、構造及び / 又は動作の詳細における多数の変更をなし得ることが、当業者には理解されよう。

【 図 1 】



【 図 2 】

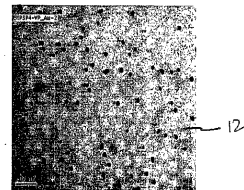
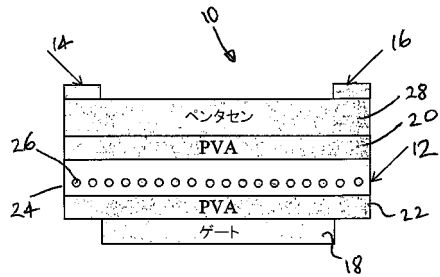
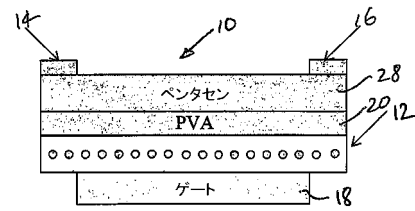


Figure 2

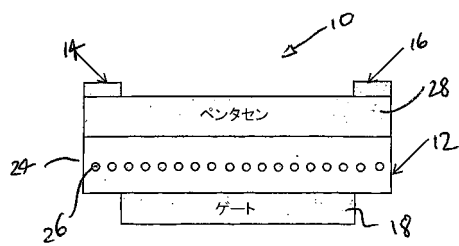
【図 3】



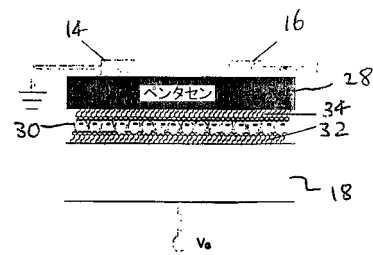
【図 4】



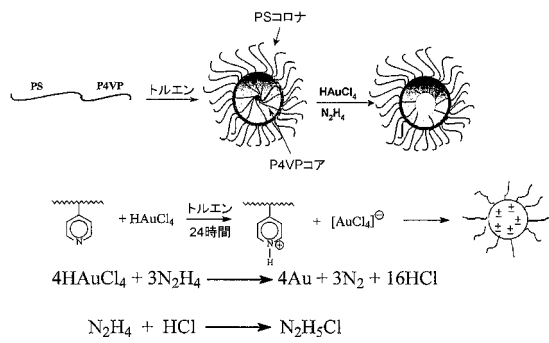
【図 5】



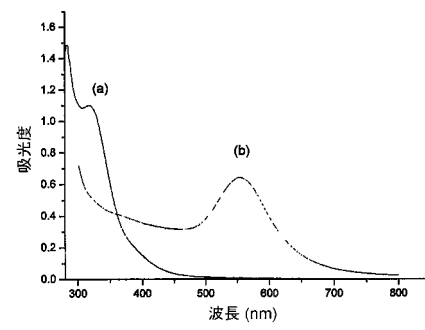
【図 6】



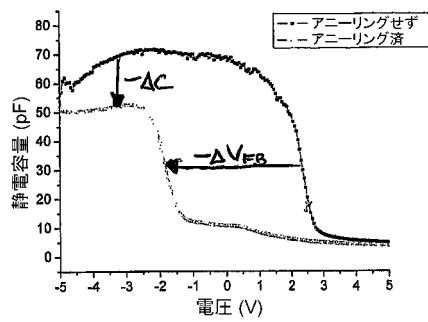
【図 7】



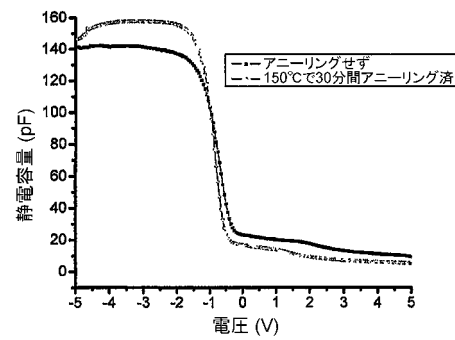
【図 8】



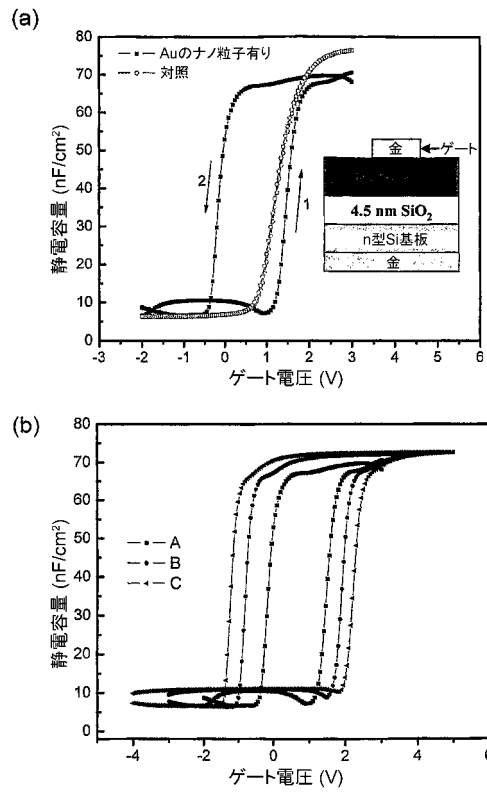
【図 9】



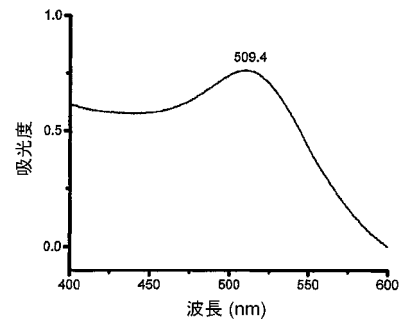
【図 10】



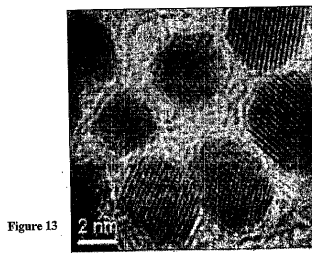
【図 1 1】



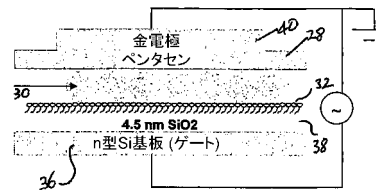
【図 1 2】



【図 1 3】



【図 1 5】



【図 1 4】

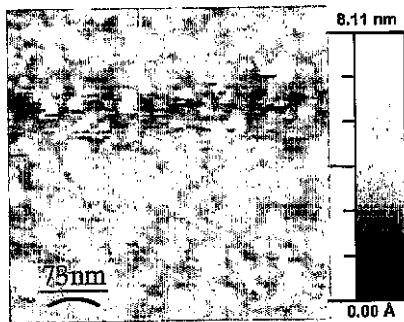
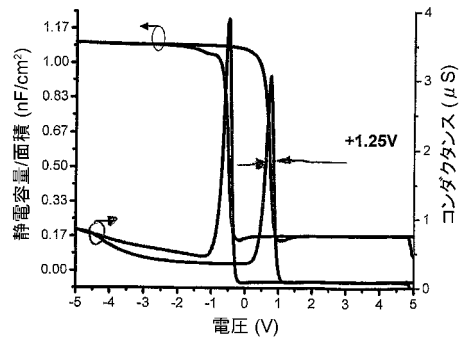
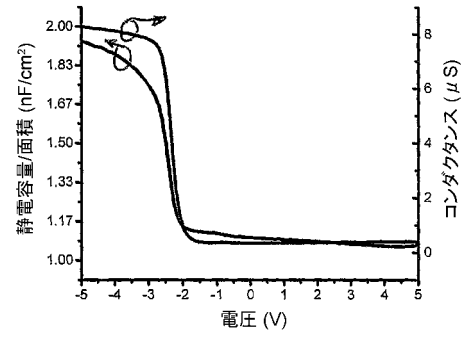


Figure 14

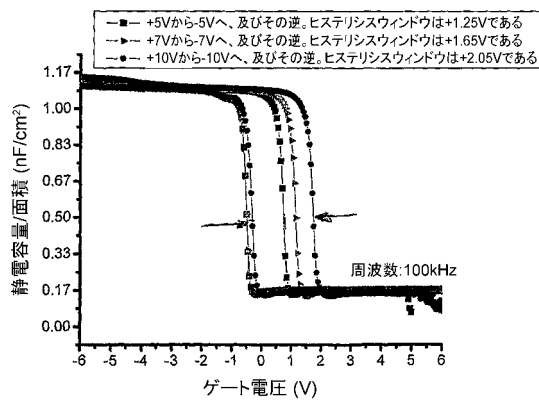
【図 16】



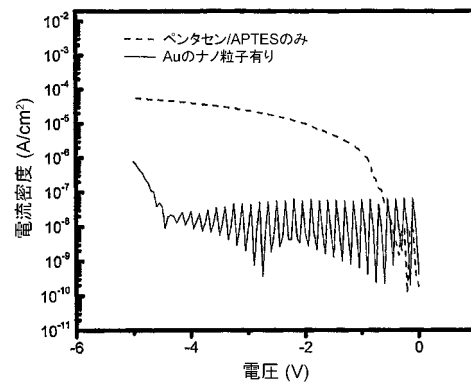
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/786 (2006.01)

H 0 1 L 29/78 6 1 8 B

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 6 1 7 T

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 2 6 C

H 0 1 L 29/28 2 2 0

(72)発明者 レオン, ウェイリン

シンガポール, シンガポール 5 6 0 4 5 6, ナンバー 0 3 - 1 5 6 6, アン モ キオ
アヴェニュー 1 0, ブロック 4 5 6

(72)発明者 リー, プーイ シー

シンガポール, シンガポール 6 3 7 8 2 0, ナンバー 0 3 - 0 3, ナンヤン クレセント
, ナンヤン メドゥズ, ブロック 1 0 2

(72)発明者 ラム, ヤン ミン

シンガポール, シンガポール 7 3 8 0 9 4, ナンバー 1 2 - 3 7, ウッドランズ ドライ
ヴ 7 2 1 1

(72)発明者 ソン, リンシン

シンガポール, シンガポール 6 4 0 9 2 1, ナンバー 0 3 - 7 1, ジュロン ウェスト
ストリート 9 2, ブロック 9 2 1

(72)発明者 ナムダス, エピナザー, ベンジャミン

シンガポール, シンガポール 5 9 7 5 9 5, キャベンディッシュ パーク ナンバー 1 - 0
5, ピン グローヴ, 2 0

(72)発明者 マハイサルカー, ジー., スポドー

シンガポール, シンガポール 5 7 5 5 7 8, ナンバー 1 8 - 0 1, シン ミン ウォーク
9

審査官 井出 和水

(56)参考文献 特開 2 0 0 3 - 1 6 8 6 0 6 (J P , A)

特開 2 0 0 3 - 1 6 3 3 3 1 (J P , A)

特開 2 0 0 4 - 0 4 0 0 9 4 (J P , A)

国際公開第 2 0 0 5 / 0 8 9 1 6 5 (W O , A 1)

特開 2 0 0 0 - 0 7 2 9 5 2 (J P , A)

特表 2 0 0 5 - 5 1 3 7 8 6 (J P , A)

特表 2 0 0 7 - 5 0 7 9 0 8 (J P , A)

国際公開第 2 0 0 5 / 0 3 6 5 9 9 (W O , A 1)

特表 2 0 0 7 - 5 3 1 2 8 5 (J P , A)

国際公開第 2 0 0 5 / 0 9 8 9 3 9 (W O , A 1)

(58)調査した分野(Int.Cl., D B 名)

H 0 1 L 2 7 / 2 8

B 8 2 B 1 / 0 0

B 8 2 B 3 / 0 0

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6

H 0 1 L 5 1 / 0 5

H 0 1 L 5 1 / 3 0