

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5412190号  
(P5412190)

(45) 発行日 平成26年2月12日 (2014. 2. 12)

(24) 登録日 平成25年11月15日 (2013. 11. 15)

(51) Int. Cl.

F I

G 0 5 F 3/30 (2006. 01)

H 0 1 L 21/822 (2006. 01)

H 0 1 L 27/04 (2006. 01)

G 0 5 F 3/30

H 0 1 L 27/04

H 0 1 L 27/04

H 0 1 L 27/04

H 0 1 L 27/04

G

B

H

A

請求項の数 7 (全 33 頁)

(21) 出願番号 特願2009-153702 (P2009-153702)  
 (22) 出願日 平成21年6月29日 (2009. 6. 29)  
 (65) 公開番号 特開2011-8683 (P2011-8683A)  
 (43) 公開日 平成23年1月13日 (2011. 1. 13)  
 審査請求日 平成24年3月21日 (2012. 3. 21)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
 (74) 代理人 100080001  
 弁理士 筒井 大和  
 (72) 発明者 伊藤 崇泰  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内  
 (72) 発明者 平木 充  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内  
 (72) 発明者 堀口 真志  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

レファレンス電圧を生成するレファレンス電圧生成手段を備えた半導体集積回路装置であって、

前記レファレンス電圧生成手段は、

前記レファレンス電圧を生成するレファレンス電圧生成部と、

低消費電力モードの1つであるスタンバイモード時に、前記レファレンス電圧生成部を間欠動作させて前記レファレンス電圧を生成する間欠動作制御部とを備え、

前記間欠動作制御部は、

基準クロック信号を任意の分周信号に変換し、第1の制御信号、および第2の制御信号を生成する制御信号生成部と、

前記スタンバイモード時に、前記第1の制御信号に基づいて動作し、前記レファレンス電圧生成部が生成したレファレンス電圧を安定化させる充電用レギュレータと、

前記充電用レギュレータが安定化させた電源電圧を、前記第2の制御信号に基づいて、サンプル/ホールドするサンプル/ホールド回路と、

前記サンプル/ホールド回路の電源電圧をバッファして前記レファレンス電圧として出力するバッファ部と、

前記スタンバイモード時に、前記レファレンス電圧生成部と前記レファレンス電圧生成手段の出力部とを非導通状態とし、前記バッファ部と前記出力部とを導通状態として前記バッファ部から出力される電源電圧をレファレンス電圧として出力するスイッチ部とを備

10

20

え、

前記レファレンス電圧生成部は、

前記制御信号生成部が生成する前記第 1 の制御信号に基づいて間欠動作することを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 記載の半導体集積回路装置において、

前記間欠動作制御部は、

前記制御信号生成部に供給する基準クロック信号を生成する発振回路を備えたことを特徴とする半導体集積回路装置。

【請求項 3】

請求項 2 記載の半導体集積回路装置において、

前記間欠動作制御部は、

外部供給される外部電源電圧を降圧した発振用電源電圧を生成し、前記発振回路に電源電圧として供給する発振回路用レギュレータを備えたことを特徴とする半導体集積回路装置。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 項に記載の半導体集積回路装置において、

前記間欠動作制御部は、

前記スタンバイモードから通常動作モードに遷移した際に、前記レファレンス電圧生成部から出力されるレファレンス電圧の上昇を検知して任意の遅延時間が経過した後にスイッチ制御信号を出力し、前記レファレンス電圧生成部と前記レファレンス電圧生成手段の前記出力部とが導通状態となり、前記バッファ部と前記出力部とが非導通状態となるように前記スイッチ部を切り換える接続切り換え制御部を備えたことを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 ～ 4 のいずれか 1 項に記載の半導体集積回路装置において、

前記レファレンス電圧生成部は、

トリミング信号により、生成するレファレンス電圧を調整することのできる機能を有し、前記スタンバイモードに移行した際に、前記トリミング信号による調整を行うリセット期間中に間欠動作しないことを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 ～ 5 のいずれか 1 項に記載の半導体集積回路装置において、

前記レファレンス電圧生成手段は、

前記レファレンス電圧生成手段の周囲が取り囲まれるようにガードリングが形成されていることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 1 ～ 6 のいずれか 1 項に記載の半導体集積回路装置において、

前記レファレンス電圧生成手段は、

前記レファレンス電圧生成手段が形成された上方を覆うようにメッシュ状のメタルシールド配線が形成されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置の低消費電力化技術に関し、特に、半導体集積回路装置がスタンバイモードに遷移した際のレファレンス回路における消費電力の低減に有効な技術に関する。

【背景技術】

【0002】

近年、携帯機器や非接触用途のマイコン、SOC 製品などにおいて、電池寿命を延ばすことや、RF (Radio Frequency) より微弱な DC 電圧 / 電流を取り出して動作しなければ

10

20

30

40

50

ならないなどの理由で、チップの通常動作モード、およびスタンバイ（待機）モードにおける低消費電力化の要求が高まっており、チップ内部電源電圧レベルの可変制御、基板バイアス制御、電源遮断技術などを利用したチップレベルの低リーク化技術が発展する一方で、従来から通常動作モード、およびスタンバイ（待機）モードにおいて、チップ内部で定常的に動作する回路自身の低消費電流化は必然的に行われてきた。

【 0 0 0 3 】

一般のチップ性能、ならびに価格帯におけるローエンドからミドルクラスのマイコン製品などでは、CPU (Central Processing Unit) などの動作する内部電源電圧 (Vint) と I/O (Input/Output) 用の外部電源電圧 (Vext) の電圧が異なることが多く、実装コスト削減を目的とした外部電源電圧 (Vext) の単一電源化のため内部電源電圧 (Vint) 生成レギュレータを搭載すること、フラッシュメモリに例示される不揮発性メモリの読み出し、書き込み電圧生成用の正・負高電圧生成用チャージポンプ回路のレファレンス電圧生成回路が必要なこと、スタンバイモードにおいて、RAM (Random Access Memory) の状態保持のため、RAM 供給電圧 (Vint#RAM) を保持するためチップ内部に RAM 保持専用レギュレータを持たせるなどの理由から、チップに電源回路を搭載することが多い。

10

【 0 0 0 4 】

この電源回路が上述した通常動作モード、およびスタンバイモードにおいて常に動作する回路に相当するため、低消費電流化を満足できるかどうかマイコン製品の重要スペックの一つとして考えられている。

【 0 0 0 5 】

20

一般に、電源回路内のレファレンス電圧などを生成するアナログ回路（レファレンス電圧生成回路）の消費電流が電源回路の消費電流と面積の大半を占めることが多いが、このレファレンス電圧生成回路の自己消費電流は、回路内に用いた抵抗素子の抵抗値によって決まることが多い。したがって、この抵抗値を大きくしていくことが低消費電流化としては容易である。

【 0 0 0 6 】

また、抵抗を用いないレファレンス電圧の生成技術としては、たとえば、MOS (Metal Oxide Semiconductor) トランジスタのしきい値差、MOS トランジスタのサブスレッショルドスロープを利用したレファレンス電圧生成回路を用いて抵抗による面積増大を回避し低消費電流化する方法が知られている。

30

【 0 0 0 7 】

また、この種の電源回路の低消費電力化技術においては、たとえば、基準電圧発生回路を構成するオペアンプにオシレータを接続し、オシレータの出力電圧に応じてオペアンプを完結的に動作させるものが知られている（たとえば、特許文献 1 参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 0 0 - 2 5 0 6 4 7 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

40

【 0 0 0 9 】

ところが、上記のようなレファレンス電圧生成回路の低消費電力化技術では、次のような問題点があることが本発明者により見い出された。

【 0 0 1 0 】

すなわち、レファレンス電圧生成回路における抵抗素子の抵抗値を大きくして消費電流を低減する技術では、抵抗値を大きくすることにより、抵抗素子の面積が増大してしまい、特にローエンドのマイコン製品ではチップサイズの増大がチップコスト増大につながり、低消費電流化とチップコストの両立がうまく図れないという問題がある。

【 0 0 1 1 】

また、MOS トランジスタのしきい値差、あるいは MOS トランジスタのサブスレッシ

50

ヨルドスロープを利用したレファレンス電圧生成回路の場合、これらの回路は出力するレファレンス電圧精度を犠牲にしていることが多い。

【 0 0 1 2 】

一方、チップの通常動作モードにおいては、レファレンス電圧精度が高くないと、不揮発性メモリの読み出し、書き込みがうまくいかないなど、チップ内部回路の安定動作、素子信頼性の点から、低精度のレファレンス電圧生成回路をスタンバイモード時専用として用い、通常動作モード時には、別の高精度のレファレンス電圧生成回路を用意して、通常動作モード時とスタンバイモード時でレファレンス電圧生成回路を切り替える手法もあるが、この場合、通常動作モード時とスタンバイモード時のレファレンス電圧生成回路方式の違いからレファレンス電圧レベルが異なることが多いため、切り替え時にレファレンス電圧のレベル変動が問題となってしまう。

10

【 0 0 1 3 】

本発明の目的は、面積の大幅な増大なくレファレンス電圧生成回路を低消費電流化するとともに通常動作モード時とスタンバイモード時においてレファレンス電圧精度の大幅な劣化を抑制することのできる技術を提供することにある。

【 0 0 1 4 】

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 5 】

20

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 6 】

本発明は、レファレンス電圧を生成するレファレンス電圧生成手段を備えた半導体集積回路装置であって、レファレンス電圧生成手段は、該レファレンス電圧を生成するレファレンス電圧生成部と低消費電力モードの1つであるスタンバイモード時に、レファレンス電圧生成部を間欠動作させて前記レファレンス電圧を生成する間欠動作制御部とを備えたものである。

【 0 0 1 7 】

また、本発明は、間欠動作制御部が、基準クロック信号を任意の分周信号に変換し、第1の制御信号、および第2の制御信号を生成する制御信号生成部と、スタンバイモード時に、前記第1の制御信号に基づいて動作し、前記レファレンス電圧生成部が生成したレファレンス電圧を安定化させる充電用レギュレータと、前記充電用レギュレータが安定化させた電源電圧を、前記第2の制御信号に基づいて、サンプル/ホールドするサンプル/ホールド回路と、前記サンプル/ホールド回路の電源電圧をバッファして前記レファレンス電圧として出力するバッファ部と、スタンバイモード時に、前記レファレンス電圧生成部と前記レファレンス電圧生成手段の出力部とを非導通状態とし、前記バッファ部と前記出力部とを導通状態として前記バッファ部から出力される電源電圧をレファレンス電圧として出力するスイッチ部とを備え、前記レファレンス電圧生成部は、制御信号生成部が生成する第1の制御信号に基づいて間欠動作するものである。

30

40

【 0 0 1 8 】

さらに、本発明は、前記間欠動作制御部が、制御信号生成部に供給する基準クロック信号を生成する発振回路を備えたものである。

【 0 0 1 9 】

また、本発明は、前記間欠動作制御部が、外部供給される外部電源電圧を降圧した発振用電源電圧を生成し、前記発振回路に電源電圧として供給する発振回路用レギュレータを備えたものである。

【 0 0 2 0 】

さらに、本発明は、前記間欠動作制御部が、スタンバイモードから通常動作モードに移した際に、前記レファレンス電圧生成部から出力されるレファレンス電圧上昇を検知し

50

て任意の遅延時間が経過した後にスイッチ制御信号を出力し、前記レファレンス電圧生成部と前記レファレンス電圧生成手段の出力部とが導通状態となり、前記バッファ部と前記出力部とが非導通状態となるように前記スイッチ部を切り換える接続切り換え制御部を備えたものである。

【0021】

また、本発明は、前記レファレンス電圧生成部が、トリミング信号により、生成するレファレンス電圧を調整することのできる機能を有し、前記スタンバイモードに移行した際に、前記トリミング信号による調整を行うリセット期間中に間欠動作しないものである。

【0022】

さらに、本願のその他の発明の概要を簡単に示す。

10

【0023】

本発明は、前記レファレンス電圧生成手段の周囲が取り囲まれるようにガードリングが形成されているものである。

【0024】

また、本発明は、前記レファレンス電圧生成手段が形成された上方を覆うようにメッシュ状のメタルシールド配線が形成されているものである。

【発明の効果】

【0025】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

20

【0026】

(1) 半導体集積回路装置がスタンバイモードとなった際に、消費電流の大きいレファレンス電圧生成部を間欠的に動作させることで、消費電流を大幅に低減させることができる。

【0027】

(2) また、レファレンス電圧生成手段から発生されるノイズなどを低減させることが可能となり、半導体集積回路装置の信頼性を向上させることができる。

【図面の簡単な説明】

【0028】

【図1】本発明の実施の形態1による間欠動作基準電圧発生回路の一例を示すブロック図である。

30

【図2】図1の間欠動作基準電圧発生回路における動作例を示すタイミングチャートである。

【図3】図1の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【図4】図1の間欠動作基準電圧発生回路における外部電源投入時の動作波形と電圧精度との関係を示す説明図である。

【図5】図1の間欠動作基準電圧発生回路における外部電源投入時の動作波形と電圧精度との他の関係を示す説明図である。

【図6】図1の間欠動作基準電圧発生回路におけるスタンバイモードから通常動作モードへの遷移時における電圧ドロップの一例を示す説明図である。

40

【図7】図1の間欠動作基準電圧発生回路における状態遷移図である。

【図8】図1の間欠動作基準電圧発生回路を用いて構成した半導体チップにおけるレイアウトの一例を示す説明図である。

【図9】図8の半導体チップに搭載された間欠動作基準電圧発生回路におけるレイアウトの一例を示す説明図である。

【図10】図9の間欠動作基準電圧発生回路の上層に形成されたメタルシールド配線の一例を示す説明図である。

【図11】図9のA-B断面図である。

【図12】図9の間欠動作基準電圧発生回路の上層に形成されたメタルシールド配線の他

50

の例を示す説明図である。

【図 1 3】図 1 2 の A - B 断面図である。

【図 1 4】図 1 の間欠動作基準電圧発生回路を用いて構成した半導体チップに搭載された間欠動作基準電圧発生回路におけるガードリングの形成例を示すレイアウト図である。

【図 1 5】図 1 4 の A - B 断面図である。

【図 1 6】本発明の実施の形態 1 による間欠動作基準電圧発生回路の他の例を示すブロック図である。

【図 1 7】図 1 6 の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【図 1 8】本発明の実施の形態 2 による間欠動作基準電圧発生回路の一例を示すブロック図である。 10

【図 1 9】図 1 8 の間欠動作基準電圧発生回路を用いて構成した半導体チップにおけるレイアウトの一例を示す説明図である。

【図 2 0】図 1 8 の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【図 2 1】図 1 8 の間欠動作基準電圧発生回路における状態遷移図である。

【図 2 2】本発明の実施の形態 3 による間欠動作基準電圧発生回路の一例を示すブロック図である。

【図 2 3】図 2 2 の間欠動作基準電圧発生回路における状態遷移図である。

【図 2 4】図 2 2 の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。 20

【図 2 5】本発明の実施の形態 4 による間欠動作基準電圧発生回路の一例を示すブロック図である。

【図 2 6】図 2 5 の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【図 2 7】本発明の実施の形態 5 による間欠動作基準電圧発生回路に設けられたバイアス回路の一例を示す回路図である。

【図 2 8】本発明の実施の形態 6 による間欠動作基準電圧発生回路に設けられた基準電圧発生回路の一例を示す回路図である。

【図 2 9】本発明の実施の形態 7 による間欠動作基準電圧発生回路に設けられた基準電圧発生回路の一例を示す回路図である。 30

【図 3 0】本発明の実施の形態 8 による間欠動作基準電圧発生回路に設けられた基準電圧生成回路の一例を示す回路図である。

【図 3 1】本発明の実施の形態 9 による間欠動作基準電圧発生回路に設けられた発振回路の一例を示す回路図である。

【図 3 2】本発明の実施の形態 1 0 による間欠動作基準電圧発生回路に設けられた分周制御回路の一例を示す回路図である。

【図 3 3】図 3 2 の分周制御回路における動作波形の一例を示すタイミングチャートである。

【図 3 4】本発明の実施の形態 1 1 による間欠動作基準電圧発生回路に設けられた低精度レファレンス回路の一例を示す回路図である。 40

【図 3 5】本発明の実施の形態 1 1 による間欠動作基準電圧発生回路に設けられた接続用ディレイの一例を示す回路図である。

【発明を実施するための形態】

【0029】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0030】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 による間欠動作基準電圧発生回路の一例を示すブロック図、図 2 は、図 1 の間欠動作基準電圧発生回路における動作例を示すタイミングチャート、図 3 は、図 1 の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図、図 4 は、図 1 の間欠動作基準電圧発生回路における外部電源投入時の動作波形と電圧精度との関係を示す説明図、図 5 は、図 1 の間欠動作基準電圧発生回路における外部電源投入時の動作波形と電圧精度との他の関係を示す説明図、図 6 は、図 1 の間欠動作基準電圧発生回路におけるスタンバイモードから通常動作モードへの遷移時における電圧ドロップの一例を示す説明図、図 7 は、図 1 の間欠動作基準電圧発生回路における状態遷移図、図 8 は、図 1 の間欠動作基準電圧発生回路を用いて構成した半導体チップにおけるレイアウトの一例を示す説明図、図 9 は、図 8 の半導体チップに搭載された間欠動作基準電圧発生回路におけるレイアウトの一例を示す説明図、図 10 は、図 9 の間欠動作基準電圧発生回路の上層に形成されたメタルシールド配線の一例を示す説明図、図 11 は、図 9 の A - B 断面図、図 12 は、図 9 の間欠動作基準電圧発生回路の上層に形成されたメタルシールド配線の他の例を示す説明図、図 13 は、図 12 の A - B 断面図、図 14 は、図 1 の間欠動作基準電圧発生回路を用いて構成した半導体チップに搭載された間欠動作基準電圧発生回路におけるガードリングの形成例を示すレイアウト図、図 15 は、図 14 の A - B 断面図、図 16 は、本発明の実施の形態 1 による間欠動作基準電圧発生回路の他の例を示すブロック図、図 17 は、図 16 の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

10

#### 【0031】

20

本実施の形態 1 において、間欠動作基準電圧発生回路(IMVREF) 1 は、たとえば、SOC などの半導体集積回路装置に設けられている。

#### 【0032】

この間欠動作基準電圧発生回路 1 は、図 1 に示すように、バイアス回路 2、基準電圧発生回路 3、基準電圧生成回路 4、発振回路 5、サンプル/ホールド回路である保持容量回路 6、バッファ部となるアナログバッファ 7、低精度レファレンス回路 8、発振回路用レギュレータである VOSC レギュレータ 9、レベルシフタ 10、充電用レギュレータである容量充電レギュレータ 11、制御信号生成部、および接続切り換え制御部を構成する接続判定コンパレータ 12、制御信号生成部、および接続切り換え制御部を構成する接続用ディレイ 13、分周制御回路 14、およびスイッチ部を構成するスイッチ SW1、SW2 から構成されている。

30

#### 【0033】

また、基準電圧発生回路 3、ならびに基準電圧生成回路 4 によって、レファレンス電圧生成部が構成されており、発振回路 5、保持容量回路 6、アナログバッファ 7、VOSC レギュレータ 9、容量充電レギュレータ 11、接続判定コンパレータ 12、接続用ディレイ 13、分周制御回路 14、ならびにスイッチ SW1、SW2 により、間欠動作制御部が構成されている。

#### 【0034】

間欠動作基準電圧発生回路 1 は、これらの回路のうち、消費電流の大きい基準電圧発生回路 3、基準電圧生成回路 4、ならびに容量充電レギュレータ 11 を比較的長い周期で間欠的に ON/OFF させることで、平均自己消費電流を下げ、回路全体として低消費電流化を図ったものである(図 2)。

40

#### 【0035】

なお、図 1 における太線で示すブロックは、半導体集積回路装置の通常動作モード時、およびスタンバイ動作モード時のいずれのモードであっても常時動作を行うブロックを示しており、図 1 の細線で示すブロックは、半導体集積回路装置がスタンバイ動作モードに遷移すると常時動作ではなく、間欠動作を行うブロックを示している。

#### 【0036】

バイアス回路 2 は、間欠動作基準電圧発生回路 1 内のオペアンプなどで用いられる定電流を決める回路であるとともに電圧精度は低い、発振回路 5 の動作電圧や基準電圧発生

50

回路 3、または基準電圧生成回路 4 の出力電圧レベルを判定するレファレンス電圧などを生成する。

【 0 0 3 7 】

なお、図 1 において、' N B I A S ' が定電流のアナログレファレンス信号であり、' C V R E F ' が低精度のアナログレファレンス電圧信号である。

【 0 0 3 8 】

基準電圧発生回路 3 は、バイポーラトランジスタの電流密度差から生じるベース - エミッタ間電圧  $V_{be}$  の差 ( $V_{be}$ ) から取り出した正の温度依存性を持つ電圧 (または電流) とバイポーラトランジスタ自身が持つベース - エミッタ間電圧  $V_{be}$  の負の温度依存性を持つ電圧 (または電流) を加算 [ $V_{bgr} = V_{be} + \alpha V_{be}$  または  $V_{bgr} = I_{bgr} \times R = (I_{be} + \alpha I_{be}) \times R$  :  $\alpha$ 、 $R$  は任意] により得られる温度依存性の小さいレファレンス電圧  $P R E V B G R$  を生成する。

10

【 0 0 3 9 】

基準電圧生成回路 4 は、レファレンス電圧  $P R E V B G R$  をレベル変換し、チップ内の所望のレファレンス電圧、たとえば、CPU の動作電圧である内部電源電圧  $V_{int}$  や RAM 保持電圧  $V_{int\_RAM}$  用レギュレータのようなスタンバイモード時にレファレンス電圧を保持しておきたいレファレンス電圧  $P R E V R E F$  や PLL / ROM などに供給するレファレンス電圧 (レファレンス電圧  $V R E F_{PLL}$ ,  $V R E F_{ROM}$ ) のようなスタンバイモード時に必ずしも保持する必要のないレファレンス電圧  $V R E F_2$  を生成するものである。

20

【 0 0 4 0 】

なお、 $i$  ビットのトリミング信号  $T R I M$  によりレファレンス電圧  $P R E V R E F$ ,  $V R E F_2$  をリセット、および通常動作モードにおいて調整できる。

【 0 0 4 1 】

発振回路 5 は、間欠動作を行うための周波数の遅い基準クロック  $C L K$  を生成する。なお、この基準クロック  $C L K$  の周波数変動は、一般に、発振回路 5 にアナログレファレンス信号  $N B I A S$  により供給される定電流の精度よりも発振回路 5 自身の動作電圧  $V O S C$  変動に対する感度が高い。

【 0 0 4 2 】

したがって、動作電圧  $V O S C$  として外部電源電圧となる外部電源電圧  $V_{ext}$  を利用すると周波数変動が大きく安定した間欠動作が得られないため、バイアス回路 2 で生成したアナログレファレンス電圧信号  $C V R E F$  を低精度レファレンス回路 8 により約 2 倍の電圧レベルに変換したレファレンス電圧  $C V R E F_2 (= C V R E F \times 2)$  から、 $V O S C$  レギュレータ 9 を通じて動作電圧  $V O S C$  を生成することで周波数変動を低減することが必要である。

30

【 0 0 4 3 】

周波数変動を低減した基準クロック  $C L K$  をレベルシフタ 10 により、外部電源電圧  $V_{ext}$  振幅に変換したクロック  $C L K_{UP}$  から分周制御回路 14 により間欠動作時に基準電圧発生回路 3、基準電圧生成回路 4、および容量充電レギュレータ 11 の ON / OFF を決めるイネーブル信号  $V R E F_{ON}$  と基準電圧発生回路 3、基準電圧生成回路 4、ならびに容量充電レギュレータ 11 が ON している期間に、保持容量回路 6 内の保持容量  $C_H$  に充電し (サンプリング)、OFF 期間にこの保持容量  $C_H$  に対してリーク電流パス以外は存在しないように制御する第 2 の制御信号となるサンプリング / ホールド信号  $C H O L D S W$  を生成する (ホールド)。

40

【 0 0 4 4 】

また、分周制御回路 14 は、 $n$  ビットの分周比切り替え信号  $F D S E L$  を有し、ON / OFF 期間を  $2^n$  通り設定可能としており、通常 / スタンバイ状態選択信号  $A C T$  が通常動作モードとすることを示すと、Hi レベルのイネーブル信号  $V R E F_{ON}$  を出力する。

【 0 0 4 5 】

アナログバッファ 7 は、保持容量  $C_H$  よりスタンバイモード時や、スタンバイモードか

50



ら通常動作モードに遷移した時にレファレンス電圧を取り出すものであるが、保持容量CHに対して、スイッチSWH以外にリーク電流パスを低減するため、MOSトランジスタのゲート入力で受けるために必要な回路である。

#### 【0046】

接続判定コンパレータ12、および接続用ディレイ13は、スタンバイモードから通常動作モードに遷移した時に、アナログバッファ7の出力とレファレンス電圧PREVREFとを外部入力される通常/スタンバイ状態選択信号ACTの切り替えにより単純に接続してしまうと、図6に示すインピーダンスの違いにより出力電圧ドロップが生じることを回避するため、レファレンス電圧PREVREFの上昇を検知した後、一定の遅延時間後にアナログバッファ7の出力とレファレンス電圧PREVREFとをスイッチSW1, SW2を制御して切り替えるためのものである。

10

#### 【0047】

図2は、間欠動作基準電圧発生回路1の主な動作波形の一例を示したタイミングチャートである。なお、間欠動作基準電圧発生回路1全体は、外部電源電圧Vextで動作するため、'H'は外部電源電圧Vext、'L'は基準電位Vssである。

#### 【0048】

図2において、上方から下方にかけては、通常/スタンバイ状態選択信号ACT、第1の制御信号となるイネーブル信号VREFON、サンプリング/ホールド信号CHOLD SW、基準電圧発生回路3または基準電圧生成回路4における出力電圧の上昇や下降を検知した際に接続判定コンパレータ12から出力される出力電圧上昇/下降検知信号CNT OK、スタンバイモードから通常動作モードに遷移した際に接続用ディレイ13から出力されるレファレンス切り替え信号CNT SW、レファレンス電圧PREVBGR、レファレンス電圧PREVREF、保持容量回路6のレファレンス保持容量電圧POSTCHOLD、間欠動作基準電圧発生回路1から出力されるレファレンス電圧VREF、および間欠動作基準電圧発生回路1の自己消費電流IEXTにおける波形をそれぞれ示している。

20

#### 【0049】

まず、通常動作モード時は、基準電圧発生回路3、ならびに基準電圧生成回路4が生成するレファレンス電圧PREVREFが定常的に間欠動作基準電圧発生回路1の出力として生成されるため、電圧変動のない安定したレファレンス電位が得られる。

#### 【0050】

一方、スタンバイモード時においては、基準電圧発生回路3、および基準電圧生成回路4がONした期間は通常動作モードとレファレンス電圧レベルが変わらないが、OFF期間はMOSトランジスタのリーク電流(接合リーク、サブスレッショルドリーク、ゲートリークなど)で主にスイッチSWH、および保持容量CHから電荷が抜け電圧レベル低下が起こる。

30

#### 【0051】

したがって、スタンバイモード期間中、レファレンス電圧VREFは、電圧リップルを持った波形となる。このレベル低下を低減するためには、基準電圧発生回路3、および基準電圧生成回路4のOFF期間を短くすることが有効だが、低消費電流化の効果が薄れるため、チップの使用環境、プロセス、ならびに製品スペックに合った最適値を見つける必要がある。

40

#### 【0052】

また、図2において、スタンバイモードから通常動作モードに遷移した時にそれらの状態が重なるオーバーラップ期間があり、遷移時の電圧ドロップ低減に寄与している。なお、スタンバイモードにおいて、サンプリング/ホールド信号CHOLD SWのH期間が、イネーブル信号VREFONのH期間の後半部分に設定されている理由は、イネーブル信号VREFONがHとなった瞬間に、基準電圧発生回路3、基準電圧生成回路4、および容量充電レギュレータ11がONするが、回路が安定した出力電圧を供給する本来のバイアス状態に達する過渡状態において、一般的に出力電圧のオーバershootやリングングが見られることが多いため、電圧が安定した状態で、保持容量CHに電圧を取り込めるように

50

するためである。

【 0 0 5 3 】

図 3 は、間欠動作基準電圧発生回路 1 における低消費電流効果の一例を示す説明図である。

【 0 0 5 4 】

ある外部電源電圧  $V_{ext}$  ( $= 3.3 \text{ V}$  程度)、およびある温度 (約  $27^\circ\text{C}$ ) において、通常動作モードでは、間欠動作基準電圧発生回路 1 内の全てのモジュールが ON することで、消費電流の総和は  $1362 \text{ nA}$  程度となっているが、スタンバイモード時に、たとえば、分周比切り替え信号  $FDS_{EL}$  によって  $1/8$  分周を選択すると、消費電流は  $382 \text{ nA}$  程度となり、約  $72\%$  も消費電流を低減することが可能である。

10

【 0 0 5 5 】

図 4 は、間欠動作基準電圧発生回路 1 が設けられた半導体集積回路装置への外部電源電圧  $V_{ext}$  投入時の動作波形と基準電圧生成回路 4 にて行うトリミング前後の電圧精度の関係の一例を示す説明図である。

【 0 0 5 6 】

電源投入開始よりチップはリセット状態に入り、内部電源電圧  $V_{int}$  と CPU の動作周波数の安定を待つことになる。

【 0 0 5 7 】

間欠動作基準電圧発生回路 1 としては、このリセット期間中に不揮発メモリから製品出荷前にチップ毎にテストした結果最適な内部電源電圧  $V_{int}$  になる様に設定した情報を元にトリミングを行う。

20

【 0 0 5 8 】

図 4 では、基準電圧発生回路 3、および基準電圧生成回路 4 を構成する CMOS、抵抗、寄生バイポーラトランジスタなど素子の絶対精度、ならびに相対精度ばらつきにより決まるトリミング前精度 (たとえば、 $\pm 5\%$  以内) がトリミング後精度 (たとえば、 $\pm 1\%$  以内) となっている。

【 0 0 5 9 】

したがって、通常動作モードでは、トリミング後精度 (たとえば、 $\pm 1\%$  以内) のレファレンス電圧  $V_{REF1}$ 、 $V_{REF2}$  が得られる。一方、スタンバイモード時では、基準電圧発生回路 3、および基準電圧生成回路 4 が ON する期間において、トリミング後精度 (たとえば、 $\pm 1\%$  以内) で変わらないが、OFF 期間においては、リーク電流による電圧レベル低下が影響するため、スタンバイモード時の実精度は、トリミング後精度 (たとえば、 $\pm 1\%$  以内) より劣化する。

30

【 0 0 6 0 】

このリーク電流による劣化は、チップの使用環境、プロセスなどに左右されるため、製品の消費電流スペックとスタンバイモード時の RAM のメモリ保持電圧の下限値などを参考に、基準電圧発生回路 3、および基準電圧生成回路 4 の ON / OFF 期間で調整される。図 4 では、一例として、 $\pm 1 \sim 5\%$  程度に決められている。

【 0 0 6 1 】

なお、チップのリセット期間中に、間欠動作基準電圧発生回路 1 は、通常動作モードのように、基準電圧発生回路 3 と基準電圧生成回路 4 とを常時 ON すべきか、スタンバイモード時のように間欠的に ON / OFF 動作すべきかについて、図 5 に示すように間欠的に ON / OFF 動作すると、低消費電流化のために OFF 期間を長く取る動作のため、起動時間が遅延してしまい、長いリセット期間が必要となるだけでなく、先に述べたリーク電流による電圧レベル低下により、レファレンス電圧  $P_{REV_{BGR}}$ 、レファレンス電圧  $P_{REV_{REF}}$  が十分安定した状態でトリミングを行えないため、トリミング後精度の向上が不十分 (たとえば、 $\pm 5\%$  以内) となる。

40

【 0 0 6 2 】

したがって、リセット期間中は、基準電圧発生回路 3、および基準電圧生成回路 4 を常時 ON しておくことが必要である。なお、リセット期間中に間欠動作する OFF 期間を短

50

く（たとえば、分周比 1 / 2 程度）することで、このリーク電流による劣化を低減しトリミング後精度を向上させることも可能だが、電圧リップルの影響を完全に無視できないため常時 ON させている場合程の電圧精度は得られない。

【 0 0 6 3 】

図 7 は、間欠動作基準電圧発生回路 1 における状態遷移の一例を示す説明図である。

【 0 0 6 4 】

前述したチップのリセット期間中においては、間欠動作基準電圧発生回路 1 の状態として通常状態 J 1 に当たり、他にスタンバイ状態 J 2 とスタンバイモードから通常状態に遷移するオーバーラップ状態 J 3 が存在する。

【 0 0 6 5 】

図 8 は、間欠動作基準電圧発生回路 1 が設けられた半導体集積回路装置における半導体チップ C H P のレイアウトの一例を示す説明図である。

【 0 0 6 6 】

正方形の半導体チップ C H P におけるそれぞれの外周辺部には、I / O 領域 1 5 がレイアウトされている。I / O 領域 1 5 より内側の右上方には、間欠動作基準電圧発生回路 1 がレイアウトされている。

【 0 0 6 7 】

間欠動作基準電圧発生回路 1 の左側には、レギュレータ 1 7 がレイアウトされており、その下方には、P L L 1 8 がレイアウトされている。この P L L 1 8 の下方には、レギュレータ 1 9 がレイアウトされており、該レギュレータ 1 9 の右側には、レギュレータ 2 0 がレイアウトされている。

【 0 0 6 8 】

また、これら間欠動作基準電圧発生回路 1、ならびにレギュレータ 1 7 , 1 9 , 2 0 によってシステム電源回路 1 6 が構成されている。

【 0 0 6 9 】

レギュレータ 1 9 の下方には、R A M 2 1 がレイアウトされており、該 R A M 2 1 の右側には、C P U 2 2 がレイアウトされている。この C P U 2 2 の右側には、フラッシュメモリに例示される不揮発性メモリ 2 3 がレイアウトされている。

【 0 0 7 0 】

そして、R A M 2 1、C P U 2 2、および P L L 1 8 などの内部回路に対してレギュレータ 1 7 , 1 9 , 2 0 により、外部電源電圧  $V_{ext}$  から内部電源電圧  $V_{int}$  ,  $V_{int\_RAM}$  ,  $V_{int\_PLL}$  などに降圧した電圧が供給される。

【 0 0 7 1 】

また、不揮発性メモリ 2 3 の周辺回路、たとえば、正負チャージポンプ回路のレファレンス電圧  $V_{REF\_NVM}$  などにも利用される。

【 0 0 7 2 】

図 9 は、図 8 の半導体チップ C H P に設けられた間欠動作基準電圧発生回路 1 におけるレイアウトの一例を示す説明図である。

【 0 0 7 3 】

間欠動作基準電圧発生回路 1 は、図 9 の左上方に、バイアス回路 2 がレイアウトされており、その右側には、基準電圧発生回路 3 がレイアウトされている。基準電圧発生回路 3 の右側には、基準電圧生成回路 4 がレイアウトされている。

【 0 0 7 4 】

バイアス回路 2、および基準電圧発生回路 3 の下方には、低精度レファレンス回路 8 がレイアウトされており、該低精度レファレンス回路 8 の下方には、V O S C レギュレータ 9 がレイアウトされている。

【 0 0 7 5 】

低精度レファレンス回路 8、ならびに V O S C レギュレータ 9 の右側には、接続判定コンパレータ 1 2 がレイアウトされており、該接続判定コンパレータ 1 2 の右側には、接続用ディレイ 1 3 がレイアウトされている。

10

20

30

40

50

## 【 0 0 7 6 】

この接続用ディレイ 1 3 の右側には、アナログバッファ 7 がレイアウトされている。接続用ディレイ 1 3、ならびにアナログバッファ 7 の下方には、保持容量回路 6 がレイアウトされており、該保持容量回路 6 の左側には、容量充電レギュレータ 1 1 がレイアウトされている。容量充電レギュレータ 1 1 の左側には、分周制御回路 1 4 がレイアウトされており、該分周制御回路 1 4 の左側には、発振回路 5 がレイアウトされている。

## 【 0 0 7 7 】

また、間欠動作基準電圧発生回路 1 がレイアウトされている外側には、該間欠動作基準電圧発生回路 1 を取り囲むようにガードリング 2 4 が形成されており、分周制御回路 1 4、レベルシフト 1 0、および発振回路 5 の外側には、これら分周制御回路 1 4、レベルシフト 1 0、および発振回路 5 を取り囲むようにガードリング 2 5 が形成されている。

10

## 【 0 0 7 8 】

さらに、レベルシフト 1 0 の間には、該レベルシフト 1 0 を 2 分割するようにガードリング 2 6 が形成されている。そして、これらガードリング 2 4、2 5、2 6 には、基準電位  $V_{ss}$  がそれぞれ給電されている。

## 【 0 0 7 9 】

間欠動作基準電圧発生回路 1 は、間欠動作を行うため発振回路 5 から生成される基準クロック CLK が存在する。この基準クロック CLK を、レベルシフト 1 0 を介して分周制御回路 1 4 により分周、および波形制御を行っているが、発振回路 5、レベルシフト 1 0、ならびに分周制御回路 1 4 の CMOS 論理回路がスイッチング動作する際にノイズを発生する可能性がある。

20

## 【 0 0 8 0 】

したがって、バイアス回路 2 や基準電圧発生回路 3 などのノイズの影響を低減したい回路に対して、発振回路 5、レベルシフト 1 0、ならびに分周制御回路 1 4 のような主要なノイズ発生源に基準電位  $V_{ss}$  が給電されるガードリング 2 5、2 6 を設けることによりノイズ伝播を抑制する。

## 【 0 0 8 1 】

また、間欠動作基準電圧発生回路 1 を囲むように形成されたガードリング 2 4 を設けることにより、間欠動作基準電圧発生回路 1 外部の近接する内部回路などにもスイッチングノイズの影響が伝播することを防止することができる。

30

## 【 0 0 8 2 】

さらに、間欠動作基準電圧発生回路 1 の上層には、図 1 0 に示すように、メタルシールド配線 2 7、2 7 a が形成されている。メタルシールド配線 2 7 は、メタルシールド配線 2 7 a と直交するようにメッシュ状にそれぞれ配線されている。

## 【 0 0 8 3 】

このメタルシールド配線 2 7、2 7 a によって間欠動作基準電圧発生回路 1 の上層を覆うことにより、該間欠動作基準電圧発生回路 1 内部で発生するノイズを外部に伝播するのを防止するだけでなく、外部からのノイズの影響を軽減することができる。

## 【 0 0 8 4 】

図 1 1 は、図 9 ( 図 1 0 ) の A - B 断面図である。

40

## 【 0 0 8 5 】

たとえば、P 型の半導体基板 2 8 の左上方には、DEEP - N W E L L 2 9 が形成されており、この DEEP - N W E L L 2 9 の上部には、左から右にかけて、N W E L L 3 0、P W E L L 3 1、および N W E L L 3 2 が形成されている。

## 【 0 0 8 6 】

N W E L L 3 0 の左側には、ガードリング 2 5 が形成されている。このガードリング 2 5 は、半導体基板 2 8 の上部に形成された P W E L L 3 3、およびその P W E L L 3 3 の上部に形成された P + 型半導体領域 3 4 から構成されている。P + 型半導体領域 3 4 は、P W E L L 3 3 よりも不純物濃度の高い領域である。

## 【 0 0 8 7 】

50

NWELL 32の右側には、半導体基板28の上部に形成されたPWE LL 35、ならびに該PWE LL 35の上部に形成されたP+型半導体領域36からなるガードリング26が形成されている。

【0088】

ガードリング26の右下方には、DEEP - NWELL 37が形成されており、このDEEP - NWELL 37の上部には、左から右にかけて、NWELL 38、PWE LL 39、およびNWELL 40が形成されている。

【0089】

NWELL 40の右側には、半導体基板28の上部に形成されたPWE LL 41、およびそのPWE LL 41の上部に形成されたP+型半導体領域42からなるガードリング25が形成されている。

【0090】

このガードリング25の右下方には、DEEP - NWELL 43が形成されており、該DEEP - NWELL 43の上部には、左から右にかけて、NWELL 44、PWE LL 45、NWELL 46、PWE LL 47、ならびにNWELL 48が形成されている。

【0091】

そして、NWELL 48の右側には、半導体基板28の上部に形成されたPWE LL 49、ならびに該PWE LL 49の上部に形成されたP+型半導体領域50からなるガードリング24が形成されている。

【0092】

また、NWELL 30とPWE LL 31の一部は、発振回路5を構成する半導体素子が形成される半導体素子形成領域となり、PWE LL 31の残りの部分、NWELL 38、ならびにPWE LL 39の一部は、レベルシフト10を構成する半導体素子が形成される半導体素子形成領域となる。

【0093】

さらに、PWE LL 39の残りの部分、およびNWELL 40は、分周制御回路14を構成する半導体素子が形成される半導体素子形成領域となり、NWELL 44、PWE LL 45、およびNWELL 46の一部は、容量充電レギュレータ11を構成する半導体素子が形成される半導体素子形成領域となる。

【0094】

そして、NWELL 46の残りの部分、PWE LL 47、ならびにNWELL 48は、保持容量回路6を構成する半導体素子が形成される半導体素子形成領域となる。

【0095】

P+型半導体領域34, 36, 42, 50は、ビア51を介して、たとえば、配線層MH1~MH5のうち、第4の配線層MH4に形成されるメタルシールド配線27a、および該配線層MH4の上層である第5の配線層MH5に形成されるメタルシールド配線27に接続されている。

【0096】

メタルシールド配線27, 27aは、基準電位Vssに給電されており、メタルシールド配線27とメタルシールド配線27aとは、前述したように、それぞれが直交してメッシュ状となるように形成されている。

【0097】

また、メタルシールド配線は、第4の配線層MH4と第5の配線層MH5の2つの配線層により構成するのではなく、たとえば、図12に示すように、1つの配線層でメッシュ状に、メタルシールド配線27を形成するようにしてもよい。

【0098】

この場合、メタルシールド配線27は、図13に示すように、第4の配線層MH4にメッシュ状の配線を形成し、該メタルシールド配線27に基準電位Vssに給電する構成とする。また、その他の断面構成については、図11と同様であるので説明は省略する。

【0099】

10

20

30

40

50

さらに、ガードリングは、図 1 4 に示すように、間欠動作基準電圧発生回路 1 の外側に該間欠動作基準電圧発生回路 1 をすべて取り囲むように形成されるガードリング 2 4 と、発振回路 5、レベルシフト 1 0、および分周制御回路 1 4 を取り囲むように形成されたガードリング 2 5、レベルシフト 1 0 を 2 分割するように形成されたガードリング 2 6、およびガードリング 2 5 の外側を取り囲むように形成されたガードリング 2 5 a とを設け、発振回路 5、レベルシフト 1 0、ならびに分周制御回路 1 4 を取り囲むガードリングを 2 重化する構成としてもよい。

【 0 1 0 0 】

また、ガードリング 2 4、およびガードリング 2 5 a は、基準電位  $V_{ss}$  が給電されており、ガードリング 2 5、ならびにガードリング 2 6 は、発振回路 5 の基準電位となる基準電位  $V_{ssosc}$  が給電されている。これにより、ノイズによる悪影響をより効果的に低減することができる。

10

【 0 1 0 1 】

図 1 5 は、図 1 4 の A - B 断面図である。

【 0 1 0 2 】

P 型の半導体基板 2 8 の左側には、DEEP - NWELL 2 9 が形成されており、該 DEEP - NWELL 2 9 の左上方には、P WELL 5 2、およびその P WELL 5 2 の上部に形成された P + 型半導体領域 5 3 から構成されているガードリング 2 4 が形成されている。このガードリング 2 4 には、基準電位  $V_{ss}$  が給電されている。

20

【 0 1 0 3 】

このガードリング 2 4 の右側には、P WELL 5 4、および該 P WELL 5 4 の上部に形成された P + 型半導体領域 5 5 から構成されているガードリング 2 5 が形成されている。ガードリング 2 5 には、基準電位  $V_{ssosc}$  が給電される。

【 0 1 0 4 】

ガードリング 2 5 の右側には、NWELL 3 0、P WELL 3 1、NWELL 3 2 を挟んで、基準電位  $V_{ssosc}$  が給電されるガードリング 2 6 が形成されている。このガードリング 2 6 は、半導体基板 2 8 の上部に形成された P WELL 5 6、およびその P WELL 5 6 の上部に形成された P + 型半導体領域 5 7 から構成されている。

【 0 1 0 5 】

また、ガードリング 2 6 の右側には、NWELL 3 8、P WELL 3 9、NWELL 4 0 を挟んで、ガードリング 2 5 が形成されている。このガードリング 2 5 は、半導体基板 2 8 の上部に形成された P WELL 5 8、およびその P WELL 5 8 の上部に形成された P + 型半導体領域 5 9 から構成されている。

30

【 0 1 0 6 】

ガードリング 2 5 の右側には、基準電位  $V_{ss}$  が給電されるガードリング 2 5 a が形成されている。このガードリング 2 5 a は、半導体基板 2 8 の上部に形成された P WELL 6 0、およびその P WELL 6 0 の上部に形成された P + 型半導体領域 6 1 から構成されている。

【 0 1 0 7 】

ガードリング 2 5 a の右側には、NWELL 4 4、P WELL 4 5、NWELL 4 6、P WELL 4 7、NWELL 4 8 を挟んで、ガードリング 2 4 が形成されている。ガードリング 2 4 は、半導体基板 2 8 の上部に形成された P WELL 6 2、およびその P WELL 6 2 の上部に形成された P + 型半導体領域 6 3 から構成されている。

40

【 0 1 0 8 】

図 1 6 は、図 1 の間欠動作基準電圧発生回路 1 の構成に、保持電圧検知コンパレータ 6 4 を加えた一例を示すブロック図である。

【 0 1 0 9 】

保持電圧検知コンパレータ 6 4 は、バイアス回路 2 から生成される、低精度のアナログレファレンス電圧信号  $CVREF$  より、保持容量回路 6 のレファレンス保持容量電圧  $POSTCHOLD$  の電圧レベルを比較し、低い場合には、極性信号  $FORCEON$  を反転さ

50

せ強制的に基準電圧発生回路 3、基準電圧生成回路 4、ならびに容量充電レギュレータ 11 を ON させる。

【0110】

このように、保持電圧検知コンパレータ 64 は、通常動作モード、およびスタンバイモード中に保持容量 CH のレファレンス保持容量電圧 POSTCHOLD のレベルが低いことを判断すると、チップ内外のなんらかの原因で、内部電源電圧 Vint が内部回路の論理が不定となる電圧低下する前に、該内部電源電圧 Vint のレファレンス電圧を本来の動作電圧まで復帰させる効果を有している。なお、消費電流は、図 17 に示すように、保持電圧検知コンパレータ 64 が加算されることになる。

【0111】

なお、低精度のアナログレファレンス電圧信号 C V R E F は、CPU 22 などの内部回路で用いられる CMOS 回路の PMOS トランジスタのしきい値  $V_{thp}$ 、NMOS トランジスタのしきい値  $V_{thn}$ 、しきい値の和 ( $V_{thp} + V_{thn}$ ) より高い電圧であるため、内部回路の論理が不確定になったかの判断基準となる。

【0112】

それにより、本実施の形態によれば、消費電流の大きい基準電圧発生回路 3、基準電圧生成回路 4、ならびに容量充電レギュレータ 11 を間欠的に ON/OFF させることで、消費電流を大幅に低減させることができる。

【0113】

(実施の形態 2)

図 18 は、本発明の実施の形態 2 による間欠動作基準電圧発生回路の一例を示すブロック図、図 19 は、図 18 の間欠動作基準電圧発生回路を用いて構成した半導体チップにおけるレイアウトの一例を示す説明図、図 20 は、図 18 の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図、図 21 は、図 18 の間欠動作基準電圧発生回路における状態遷移図である。

【0114】

本実施の形態 2 において、間欠動作基準電圧発生回路 1a は、図 18 に示すように、前記実施の形態 1 の図 1 の構成に、スイッチ SW3 ~ SW6 が新たに追加された構成となっている。図 1 では、レファレンス切り替え用のスイッチ SW1, SW2 により、レファレンス電圧 VREF として、基準電圧生成回路 4 の出力であるレファレンス電圧 PREVR E F か、アナログバッファ 7 の出力かを接続用ディレイ 13 から出力されるレファレンス切り替え信号 CNTSW により切り替えていた。

【0115】

一方、図 18 では、レファレンス切り替え用のスイッチ SW3 ~ SW6 と、通常/スタンバイ状態選択信号 ACT1, ACT2 を利用し、保持容量 CH に基準電圧発生回路 3 から出力されるレファレンス電圧 PREVBGR, または基準電圧生成回路 4 の出力であるレファレンス電圧 PREVREF のいずれかを保持する。

【0116】

これにより、スタンバイモードとして、基準電圧発生回路 3 と基準電圧生成回路 4 とを間欠動作させるスタンバイ(間欠 VREF)モードと、基準電圧発生回路 3 のみ間欠動作し、基準電圧生成回路 4 が常時 ON となるスタンバイ(間欠 VBGR)モードを生成することができる。

【0117】

このように、間欠動作基準電圧発生回路 1a の構成により、スタンバイモードにおいても容量保持しないレファレンス電圧 VREF2 を利用することができる。

【0118】

図 19 は、間欠動作基準電圧発生回路 1a が設けられた半導体集積回路装置における半導体チップ CHP のレイアウトの一例を示す説明図である。

【0119】

正形状の半導体チップ CHP のそれぞれの外周辺部には、I/O 領域 15 がレイアウト

10

20

30

40

50

トされている。I/O領域15より内側の右上方には、間欠動作基準電圧発生回路1aがレイアウトされている。

【0120】

間欠動作基準電圧発生回路1aの左側には、レギュレータ17がレイアウトされており、その下方には、PLL18がレイアウトされており、該PLL8の右側には、電圧低下検知回路65(LVD3)がレイアウトされている。

【0121】

PLL18の下方には、レギュレータ19がレイアウトされており、該レギュレータ19の右側には、レギュレータ20がレイアウトされている。そして、レギュレータ20の右側には、電圧低下検知回路66(LVD4)がレイアウトされている。

10

【0122】

レギュレータ19の下方には、電圧低下検知回路67(LVD1)がレイアウトされており、該電圧低下検知回路67の下方には、RAM21がレイアウトされている。このRAM21の右側には、CPU22がレイアウトされている。

【0123】

CPU22の上方には、レジスタ68、および電圧低下検知回路69(LVD2)がそれぞれレイアウトされている。CPU22の右側には、不揮発性メモリ23がレイアウトされている。

【0124】

この図19に示すような構成では、半導体チップCHP内部の電源電圧(V<sub>int</sub>, V<sub>int\_\_RAM</sub>, V<sub>int\_\_PLL</sub>)や外部電源電圧(V<sub>ext</sub>)を電圧低下検知回路65, 66, 67, 69により通常動作モードだけでなく、電圧精度が通常動作時より劣化するがスタンバイモードにおいても電圧低下検知が行うことが可能となる。

20

【0125】

なお、スタンバイ(間欠VREF)モードにおける低消費電流効果は図2のとおりであるが、スタンバイ(間欠VBGR)モードにおける低消費電流効果は、図20に示すようになる。

【0126】

低消費電流効果は、基準電圧生成回路4が常時ONしている分スタンバイ(間欠VBGR)モードの方が小さい。また、通常動作モード、スタンバイ(間欠VREF)モード、スタンバイ(間欠VBGR)モード、およびオーバーラップ状態の遷移は、図21に示す通りとなる。

30

【0127】

(実施の形態3)

図22は、本発明の実施の形態3による間欠動作基準電圧発生回路の一例を示すブロック図、図23は、図22の間欠動作基準電圧発生回路における状態遷移図、図24は、図22の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【0128】

本実施の形態3においては、間欠動作基準電圧発生回路1bが、図22に示すように、前記実施の形態1の図1の構成からレファレンス切り替え用のスイッチSW1, SW2、接続判定コンパレータ12、ならびに接続用ディレイ13を取り除き、分周制御回路14の分周比切り替え信号FDSLと通常/スタンバイ状態選択信号ACTとのみで通常動作モードとスタンバイモード間の遷移を行う(図23)ものである。

40

【0129】

接続判定コンパレータ12、および接続用ディレイ13は、スタンバイモードから通常動作モードに遷移する際に、アナログバッファ7の出力とレファレンス電圧PREVREFを通常/スタンバイ状態選択信号ACTの切り替えにより単純に接続してしまうとインピーダンスの違いにより出力電圧ドロップが生じることを回避するために使用されていたが、図22の回路構成の場合には、常にアナログバッファ7の出力がレファレンス電圧VREFの出力となっているため、接続判定コンパレータ12と接続用ディレイ13とを不

50



要とすることができる。

【0130】

これにより、図24に示すように、消費電流を低減することができるとともに、レファレンス電圧PREFとアナログバッファ7の出力とを切り換える際に生じる電圧ドロップを低減することができるので、オーバーラップ期間を不要にすることができる。

【0131】

(実施の形態4)

図25は、本発明の実施の形態4による間欠動作基準電圧発生回路の一例を示すブロック図、図26は、図25の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

10

【0132】

本実施の形態4においては、間欠動作基準電圧発生回路1cが、図25に示すように、前記実施の形態3の図22の構成から、発振回路5の動作電圧VOSCを生成するVOSCレギュレータ9とレベルシフタ10とを削除した構成とし、発振回路5を外部電源電圧Vextで動作させている。

【0133】

この構成は、システム電源に用いる間欠動作基準電圧発生回路1cを動作させる上で最小限必要な回路となる。このように、接続判定コンパレータ12、ならびに接続用ディレイ13だけでなく、VOSCレギュレータ9、レベルシフタ10も削除することで、これら回路の自己消費電流がなくなり、図26に示すように、スタンバイモード時の消費電流を低減する効果を大きくすることができる。

20

【0134】

(実施の形態5)

図27は、本発明の実施の形態5による間欠動作基準電圧発生回路に設けられたバイアス回路の一例を示す回路図である。

【0135】

本実施の形態5においては、間欠動作基準電圧発生回路1(1a、1b、1c)に用いられるバイアス回路2の一例を示す。

【0136】

バイアス回路2は、図27に示すように、ワイドラー型電流源回路からなり、CMOSのトランジスタM0~M3からなるカレントミラー回路と抵抗R0から定電流を生成する。

30

【0137】

定電流は、NBIASを介して間欠動作基準電圧発生回路1(1a、1b、1c)内の他回路へ供給される。一方、PMOSからなるトランジスタM4~M7で構成される低精度のアナログレファレンス電圧信号CVREFは、ダイオード接続により飽和動作するPMOSのトランジスタM7のゲート-ソース間電圧Vgsがもつ負の温度依存性と、ゲートを基準電位Vss固定することにより線形動作するPMOSのトランジスタM5、M6のドレイン-ソース間電圧Vdsが持つ正の温度依存性を加算することにより、温度依存性を低減している。

40

【0138】

なお、PMOSのトランジスタM5~M7は、抵抗や寄生バイポーラ素子に比べプロセス変動の影響を受けやすいため、基準電圧発生回路3のようなトリミング前電圧精度は期待できない。

【0139】

また、トランジスタM10~M17は、ワイドラー型電流源回路を起動させるスタートアップ回路である。ワイドラー型電流源回路は、自己バイアス回路構成であるため、リーク電流以外流れず回路動作しない安定状態と定電流を供給できる通常動作モードが存在する。スタートアップ回路は、外部電源電圧Vext投入後にバイアス回路2が前者の回路動作しない安定状態に陥ることを回避するためのものである。

50

## 【 0 1 4 0 】

( 実施の形態 6 )

図 2 8 は、本発明の実施の形態 6 による間欠動作基準電圧発生回路に設けられた基準電圧発生回路の一例を示す回路図である。

## 【 0 1 4 1 】

本実施の形態 6 においては、間欠動作基準電圧発生回路 1 ( 1 a , 1 b 、 1 c ) に用いられる基準電圧発生回路 3 の一例を示す。

## 【 0 1 4 2 】

基準電圧発生回路 3 は、図 2 8 に示すように、オペアンプ AMP 2 が PNP 寄生バイポーラのトランジスタ Q 1 0 のベース - エミッタ間電圧  $V_{be10}$  と抵抗 R 1 1 と抵抗 R 1 2 の中間電位が等しくなるように動作する。

10

## 【 0 1 4 3 】

このとき、PNP 寄生バイポーラのトランジスタ Q 1 0 , Q 1 1 に流れる電流密度の差より、トランジスタ Q 1 0 のベース - エミッタ間電圧  $V_{be10}$  とトランジスタ Q 1 1 のベース - エミッタ間電圧  $V_{be11}$  に電位差  $V_{be}$  が生じるが、この電位差  $V_{be}$  は正の温度依存性を持つため、電位差  $V_{be}$  を抵抗比  $(R 1 3 / R 1 1)$  倍した電圧とベース - エミッタ間電圧  $V_{be10}$  自体が持つ負の温度依存性を加算することで、温度依存性の小さいレファレンス電圧  $PREV BGR = V_{be10} + (R 1 3 / R 1 1) \times V_{be}$  が生成できる。

## 【 0 1 4 4 】

20

なお、PNP 寄生バイポーラのトランジスタ Q 1 0 , Q 1 1 は、標準 CMOS プロセスで形成可能な素子であり、プロセスコストの増大はない。

## 【 0 1 4 5 】

( 実施の形態 7 )

図 2 9 は、本発明の実施の形態 7 による間欠動作基準電圧発生回路に設けられた基準電圧発生回路の一例を示す回路図である。

## 【 0 1 4 6 】

本実施の形態 7 においては、前記実施の形態 6 に示した基準電圧発生回路 3 における他の構成例を示す。

## 【 0 1 4 7 】

30

この場合、基準電圧発生回路 3 は、図 2 9 に示すように、寄生バイポーラトランジスタとして NPN 型のトランジスタ Q 1 ~ Q 3 を用い、かつ寄生 NPN のトランジスタ Q 1 , Q 2 を 3 端子素子として利用することで、オペアンプ AMP 0 , AMP 1 の入力電圧オフセットを低減し、レファレンス電圧  $PREV BGR$  のトリミング前電圧精度を向上することのできる回路構成となっている。

## 【 0 1 4 8 】

これは、図 2 8 の基準電圧発生回路 3 と同じくオペアンプ AMP 0 , AMP 1 から NPN 型のトランジスタ Q 1 , Q 2 のベース - エミッタ間電圧  $V_{be}$  を抵抗 R 1 により取り出すが、トランジスタ Q 1 , Q 2 のコレクタ側で電圧比較を行うため、結果としてコレクタ電流  $I_c$  とベース電流  $I_b$  の比  $h_{fe} = I_c / I_b$  分入力電圧オフセットが低減されることになる。

40

## 【 0 1 4 9 】

なお、 $h_{fe}$  比の大きな寄生 NPN バイポーラトランジスタを構成するには、コレクタを DEEP - NWE LL で形成することが多く、標準 CMOS プロセスに、該 DEEP - NWE LL を加えた 3 重ウェル構造の CMOS プロセスが必要となってくる。

## 【 0 1 5 0 】

DEEP - NWE LL を追加することはプロセスコスト増であるが、この DEEP - NWE LL を I / O 領域に用いられるトランジスタの ESD ( 静電気放電 ) 保護用素子の一部として利用したり、基板ノイズ分離のため ADC ( アナログ / デジタル変換 ) などのチップ内モジュールで用いたりするなど一般的に用いられることが多く、基準電圧発生回路

50

3の電圧精度向上のため寄生NPNトランジスタが用いられることも多い。

【0151】

(実施の形態8)

図30は、本発明の実施の形態8による間欠動作基準電圧発生回路に設けられた基準電圧生成回路の一例を示す回路図である。

【0152】

本実施の形態8においては、間欠動作基準電圧発生回路1(1a, 1b、1c)に用いられる基準電圧生成回路4の一例を示す。

【0153】

基準電圧生成回路4は、図30に示すように、オペアンプAMP10、トランジスタM60, M70~M72、論理和回路OR2、スイッチSW10~SW12、および抵抗R50~R63, R70~R72, R80~R83, R90~R93からなる。

【0154】

基準電圧生成回路4は、基準電圧発生回路3などの出力電圧を入力電圧VINとして抵抗比により電圧変換し、チップに必要なレファレンス電圧PREVREF, VREF2を生成する回路である。

【0155】

なお、このレファレンス電圧の調整はiビットのトリミング信号TRIMにより、抵抗分圧比を調整することで行われる。

【0156】

(実施の形態9)

図31は、本発明の実施の形態9による間欠動作基準電圧発生回路に設けられた発振回路の一例を示す回路図である。

【0157】

本実施の形態9においては、間欠動作基準電圧発生回路1(1a, 1b、1c)に用いられる発振回路5における構成の一例を示す。

【0158】

発振回路5は、図31に示すように、トランジスタM80~M89, M90~M95, M100~M105, M110, M111、静電容量素子C0~C3、およびインバータINV0, INV1からなり、奇数段(図31では5段)のインバータ回路からなるリングオシレータで構成され、バイアス回路2で決められる定電流と、VOSCレギュレータ9が生成する発振回路5の動作電圧である動作電圧VOSC、および静電容量素子C0~C3の値により生成する基準クロックCLKの発振周波数が決定される。

【0159】

(実施の形態10)

図32は、本発明の実施の形態10による間欠動作基準電圧発生回路に設けられた分周制御回路の一例を示す回路図、図33は、図32の分周制御回路における動作波形の一例を示すタイミングチャートである。

【0160】

本実施の形態10においては、間欠動作基準電圧発生回路1(1a, 1b、1c)に用いられる分周制御回路14における構成の一例を示す。

【0161】

分周制御回路14は、図32に示すように、発振回路5が生成した基準クロックCLK、またはこの基準クロックCLKをレベルシフタ10により電圧振幅を変換したクロックCLK\_\_UPをエッジトリガDフリップフロップからなるフリップフロップDFF0~DFF3とインバータINV20~INV23からなる分周回路で分周した後、論理回路(インバータINV11、および論理積回路AND0~AND2)により、イネーブル信号VREFON、ならびにサンプリング/ホールド信号CHOLD SWを生成する。

【0162】

また、図33に分周制御回路14の動作波形例を示す。なお、この図33においては、

10

20

30

40

50

クロックCLKINを16分周し、イネーブル信号VREFONがHiレベルとなる2クロック期間と、保持容量CHに電圧をチャージするためサンプリング/ホールド信号CHOLDSWをHiレベルとする1クロック期間を生成するとともに、14クロック期間はイネーブル信号VREFONなどをOFFすることで、基準電圧発生回路3、および基準電圧生成回路4のON/OFF期間は1/8分周動作となっている。

#### 【0163】

(実施の形態11)

図34は、本発明の実施の形態11による間欠動作基準電圧発生回路に設けられた低精度レファレンス回路の一例を示す回路図、図35は、本発明の実施の形態11による間欠動作基準電圧発生回路に設けられた接続用ディレイの一例を示す回路図である。

10

#### 【0164】

本実施の形態11においては、間欠動作基準電圧発生回路1(1a, 1b, 1c)に用いられる低精度レファレンス回路8における構成の一例を示す。

#### 【0165】

低精度レファレンス回路8は、図34に示すように、オペアンプAMP20、トランジスタM140, M150~M152から構成されている。

#### 【0166】

この場合、低精度レファレンス回路8は、基準電圧生成回路4に類似の回路であるが、高い電圧精度を求められていないこと、入力電圧VINとして入力される低精度のアナログレファレンス電圧信号CVREFの2倍程度の電圧をレファレンス電圧CVREF2として生成できればよいので、ダイオード接続したMOSのトランジスタM151, M152などを抵抗の代わりとして用いることで、低消費電流で面積の小さい回路を実現している。

20

#### 【0167】

また、図35は、間欠動作基準電圧発生回路1(1a, 1b, 1c)に用いられる接続用ディレイ13における構成の一例を示した回路図である。

#### 【0168】

接続用ディレイ13は、アナログ、またはデジタルディレイ回路かその両方で構成されており、図35は、アナログまたはデジタルディレイ回路の両方を含むものである。

#### 【0169】

アナログディレイ回路は、図35におけるCMOSのトランジスタM140~M145、インバータINV43, INV44、および静電容量素子C10から構成され、アナログレファレンス信号NBIASの定電流を元に、静電容量素子C10に電荷を充電し、インバータINV43の論理しきい値を超えるまでの期間の遅延時間が得られるものである。

30

#### 【0170】

一方、デジタルディレイ回路は、エッジトリガDフリップフロップからなるフリップフロップDFF20, DFF21と論理回路(インバータINV41, INV42、および論理積回路AND11)から構成されており、入力クロックCLKINを元に遅延時間を生成するものである。

40

#### 【0171】

これらのディレイ期間を利用し、スタンバイモードから通常動作モードへの遷移時の電圧ドロップの発生を低減する。なお、アナログディレイを用いるかデジタルディレイを用いるかは、通常動作モード時に発振回路5が動作中かどうかで切り替わる仕組みとなっている。

#### 【0172】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【産業上の利用可能性】

50

## 【 0 1 7 3 】

本発明は、レファレンス電圧を生成するレファレンス電圧生成回路を有する半導体集積回路装置に適している。

## 【 符号の説明 】

## 【 0 1 7 4 】

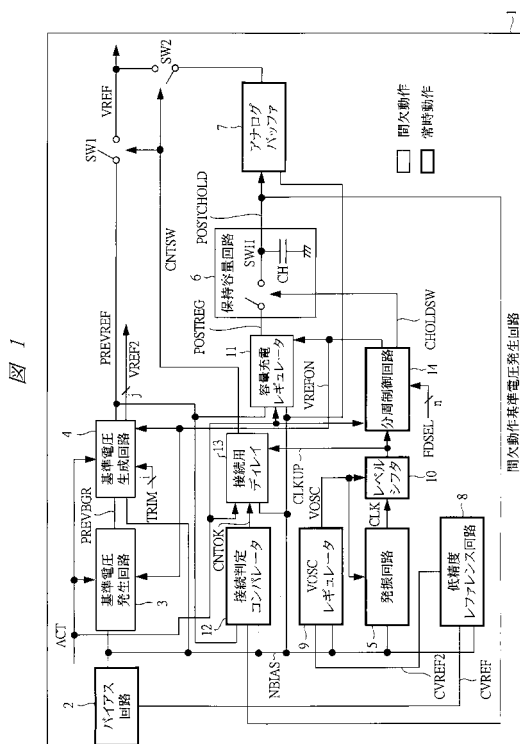
1	間欠動作基準電圧発生回路	
1 a	間欠動作基準電圧発生回路	
1 b	間欠動作基準電圧発生回路	
1 c	間欠動作基準電圧発生回路	
2	バイアス回路	10
3	基準電圧発生回路	
4	基準電圧生成回路	
5	発振回路	
6	保持容量回路	
7	アナログバッファ	
8	低精度レファレンス回路	
9	V O S C レギュレータ	
1 0	レベルシフタ	
1 1	容量充電レギュレータ	
1 2	接続判定コンパレータ	20
1 3	接続用ディレイ	
1 4	分周制御回路	
1 5	I / O 領域	
1 6	システム電源回路	
1 7	レギュレータ	
1 8	P L L	
1 9	レギュレータ	
2 0	レギュレータ	
2 1	R A M	
2 2	C P U	30
2 3	不揮発性メモリ	
2 4	ガードリング	
2 5	ガードリング	
2 5 a	ガードリング	
2 6	ガードリング	
2 7	メタルシールド配線	
2 7 a	メタルシールド配線	
2 8	半導体基板	
2 9	D E E P - N W E L L	
3 0	N W E L L	40
3 1	P W E L L	
3 2	N W E L L	
3 3	P W E L L	
3 4	P + 型半導体領域	
3 5	P W E L L	
3 6	P + 型半導体領域	
3 7	D E E P - N W E L L	
3 8	N W E L L	
3 9	P W E L L	
4 0	N W E L L	50

4 1	P W E L L	
4 2	P + 型半 導 体 領 域	
4 3	D E E P - N W E L L	
4 4	N W E L L	
4 5	P W E L L	
4 6	N W E L L	
4 7	P W E L L	
4 8	N W E L L	
4 9	P W E L L	
5 0	P + 型半 導 体 領 域	10
5 1	ビ ア	
5 2	P W E L L	
5 3	P + 型半 導 体 領 域	
5 4	P W E L L	
5 5	P + 型半 導 体 領 域	
5 6	P W E L L	
5 7	P + 型半 導 体 領 域	
5 8	P W E L L	
5 9	P + 型半 導 体 領 域	
6 0	P W E L L	20
6 1	P + 型半 導 体 領 域	
6 2	P W E L L	
6 3	P + 型半 導 体 領 域	
6 4	保 持 電 圧 検 知 コ ン パ レ ー タ	
6 5	電 圧 低 下 検 知 回 路	
6 6	電 圧 低 下 検 知 回 路	
6 7	電 圧 低 下 検 知 回 路	
6 8	レ ジ ス タ	
6 9	電 圧 低 下 検 知 回 路	
M 1 ~ M 7	ト ラ ン ジ ス タ	30
M 1 0 ~ M 1 7	ト ラ ン ジ ス タ	
M 6 0	ト ラ ン ジ ス タ	
M 7 0 ~ M 7 2	ト ラ ン ジ ス タ	
M 8 0 ~ M 8 9	ト ラ ン ジ ス タ	
M 9 0 ~ M 9 5	ト ラ ン ジ ス タ	
M 1 0 0 ~ M 1 0 5	ト ラ ン ジ ス タ	
M 1 1 0 ~ M 1 1 2	ト ラ ン ジ ス タ	
M 1 4 0	ト ラ ン ジ ス タ	
M 1 5 0 ~ M 1 5 2	ト ラ ン ジ ス タ	
Q 1 ~ Q 3	ト ラ ン ジ ス タ	40
Q 1 0 , Q 1 1	ト ラ ン ジ ス タ	
C H	保 持 容 量	
S W H	ス イ ッ チ	
S W 1 ~ S W 6	ス イ ッ チ	
C H P	半 導 体 チ ッ プ	
M H 1 ~ M H 5	配 線 層	
R 0 , R 1 1 , R 1 2	抵 抗	
R 5 0 ~ R 6 3	抵 抗	
R 7 0 ~ R 7 2	抵 抗	
R 8 0 ~ R 8 3	抵 抗	50

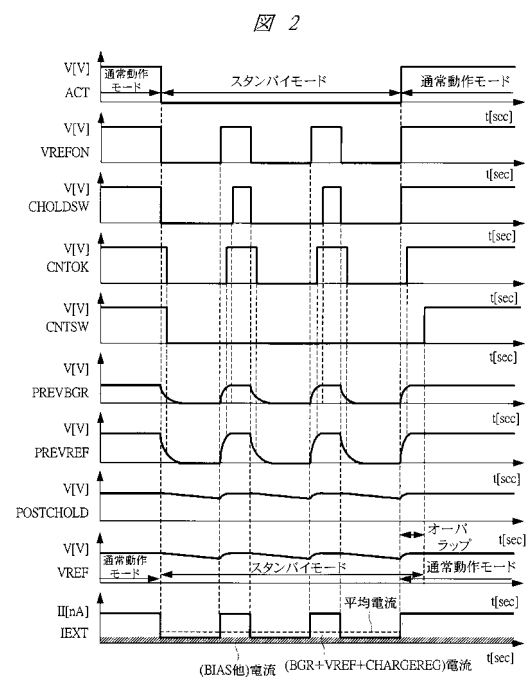
R 9 0 ~ R 9 3 抵抗  
 AMP 0 ~ AMP 2 オペアンプ  
 AMP 1 0 , AMP 2 0 オペアンプ  
 OR 2 論理和回路  
 C 0 静電容量素子  
 INV 0 , INV 1 インバータ  
 INV 2 0 ~ INV 2 3 インバータ  
 INV 4 1 ~ INV 4 4 インバータ  
 DFF 0 ~ DFF 3 フリップフロップ  
 DFF 2 0 , DFF 2 1 フリップフロップ  
 AND 0 ~ AND 2 , AND 1 1 論理積回路  
 C 1 0 静電容量素子

10

【図 1】



【図 2】



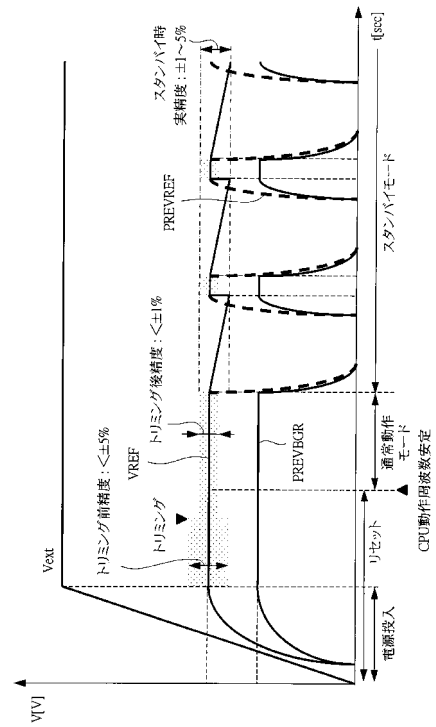
【図 3】

図 3

	通常動作モード		スタンバイ(開火VREF)モード			
	動作状態	消費電流	動作状態	消費電流		
バイパス回路	ON	<40nA	1/2分間	<40nA	1/8分間	1/16分間
低精度レギュレーション回路	ON	<20nA	ON	<40nA	<40nA	<40nA
VOSレギュレータ	ON	<20nA	ON	<20nA	<20nA	<20nA
接続判定コンパレータ	ON	<20nA	ON	<20nA	<20nA	<20nA
アナログバッファ	ON	<20nA	ON	<20nA	<20nA	<20nA
発振回路	ON	<40nA	ON	<40nA	<40nA	<40nA
レベルシフタ	ON	<40nA	ON	<40nA	<40nA	<40nA
分周制御回路	ON	<40nA	ON	<40nA	<40nA	<40nA
基準電圧発生回路	ON	<800nA	ON $\leftrightarrow$ OFF	<40nA	<40nA	<40nA
基準電圧発生回路	ON	<160nA	ON $\leftrightarrow$ OFF	<200nA	<100nA	<50nA
容量赤電レギュレータ	ON	<160nA	ON $\leftrightarrow$ OFF	<40nA	<20nA	<10nA
保持容量回路	ON	<1nA	ON	<1nA	<1nA	<1nA
接続用ディレイ	ON	<1nA	ON	<1nA	<1nA	<1nA
Total	-	<1362nA	-	<802nA	<522nA	<312nA

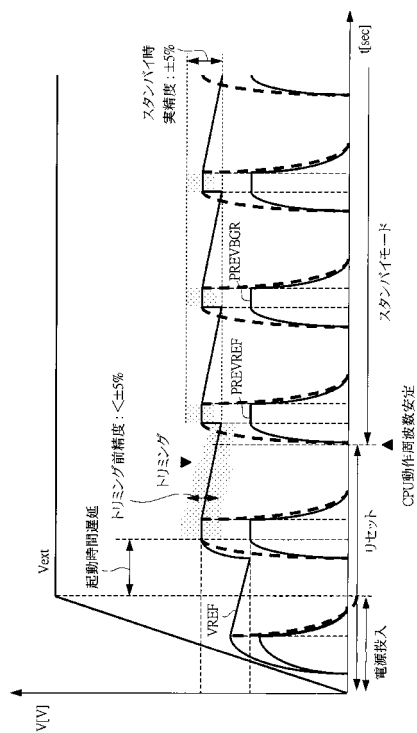
【図 4】

図 4



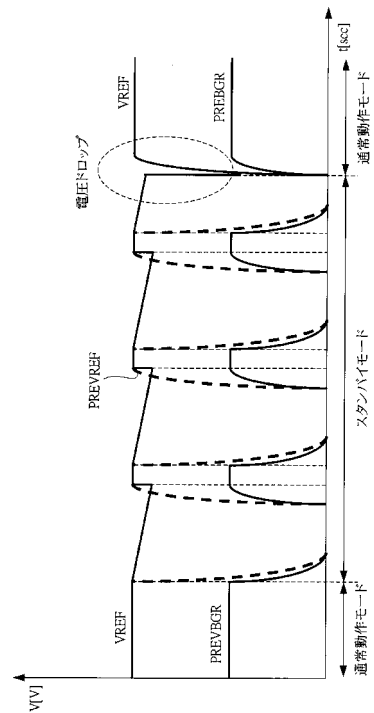
【図 5】

図 5



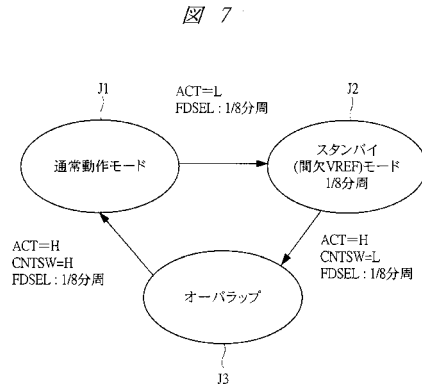
【図 6】

図 6

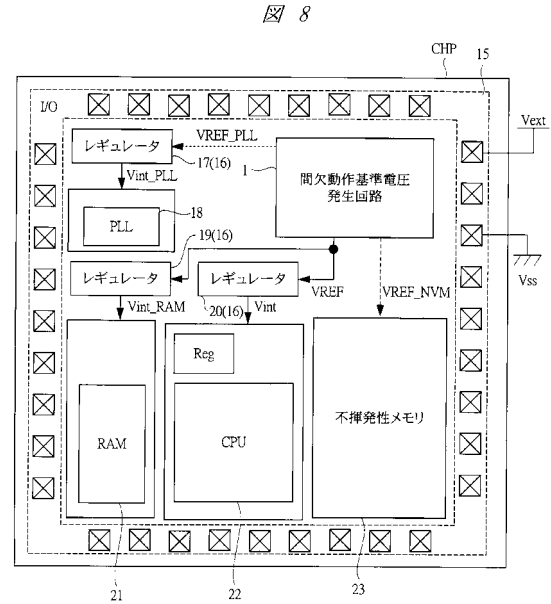




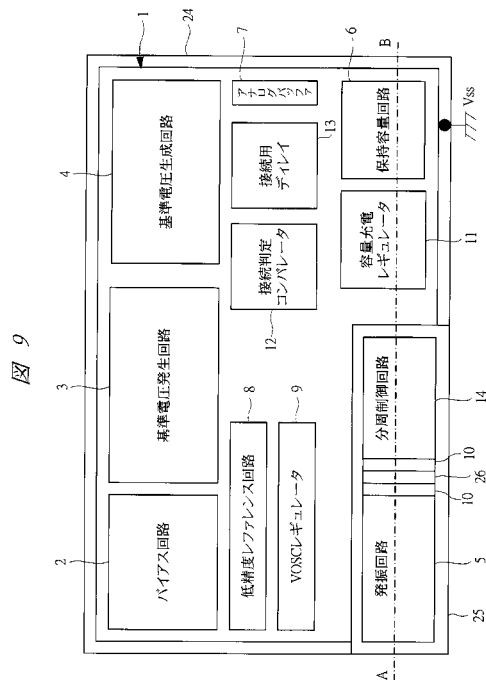
【図 7】



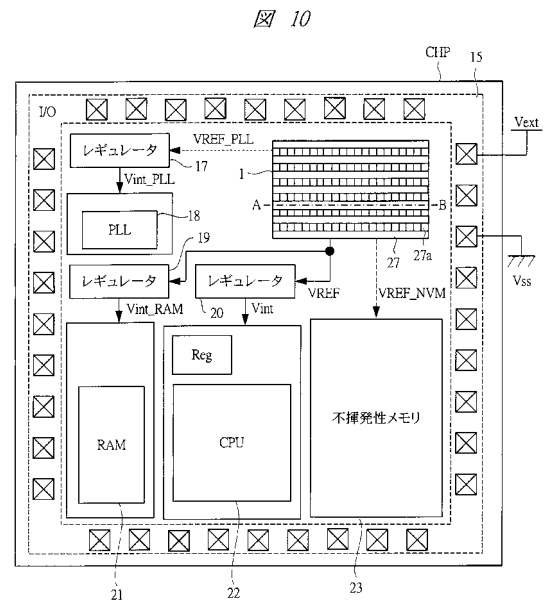
【図 8】



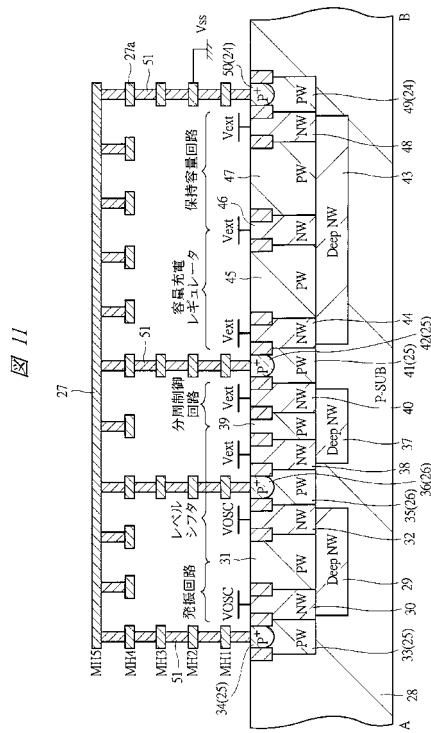
【図 9】



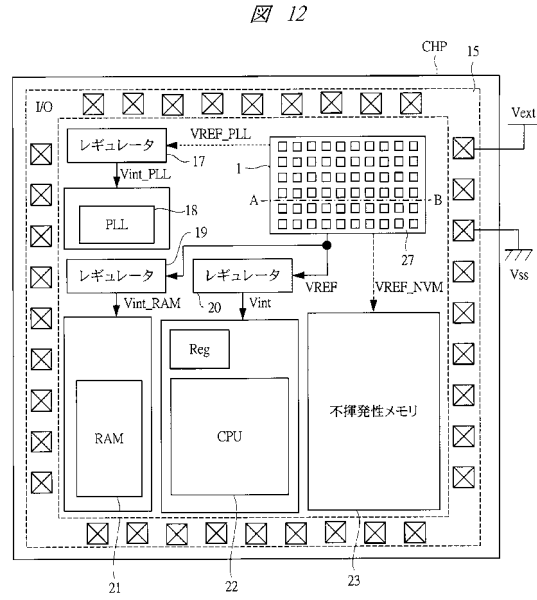
【図 10】



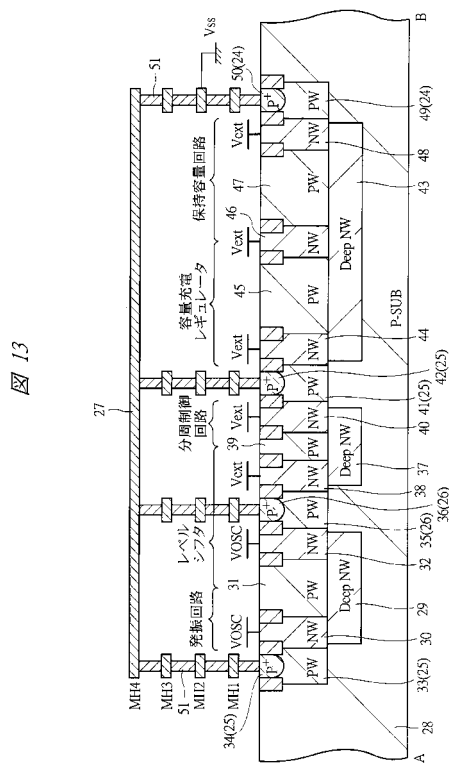
【 図 1 1 】



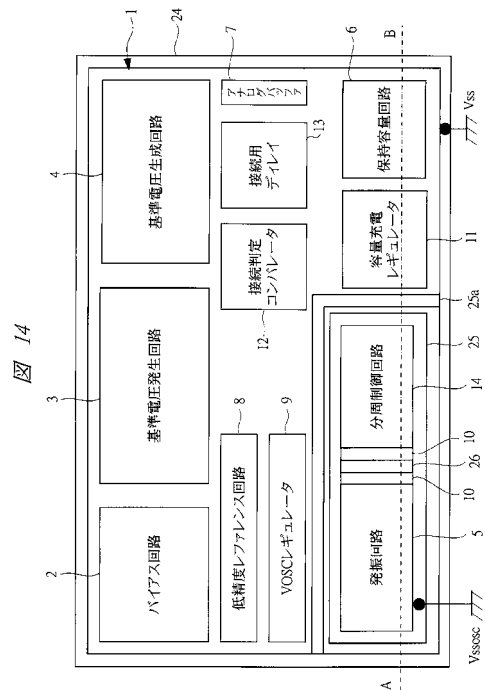
【 図 1 2 】



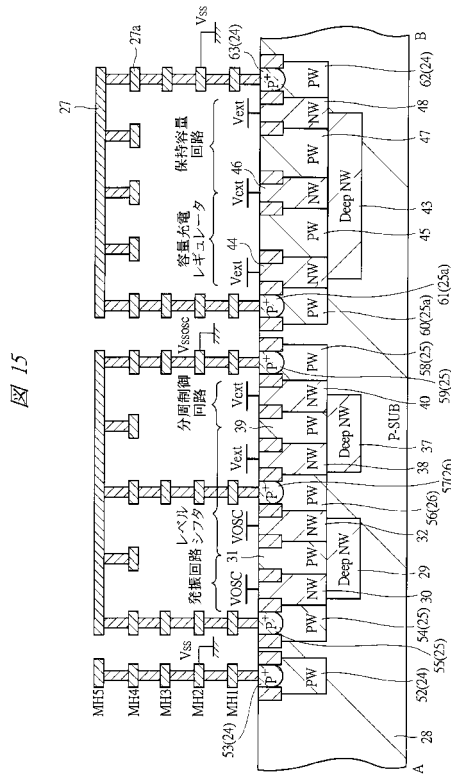
【 図 1 3 】



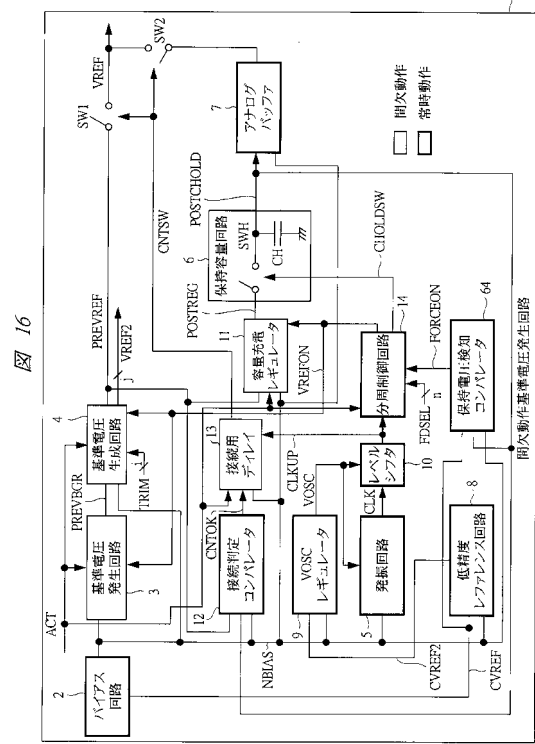
【 図 1 4 】



【図 15】



【図 16】

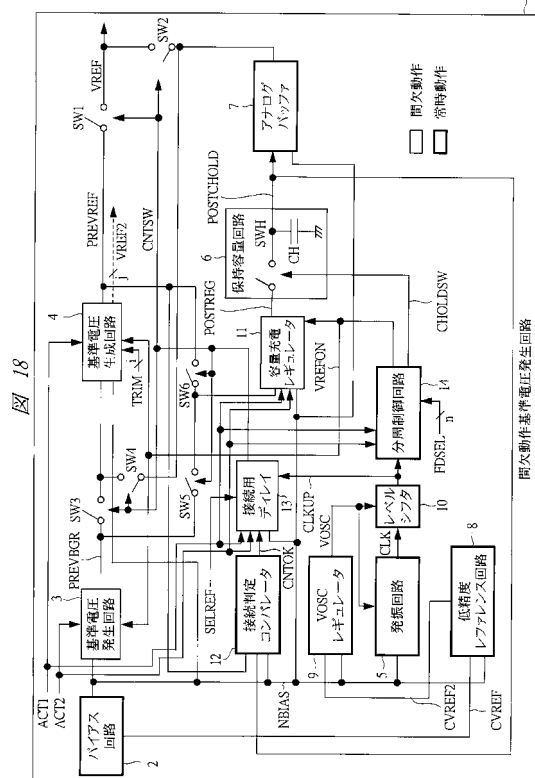


【図 17】

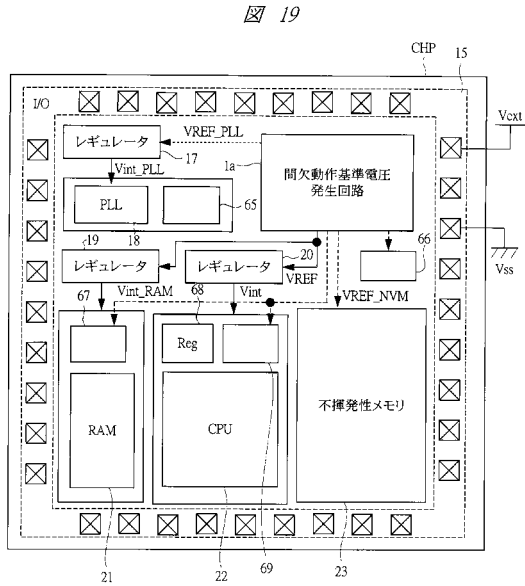
図 17

	スタンバイ(間欠VREF)モード			
	動作状態	消費電流	動作状態	消費電流
バイアス回路	ON	<40nA	1/2分周	<40nA
低精度レギュレーション回路	ON	<20nA	1/4分周	<40nA
VOSCレギュレータ	ON	<20nA	1/8分周	<40nA
保持電圧検知コンパレータ	ON	<20nA		<20nA
接続判定コンパレータ	ON	<20nA		<20nA
アナログバッファ	ON	<20nA		<20nA
発振回路	ON	<40nA		<40nA
レベルシフタ	ON	<40nA		<40nA
分周制御回路	ON	<40nA		<40nA
基準電圧発生回路	ON	<40nA		<40nA
基準電圧発生回路	ON	<40nA		<40nA
容量充電レギュレータ	ON	<40nA		<40nA
保持容量回路	ON	<40nA		<40nA
接続判定回路	ON	<40nA		<40nA
Total	-	<132nA	-	<332nA

【図 18】



【図19】

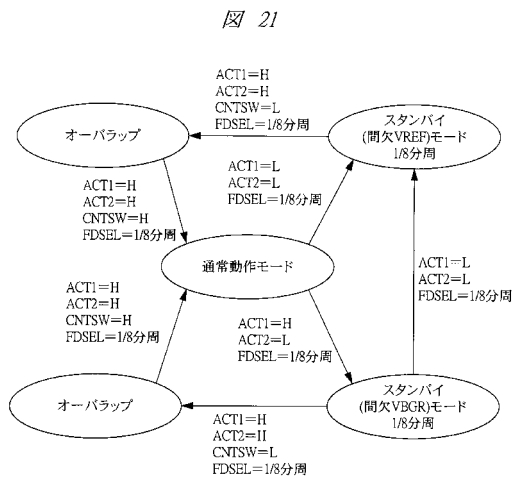


【図20】

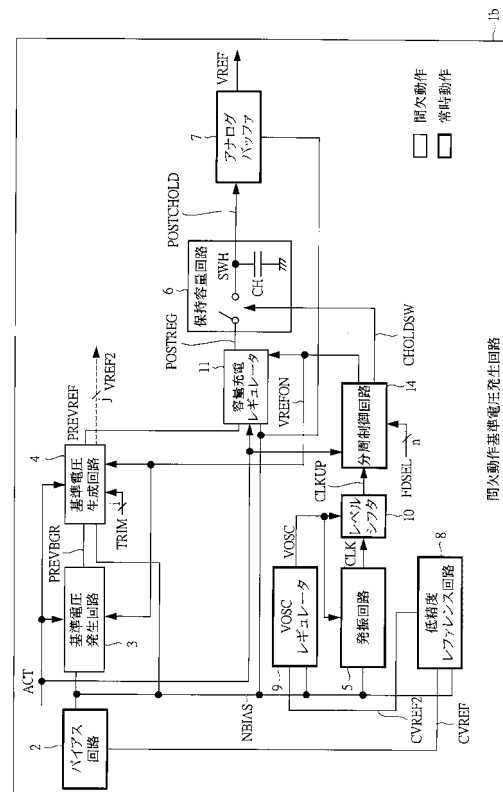
図 20

消費電流	スタンバイ(間欠VBGR)モード		
	1/2分周	1/4分周	1/16分周
動作状態	消費電流	消費電流	消費電流
バイアス回路	ON	ON	ON
低精度レギュレーション回路	ON	ON	ON
VOSレギュレータ	ON	ON	ON
接触判定コンパレータ	ON	ON	ON
アナログバッファ	ON	ON	ON
発振回路	ON	ON	ON
レベルシフタ	ON	ON	ON
分周制御回路	ON	ON	ON
基準電圧発生回路	ON	ON	ON
基準電圧生成回路	ON	ON	ON
容量充電レギュレータ	ON	ON	ON
保持容量回路	ON	ON	ON
接触用ディレイ	ON	ON	ON
Total	<1362nA	<642nA	<462nA

【図21】



【図22】



【図 23】

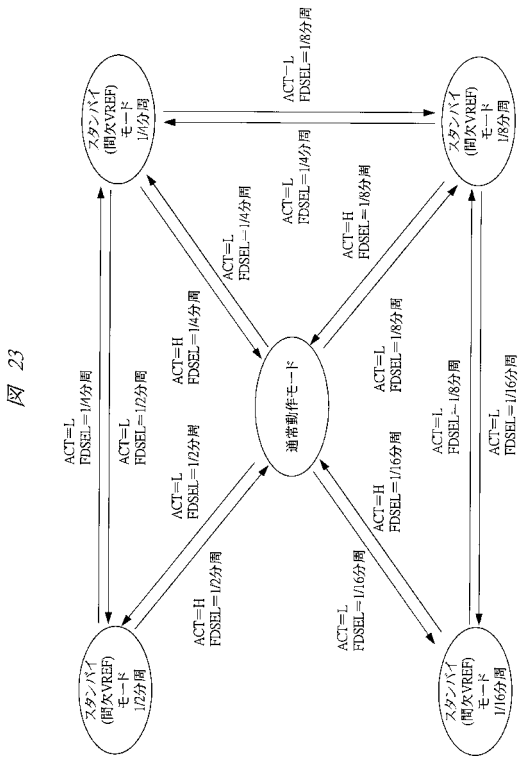


図 23

【図 24】

図 24

	通常動作モード		スタンバイ(間欠VREF)モード			
	動作状態	消費電流	動作状態		消費電流	
			1/2分間	1/4分間	1/8分間	1/16分間
バイアス回路	ON	<40nA	ON	<40nA	<40nA	<40nA
低精度レファレンス回路	ON	<20nA	ON	<20nA	<20nA	<20nA
VOSCレギュレータ	ON	<20nA	ON	<20nA	<20nA	<20nA
アナログバッファ	ON	<20nA	ON	<40nA	<40nA	<40nA
発振回路	ON	<40nA	ON	<40nA	<40nA	<40nA
レベルシフタ	ON	<40nA	ON	<40nA	<40nA	<40nA
分周制御回路	ON	<40nA	ON	<40nA	<40nA	<40nA
基準電圧発生回路	ON	<800nA	ON ⇄ OFF	<200nA	<100nA	<50nA
基準電圧生成回路	ON	<160nA	ON ⇄ OFF	<80nA	<40nA	<20nA
容量充電レギュレータ	ON	<160nA	ON ⇄ OFF	<80nA	<40nA	<20nA
保持容量回路	ON	<1nA	ON	<1nA	<1nA	<1nA
Total	-	<1341nA	-	<781nA	<501nA	<291nA

【図 25】

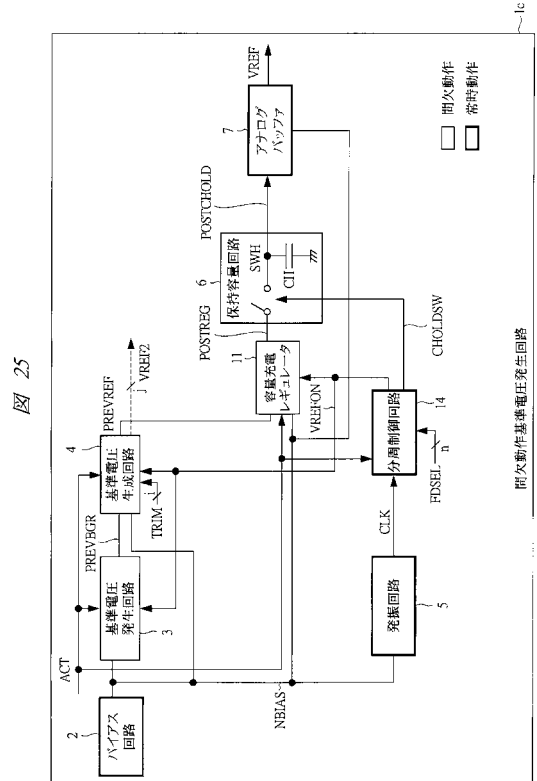


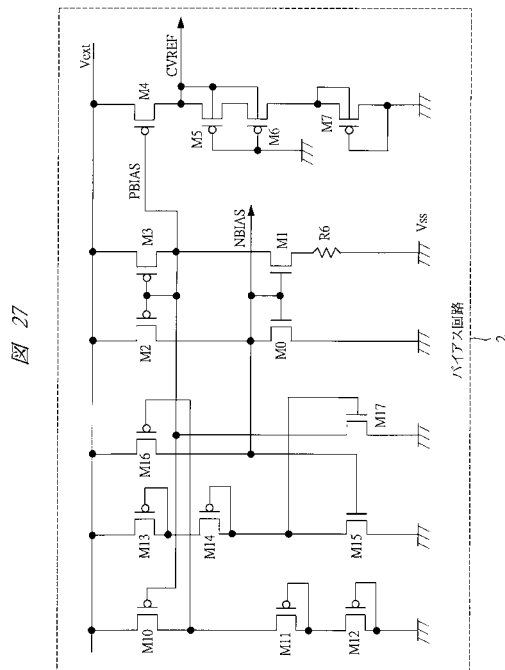
図 25

【図 26】

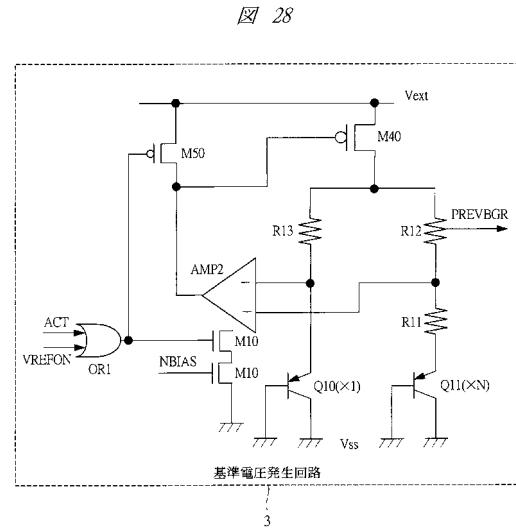
図 26

	通常動作モード		スタンバイ(間欠VREF)モード			
	動作状態	消費電流	動作状態		消費電流	
			1/2分間	1/4分間	1/8分間	1/16分間
バイアス回路	ON	<40nA	ON	<40nA	<40nA	<40nA
低精度レファレンス回路	ON	<20nA	ON	<20nA	<20nA	<20nA
アナログバッファ	ON	<20nA	ON	<20nA	<20nA	<20nA
発振回路	ON	<40nA	ON	<40nA	<40nA	<40nA
分周制御回路	ON	<40nA	ON	<40nA	<40nA	<40nA
基準電圧発生回路	ON	<800nA	ON ⇄ OFF	<400nA	<200nA	<100nA
基準電圧生成回路	ON	<160nA	ON ⇄ OFF	<80nA	<40nA	<20nA
容量充電レギュレータ	ON	<160nA	ON ⇄ OFF	<80nA	<40nA	<20nA
保持容量回路	ON	<1nA	ON	<1nA	<1nA	<1nA
Total	-	<1261nA	-	<701nA	<421nA	<211nA

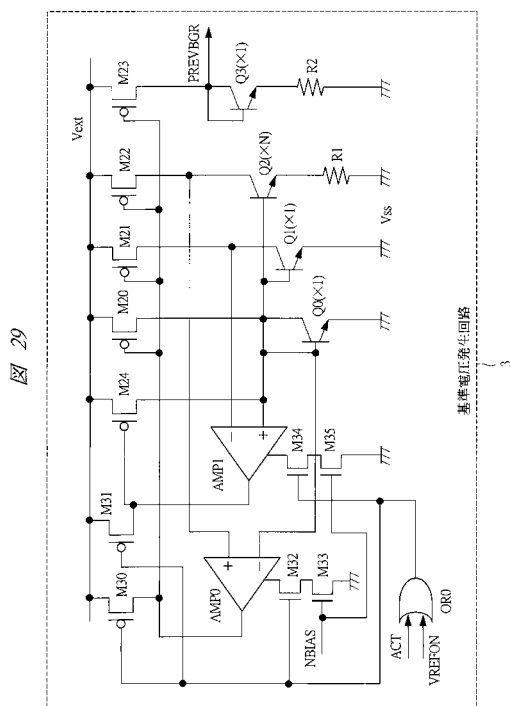
【図 27】



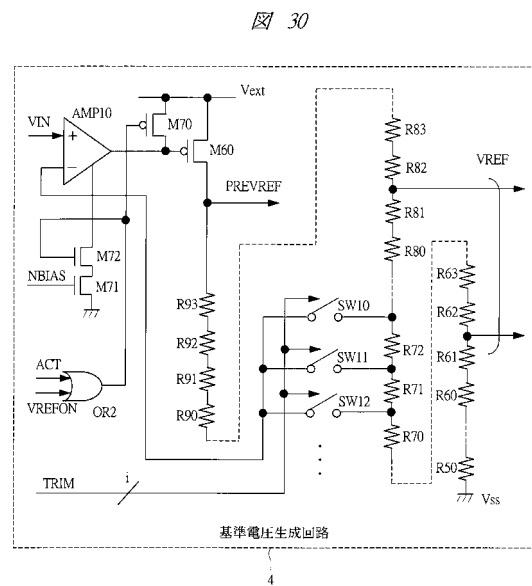
【図 28】



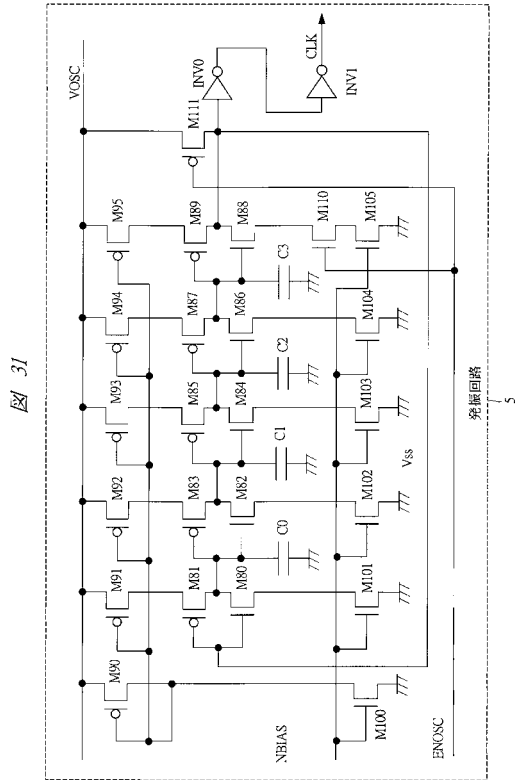
【図 29】



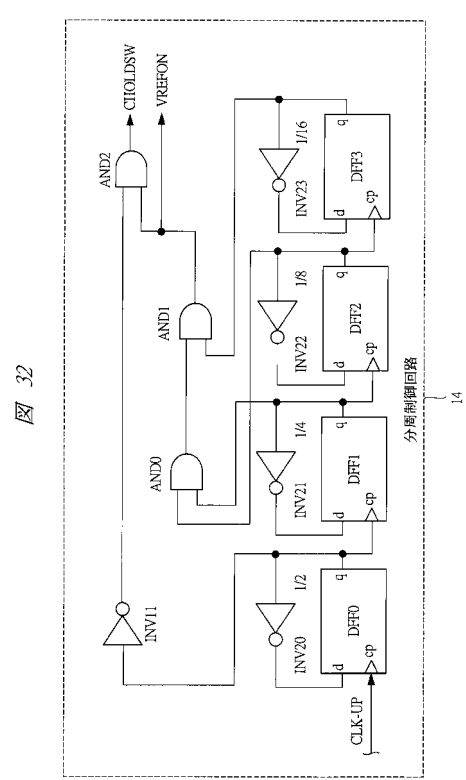
【図 30】



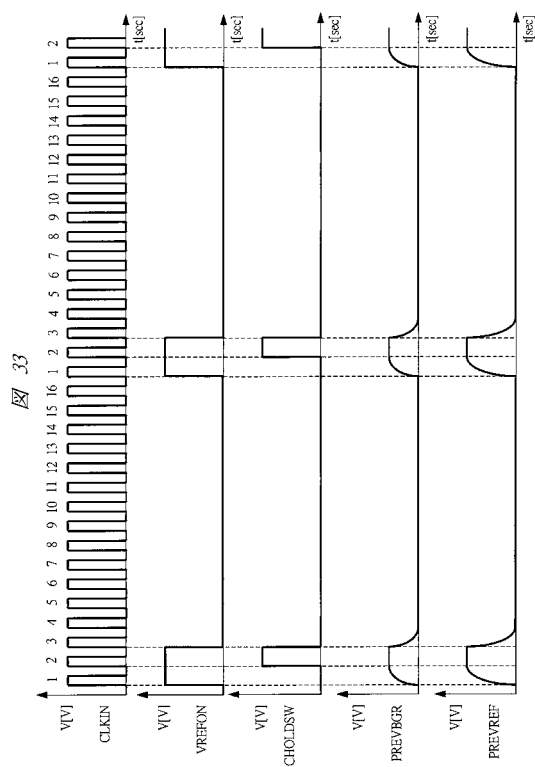
【図 3 1】



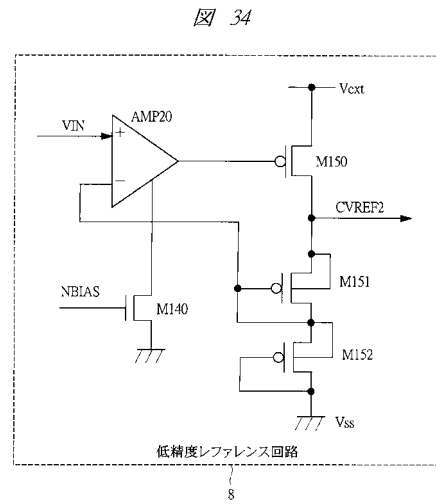
【図 3 2】



【図 3 3】

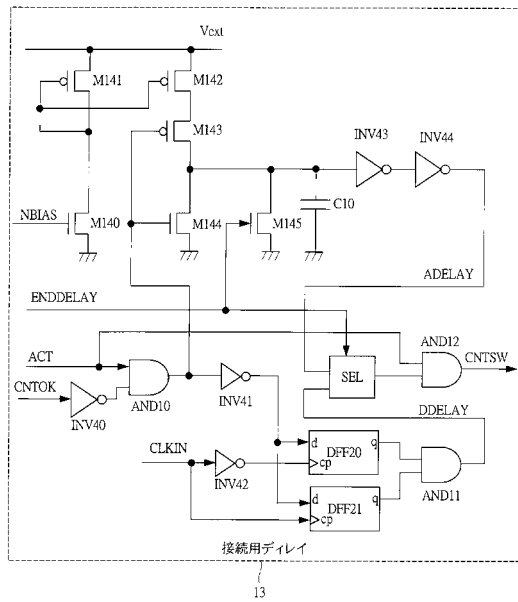


【図 3 4】



## 【 図 3 5 】

35





---

フロントページの続き

審査官 槻木澤 昌司

- (56)参考文献 特開2002-091591(JP,A)  
特開平06-131068(JP,A)  
特開2003-005844(JP,A)  
特開平09-288897(JP,A)  
特開平11-175172(JP,A)  
特開2007-193933(JP,A)  
米国特許出願公開第2007/0164809(US,A1)  
米国特許出願公開第2005/0007126(US,A1)  
特開2010-231832(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G05F 3/24-3/30  
H01L 27/04