

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5412190号
(P5412190)

(45) 発行日 平成26年2月12日(2014.2.12)

(24) 登録日 平成25年11月15日(2013.11.15)

(51) Int.Cl.

F 1

G05F	3/30	(2006.01)	G05F	3/30
H01L	21/822	(2006.01)	H01L	27/04
H01L	27/04	(2006.01)	H01L	27/04
			H01L	27/04
			H01L	27/04

G

B

H

A

請求項の数 7 (全 33 頁)

(21) 出願番号

特願2009-153702 (P2009-153702)

(22) 出願日

平成21年6月29日 (2009.6.29)

(65) 公開番号

特開2011-8683 (P2011-8683A)

(43) 公開日

平成23年1月13日 (2011.1.13)

審査請求日

平成24年3月21日 (2012.3.21)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部 1753 番地

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 伊藤 崇泰

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72) 発明者 平木 充

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72) 発明者 堀口 真志

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

レファレンス電圧を生成するレファレンス電圧生成手段を備えた半導体集積回路装置であつて、

前記レファレンス電圧生成手段は、

前記レファレンス電圧を生成するレファレンス電圧生成部と、

低消費電力モードの1つであるスタンバイモード時に、前記レファレンス電圧生成部を間欠動作させて前記レファレンス電圧を生成する間欠動作制御部とを備え、

前記間欠動作制御部は、

基準クロック信号を任意の分周信号に変換し、第1の制御信号、および第2の制御信号を生成する制御信号生成部と、

前記スタンバイモード時に、前記第1の制御信号に基づいて動作し、前記レファレンス電圧生成部が生成したレファレンス電圧を安定化させる充電用レギュレータと、

前記充電用レギュレータが安定化させた電源電圧を、前記第2の制御信号に基づいて、サンプル／ホールドするサンプル／ホールド回路と、

前記サンプル／ホールド回路の電源電圧をバッファして前記レファレンス電圧として出力するバッファ部と、

前記スタンバイモード時に、前記レファレンス電圧生成部と前記レファレンス電圧生成手段の出力部とを非導通状態とし、前記バッファ部と前記出力部とを導通状態として前記バッファ部から出力される電源電圧をレファレンス電圧として出力するスイッチ部とを備

10

20

え、

前記レファレンス電圧生成部は、

前記制御信号生成部が生成する前記第1の制御信号に基づいて間欠動作することを特徴とする半導体集積回路装置。

【請求項2】

請求項1記載の半導体集積回路装置において、

前記間欠動作制御部は、

前記制御信号生成部に供給する基準クロック信号を生成する発振回路を備えたことを特徴とする半導体集積回路装置。

【請求項3】

請求項2記載の半導体集積回路装置において、

前記間欠動作制御部は、

外部供給される外部電源電圧を降圧した発振用電源電圧を生成し、前記発振回路に電源電圧として供給する発振回路用レギュレータを備えたことを特徴とする半導体集積回路装置。

【請求項4】

請求項1～3のいずれか1項に記載の半導体集積回路装置において、

前記間欠動作制御部は、

前記スタンバイモードから通常動作モードに遷移した際に、前記レファレンス電圧生成部から出力されるレファレンス電圧の上昇を検知して任意の遅延時間が経過した後に入スイッチ制御信号を出力し、前記レファレンス電圧生成部と前記レファレンス電圧生成手段の前記出力部とが導通状態となり、前記バッファ部と前記出力部とが非導通状態となるように前記スイッチ部を切り換える接続切り換え制御部を備えたことを特徴とする半導体集積回路装置。

【請求項5】

請求項1～4のいずれか1項に記載の半導体集積回路装置において、

前記レファレンス電圧生成部は、

トリミング信号により、生成するレファレンス電圧を調整することのできる機能を有し、前記スタンバイモードに移行した際に、前記トリミング信号による調整を行うリセット期間中に間欠動作しないことを特徴とする半導体集積回路装置。

【請求項6】

請求項1～5のいずれか1項に記載の半導体集積回路装置において、

前記レファレンス電圧生成手段は、

前記レファレンス電圧生成手段の周囲が取り囲まれるようにガードリングが形成されていることを特徴とする半導体集積回路装置。

【請求項7】

請求項1～6のいずれか1項に記載の半導体集積回路装置において、

前記レファレンス電圧生成手段は、

前記レファレンス電圧生成手段が形成された上方を覆うようにメッシュ状のメタルシールド配線が形成されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置の低消費電力化技術に関し、特に、半導体集積回路装置がスタンバイモードに遷移した際のレファレンス回路における消費電力の低減に有効な技術に関する。

【背景技術】

【0002】

近年、携帯機器や非接触用途のマイコン、SOC製品などにおいて、電池寿命を延ばすことや、RF(Radio Frequency)より微弱なDC電圧/電流を取り出して動作しなければ

10

20

30

40

50

ならないなどの理由で、チップの通常動作モード、およびスタンバイ（待機）モードにおける低消費電力化の要求が高まっており、チップ内部電源電圧レベルの可変制御、基板バイアス制御、電源遮断技術などを利用したチップレベルの低リーク化技術が発展する一方で、従来から通常動作モード、およびスタンバイ（待機）モードにおいて、チップ内部で定常に動作する回路自身の低消費電流化は必然的に行われてきた。

【0003】

一般的のチップ性能、ならびに価格帯におけるローエンドからミドルクラスのマイコン製品などでは、C P U (Central Processing Unit)などの動作する内部電源電圧 (V_{int}) と I / O (Input/Output) 用の外部電源電圧 (V_{ext}) の電圧が異なることが多く、実装コスト削減を目的とした外部電源電圧 (V_{ext}) の単一電源化のため内部電源電圧 (V_{int}) 生成レギュレータを搭載すること、フラッシュメモリに例示される不揮発性メモリの読み出し、書き込み電圧生成用の正・負高電圧生成用チャージポンプ回路のレファレンス電圧生成回路が必要なこと、スタンバイモードにおいて、R A M (Random Access Memory) の状態保持のため、R A M 供給電圧 ($V_{int\#RAM}$) を保持するためチップ内部にR A M 保持専用レギュレータを持たせるなどの理由から、チップに電源回路を搭載することが多い。10

【0004】

この電源回路が上述した通常動作モード、およびスタンバイモードにおいて常に動作する回路に相当するため、低消費電流化を満足できるかどうかがマイコン製品の重要スペックの一つとして考えられている。

【0005】

一般に、電源回路内のレファレンス電圧などを生成するアナログ回路（レファレンス電圧生成回路）の消費電流が電源回路の消費電流と面積の大半を占めることが多いが、このレファレンス電圧生成回路の自己消費電流は、回路内に用いた抵抗素子の抵抗値によって決まることが多い。したがって、この抵抗値を大きくしていくことが低消費電流化としては容易である。20

【0006】

また、抵抗を用いないレファレンス電圧の生成技術としては、たとえば、M O S (Metal Oxide Semiconductor)トランジスタのしきい値差、M O S トランジスタのサブスレッショルドスロープを利用したレファレンス電圧生成回路を用いて抵抗による面積増大を回避し低消費電流化する方法が知られている。30

【0007】

また、この種の電源回路の低消費電力化技術においては、たとえば、基準電圧発生回路を構成するオペアンプにオシレータを接続し、オシレータの出力電圧に応じてオペアンプを完結的に動作させるものが知られている（たとえば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2000-250647号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところが、上記のようなレファレンス電圧生成回路の低消費電力化技術では、次のような問題点があることが本発明者により見い出された。

【0010】

すなわち、レファレンス電圧生成回路における抵抗素子の抵抗値を大きくして消費電流を低減する技術では、抵抗値を大きくすることにより、抵抗素子の面積が増大してしまい、特にローエンドのマイコン製品ではチップサイズの増大がチップコスト増大につながり、低消費電流化とチップコストの両立がうまく図れないという問題がある。

【0011】

また、M O S トランジスタのしきい値差、あるいはM O S トランジスタのサブスレッショルドスロープを利用したレファレンス電圧生成回路を用いて抵抗による面積増大を回避し低消費電流化する方法が知られている。40

50

ヨルドスロープを利用したレファレンス電圧生成回路の場合、これらの回路は出力するレファレンス電圧精度を犠牲にしていることが多い。

【0012】

一方、チップの通常動作モードにおいては、レファレンス電圧精度が高くないと、不揮発性メモリの読み出し、書き込みがうまくいかないなど、チップ内部回路の安定動作、素子信頼性の点から、低精度のレファレンス電圧生成回路をスタンバイモード時専用として用い、通常動作モード時には、別の高精度のレファレンス電圧生成回路を用意して、通常動作モード時とスタンバイモード時でレファレンス電圧生成回路を切り替える手法もあるが、この場合、通常動作モード時とスタンバイモード時のレファレンス電圧生成回路方式の違いからレファレンス電圧レベルが異なることが多いため、切り替え時にレファレンス電圧のレベル変動が問題となってしまう。

10

【0013】

本発明の目的は、面積の大幅な増大なくレファレンス電圧生成回路を低消費電流化するとともに通常動作モード時とスタンバイモード時においてレファレンス電圧精度の大幅な劣化を抑制することのできる技術を提供することにある。

【0014】

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0015】

20

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

本発明は、レファレンス電圧を生成するレファレンス電圧生成手段を備えた半導体集積回路装置であって、レファレンス電圧生成手段は、該レファレンス電圧を生成するレファレンス電圧生成部と低消費電力モードの1つであるスタンバイモード時に、レファレンス電圧生成部を間欠動作させて前記レファレンス電圧を生成する間欠動作制御部とを備えたものである。

【0017】

また、本発明は、間欠動作制御部が、基準クロック信号を任意の分周信号に変換し、第1の制御信号、および第2の制御信号を生成する制御信号生成部と、スタンバイモード時に、前記第1の制御信号に基づいて動作し、前記レファレンス電圧生成部が生成したレファレンス電圧を安定化させる充電用レギュレータと、前記充電用レギュレータが安定化させた電源電圧を、前記第2の制御信号に基づいて、サンプル／ホールドするサンプル／ホールド回路と、前記サンプル／ホールド回路の電源電圧をバッファして前記レファレンス電圧として出力するバッファ部と、スタンバイモード時に、前記レファレンス電圧生成部と前記レファレンス電圧生成手段の出力部とを非導通状態とし、前記バッファ部と前記出力部とを導通状態として前記バッファ部から出力される電源電圧をレファレンス電圧として出力するスイッチ部とを備え、前記レファレンス電圧生成部は、制御信号生成部が生成する第1の制御信号に基づいて間欠動作するものである。

30

【0018】

さらに、本発明は、前記間欠動作制御部が、制御信号生成部に供給する基準クロック信号を生成する発振回路を備えたものである。

【0019】

また、本発明は、前記間欠動作制御部が、外部供給される外部電源電圧を降圧した発振用電源電圧を生成し、前記発振回路に電源電圧として供給する発振回路用レギュレータを備えたものである。

【0020】

さらに、本発明は、前記間欠動作制御部が、スタンバイモードから通常動作モードに遷移した際に、前記レファレンス電圧生成部から出力されるレファレンス電圧上昇を検知し

40

50

て任意の遅延時間が経過した後にスイッチ制御信号を出力し、前記レファレンス電圧生成部と前記レファレンス電圧生成手段の出力部とが導通状態となり、前記バッファ部と前記出力部とが非導通状態となるように前記スイッチ部を切り換える接続切り換え制御部を備えたものである。

【0021】

また、本発明は、前記レファレンス電圧生成部が、トリミング信号により、生成するレファレンス電圧を調整することのできる機能を有し、前記スタンバイモードに移行した際に、前記トリミング信号による調整を行うリセット期間中に間欠動作しないものである。

【0022】

さらに、本願のその他の発明の概要を簡単に示す。

10

【0023】

本発明は、前記レファレンス電圧生成手段の周囲が取り囲まれるようにガードリングが形成されているものである。

【0024】

また、本発明は、前記レファレンス電圧生成手段が形成された上方を覆うようにメッシュ状のメタルシールド配線が形成されているものである。

【発明の効果】

【0025】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

20

【0026】

(1) 半導体集積回路装置がスタンバイモードとなった際に、消費電流の大きいレファレンス電圧生成部を間欠的に動作させることで、消費電流を大幅に低減させることができる。

【0027】

(2) また、レファレンス電圧生成手段から発生されるノイズなどを低減させることができるとなり、半導体集積回路装置の信頼性を向上させることができる。

【図面の簡単な説明】

【0028】

【図1】本発明の実施の形態1による間欠動作基準電圧発生回路の一例を示すブロック図である。

30

【図2】図1の間欠動作基準電圧発生回路における動作例を示すタイミングチャートである。

【図3】図1の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【図4】図1の間欠動作基準電圧発生回路における外部電源投入時の動作波形と電圧精度との関係を示す説明図である。

【図5】図1の間欠動作基準電圧発生回路における外部電源投入時の動作波形と電圧精度との他の関係を示す説明図である。

【図6】図1の間欠動作基準電圧発生回路におけるスタンバイモードから通常動作モードへの遷移時における電圧ドロップの一例を示す説明図である。

40

【図7】図1の間欠動作基準電圧発生回路における状態遷移図である。

【図8】図1の間欠動作基準電圧発生回路を用いて構成した半導体チップにおけるレイアウトの一例を示す説明図である。

【図9】図8の半導体チップに搭載された間欠動作基準電圧発生回路におけるレイアウトの一例を示す説明図である。

【図10】図9の間欠動作基準電圧発生回路の上層に形成されたメタルシールド配線の一例を示す説明図である。

【図11】図9のA-B断面図である。

【図12】図9の間欠動作基準電圧発生回路の上層に形成されたメタルシールド配線の他

50

の例を示す説明図である。

【図13】図12のA-B断面図である。

【図14】図1の間欠動作基準電圧発生回路を用いて構成した半導体チップに搭載された間欠動作基準電圧発生回路におけるガードリングの形成例を示すレイアウト図である。

【図15】図14のA-B断面図である。

【図16】本発明の実施の形態1による間欠動作基準電圧発生回路の他の例を示すブロック図である。

【図17】図16の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【図18】本発明の実施の形態2による間欠動作基準電圧発生回路の一例を示すブロック図である。 10

【図19】図18の間欠動作基準電圧発生回路を用いて構成した半導体チップにおけるレイアウトの一例を示す説明図である。

【図20】図18の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【図21】図18の間欠動作基準電圧発生回路における状態遷移図である。

【図22】本発明の実施の形態3による間欠動作基準電圧発生回路の一例を示すブロック図である。

【図23】図22の間欠動作基準電圧発生回路における状態遷移図である。

【図24】図22の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。 20

【図25】本発明の実施の形態4による間欠動作基準電圧発生回路の一例を示すブロック図である。

【図26】図25の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【図27】本発明の実施の形態5による間欠動作基準電圧発生回路に設けられたバイアス回路の一例を示す回路図である。

【図28】本発明の実施の形態6による間欠動作基準電圧発生回路に設けられた基準電圧発生回路の一例を示す回路図である。

【図29】本発明の実施の形態7による間欠動作基準電圧発生回路に設けられた基準電圧発生回路の一例を示す回路図である。 30

【図30】本発明の実施の形態8による間欠動作基準電圧発生回路に設けられた基準電圧生成回路の一例を示す回路図である。

【図31】本発明の実施の形態9による間欠動作基準電圧発生回路に設けられた発振回路の一例を示す回路図である。

【図32】本発明の実施の形態10による間欠動作基準電圧発生回路に設けられた分周制御回路の一例を示す回路図である。

【図33】図32の分周制御回路における動作波形の一例を示すタイミングチャートである。

【図34】本発明の実施の形態11による間欠動作基準電圧発生回路に設けられた低精度レファレンス回路の一例を示す回路図である。 40

【図35】本発明の実施の形態11による間欠動作基準電圧発生回路に設けられた接続用ディレイの一例を示す回路図である。

【発明を実施するための形態】

【0029】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0030】

(実施の形態1)

図1は、本発明の実施の形態1による間欠動作基準電圧発生回路の一例を示すブロック図、図2は、図1の間欠動作基準電圧発生回路における動作例を示すタイミングチャート、図3は、図1の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図、図4は、図1の間欠動作基準電圧発生回路における外部電源投入時の動作波形と電圧精度との関係を示す説明図、図5は、図1の間欠動作基準電圧発生回路における外部電源投入時の動作波形と電圧精度との他の関係を示す説明図、図6は、図1の間欠動作基準電圧発生回路におけるスタンバイモードから通常動作モードへの遷移時における電圧ドロップの一例を示す説明図、図7は、図1の間欠動作基準電圧発生回路における状態遷移図、図8は、図1の間欠動作基準電圧発生回路を用いて構成した半導体チップにおけるレイアウトの一例を示す説明図、図9は、図8の半導体チップに搭載された間欠動作基準電圧発生回路におけるレイアウトの一例を示す説明図、図10は、図9の間欠動作基準電圧発生回路の上層に形成されたメタルシールド配線の一例を示す説明図、図11は、図9のA-B断面図、図12は、図9の間欠動作基準電圧発生回路の上層に形成されたメタルシールド配線の他の例を示す説明図、図13は、図12のA-B断面図、図14は、図1の間欠動作基準電圧発生回路を用いて構成した半導体チップに搭載された間欠動作基準電圧発生回路におけるガードリングの形成例を示すレイアウト図、図15は、図14のA-B断面図、図16は、本発明の実施の形態1による間欠動作基準電圧発生回路の他の例を示すブロック図、図17は、図16の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【0031】

本実施の形態1において、間欠動作基準電圧発生回路(1MVREF)1は、たとえば、SOCなどの半導体集積回路装置に設けられている。

【0032】

この間欠動作基準電圧発生回路1は、図1に示すように、バイアス回路2、基準電圧発生回路3、基準電圧生成回路4、発振回路5、サンプル／ホールド回路である保持容量回路6、バッファ部となるアナログバッファ7、低精度レファレンス回路8、発振回路用レギュレータであるVOSCレギュレータ9、レベルシフタ10、充電用レギュレータである容量充電レギュレータ11、制御信号生成部、および接続切り換え制御部を構成する接続判定コンパレータ12、制御信号生成部、および接続切り換え制御部を構成する接続用ディレイ13、分周制御回路14、およびスイッチ部を構成するスイッチSW1, SW2から構成されている。

【0033】

また、基準電圧発生回路3、ならびに基準電圧生成回路4によって、レファレンス電圧生成部が構成されており、発振回路5、保持容量回路6、アナログバッファ7、VOSCレギュレータ9、容量充電レギュレータ11、接続判定コンパレータ12、接続用ディレイ13、分周制御回路14、ならびにスイッチSW1, SW2により、間欠動作制御部が構成されている。

【0034】

間欠動作基準電圧発生回路1は、これらの回路のうち、消費電流の大きい基準電圧発生回路3、基準電圧生成回路4、ならびに容量充電レギュレータ11を比較的長い周期で間欠的にON/OFFさせることで、平均自己消費電流を下げ、回路全体として低消費電流化を図ったものである(図2)。

【0035】

なお、図1における太線で示すブロックは、半導体集積回路装置の通常動作モード時、およびスタンバイ動作モード時のいずれのモードであっても常時動作を行うブロックを示しており、図1の細線で示すブロックは、半導体集積回路装置がスタンバイ動作モードに遷移すると常時動作ではなく、間欠動作を行うブロックを示している。

【0036】

バイアス回路2は、間欠動作基準電圧発生回路1内のオペアンプなどで用いられる定電流を決める回路であるとともに電圧精度は低いが、発振回路5の動作電圧や基準電圧発生

10

20

30

40

50

回路3、または基準電圧生成回路4の出力電圧レベルを判定するレファレンス電圧などを生成する。

【0037】

なお、図1において、'NBIA'S'が定電流のアナログレファレンス信号であり、'CVREF'が低精度のアナログレファレンス電圧信号である。

【0038】

基準電圧発生回路3は、バイポーラトランジスタの電流密度差から生じるベース-エミッタ間電圧 V_{be} の差(V_{be})から取り出した正の温度依存性を持つ電圧(または電流)とバイポーラトランジスタ自身が持つベース-エミッタ間電圧 V_{be} の負の温度依存性を持つ電圧(または電流)を加算 [$V_{bg} = V_{be} + \times V_{be}$ または $V_{bg} = I_{bg} \times R = (I_{be} + \times I_{be}) \times R$: Rは任意]により得られる温度依存性の小さいレファレンス電圧PREVBGRを生成する。

10

【0039】

基準電圧生成回路4は、レファレンス電圧PREVBGRをレベル変換し、チップ内の所望のレファレンス電圧、たとえば、CPUの動作電圧である内部電源電圧 V_{int} やRAM保持電圧 V_{int_RAM} 用レギュレータのようなスタンバイモード時にレファレンス電圧を保持しておきたいレファレンス電圧PREVREFやPLL/ROMなどに供給するレファレンス電圧(レファレンス電圧VREF PLL, VREF ROM)のようなスタンバイモード時に必ずしも保持する必要のないレファレンス電圧VREF2を生成するものである。

20

【0040】

なお、iビットのトリミング信号TRIMによりレファレンス電圧PREVREF, VREF2をリセット、および通常動作モードにおいて調整できる。

【0041】

発振回路5は、間欠動作を行うための周波数の遅い基準クロックCLKを生成する。なお、この基準クロックCLKの周波数変動は、一般に、発振回路5にアナログレファレンス信号NBIA'Sにより供給される定電流の精度よりも発振回路5自身の動作電圧VOSC変動に対する感度が高い。

【0042】

したがって、動作電圧VOSCとして外部電源電圧となる外部電源電圧 V_{ext} を利用すると周波数変動が大きく安定した間欠動作が得られないため、バイアス回路2で生成したアナログレファレンス電圧信号CVREFを低精度レファレンス回路8により約2倍の電圧レベルに変換したレファレンス電圧CVREF2 (= CVREF × 2)から、VOSCレギュレータ9を通じて動作電圧VOSCを生成することで周波数変動を低減することが必要である。

30

【0043】

周波数変動を低減した基準クロックCLKをレベルシフタ10により、外部電源電圧 V_{ext} 振幅に変換したクロックCLKUPから分周制御回路14により間欠動作時に基準電圧発生回路3、基準電圧生成回路4、および容量充電レギュレータ11のON/OFFを決めるイネーブル信号VREFONと基準電圧発生回路3、基準電圧生成回路4、ならびに容量充電レギュレータ11がONしている期間に、保持容量回路6内の保持容量CHに充電し(サンプリング)、OFF期間にこの保持容量CHに対してリーク電流パス以外は存在しないように制御する第2の制御信号となるサンプリング/ホールド信号CHOLDを生成する(ホールド)。

40

【0044】

また、分周制御回路14は、nビットの分周比切り替え信号FDSELを有し、ON/OFF期間を2^n通り設定可能としており、通常/スタンバイ状態選択信号ACTが通常動作モードとすることを示すと、Hiレベルのイネーブル信号VREFONを出力する。

【0045】

アナログバッファ7は、保持容量CHよりスタンバイモード時や、スタンバイモードか

50

ら通常動作モードに遷移した時にレファレンス電圧を取り出すものであるが、保持容量 C H に対して、スイッチ S W H 以外にリーク電流バスを低減するため、M O S トランジスタのゲート入力で受けるために必要な回路である。

【 0 0 4 6 】

接続判定コンパレータ 1 2 、および接続用ディレイ 1 3 は、スタンバイモードから通常動作モードに遷移した時に、アナログバッファ 7 の出力とレファレンス電圧 P R E V R E F とを外部入力される通常 / スタンバイ状態選択信号 A C T の切り替えにより単純に接続してしまうと、図 6 に示すインピーダンスの違いにより出力電圧ドロップが生じることを回避するため、レファレンス電圧 P R E V R E F の上昇を検知した後、一定の遅延時間後にアナログバッファ 7 の出力とレファレンス電圧 P R E V R E F とをスイッチ S W 1 , 10 S W 2 を制御して切り替えるためのものである。

【 0 0 4 7 】

図 2 は、間欠動作基準電圧発生回路 1 の主な動作波形の一例を示したタイミングチャートである。なお、間欠動作基準電圧発生回路 1 全体は、外部電源電圧 V e x t で動作するため、' H ' は外部電源電圧 V e x t 、' L ' は基準電位 V s s である。

【 0 0 4 8 】

図 2 において、上方から下方にかけては、通常 / スタンバイ状態選択信号 A C T 、第 1 の制御信号となるイネーブル信号 V R E F O N 、サンプリング / ホールド信号 C H O L D S W 、基準電圧発生回路 3 または基準電圧生成回路 4 における出力電圧の上昇や下降を検知した際に接続判定コンパレータ 1 2 から出力される出力電圧上昇 / 下降検知信号 C N T O K 、スタンバイモードから通常動作モードに遷移した際に接続用ディレイ 1 3 から出力されるレファレンス切り替え信号 C N T S W 、レファレンス電圧 P R E V B G R 、レファレンス電圧 P R E V R E F 、保持容量回路 6 のレファレンス保持容量電圧 P O S T C H O L D 、間欠動作基準電圧発生回路 1 から出力されるレファレンス電圧 V R E F 、および間欠動作基準電圧発生回路 1 の自己消費電流 I E X T における波形をそれぞれ示している。

【 0 0 4 9 】

まず、通常動作モード時は、基準電圧発生回路 3 、ならびに基準電圧生成回路 4 が生成するレファレンス電圧 P R E V R E F が定常的に間欠動作基準電圧発生回路 1 の出力として生成されるため、電圧変動のない安定したレファレンス電位が得られる。

【 0 0 5 0 】

一方、スタンバイモード時においては、基準電圧発生回路 3 、および基準電圧生成回路 4 が O N した期間は通常動作モードとレファレンス電圧レベルが変わらないが、O F F 期間は M O S トランジスタのリーク電流（接合リーク、サブスレッショルドリーク、ゲートリークなど）で主にスイッチ S W H 、および保持容量 C H から電荷が抜け電圧レベル低下が起こる。

【 0 0 5 1 】

したがって、スタンバイモード期間中、レファレンス電圧 V R E F は、電圧リップルを持った波形となる。このレベル低下を低減するためには、基準電圧発生回路 3 、および基準電圧生成回路 4 の O F F 期間を短くすることが有効だが、低消費電流化の効果が薄れるため、チップの使用環境、プロセス、ならびに製品スペックに合った最適値を見つける必要がある。

【 0 0 5 2 】

また、図 2 において、スタンバイモードから通常動作モードに遷移した時にそれらの状態が重なるオーバラップ期間があり、遷移時の電圧ドロップ低減に寄与している。なお、スタンバイモードにおいて、サンプリング / ホールド信号 C H O L D S W の H 期間が、イネーブル信号 V R E F O N の H 期間の後半部分に設定されている理由は、イネーブル信号 V R E F O N が H となった瞬間に、基準電圧発生回路 3 、基準電圧生成回路 4 、および容量充電レギュレータ 1 1 が O N するが、回路が安定した出力電圧を供給する本来のバイアス状態に達する過渡状態において、一般的に出力電圧のオーバーシュートやリンギングが見られることが多いため、電圧が安定した状態で、保持容量 C H に電圧を取り込めるように

10

20

30

40

50

するためである。

【0053】

図3は、間欠動作基準電圧発生回路1における低消費電流効果の一例を示す説明図である。

【0054】

ある外部電源電圧 V_{ext} (=3.3V程度)、およびある温度(約27℃)において、通常動作モードでは、間欠動作基準電圧発生回路1内の全てのモジュールがONすることで、消費電流の総和は1362nA程度となっているが、スタンバイモード時に、たとえば、分周比切り替え信号FDSELによって1/8分周を選択すると、消費電流は382nA程度となり、約72%も消費電流を低減することが可能である。

10

【0055】

図4は、間欠動作基準電圧発生回路1が設けられた半導体集積回路装置への外部電源電圧 V_{ext} 投入時の動作波形と基準電圧生成回路4にて行うトリミング前後の電圧精度の関係の一例を示す説明図である。

【0056】

電源投入開始よりチップはリセット状態に入り、内部電源電圧 V_{int} とCPUの動作周波数の安定を待つことになる。

【0057】

間欠動作基準電圧発生回路1としては、このリセット期間中に不揮発メモリから製品出荷前にチップ毎にテストした結果最適な内部電源電圧 V_{int} になる様に設定した情報を元にトリミングを行う。

20

【0058】

図4では、基準電圧発生回路3、および基準電圧生成回路4を構成するCMOS、抵抗、寄生バイポーラトランジスタなど素子の絶対精度、ならびに相対精度ばらつきにより決まるトリミング前精度(たとえば、±5%以内)がトリミング後精度(たとえば、±1%以内)となっている。

【0059】

したがって、通常動作モードでは、トリミング後精度(たとえば、±1%以内)のレフアレンス電圧 V_{REF} , V_{REF2} が得られる。一方、スタンバイモード時では、基準電圧発生回路3、および基準電圧生成回路4がONする期間において、トリミング後精度(たとえば、±1%以内)で変わらないが、OFF期間においては、リーク電流による電圧レベル低下が影響するため、スタンバイモード時の実精度は、トリミング後精度(たとえば、±1%以内)より劣化する。

30

【0060】

このリーク電流による劣化は、チップの使用環境、プロセスなどに左右されるため、製品の消費電流スペックとスタンバイモード時のRAMのメモリ保持電圧の下限値などを参考に、基準電圧発生回路3、および基準電圧生成回路4のON/OFF期間で調整される。図4では、一例として、±1~5%程度に決められている。

【0061】

なお、チップのリセット期間中に、間欠動作基準電圧発生回路1は、通常動作モードのように、基準電圧発生回路3と基準電圧生成回路4とを常時ONすべきか、スタンバイモード時のように間欠的にON/OFF動作すべきかについて、図5に示すように間欠的にON/OFF動作すると、低消費電流化のためにOFF期間を長く取る動作のため、起動時間が遅延してしまい、長いリセット期間が必要となるだけでなく、先に述べたリーク電流による電圧レベル低下により、レフアレンス電圧 P_{REVBGR} 、レフアレンス電圧 P_{REVREF} が十分安定した状態でトリミングを行えないため、トリミング後精度の向上が不十分(たとえば、±5%以内)となる。

40

【0062】

したがって、リセット期間中は、基準電圧発生回路3、および基準電圧生成回路4を常時ONしておくことが必要である。なお、リセット期間中に間欠動作するOFF期間を短

50

く（たとえば、分周比1/2程度）することで、このリーク電流による劣化を低減しトリング後精度を向上させることも可能だが、電圧リップルの影響を完全に無視できないため常時ONさせている場合程の電圧精度は得られない。

【0063】

図7は、間欠動作基準電圧発生回路1における状態遷移の一例を示す説明図である。

【0064】

前述したチップのリセット期間中においては、間欠動作基準電圧発生回路1の状態として通常状態J1に当たり、他にスタンバイ状態J2とスタンバイモードから通常状態に遷移するオーバラップ状態J3が存在する。

【0065】

図8は、間欠動作基準電圧発生回路1が設けられた半導体集積回路装置における半導体チップCHPのレイアウトの一例を示す説明図である。

【0066】

正方形形状の半導体チップCHPにおけるそれぞれの外周辺部には、I/O領域15がレイアウトされている。I/O領域15より内側の右上方には、間欠動作基準電圧発生回路1がレイアウトされている。

【0067】

間欠動作基準電圧発生回路1の左側には、レギュレータ17がレイアウトされており、その下方には、PLL18がレイアウトされている。このPLL18の下方には、レギュレータ19がレイアウトされており、該レギュレータ19の右側には、レギュレータ20がレイアウトされている。

【0068】

また、これら間欠動作基準電圧発生回路1、ならびにレギュレータ17, 19, 20によってシステム電源回路16が構成されている。

【0069】

レギュレータ19の下方には、RAM21がレイアウトされており、該RAM21の右側には、CPU22がレイアウトされている。このCPU22の右側には、フラッシュメモリに例示される不揮発性メモリ23がレイアウトされている。

【0070】

そして、RAM21、CPU22、およびPLL18などの内部回路に対してレギュレータ17, 19, 20により、外部電源電圧Vextから内部電源電圧Vint, Vint_RAM, Vint_PLLなどに降圧した電圧が供給される。

【0071】

また、不揮発性メモリ23の周辺回路、たとえば、正負チャージポンプ回路のレファレンス電圧VREF_NVMなどにも利用される。

【0072】

図9は、図8の半導体チップCHPに設けられた間欠動作基準電圧発生回路1におけるレイアウトの一例を示す説明図である。

【0073】

間欠動作基準電圧発生回路1は、図9の左上方に、バイアス回路2がレイアウトされており、その右側には、基準電圧発生回路3がレイアウトされている。基準電圧発生回路3の右側には、基準電圧生成回路4がレイアウトされている。

【0074】

バイアス回路2、および基準電圧発生回路3の下方には、低精度レファレンス回路8がレイアウトされており、該低精度レファレンス回路8の下方には、VOSCレギュレータ9がレイアウトされている。

【0075】

低精度レファレンス回路8、ならびにVOSCレギュレータ9の右側には、接続判定コンパレータ12がレイアウトされており、該接続判定コンパレータ12の右側には、接続用ディレイ13がレイアウトされている。

10

20

30

40

50

【0076】

この接続用ディレイ13の右側には、アナログバッファ7がレイアウトされている。接続用ディレイ13、ならびにアナログバッファ7の下方には、保持容量回路6がレイアウトされており、該保持容量回路6の左側には、容量充電レギュレータ11がレイアウトされている。容量充電レギュレータ11の左側には、分周制御回路14がレイアウトされており、該分周制御回路14の左側には、発振回路5がレイアウトされている。

【0077】

また、間欠動作基準電圧発生回路1がレイアウトされている外側には、該間欠動作基準電圧発生回路1を取り囲むようにガードリング24が形成されており、分周制御回路14、レベルシフタ10、および発振回路5の外側には、これら分周制御回路14、レベルシフタ10、および発振回路5を取り囲むようにガードリング25が形成されている。
10

【0078】

さらに、レベルシフタ10の間には、該レベルシフタ10を2分割するようにガードリング26が形成されている。そして、これらガードリング24, 25, 26には、基準電位Vssがそれぞれ給電されている。

【0079】

間欠動作基準電圧発生回路1は、間欠動作を行うため発振回路5から生成される基準クロックCLKが存在する。この基準クロックCLKを、レベルシフタ10を介して分周制御回路14により分周、および波形制御を行っているが、発振回路5、レベルシフタ10、ならびに分周制御回路14のCMOS論理回路がスイッチング動作する際にノイズを発生する可能性がある。
20

【0080】

したがって、バイアス回路2や基準電圧発生回路3などのノイズの影響を低減したい回路に対して、発振回路5、レベルシフタ10、ならびに分周制御回路14のような主要なノイズ発生源に基準電位Vssが給電されるガードリング25, 26を設けることによりノイズ伝播を抑制する。

【0081】

また、間欠動作基準電圧発生回路1を囲むように形成されたガードリング24を設けることにより、間欠動作基準電圧発生回路1外部の近接する内部回路などにもスイッチングノイズの影響が伝播することを防止することができる。
30

【0082】

さらに、間欠動作基準電圧発生回路1の上層には、図10に示すように、メタルシールド配線27, 27aが形成されている。メタルシールド配線27は、メタルシールド配線27aと直交するようにメッシュ状にそれぞれ配線されている。

【0083】

このメタルシールド配線27, 27aによって間欠動作基準電圧発生回路1の上層を覆うことにより、該間欠動作基準電圧発生回路1内部で発生するノイズを外部に伝播するのを防止するだけでなく、外部からのノイズの影響を軽減することができる。

【0084】

図11は、図9(図10)のA-B断面図である。
40

【0085】

たとえば、P型の半導体基板28の左上方には、DEEP-NWELL29が形成されており、このDEEP-NWELL29の上部には、左から右にかけて、NWELL30、PWELL31、およびNWELL32が形成されている。

【0086】

NWELL30の左側には、ガードリング25が形成されている。このガードリング25は、半導体基板28の上部に形成されたPWELL33、およびそのPWELL33の上部に形成されたP+型半導体領域34から構成されている。P+型半導体領域34は、PWELL33よりも不純物濃度の高い領域である。

【0087】

10

20

30

40

50

NWELL32の右側には、半導体基板28の上部に形成されたPWELL35、ならびに該PWELL35の上部に形成されたP+型半導体領域36からなるガードリング26が形成されている。

【0088】

ガードリング26の右下方には、DEEP-NWELL37が形成されており、このDEEP-NWELL37の上部には、左から右にかけて、NWELL38、PWELL39、およびNWELL40が形成されている。

【0089】

NWELL40の右側には、半導体基板28の上部に形成されたPWELL41、およびそのPWELL41の上部に形成されたP+型半導体領域42からなるガードリング25が形成されている。 10

【0090】

このガードリング25の右下方には、DEEP-NWELL43が形成されており、該DEEP-NWELL43の上部には、左から右にかけて、NWELL44、PWELL45、NWELL46、PWELL47、ならびにNWELL48が形成されている。

【0091】

そして、NWELL48の右側には、半導体基板28の上部に形成されたPWELL49、ならびに該PWELL49の上部に形成されたP+型半導体領域50からなるガードリング24が形成されている。

【0092】

また、NWELL30とPWELL31の一部は、発振回路5を構成する半導体素子が形成される半導体素子形成領域となり、PWELL31の残りの部分、NWELL38、ならびにPWELL39の一部は、レベルシフタ10を構成する半導体素子が形成される半導体素子形成領域となる。 20

【0093】

さらに、PWELL39の残りの部分、およびNWELL40は、分周制御回路14を構成する半導体素子が形成される半導体素子形成領域となり、NWELL44、PWELL45、およびNWELL46の一部は、容量充電レギュレータ11を構成する半導体素子が形成される半導体素子形成領域となる。

【0094】

そして、NWELL46の残りの部分、PWELL47、ならびにNWELL48は、保持容量回路6を構成する半導体素子が形成される半導体素子形成領域となる。 30

【0095】

P+型半導体領域34, 36, 42, 50は、ビア51を介して、たとえば、配線層MH1～MH5のうち、第4の配線層MH4に形成されるメタルシールド配線27a、および該配線層MH4の上層である第5の配線層MH5に形成されるメタルシールド配線27に接続されている。

【0096】

メタルシールド配線27, 27aは、基準電位Vssに給電されており、メタルシールド配線27とメタルシールド配線27aとは、前述したように、それぞれが直交してメッシュ状となるように形成されている。 40

【0097】

また、メタルシールド配線は、第4の配線層MH4と第5の配線層MH5の2つの配線層により構成するのではなく、たとえば、図12に示すように、1つの配線層でメッシュ状に、メタルシールド配線27を形成するようにしてもよい。

【0098】

この場合、メタルシールド配線27は、図13に示すように、第4の配線層MH4にメッシュ状の配線を形成し、該メタルシールド配線27に基準電位Vssに給電する構成とする。また、他の断面構成については、図11と同様であるので説明は省略する。

【0099】

さらに、ガードリングは、図14に示すように、間欠動作基準電圧発生回路1の外側に該間欠動作基準電圧発生回路1をすべて取り囲むように形成されるガードリング24と、発振回路5、レベルシフタ10、および分周制御回路14を取り囲むように形成されたガードリング25、レベルシフタ10を2分割するように形成されたガードリング26、およびガードリング25の外側を取り囲むように形成されたガードリング25aとを設け、発振回路5、レベルシフタ10、ならびに分周制御回路14を取り囲むガードリングを2重化する構成としてもよい。

【0100】

また、ガードリング24、およびガードリング25aは、基準電位Vssが給電されており、ガードリング25、ならびにガードリング26は、発振回路5の基準電位となる基準電位Vssoscが給電されている。これにより、ノイズによる悪影響をより効果的に低減することができる。10

【0101】

図15は、図14のA-B断面図である。

【0102】

P型の半導体基板28の左側には、DEEP-NWELL29が形成されており、該DEEP-NWELL29の左上方には、PWELL52、およびそのPWELL52の上部に形成されたP+型半導体領域53から構成されているガードリング24が形成されている。このガードリング24には、基準電位Vssが給電されている。20

【0103】

このガードリング24の右側には、PWELL54、および該PWELL54の上部に形成されたP+型半導体領域55から構成されているガードリング25が形成されている。ガードリング25には、基準電位Vssoscが給電される。

【0104】

ガードリング25の右側には、NWELL30、PWELL31、NWELL32を挟んで、基準電位Vssoscが給電されるガードリング26が形成されている。このガードリング26は、半導体基板28の上部に形成されたPWELL56、およびそのPWELL56の上部に形成されたP+型半導体領域57から構成されている。

【0105】

また、ガードリング26の右側には、NWELL38、PWELL39、NWELL40を挟んで、ガードリング25が形成されている。このガードリング25は、半導体基板28の上部に形成されたPWELL58、およびそのPWELL58の上部に形成されたP+型半導体領域59から構成されている。30

【0106】

ガードリング25の右側には、基準電位Vssが給電されるガードリング25aが形成されている。このガードリング25aは、半導体基板28の上部に形成されたPWELL60、およびそのPWELL60の上部に形成されたP+型半導体領域61から構成されている。

【0107】

ガードリング25aの右側には、NWELL44、PWELL45、NWELL46、PWELL47、NWELL48を挟んで、ガードリング24が形成されている。ガードリング24は、半導体基板28の上部に形成されたPWELL62、およびそのPWELL62の上部に形成されたP+型半導体領域63から構成されている。40

【0108】

図16は、図1の間欠動作基準電圧発生回路1の構成に、保持電圧検知コンパレータ64を加えた一例を示すブロック図である。

【0109】

保持電圧検知コンパレータ64は、バイアス回路2から生成される、低精度のアナログレファレンス電圧信号CVREFより、保持容量回路6のレファレンス保持容量電圧POSTCHOLDの電圧レベルを比較し、低い場合には、極性信号FORCEDを反転さ50

せ強制的に基準電圧発生回路3、基準電圧生成回路4、ならびに容量充電レギュレータ11をONさせる。

【0110】

このように、保持電圧検知コンパレータ64は、通常動作モード、およびスタンバイモード中に保持容量CHのレファレンス保持容量電圧POSTCHOLDのレベルが低いことを判断すると、チップ内外のなんらかの原因で、内部電源電圧Vintが内部回路の論理が不定となる電圧低下する前に、該内部電源電圧Vintのレファレンス電圧を本来の動作電圧まで復帰させる効果を有している。なお、消費電流は、図17に示すように、保持電圧検知コンパレータ64分が加算されることになる。

【0111】

なお、低精度のアナログレファレンス電圧信号VREFは、CPU22などの内部回路で用いられるCMOS回路のPMOSトランジスタのしきい値Vthp、NMOSトランジスタのしきい値Vthn、しきい値の和(Vthp + Vthn)より高い電圧であるため、内部回路の論理が不確定になったかの判断基準となる。

【0112】

それにより、本実施の形態によれば、消費電流の大きい基準電圧発生回路3、基準電圧生成回路4、ならびに容量充電レギュレータ11を間欠的にON/OFFさせることで、消費電流を大幅に低減させることができる。

【0113】

(実施の形態2)

図18は、本発明の実施の形態2による間欠動作基準電圧発生回路の一例を示すブロック図、図19は、図18の間欠動作基準電圧発生回路を用いて構成した半導体チップにおけるレイアウトの一例を示す説明図、図20は、図18の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図、図21は、図18の間欠動作基準電圧発生回路における状態遷移図である。

【0114】

本実施の形態2において、間欠動作基準電圧発生回路1aは、図18に示すように、前記実施の形態1の図1の構成に、スイッチSW3～SW6が新たに追加された構成となっている。図1では、レファレンス切り替え用のスイッチSW1, SW2により、レファレンス電圧VREFとして、基準電圧生成回路4の出力であるレファレンス電圧PREVR EFか、アナログバッファ7の出力かを接続用ディレイ13から出力されるレファレンス切り替え信号CNTSWにより切り替えていた。

【0115】

一方、図18では、レファレンス切り替え用のスイッチSW3～SW6と、通常/スタンバイ状態選択信号ACT1, ACT2を利用し、保持容量CHに基準電圧発生回路3から出力されるレファレンス電圧PREVBGR, または基準電圧生成回路4の出力であるレファレンス電圧PREVREFのいずれかを保持する。

【0116】

これにより、スタンバイモードとして、基準電圧発生回路3と基準電圧生成回路4とを間欠動作させるスタンバイ(間欠VREF)モードと、基準電圧発生回路3のみ間欠動作し、基準電圧生成回路4が常時ONとなるスタンバイ(間欠VBRG)モードを生成することができる。

【0117】

このように、間欠動作基準電圧発生回路1aの構成により、スタンバイモードにおいても容量保持しないレファレンス電圧VREF2を利用することができる。

【0118】

図19は、間欠動作基準電圧発生回路1aが設けられた半導体集積回路装置における半導体チップCHPのレイアウトの一例を示す説明図である。

【0119】

正方形状の半導体チップCHPのそれぞれの外周辺部には、I/O領域15がレイアウ

10

20

30

40

50

トされている。I/O領域15より内側の右上方には、間欠動作基準電圧発生回路1aがレイアウトされている。

【0120】

間欠動作基準電圧発生回路1aの左側には、レギュレータ17がレイアウトされており、その下方には、PLL18がレイアウトされており、該PLL8の右側には、電圧低下検知回路65(LVD3)がレイアウトされている。

【0121】

PLL18の下方には、レギュレータ19がレイアウトされており、該レギュレータ19の右側には、レギュレータ20がレイアウトされている。そして、レギュレータ20の右側には、電圧低下検知回路66(LVD4)がレイアウトされている。

10

【0122】

レギュレータ19の下方には、電圧低下検知回路67(LVD1)がレイアウトされており、該電圧低下検知回路67の下方には、RAM21がレイアウトされている。このRAM21の右側には、CPU22がレイアウトされている。

【0123】

CPU22の上方には、レジスタ68、および電圧低下検知回路69(LVD2)がそれぞれレイアウトされている。CPU22の右側には、不揮発性メモリ23がレイアウトされている。

【0124】

この図19に示すような構成では、半導体チップCHP内部の電源電圧(Vint,Vint_RAM,Vint_PLL)や外部電源電圧(Vext)を電圧低下検知回路65,66,67,69により通常動作モードだけでなく、電圧精度が通常動作時より劣化するがスタンバイモードにおいても電圧低下検知が行うことが可能となる。

20

【0125】

なお、スタンバイ(間欠VREF)モードにおける低消費電流効果は図2のとおりであるが、スタンバイ(間欠VBGR)モードにおける低消費電流効果は、図20に示すようになる。

【0126】

低消費電流効果は、基準電圧生成回路4が常時ONしている分スタンバイ(間欠VBGR)モードの方が小さい。また、通常動作モード、スタンバイ(間欠VREF)モード、スタンバイ(間欠VBGR)モード、およびオーバラップ状態の遷移は、図21に示す通りとなる。

30

【0127】

(実施の形態3)

図22は、本発明の実施の形態3による間欠動作基準電圧発生回路の一例を示すブロック図、図23は、図22の間欠動作基準電圧発生回路における状態遷移図、図24は、図22の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

【0128】

本実施の形態3においては、間欠動作基準電圧発生回路1bが、図22に示すように、前記実施の形態1の図1の構成からレファレンス切り替え用のスイッチSW1,SW2、接続判定コンパレータ12、ならびに接続用ディレイ13を取り除き、分周制御回路14の分周比切り替え信号FDSELと通常/スタンバイ状態選択信号ACTとのみで通常動作モードとスタンバイモード間の遷移を行う(図23)ものである。

40

【0129】

接続判定コンパレータ12、および接続用ディレイ13は、スタンバイモードから通常動作モードに遷移する際に、アナログバッファ7の出力とレファレンス電圧PREVREFを通常/スタンバイ状態選択信号ACTの切り替えにより単純に接続してしまうとインピーダンスの違いにより出力電圧ドロップが生じることを回避するために使用されていたが、図22の回路構成の場合には、常にアナログバッファ7の出力がレファレンス電圧VREFの出力となっているため、接続判定コンパレータ12と接続用ディレイ13とを不

50

要とすることができます。

【0130】

これにより、図24に示すように、消費電流を低減することができるとともに、レファレンス電圧P R E V R E Fとアナログバッファ7の出力とを切り換える際に生じる電圧ドロップを低減することができるので、オーバラップ期間を不要にすることができる。

【0131】

(実施の形態4)

図25は、本発明の実施の形態4による間欠動作基準電圧発生回路の一例を示すプロック図、図26は、図25の間欠動作基準電圧発生回路による低消費電力効果の一例を示す説明図である。

10

【0132】

本実施の形態4においては、間欠動作基準電圧発生回路1cが、図25に示すように、前記実施の形態3の図22の構成から、発振回路5の動作電圧V O S Cを生成するV O S Cレギュレータ9とレベルシフタ10とを削除した構成とし、発振回路5を外部電源電圧V e x tで動作させている。

【0133】

この構成は、システム電源に用いる間欠動作基準電圧発生回路1cを動作させる上で最小限必要な回路となる。このように、接続判定コンパレータ12、ならびに接続用ディレイ13だけでなく、V O S Cレギュレータ9、レベルシフタ10も削除することで、これら回路の自己消費電流がなくなり、図26に示すように、スタンバイモード時の消費電流を低減する効果を大きくすることができる。

20

【0134】

(実施の形態5)

図27は、本発明の実施の形態5による間欠動作基準電圧発生回路に設けられたバイアス回路の一例を示す回路図である。

【0135】

本実施の形態5においては、間欠動作基準電圧発生回路1(1a, 1b, 1c)に用いられるバイアス回路2の一例を示す。

【0136】

バイアス回路2は、図27に示すように、ワイドラー型電流源回路からなり、C M O SのトランジスタM0～M3からなるカレントミラー回路と抵抗R0から定電流を生成する。

30

【0137】

定電流は、N B I A Sを介して間欠動作基準電圧発生回路1(1a, 1b, 1c)内の他回路へ供給される。一方、P M O SからなるトランジスタM4～M7で構成される低精度のアナログレファレンス電圧信号C V R E Fは、ダイオード接続により飽和動作するP M O SのトランジスタM7のゲート-ソース間電圧V g sがもつ負の温度依存性と、ゲートを基準電位V s s固定することにより線形動作するP M O SのトランジスタM5, M6のドレイン-ソース間電圧V d sが持つ正の温度依存性を加算することにより、温度依存性を低減している。

40

【0138】

なお、P M O SのトランジスタM5～M7は、抵抗や寄生バイポーラ素子に比べプロセス変動の影響をうけやすいため、基準電圧発生回路3のようなトリミング前電圧精度は期待できない。

【0139】

また、トランジスタM10～M17は、ワイドラー型電流源回路を起動させるスタートアップ回路である。ワイドラー型電流源回路は、自己バイアス回路構成であるため、リーク電流以外流れず回路動作しない安定状態と定電流を供給できる通常動作モードが存在する。スタートアップ回路は、外部電源電圧V e x t投入後にバイアス回路2が前者の回路動作しない安定状態に陥ることを回避するためのものである。

50

【0140】

(実施の形態6)

図28は、本発明の実施の形態6による間欠動作基準電圧発生回路に設けられた基準電圧発生回路の一例を示す回路図である。

【0141】

本実施の形態6においては、間欠動作基準電圧発生回路1(1a, 1b, 1c)に用いられる基準電圧発生回路3の一例を示す。

【0142】

基準電圧発生回路3は、図28に示すように、オペアンプAMP2がPNP寄生バイポーラのトランジスタQ10のベース-エミッタ間電圧V_be10と抵抗R11と抵抗R12の中間電位が等しくなるように動作する。 10

【0143】

このとき、PNP寄生バイポーラのトランジスタQ10, Q11に流れる電流密度の差により、トランジスタQ10のベース-エミッタ間電圧V_be10とトランジスタQ11のベース-エミッタ間電圧V_be11に電位差V_beが生じるが、この電位差V_beは正の温度依存性を持つため、電位差V_beを抵抗比(R13/R11)倍した電圧とベース-エミッタ間電圧V_be10自体が持つ負の温度依存性を加算することで、温度依存性の小さいレファレンス電圧PREVBGR = V_be10 + (R13/R11) × V_beが生成できる。

【0144】

なお、PNP寄生バイポーラのトランジスタQ10, Q11は、標準CMOSプロセスで形成可能な素子であり、プロセスコストの増大はない。 20

【0145】

(実施の形態7)

図29は、本発明の実施の形態7による間欠動作基準電圧発生回路に設けられた基準電圧発生回路の一例を示す回路図である。

【0146】

本実施の形態7においては、前記実施の形態6に示した基準電圧発生回路3における他の構成例を示す。

【0147】

この場合、基準電圧発生回路3は、図29に示すように、寄生バイポーラトランジスタとしてNPN型のトランジスタQ1～Q3を用い、かつ寄生NPNのトランジスタQ1, Q2を3端子素子として利用することで、オペアンプAMP0, AMP1の入力電圧オフセットを低減し、レファレンス電圧PREVBGRのトリミング前電圧精度向上することのできる回路構成となっている。 30

【0148】

これは、図28の基準電圧発生回路3と同じくオペアンプAMP0, AMP1からNPN型のトランジスタQ1, Q2のベース-エミッタ間電圧V_beを抵抗R1により取り出しが、トランジスタQ1, Q2のコレクタ側で電圧比較を行うため、結果としてコレクタ電流I_cとベース電流I_bの比h_{fe} = I_c / I_b分入力電圧オフセットが低減されることになる。 40

【0149】

なお、h_{fe}比の大きな寄生NPNバイポーラトランジスタを構成するには、コレクタをDEEP-NWELLで形成することが多く、標準CMOSプロセスに、該DEEP-NWELLを加えた3重ウェル構造のCMOSプロセスが必要となってくる。

【0150】

DEEP-NWELLを追加することはプロセスコスト増であるが、このDEEP-NWELLをI/O領域に用いられるトランジスタのESD(静電気放電)保護用素子の一部として利用したり、基板ノイズ分離のためADC(アナログ/デジタル変換)などのチップ内モジュールで用いたりするなど一般的に用いられることが多く、基準電圧発生回路 50

3 の電圧精度向上のため寄生NPNトランジスタが用いられることが多い。

【0151】

(実施の形態8)

図30は、本発明の実施の形態8による間欠動作基準電圧発生回路に設けられた基準電圧生成回路の一例を示す回路図である。

【0152】

本実施の形態8においては、間欠動作基準電圧発生回路1(1a, 1b, 1c)に用いられる基準電圧生成回路4の一例を示す。

【0153】

基準電圧生成回路4は、図30に示すように、オペアンプAMP10、トランジスタM60, M70～M72、論理和回路OR2、スイッチSW10～SW12、および抵抗R50～R63, R70～R72, R80～R83, R90～R93からなる。 10

【0154】

基準電圧生成回路4は、基準電圧発生回路3などの出力電圧を入力電圧VINとして抵抗比により電圧変換し、チップに必要なレファレンス電圧PREVREF, VREF2を生成する回路である。

【0155】

なお、このレファレンス電圧の調整はiビットのトリミング信号TRIMにより、抵抗分圧比を調整することで行われる。 20

【0156】

(実施の形態9)

図31は、本発明の実施の形態9による間欠動作基準電圧発生回路に設けられた発振回路の一例を示す回路図である。

【0157】

本実施の形態9においては、間欠動作基準電圧発生回路1(1a, 1b, 1c)に用いられる発振回路5における構成の一例を示す。

【0158】

発振回路5は、図31に示すように、トランジスタM80～M89, M90～M95, M100～M105, M110, M111、静電容量素子C0～C3、およびインバータINV0, INV1からなり、奇数段(図31では5段)のインバタ回路からなるリンクオシレータで構成され、バイアス回路2で決められる定電流と、VOSCレギュレータ9が生成する発振回路5の動作電圧である動作電圧VOSC、および静電容量素子C0～C3の値により生成する基準クロックCLKの発振周波数が決定される。 30

【0159】

(実施の形態10)

図32は、本発明の実施の形態10による間欠動作基準電圧発生回路に設けられた分周制御回路の一例を示す回路図、図33は、図32の分周制御回路における動作波形の一例を示すタイミングチャートである。

【0160】

本実施の形態10においては、間欠動作基準電圧発生回路1(1a, 1b, 1c)に用いられる分周制御回路14における構成の一例を示す。 40

【0161】

分周制御回路14は、図32に示すように、発振回路5が生成した基準クロックCLK、またはこの基準クロックCLKをレベルシフタ10により電圧振幅を変換したクロックCLK_UPをエッジトリガDフリップフロップからなるフリップフロップdff0～dff3とインバータINV20～INV23からなる分周回路で分周した後、論理回路(インバータINV11、および論理積回路AND0～AND2)により、イネーブル信号VREFON、ならびにサンプリング／ホールド信号CHOLDSWを生成する。

【0162】

また、図33に分周制御回路14の動作波形例を示す。なお、この図33においては、

50

クロック C L K I N を 16 分周し、イネーブル信号 V R E F O N が H i レベルとなる 2 クロック期間と、保持容量 C H に電圧をチャージするためサンプリング / ホールド信号 C H O L D S W を H i レベルとする 1 クロック期間を生成するとともに、14 クロック期間はイネーブル信号 V R E F O N などを O F F することで、基準電圧発生回路 3 、および基準電圧生成回路 4 の O N / O F F 期間は 1 / 8 分周動作となっている。

【 0 1 6 3 】

(実施の形態 1 1)

図 3 4 は、本発明の実施の形態 1 1 による間欠動作基準電圧発生回路に設けられた低精度レファレンス回路の一例を示す回路図、図 3 5 は、本発明の実施の形態 1 1 による間欠動作基準電圧発生回路に設けられた接続用ディレイの一例を示す回路図である。 10

【 0 1 6 4 】

本実施の形態 1 1 においては、間欠動作基準電圧発生回路 1 (1 a , 1 b 、 1 c) に用いられる低精度レファレンス回路 8 における構成の一例を示す。

【 0 1 6 5 】

低精度レファレンス回路 8 は、図 3 4 に示すように、オペアンプ A M P 2 0 、トランジスタ M 1 4 0 , M 1 5 0 ~ M 1 5 2 から構成されている。

【 0 1 6 6 】

この場合、低精度レファレンス回路 8 は、基準電圧生成回路 4 に類似の回路であるが、高い電圧精度を求められていないこと、入力電圧 V I N として入力される低精度のアナログレファレンス電圧信号 C V R E F の 2 倍程度の電圧をレファレンス電圧 C V R E F 2 として生成できればよいので、ダイオード接続した M O S のトランジスタ M 1 5 1 , M 1 5 2 などを抵抗の代わりとして用いることで、低消費電流で面積の小さい回路を実現している。 20

【 0 1 6 7 】

また、図 3 5 は、間欠動作基準電圧発生回路 1 (1 a , 1 b 、 1 c) に用いられる接続用ディレイ 1 3 における構成の一例を示した回路図である。

【 0 1 6 8 】

接続用ディレイ 1 3 は、アナログ、またはデジタルディレイ回路かその両方で構成されており、図 3 5 は、アナログまたはデジタルディレイ回路の両方を含むものである。

【 0 1 6 9 】

アナログディレイ回路は、図 3 5 における C M O S のトランジスタ M 1 4 0 ~ M 1 4 5 、インバータ I N V 4 3 , I N V 4 4 、および静電容量素子 C 1 0 から構成され、アナログレファレンス信号 N B I A S の定電流を元に、静電容量素子 C 1 0 に電荷を充電し、インバータ I N V 4 3 の論理しきい値を超えるまでの期間の遅延時間が得られるものである。 30

【 0 1 7 0 】

一方、デジタルディレイ回路は、エッジトリガ D フリップフロップからなるフリップフロップ D F F 2 0 , D F F 2 1 と論理回路 (インバータ I N V 4 1 , I N V 4 2 、および論理積回路 A N D 1 1) から構成されており、入力クロック C L K I N を元に遅延時間を生成するものである。 40

【 0 1 7 1 】

これらのディレイ期間を利用して、スタンバイモードから通常動作モードへの遷移時の電圧ドロップの発生を低減する。なお、アナログディレイを用いるかデジタルディレイを用いるかは、通常動作モード時に発振回路 5 が動作中かどうかで切り替わる仕組みとなっている。

【 0 1 7 2 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 産業上の利用可能性 】

10

20

30

40

50

【0173】

本発明は、レファレンス電圧を生成するレファレンス電圧生成回路を有する半導体集積回路装置に適している。

【符号の説明】

【0174】

1	間欠動作基準電圧発生回路	
1 a	間欠動作基準電圧発生回路	
1 b	間欠動作基準電圧発生回路	
1 c	間欠動作基準電圧発生回路	
2	バイアス回路	10
3	基準電圧発生回路	
4	基準電圧生成回路	
5	発振回路	
6	保持容量回路	
7	アナログバッファ	
8	低精度レファレンス回路	
9	VOSC レギュレータ	
1 0	レベルシフタ	
1 1	容量充電レギュレータ	
1 2	接続判定コンパレータ	20
1 3	接続用ディレイ	
1 4	分周制御回路	
1 5	I / O 領域	
1 6	システム電源回路	
1 7	レギュレータ	
1 8	PLL	
1 9	レギュレータ	
2 0	レギュレータ	
2 1	RAM	
2 2	CPU	30
2 3	不揮発性メモリ	
2 4	ガードリング	
2 5	ガードリング	
2 5 a	ガードリング	
2 6	ガードリング	
2 7	メタルシールド配線	
2 7 a	メタルシールド配線	
2 8	半導体基板	
2 9	DEEP - NWell	
3 0	NWell	40
3 1	PWell	
3 2	NWell	
3 3	PWell	
3 4	P+型半導体領域	
3 5	PWell	
3 6	P+型半導体領域	
3 7	DEEP - NWell	
3 8	NWell	
3 9	PWell	
4 0	NWell	50

4 1	P W E L L	
4 2	P + 型半導体領域	
4 3	D E E P - N W E L L	
4 4	N W E L L	
4 5	P W E L L	
4 6	N W E L L	
4 7	P W E L L	
4 8	N W E L L	
4 9	P W E L L	
5 0	P + 型半導体領域	10
5 1	ビア	
5 2	P W E L L	
5 3	P + 型半導体領域	
5 4	P W E L L	
5 5	P + 型半導体領域	
5 6	P W E L L	
5 7	P + 型半導体領域	
5 8	P W E L L	
5 9	P + 型半導体領域	
6 0	P W E L L	20
6 1	P + 型半導体領域	
6 2	P W E L L	
6 3	P + 型半導体領域	
6 4	保持電圧検知コンパレータ	
6 5	電圧低下検知回路	
6 6	電圧低下検知回路	
6 7	電圧低下検知回路	
6 8	レジスタ	
6 9	電圧低下検知回路	
M 1 ~ M 7	トランジスタ	30
M 1 0 ~ M 1 7	トランジスタ	
M 6 0	トランジスタ	
M 7 0 ~ M 7 2	トランジスタ	
M 8 0 ~ M 8 9	トランジスタ	
M 9 0 ~ M 9 5	トランジスタ	
M 1 0 0 ~ M 1 0 5	トランジスタ	
M 1 1 0 ~ M 1 1 2	トランジスタ	
M 1 4 0	トランジスタ	
M 1 5 0 ~ M 1 5 2	トランジスタ	
Q 1 ~ Q 3	トランジスタ	40
Q 1 0 , Q 1 1	トランジスタ	
C H	保持容量	
S W H	スイッチ	
S W 1 ~ S W 6	スイッチ	
C H P	半導体チップ	
M H 1 ~ M H 5	配線層	
R 0 , R 1 1 , R 1 2	抵抗	
R 5 0 ~ R 6 3	抵抗	
R 7 0 ~ R 7 2	抵抗	
R 8 0 ~ R 8 3	抵抗	50

R 90 ~ R 93 抵抗

AMP0 ~ AMP2 オペアンプ

AMP10, AMP20 オペアンプ

OR2 論理和回路

C0 静電容量素子

INV0, INV1 インバータ

INV20 ~ INV23 インバータ

INV41 ~ INV44 インバータ

DFF0 ~ DFF3 フリップフロップ

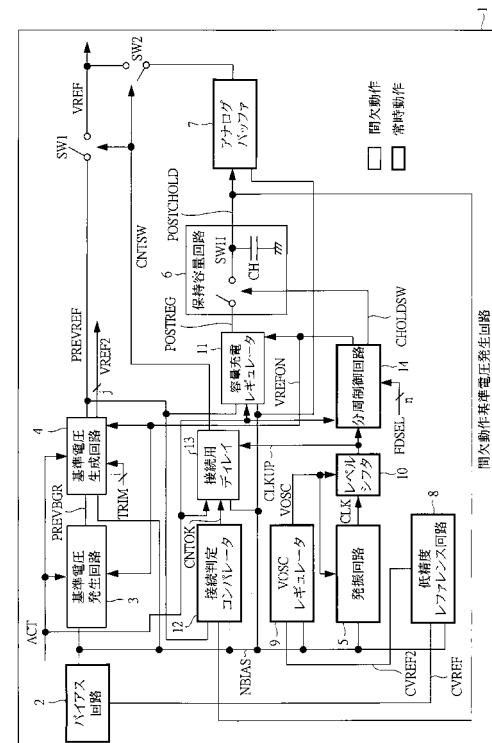
DFF20, DFF21 フリップフロップ

AND0 ~ AND2, AND11 論理積回路

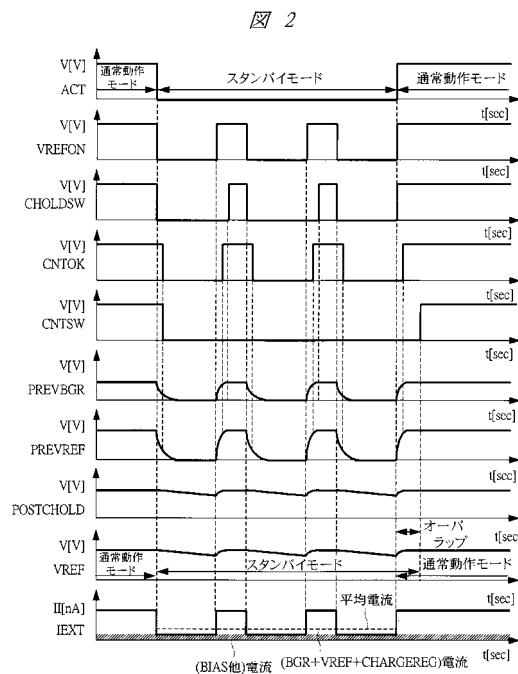
C10 静電容量素子

10

【図1】



【図2】



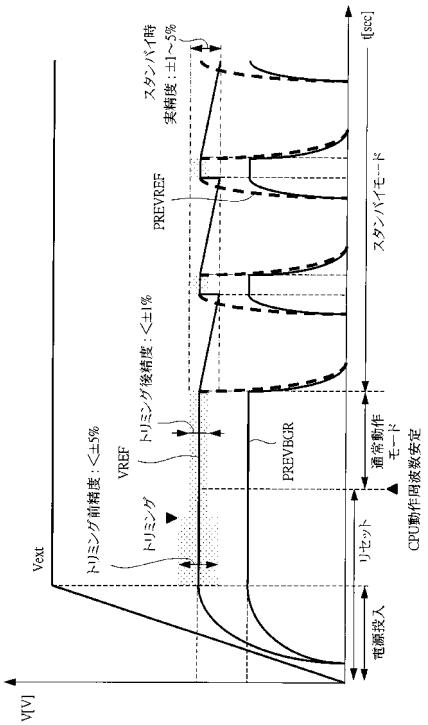
【図3】

図3

	通常動作モード		スタンバイ(間欠VRREF)モード	
	動作状態	消費電流	動作状態	消費電流
バイアス回路	ON	<40nA	ON	<40nA
低精度レフアンプ回路	ON	<20nA	ON	<40nA
VOSCLギルバーダ	ON	<20nA	ON	<20nA
接続判定コンバーティ	ON	<20nA	ON	<20nA
アナログバッファ	ON	<20nA	ON	<20nA
発振回路	ON	<40nA	ON	<40nA
レベルシフタ	ON	<20nA	ON	<40nA
分周制御回路	ON	<40nA	ON	<40nA
基準電圧発生回路	ON	<80nA	ON ↔ OFF	<100nA
基準電圧生成回路	ON	<160nA	ON ↔ OFF	<80nA
容量充電レギュレータ	ON	<160nA	ON ↔ OFF	<80nA
保持容量回路	ON	<1nA	ON	<1nA
接続用ディレイ	ON	<1nA	ON	<1nA
Total	-	<1362nA	-	<802nA
				<32nA
				<312nA

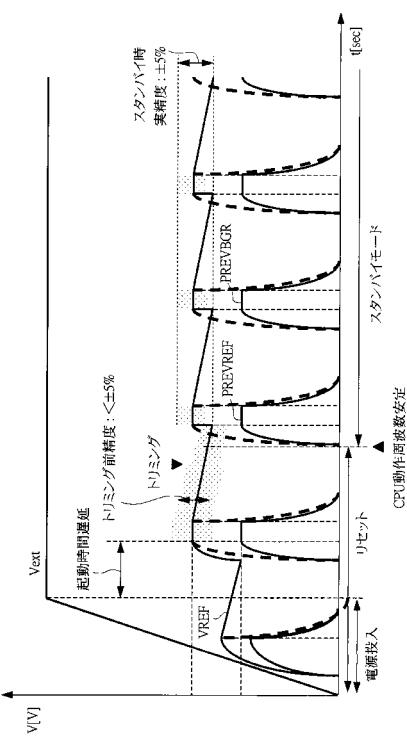
【図4】

図4



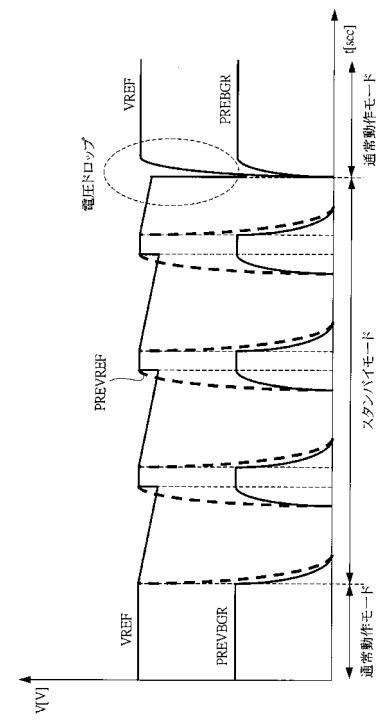
【図5】

図5

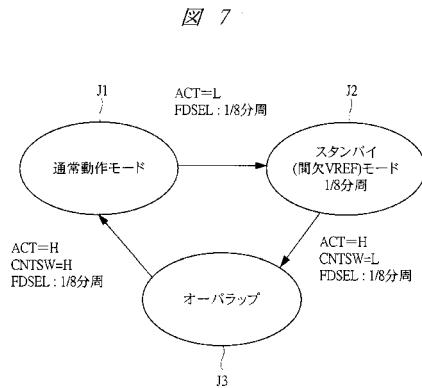


【図6】

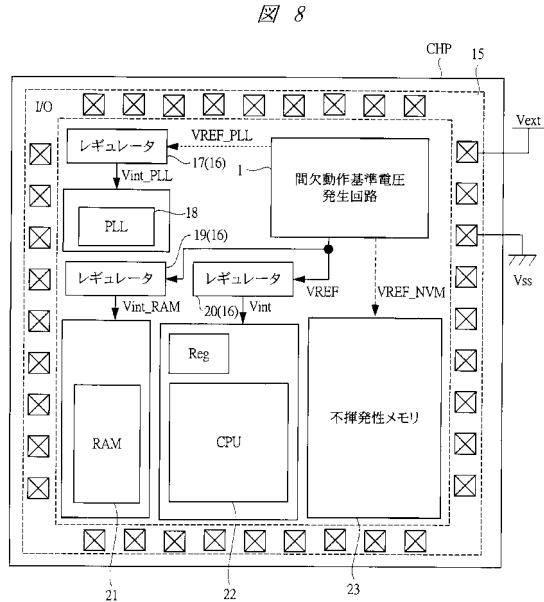
図6



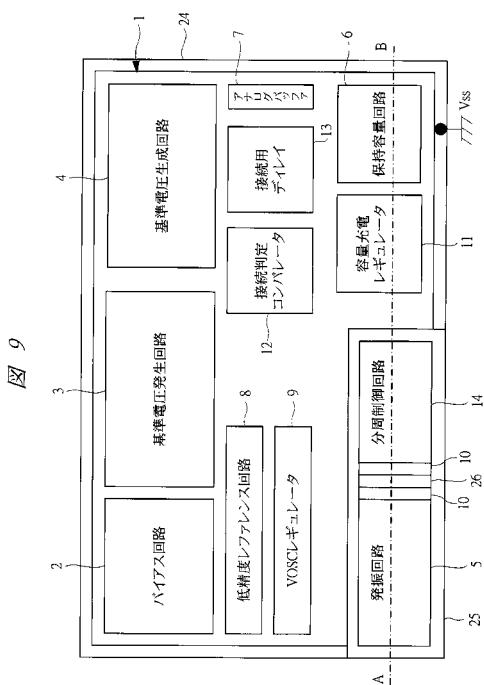
【図7】



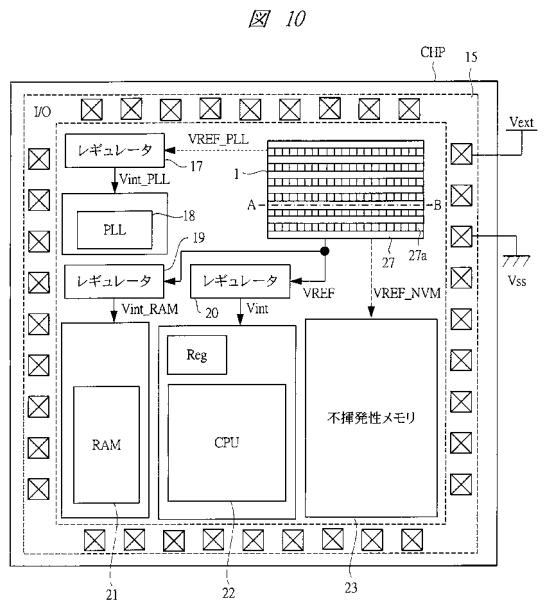
【図8】



【図9】

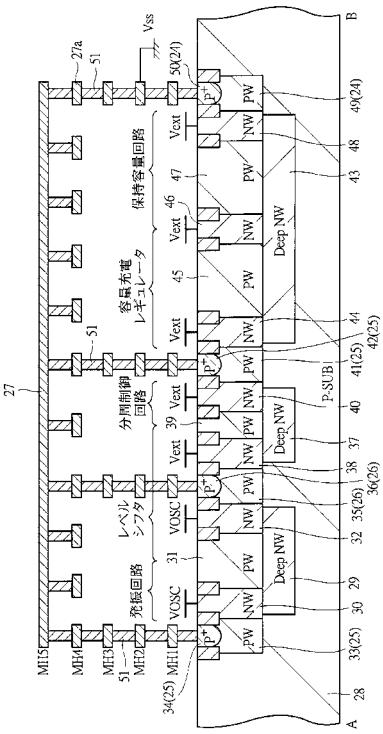


【図10】



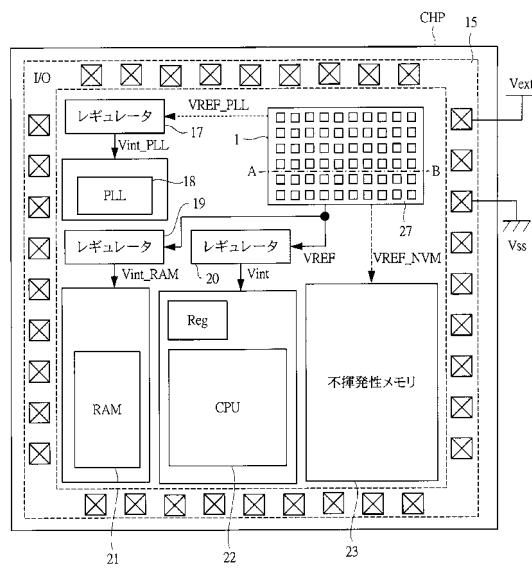
【図 1 1】

図 11



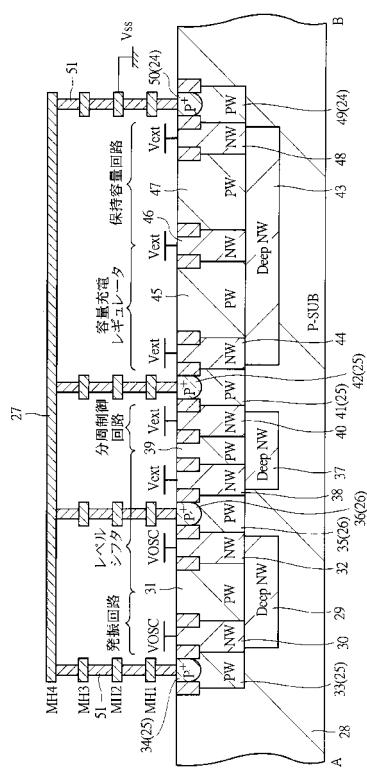
【図 1 2】

図 12

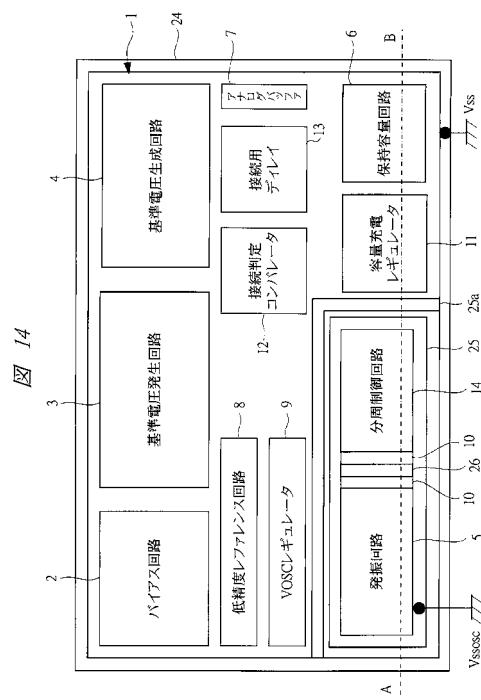


【図 1 3】

図 13

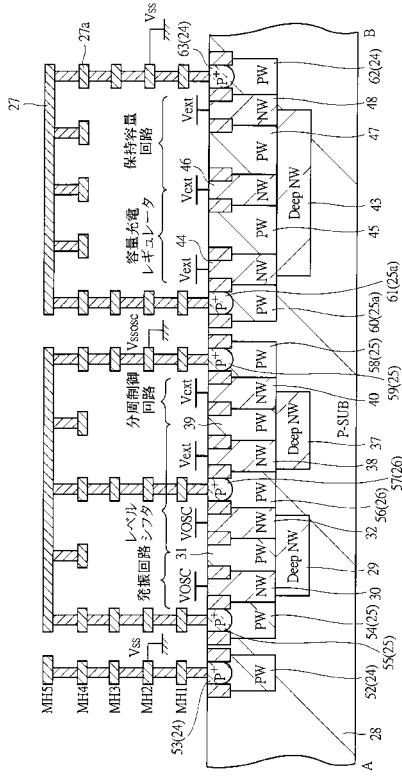


【図 1 4】

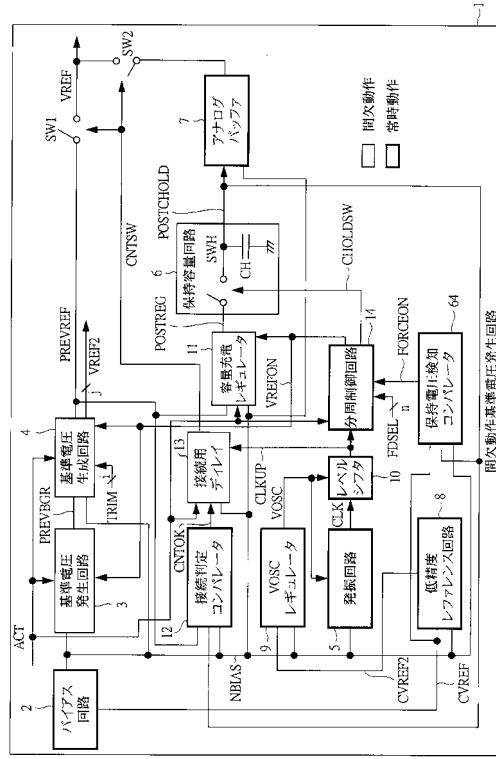


【図 15】

図 15



【図 16】

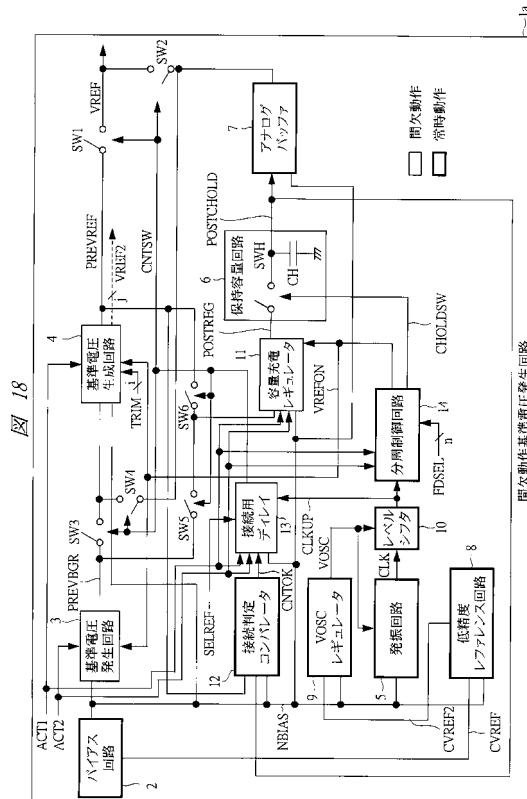


【図 17】

図 17

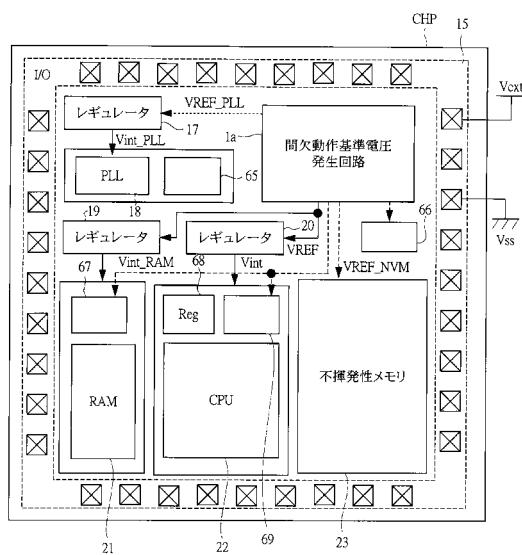
動作状態	通常動作モード	スランバード(VREFE=VREF)	
		消費電流	消費電流
バイアス回路	ON	<40nA	ON <40nA
低精度ファインス回路	ON	<20nA	ON <20nA
VOSC レギュレータ	ON	<20nA	ON <20nA
保持電圧後処理コンバーラータ	ON	<20nA	ON <20nA
接続判定コンバーラータ	ON	<20nA	ON <20nA
アナログバッファ	ON	<20nA	ON <20nA
発振回路	ON	<20nA	ON <20nA
レベルシフタ	ON	<40nA	ON <40nA
分周制御回路	ON	<40nA	ON <40nA
基準電圧発生回路	ON	<200nA	ON =>OFF <200nA
基準電圧生成回路	ON	<150nA	ON =>OFF <80nA
容量充電レギュレータ	ON	<10nA	ON =>OFF <80nA
保持容量回路	ON	<1nA	ON <1nA
接続用ディレイ	ON	<1nA	ON <1nA
Total	-	<1382nA	- <422nA

【図 18】



【図 19】

図 19



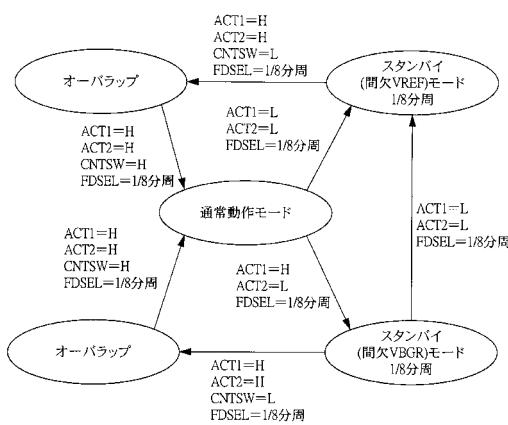
【図 20】

図 20

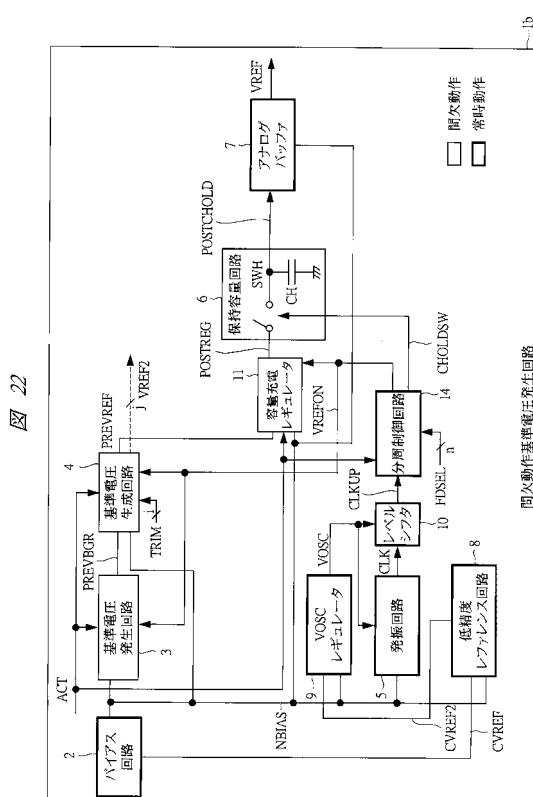
通常動作モード				スタンバイ(間欠VBGR)モード			
	動作状態	消費電流			動作状態	消費電流	
ハイバス回路	ON	<40nA		ON	<40nA	<40nA	
低精度フーレンス回路	ON	<20nA		ON	<20nA	<20nA	
VOSCレギュレータ	ON	<20nA		ON	<20nA	<20nA	
接続判定コントローラ	ON	<20nA		ON	<20nA	<20nA	
アナログバッファ	ON	<20nA		ON	<20nA	<20nA	
発振回路	ON	<40nA		ON	<40nA	<40nA	
レベリシフタ	ON	<40nA		ON	<40nA	<40nA	
分周制御回路	ON	<40nA		ON	<40nA	<40nA	
基準電圧発生回路	ON	<80nA		ON ⇌ OFF	<40nA	<200nA	
基準電圧発生回路	ON	<160nA		ON	<160nA	<160nA	
容量充電レギュレータ	ON	<80nA		ON ⇌ OFF	<80nA	<20nA	
保持容量回路	ON	<1nA		ON	<1nA	<1nA	
接続用デバイス	ON	<1nA		ON	<1nA	<1nA	
Total	-	-		-	<362nA	<521nA	<402nA

【図 21】

図 21

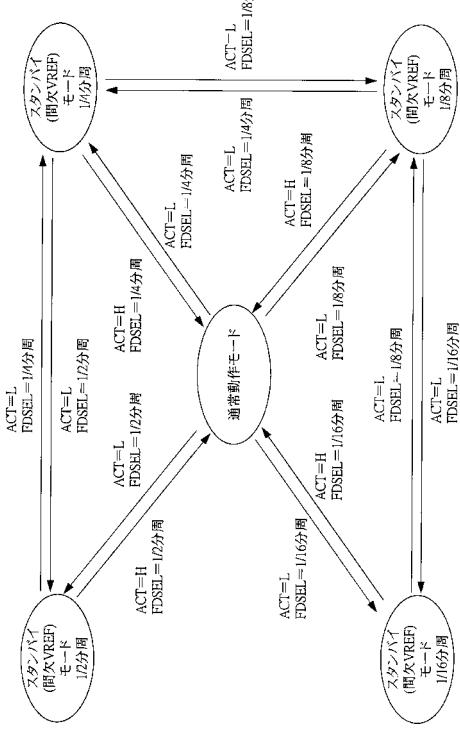


【図 22】



【図 23】

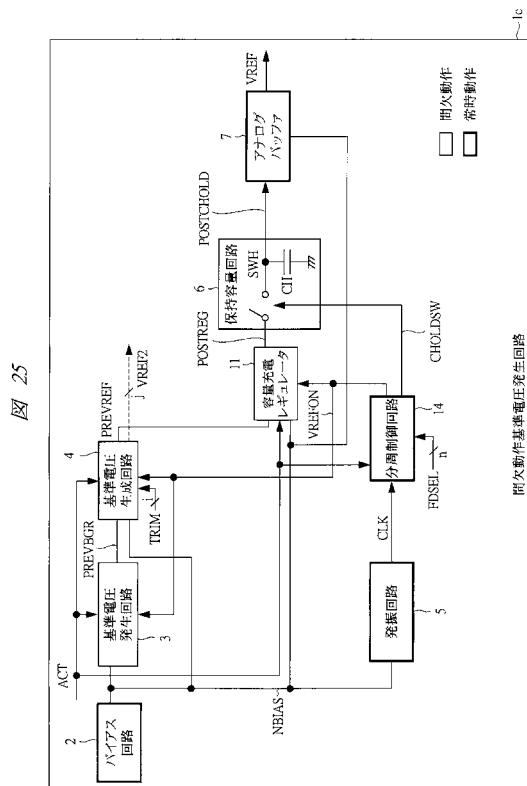
図 23



【図 24】

通常動作モード				スタンバイモード			
動作状態	消費電流	動作状態	消費電流	動作状態	消費電流	動作状態	消費電流
バイアス回路	ON	<40nA	<40nA	ON	<40nA	ON	<40nA
低精度レンズ回路	ON	<20nA	<20nA	ON	<20nA	ON	<20nA
VOSCLギュレータ	ON	<20nA	<20nA	ON	<20nA	ON	<20nA
アナログバッファ	ON	<20nA	<20nA	ON	<20nA	ON	<20nA
発振回路	ON	<40nA	<40nA	ON	<40nA	ON	<40nA
レベルシフタ	ON	<40nA	<40nA	ON	<40nA	ON	<40nA
分割制御回路	ON	<40nA	<40nA	ON	<40nA	ON	<40nA
基準電圧発生回路	ON	<80nA	<80nA	ON	<40nA	ON	<10nA
基準電圧生成回路	ON	<160nA	<160nA	ON	<160nA	ON	<20nA
容量充電ギュレータ	ON	<160nA	<160nA	ON	<160nA	ON	<20nA
保持容量回路	ON	<1nA	<1nA	ON	<1nA	ON	<1nA
Total	-	-	-	<1341nA	<50nA	<36nA	<29nA

【図 25】

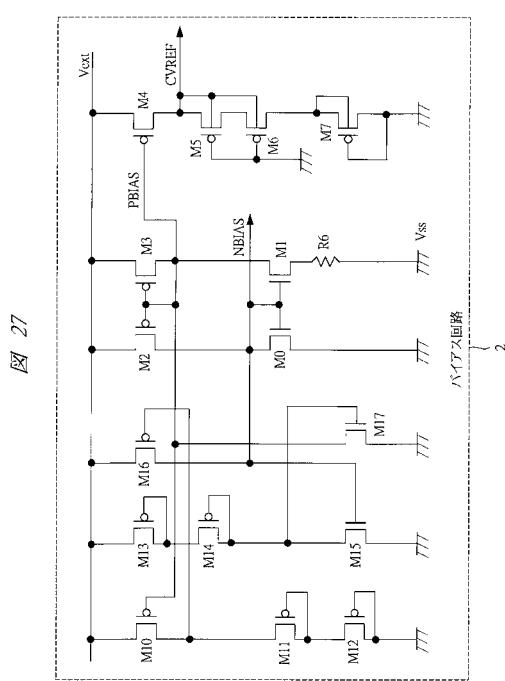


【図 26】

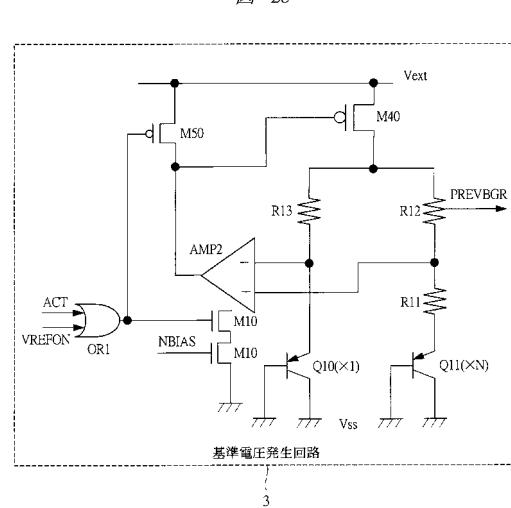
通常動作モード				スタンバイ(間欠VREF)モード			
動作状態	消費電流	動作状態	消費電流	動作状態	消費電流	動作状態	消費電流
バイアス回路	ON	<20nA	<20nA	ON	<20nA	ON	<20nA
低精度レンズ回路	ON	<20nA	<20nA	ON	<20nA	ON	<20nA
アナログバッファ	ON	<20nA	<20nA	ON	<20nA	ON	<20nA
発振回路	ON	<40nA	<40nA	ON	<40nA	ON	<40nA
レベルシフタ	ON	<40nA	<40nA	ON	<40nA	ON	<40nA
分割制御回路	ON	<40nA	<40nA	ON	<40nA	ON	<40nA
基準電圧発生回路	ON	<80nA	<80nA	ON	<40nA	ON	<10nA
基準電圧生成回路	ON	<160nA	<160nA	ON	<160nA	ON	<20nA
容量充電ギュレータ	ON	<160nA	<160nA	ON	<160nA	ON	<20nA
保持容量回路	ON	<1nA	<1nA	ON	<1nA	ON	<1nA
Total	-	-	-	<1261nA	<28nA	<21nA	<29nA

図 26

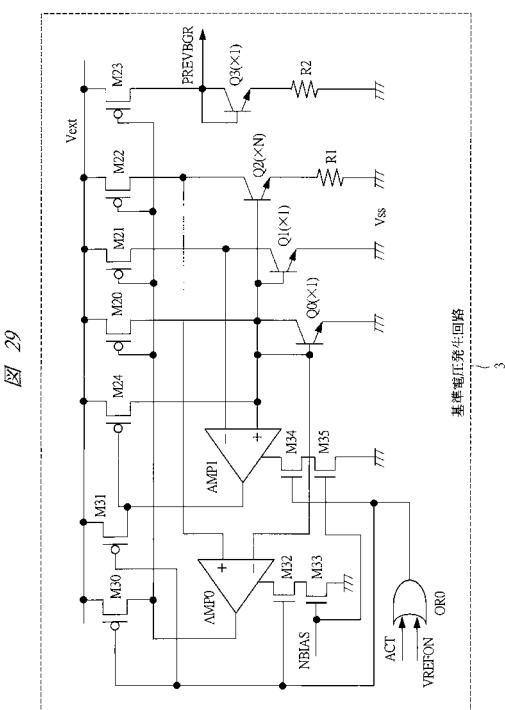
【図27】



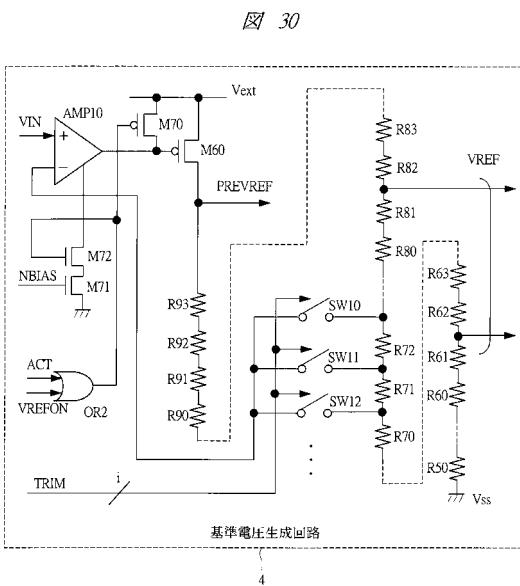
【図28】



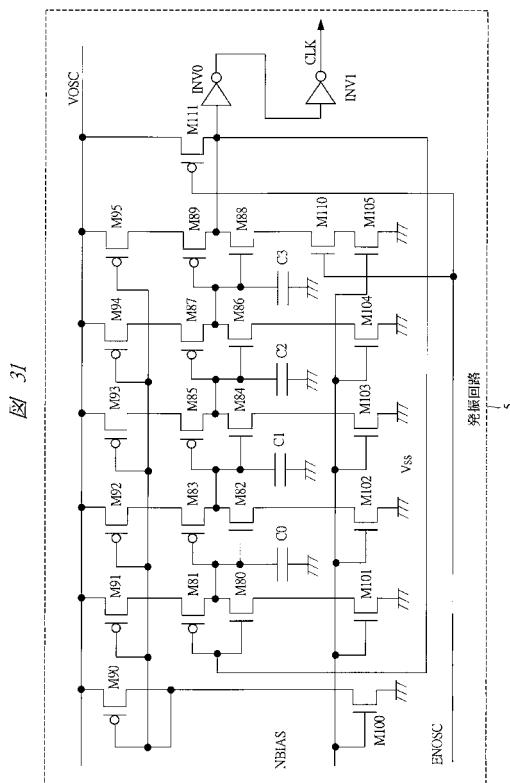
【図29】



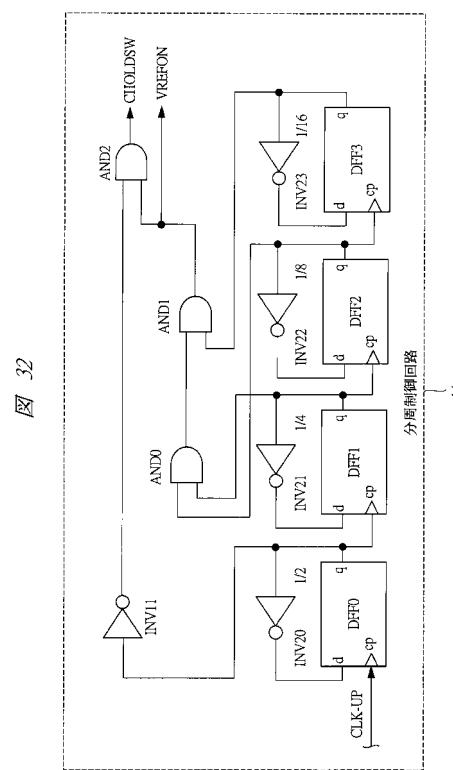
【図30】



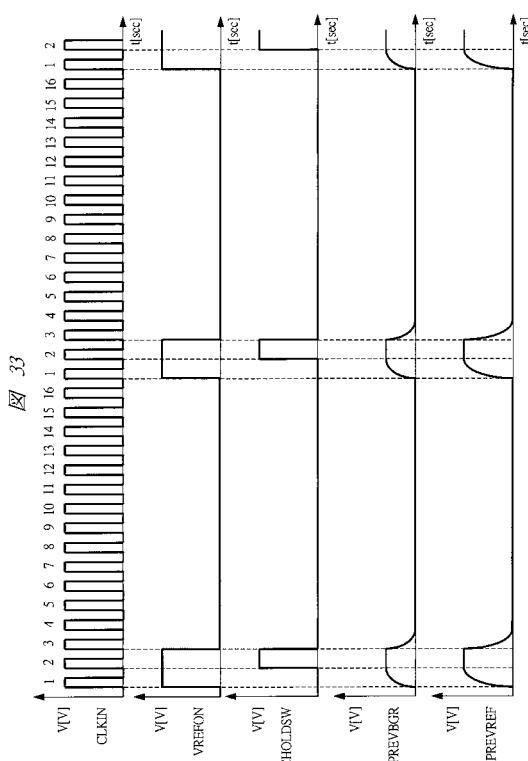
【図 3 1】



【図 3 2】



【図 3 3】



【図 3 4】

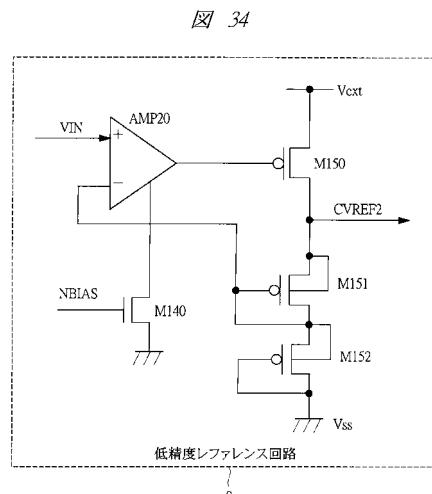
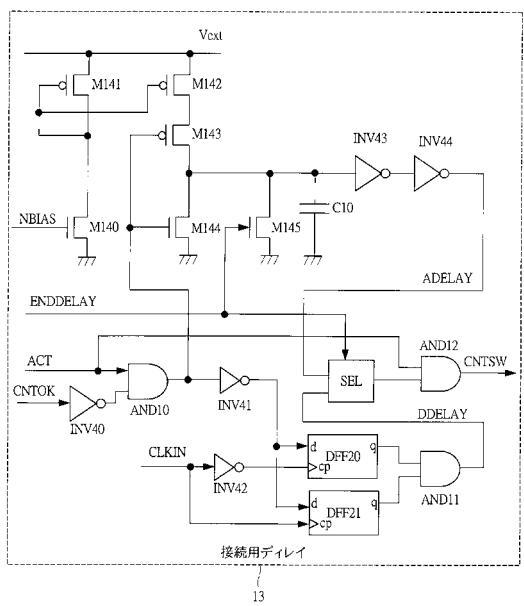


図 34

【図35】

图 35



フロントページの続き

審査官 構木澤 昌司

- (56)参考文献 特開2002-091591(JP,A)
特開平06-131068(JP,A)
特開2003-005844(JP,A)
特開平09-288897(JP,A)
特開平11-175172(JP,A)
特開2007-193933(JP,A)
米国特許出願公開第2007/0164809(US,A1)
米国特許出願公開第2005/0007126(US,A1)
特開2010-231832(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 05 F 3 / 24 - 3 / 30
H 01 L 27 / 04