

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 12 月 30 日 (30.12.2021)



(10) 国际公布号
WO 2021/258751 A1

(51) 国际专利分类号:
H03K 19/003 (2006.01) **H03L 7/00** (2006.01)

(21) 国际申请号: PCT/CN2021/076934

(22) 国际申请日: 2021 年 2 月 19 日 (19.02.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010589269.3 2020 年 6 月 24 日 (24.06.2020) CN

(71) 申请人: 苏州浪潮智能科技有限公司
(**INSPUR SUZHOU INTELLIGENT TECHNOLOGY CO., LTD.**) [CN/CN]; 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路 1 号 9 幢, Jiangsu 215000 (CN)。

(72) 发明人: 刘洁(**LIU, Jie**); 中国江苏省苏州市吴中区郭巷街道官浦路 1 号 9 幢, Jiangsu 215000 (CN)。
王旭(**WANG, Xu**); 中国江苏省苏州市吴中区郭巷街道官浦路 1 号 9 幢, Jiangsu 215000 (CN)。

(74) 代理人: 北京集佳知识产权代理有限公司
(**UNITALEN ATTORNEYS AT LAW**); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: PHASE SELF-CORRECTION CIRCUIT

(54) 发明名称: 相位自纠正电路

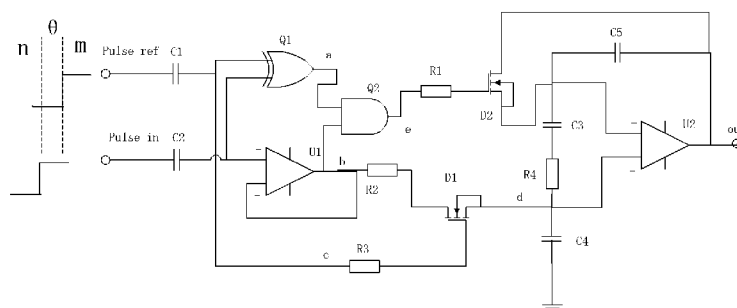


图 3

(57) **Abstract:** A phase self-correction circuit, comprising a trigger signal operation module and a signal phase correction module, wherein the trigger signal operation module and the signal phase correction module each are composed of a plurality of discrete components. The trigger signal operation module is used for performing a logical operation on an input phase standard reference signal and an actual transmission signal, so as to obtain a target trigger signal for triggering the signal phase correction module; and the signal phase correction module is used for outputting, on the basis of trigger modes of the target trigger signal and the actual transmission signal, a self-correction transmission signal with the same waveform as that of the phase standard reference signal, so as to realize phase self-correction on the actual transmission signal. Therefore, auto-correction is performed regarding a signal phase change caused by various external causes, a time sequence requirement in a long-distance transmission scenario is met, and the whole circuit has a simple structure, a high universality and low manufacturing costs.

(57) **摘要:** 一种相位自纠正电路, 包括触发信号运算模块和信号相位纠正模块; 触发信号运算模块和信号相位纠正模块均由多个分立元器件构成。触发信号运算模块用于对输入的相位标准参考信号和实际传输信号进行逻辑运算, 得到触发信号相位纠正模块的目标触发信号; 信号相位纠正模块用于基于目标触发信号和实际传输信号的触发方式输出与相位标准参考信号的波形相同的自纠正传输信号, 以实现对实际传输信号的相位自纠正, 从而实现了对外部各种原因引起的信号相位的改变进行自动纠正, 满足长距离传输场景中的时序需求, 整个电路结构简单、通用性强且制造成本低廉。

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

相位自纠正电路

本申请要求于 2020 年 6 月 24 日提交中国专利局、申请号为 CN202010589269.3、发明名称为“相位自纠正电路”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5 技术领域

本申请涉及信号传输技术领域，特别是涉及一种相位自纠正电路。

背景技术

众所周知，信号相位的大小改变通常反应该信号在传输线路中受到外界干扰而产生的一种物理性的变化，例如随着电磁等各种外界原因引起干扰，信号的相位会因此而改变，有可能超前，也有可能产生滞后，而相位的改变通常会带来时序上的混乱，不利于信号稳定传输。可见，对变化的相位进行纠正或者防止相位改变以确保信号稳定传输是非常有必要的。

相关技术中采用减少路径走线长度、增加电磁屏蔽组件或者对信号进行包地处理来防止信号传输过程中相位发生改变，而限制走线长度，增加 PCB（Printed Circuit Board，印制电路板）走线的空间，增加额外的屏蔽措施不仅会限制实际应用场景，通用性差，而且不能完全消除相位的改变，还会增加额外的制造成本。另外一种相关技术采用在终端增加一种时钟重构的集成 IC 芯片（Integrated Circuit Chip，集成电路芯片），利用该芯片在终端进行信号重构处理来实现相位纠正。集成 IC 芯片价格昂贵，会增加整个电路系统的制造成本。

鉴于此，如何解决相关技术通用性差且制造成本高的问题，是所属领域技术人员需要解决的技术问题。

25 发明内容

本申请提供了一种相位自纠正电路，实现了对外部各种原因引起的信号相位的改变进行自动纠正，以满足长距离传输场景中的时序需求，整个结构简单、通用性强且制造成本低廉。

为解决上述技术问题，本发明实施例提供以下技术方案：

本发明实施例提供了一种相位自纠正电路，包括触发信号运算模块和信号相位纠正模块；所述触发信号运算模块和所述信号相位纠正模块均由多个分立元器件构成；

5 其中，所述触发信号运算模块用于对输入的相位标准参考信号和实际传输信号进行逻辑运算，得到触发所述信号相位纠正模块的目标触发信号；

所述信号相位纠正模块用于基于所述目标触发信号和所述实际传输信号的触发方式输出与所述相位标准参考信号的波形相同的自纠正传输信号，以实现所述实际传输信号的相位自纠正。

10 可选的，所述触发信号运算模块包括异或门和与门；

其中，所述异或门的第一输入端接入所述相位标准参考信号，所述异或门的第二输入端接入所述实际传输信号；所述与门的第一输入端与所述异或门的输出端相连，所述与门的第二输入端接入所述实际传输信号，所述与门的输出端与所述信号相位纠正模块相连。

15 可选的，所述触发信号运算模块还包括第一电压运算放大器；

所述第一电压运算放大器的正极接入所述实际传输信号，所述第一电压运算放大器的输出端与所述与门的第二输入端相连，以将所述实际传输信号经所述第一电压运算放大器进行处理后输入所述与门。

可选的，所述触发信号运算模块还包括第一电容和第二电容；

20 所述相位标准参考信号经所述第一电容输入所述异或门的第一输入端；所述实际传输信号经所述第二电容输入所述第一电压运算放大器的正极。

可选的，所述信号相位纠正模块包括第一开关管、第二开关管和电压保持子模块；

25 所述第一开关管的一端与所述触发信号运算模块的输出端相连，所述第一开关管的另一端与所述电压保持子模块相连；所述第二开关管的一端接入所述实际传输信号，所述第二开关管的另一端与所述电压保持子模块相连；

所述电压保持子模块用于基于所述第一开关管或所述第二开关管的导

通、截止状态，通过调节输出电压与所述相位标准参考信号电压保持一致以使所述实际传输信号的波形被调整为与所述相位标准参考信号的波形相同后被输出。

5 可选的，所述第一开关管和所述第二开关管均为 NMOS 场效应晶体管。

可选的，所述电压保持子模块包括第三电容、第四电容、第二电阻和第四电阻；

10 所述第三电容的两端分别与所述第一开关管的源极、所述第四电阻的一端相连；所述第四电容的一端与所述第二开关管的源极、所述第四电阻相连，所述第四电容的另一端接地；所述第二电阻的两端分别与所述第二开关管的漏极、所述触发信号运算模块相连；

所述第二电阻的电阻值基于所述相位标准参考信号或所述实际传输信号的周期和所述第四电容的电容量确定，以使所述第四电容的一次放电总时间不小于所述周期值；所述第四电阻的电阻值不大于预设电阻阈值。

15 可选的，所述信号相位纠正模块还包括第二电压运算放大器；

所述第二电压运算放大器的负极与所述第三电容一端、所述第一开关管的源极相连，所述第二电压运算放大器的正极与所述第二开关管的源极、所述第四电容、所述第四电阻相连，所述第二电压运算放大器的输出端与所述第一开关管的漏极相连以作为输出端输出所述自纠正传输信号。

20 可选的，所述信号相位纠正模块还包括用于对隔直放大的第五电容；

所述第五电容的一端与所述第三电容、所述第一开关管的源极相连、所述第二电压运算放大器的负极相连，所述第五电容的另一端与所述第二电压运算放大器的输出端、所述第一开关管的漏极相连。

可选的，所述信号相位纠正模块还包括第一电阻和第三电阻；

25 所述第一电阻的一端与所述触发信号运算模块的输出端相连，所述第一电阻的另一端与所述第一开关管的栅极相连；所述第三电阻的一端与所述触发信号运算模块的输入端相连，所述第三电阻的另一端与所述第二开关管的栅极相连。

本申请提供的技术方案的优点在于，基于触发信号运算模块对相位标

准参考信号和经过长距离传输后的实际传输信号进行逻辑运算得到的目标触发信号和实际传输信号本身确定触发方式，基于触发方式调整实际传输信号的波形与相位标准参考信号的波形保持一致，从而实现了对外部各种原因引起的信号相位的改变进行自动纠正，满足长距离传输场景中的时序需求，整个结构简单、可靠性强。由于相位自纠正电路由多个半导体分立元器件构成，相比集成 IC 芯片来说，这些分立元器件价格低廉，整个相位自纠正电路制造成本相比集成 IC 芯片降低了很多，而且自纠正电路对应用场景没有任何要求，通用性强。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性的，并不能限制本公开。

附图说明

为了更清楚的说明本发明实施例或相关技术的技术方案，下面将对实施例或相关技术描述中所需要使用的附图作简单的介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明实施例提供的相位自纠正电路的一种实施方式的结构框架示意图；

图 2 为本发明实施例提供的相位自纠正原理示意图；

图 3 为本发明实施例提供的相位自纠正电路的另一种实施方式的结构示意图。

具体实施方式

为了使本技术领域的人员更好地理解本发明方案，下面结合附图和具体实施方式对本发明作进一步的详细说明。显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”“第四”等是用于区别不同的对象，而不是用于描述特定的顺序。此外术语“包括”和“具有”以及他们任何变形，意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元，而是可包括没有列出的步骤或单元。

在介绍了本发明实施例的技术方案后，下面详细的说明本申请的各种非限制性实施方式。

首先参见图 1 和图 2，图 1 为本发明实施例提供的一种相位自纠正电路方法的流程示意图，本发明实施例可包括以下内容：

10 相位自纠正电路可包括触发信号运算模块 1 和信号相位纠正模块 2，触发信号运算模块 1 和信号相位纠正模块 2 均由多个分立元器件构成。触发信号运算模块 1 的输入为相位标准参考信号和实际传输信号，相位标准参考信号为待传输信号经过长距离传输后的没有相位发生变化的标准信号，实际传输信号是为待传输信号经过长距离传输后的输出的相位发生变化的实际信号，触发信号运算模块 1 的输出为目标触发信号。信号相位纠正模块 2 的输入为目标触发信号和实际传输信号，输出为经过相位纠正的实际传输信号。也即相位自纠正电路用于将实际传输信号经过触发信号运算模块 1 和信号相位纠正模块 2 的处理输出与相位标准参考信号的波形相同信号，实现对实际传输信号的相位自纠正，在如图 2 所示的实现原理示意图，图 2 中的原始信号即为实际传输信号。

其中，触发信号运算模块 1 可用于对输入的相位标准参考信号和实际传输信号进行逻辑运算，得到触发信号相位纠正模块 2 的目标触发信号。逻辑运算例如可为逻辑与运算、异或运算等，基于所要进行的逻辑运算选取实现相应逻辑运算的分立元器件，对相位标准参考信号和实际传输信号进行逻辑运算得到目标触发信号，目标触发信号的波形不同触发信号相位纠正模块 2 最终输出信号的线路不同。

信号相位纠正模块 2 可用于基于目标触发信号和实际传输信号的触发方式输出与相位标准参考信号的波形相同的自纠正传输信号，以实现对实际传输信号的相位自纠正。信号相位纠正模块 2 可包括多个基于不同波形

实现信号截止或信号导通的分立器件，如开关管，目标触发信号和实际传输信号共同确定哪个器件信号截止、哪个器件信号导通，对于信号导通的后续信号流向经过分立元器件的调制使最终输出的实际传输信号与相位标准参考信号的波形相同。

5 在本发明实施例提供的技术方案中，基于触发信号运算模块对相位标准参考信号和经过长距离传输后的实际传输信号进行逻辑运算得到的目标触发信号和实际传输信号本身确定触发方式，基于触发方式调整实际传输信号的波形与相位标准参考信号的波形保持一致，从而实现了对外部各种原因引起的信号相位的改变进行自动纠正，满足长距离传输场景中的时序需求，整个结构简单、可靠性强。由于相位自纠正电路由多个半导体分立
10 元器件构成，相比集成 IC 芯片来说，这些分立元器件价格低廉，整个相位自纠正电路制造成本相比集成 IC 芯片降低了很多，而且自纠正电路对应用场景没有任何要求，通用性强。

15 在上述实施例中，对于触发信号运算模块和所述信号相位纠正模块的结构组成并不做限定，本实施例中给出触发信号运算模块和信号相位纠正模块的一种实施方式下的结构组成，如图 3 所示，图 3 的 Pulse ref 为正常的相位标准参考信号，Pulse in 为经过长距离传输后相位发生变化的实际传输信号，实际传输信号与相位标准参考信号之间的相位差为 θ ， θ 可大于
20 0 也可小于 0，图 3 示出的 θ 为大于 0 的状态，即信号的相位滞后于正常的参考信号相位。可包括如下内容：

 触发信号运算模块 1 实现逻辑运算的分立元器件包括异或门 Q1 和与门 Q2。异或门 Q1 对于输入波形相位相同的输出 1，相位不同的输出 0，与门 Q2 对于输入波形相位相同的输出 1，相位不同的输出 0。异或门 Q1
25 的第一输入端接入相位标准参考信号，异或门 Q1 的第二输入端接入实际传输信号；与门 Q2 的第一输入端与异或门 Q1 的输出端相连，与门 Q2 的第二输入端接入实际传输信号，与门 Q2 的输出端与信号相位纠正模块 2 相连。

 作为一种可选的实施方式，为了实现电压跟随作用，使得实际传输信

号在输入与门 Q2 之前为低输出阻抗，触发信号运算模块 1 还可包括第一电压运算放大器 U1。第一电压运算放大器 U1 的正极接入实际传输信号，第一电压运算放大器 U1 的输出端和与门 Q2 的第二输入端相连，将实际传输信号经第一电压运算放大器进行处理后输入与门 Q2。

5 作为另外一种可选的实施方式，为了保证相位标准参考信号和实际传输信号这两路纯正的脉冲信号的输入，滤除外界引入到脉冲中的偏置直流电压，触发信号运算模块 1 例如还可包括第一电容 C1 和第二电容 C2。相位标准参考信号经第一电容 C1 输入异或门 Q1 的第一输入端；实际传输信号经第二电容 C2 输入第一电压运算放大器 U1 的正极。

10 在本发明实施例 1 中，信号相位纠正模块 2 中实现信号导通或截止的分立元器件可包括第一开关管 D1、第二开关管 D2，第一开关管 D1 和第二开关管 D2 例如为 NMOS 场效应晶体管。当然，第一开关管 D1 和第二开关管 D2 还可为其他实现导通和截止功能的器件，如三极管等，这均不影响本申请的实现。第一开关管 D1 的一端与触发信号运算模块 1 的输出端
15 相连，如图 3 所示的与门 Q2 的输出端相连，第一开关管的另一端与电压保持子模块相连；第二开关管 D2 的一端接入实际传输信号，第二开关管 D2 的另一端与电压保持子模块相连。电压保持子模块可用于基于第一开关管 D1 或第二开关管 D2 的导通、截止状态，通过调节输出电压与相位标准参考信号电压保持一致以使实际传输信号的波形被调整为与相位标准参考
20 信号的波形相同后被输出。

在本发明实施例的一些实施方式中，电压保持子模块可包括第三电容 C3、第四电容 C4、第二电阻 R2 和第四电阻 R4。以第一开关管 D1 和第二开关管 D2 例如为 NMOS 场效应晶体管为例描述各元器件之间的连接关系，第三电容 C3 的两端分别与第一开关管 D1 的源极、第四电阻 R4 的一端相连；
25 第四电容 C4 的一端与第二开关管 D2 的源极、第四电阻 R4 相连，第四电容 C4 的另一端接地；第二电阻 R2 的两端分别与第二开关管 D2 的漏极、触发信号运算模块 1 的第一电压运算放大器 UI 的输出端相连。其中，第二电阻 R2 的电阻值基于相位标准参考信号或实际传输信号的周期和第四电容 C4 的电容量确定，以使第四电容 C4 的一次放电总时间不小于周期值，

第四电阻 R4 的电阻值不大于预设电阻阈值，以使在第四电容 C4 放电时迅速变为 0。

基于上述触发信号运算模块和信号相位纠正模块的结构对实际输出信号的自纠正原理如下所述：

- 5 当 θ 大于 0，m 时段，pulse ref 与 pulse in 均为高电平 1，那么两路信号经过 Q1 异或门，输出电压 a 为 0 电平，经过 Q2 与门，e 处电压也为 0，D2 截止，U1 输出即 b 处电压为 1，此时 D1 导通，所以 d 处电压的电平同样为高电平 1，因此输出电压为高电平 1。当时段在 θ 位置时，输入 ref 为 0，输入 in 为 1，同理可得，Q1 输出 a 为 1，b 为 1，D2 导通，D1 截止，
- 10 此时 C4 上的电压迅速通过 R4、C3、D2 放电，由于 R4 电阻值较小，那么输出迅速变为 0，与 ref 电压相同，同理，在 n 时段时，b 处电压为 0，c 处电压为 0，D1 截止，a 处电压和 b 处电压均为 0，D2 截止，C4 电压保持为 0，输出电压一直为 0，低电平，同样与 ref 相等。综上，输出 out 与 ref 波形完全相同，因此 pulse in 被矫正为 ref 相同的相位状态。
- 15 当 θ 小于 0，即 pulse in 超前 ref 时，同理可得，在 m 区间，与上述相同，输入输出同为 1 高电平，在 θ 时段时，b 处电压为 0，c 处电压为 1，D1 导通，e 处电压为 0，D2 截止，此时，C4 通过 D1、R2 放电，由于 R2 阻值较大，放电很慢，C4 会保持为高电平一段时间，此时输出 out 与 ref 相等同为高，相位被矫正，直到 n 时段，C4 放电完成，变为低电平 0，此
- 20 时输出 out 也与 ref 相等，整体 pulse in 相位被矫正为 ref 相等。

- 在本发明实施例的另外一些实施方式中，为了实现电压跟随作用，使得校正后的实际传输信号为低输出阻抗，信号相位纠正模块 2 还可包括第二电压运算放大器 U2。第二电压运算放大器 U2 的负极与第三电容 C3 一
- 25 端、第一开关管 D1 的源极相连，第二电压运算放大器 U2 的正极与第二开关管 D1 的源极、第四电容 C4、第四电阻 R4 相连，第二电压运算放大器 U2 的输出端与第一开关管 D1 的漏极相连以作为输出端输出自纠正传输信号。

作为一种可选的实施方式，为了使得输出信号不受其他信号影响，信

号相位纠正模块 2 还可包括用于对隔直放大的第五电容 C5。第五电容 C5 的一端与第三电容 C3、第一开关管 D1 的源极相连、第二电压运算放大器 U2 的负极相连, 第五电容 C5 的另一端与第二电压运算放大器 U2 的输出端、第一开关管 D1 的漏极相连。

- 5 作为另外一种可选的实施方式, 为了延长电路使用寿命, 保护电路元器件不会在过大电流中损坏, 信号相位纠正模块 2 还可包括第一电阻 R1 和第三电阻 R3。第一电阻 R1 的一端与触发信号运算模块 1 的输出端相连, 第一电阻 R1 的另一端与第一开关管 D1 的栅极相连; 第三电阻 R3 的一端与触发信号运算模块 1 的输入端相连, 第三电阻 R3 的另一端与第二开关管 D2 的栅极相连。
- 10

为了使所属领域技术人员更加清楚本申请的技术方案, 本申请还提供了一个示意性例子, 该例子以图 3 所示的相位自纠正电路进行相位自纠正, 其中 VCC 为 3.3V, C1、C2、C3、C4 为 1Uf, R4 为 1K, R1、R2、R3 可
15 为 10K, R2 可根据实际电路需要选取合适的电阻值。C5 为 0.47Uf, 起到对输入进行隔直放大作用, U1、U2 为普通的 LM307 运放, D1、D2 为 SI2302 NMOS 管, Q1 为 7486 异或门, Q2 为 7408 型号与门, 可包括下述内容:

当 θ 大于 0, 即图 3 中所示状态, 在 m 时段, ref 与 in 同为 3.3V, 高电平, 此时 a 处电压为 0, e 处电压为 0, D2 截止, b 处电压为 3.3V, c 处
20 电压为 3.3V, D1 导通, 则 d 处电压为 3.3V, U2 正向输入为 3.3V, 因此输出 out 为 3.3V, 大小等于 ref 电压。在 θ 时段时, in 为 3.3V, ref 为 0V, a=b=3.3V, 因此 e=3.3V, D2 导通, c=0V, D1 截止, 因此, d 端电压通过 R4、C3、D2 迅速放电, 变为 0V, 此时输出电压等于 ref 为 0V。在 n 时段, ref 为 0V, in 为 0V, a=e=0V, D2 截止, 同理 D1 截止, 此时输出电压依旧保持为 0v, 大小等于 ref, 综上, 这个时段, 输出电压与 ref 大小相等,
25 相位被矫正。

当 θ 小于 0 时, 即 in 相位超前 ref 相位, 在 m 时段, ref 与 in 同为 3.3V, 此时与上述相同, 输出电压为 3.3V, 大小等于 ref。当在 θ 时段, in 为 0V, ref 为 3.3V, a 处电压为 3.3V, b 处电压为 0V, e 处电压为 0V, D2 截止,

同理 D1 导通，此时 d 通过 D1、R2 放电，因为 R2 阻值较大，因此高电平会维持较长时间，直到 n 时段，变为 0V，但在 θ 时段，输出电压依旧为 3.3V，大小等于 ref。在 n 时段期间， $\text{ref}=\text{in}=0\text{V}$ ，d 处电压放电完成变为 0V，此时 out 为 0v，大小等于 ref。整个时段区间，out 与 ref 相等，因此 in 被矫正为 ref。

由上可知，无论 in 超前还是滞后 ref，最终输出信号都被矫正为 ref，实现了自纠正的功能，无需采用专门的集成的芯片电路或者装置进行相位的矫正调节，通用性强，可靠性高，大大地节约了制造成本。

10 本说明书中各个实施例采用递进的方式描述，每个实施例重点说明的都是与其它实施例的不同之处，各个实施例之间相同或相似部分互相参见即可。对于实施例公开的装置而言，由于其与实施例公开的方法相对应，所以描述的比较简单，相关之处参见方法部分说明即可。

15 专业人员还可以进一步意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、计算机软件或者二者的结合来实现，为了清楚地说明硬件和软件的可互换性，在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本发明的范围。

25 以上对本申请所提供的一种相位自纠正电路进行了详细介绍。本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明的方法及其核心思想。应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明原理的前提下，还可以对本申请进行若干改进和修饰，这些改进和修饰也落入本申请权利要求的保护范围内。

权 利 要 求

1、一种相位自纠正电路，其特征在于，包括触发信号运算模块和信号相位纠正模块；所述触发信号运算模块和所述信号相位纠正模块均由多个分立元器件构成；

5 其中，所述触发信号运算模块用于对输入的相位标准参考信号和实际传输信号进行逻辑运算，得到触发所述信号相位纠正模块的目标触发信号；

所述信号相位纠正模块用于基于所述目标触发信号和所述实际传输信号的触发方式输出与所述相位标准参考信号的波形相同的自纠正传输信号，以实现所述实际传输信号的相位自纠正。

10 2、根据权利要求1所述的相位自纠正电路，其特征在于，所述触发信号运算模块包括异或门和与门；

其中，所述异或门的第一输入端接入所述相位标准参考信号，所述异或门的第二输入端接入所述实际传输信号；所述与门的第一输入端与所述异或门的输出端相连，所述与门的第二输入端接入所述实际传输信号，所述与门的输出端与所述信号相位纠正模块相连。

3、根据权利要求2所述的相位自纠正电路，其特征在于，所述触发信号运算模块还包括第一电压运算放大器；

20 所述第一电压运算放大器的正极接入所述实际传输信号，所述第一电压运算放大器的输出端与所述与门的第二输入端相连，以将所述实际传输信号经所述第一电压运算放大器进行处理后输入所述与门。

4、根据权利要求3所述的相位自纠正电路，其特征在于，所述触发信号运算模块还包括第一电容和第二电容；

25 所述相位标准参考信号经所述第一电容输入所述异或门的第一输入端；所述实际传输信号经所述第二电容输入所述第一电压运算放大器的正极。

5、根据权利要求1-4任意一项所述的相位自纠正电路，其特征在于，所述信号相位纠正模块包括第一开关管、第二开关管和电压保持子模块；

所述第一开关管的一端与所述触发信号运算模块的输出端相连，所述第一开关管的另一端与所述电压保持子模块相连；所述第二开关管的一端

接入所述实际传输信号，所述第二开关管的另一端与所述电压保持子模块相连；

所述电压保持子模块用于基于所述第一开关管或所述第二开关管的导通、截止状态，通过调节输出电压与所述相位标准参考信号电压保持一致以使所述实际传输信号的波形被调整为与所述相位标准参考信号的波形相同后被输出。

6、根据权利要求5所述的相位自纠正电路，其特征在于，所述第一开关管和所述第二开关管均为NMOS场效应晶体管。

7、根据权利要求6所述的相位自纠正电路，其特征在于，所述电压保持子模块包括第三电容、第四电容、第二电阻和第四电阻；

所述第三电容的两端分别与所述第一开关管的源极、所述第四电阻的一端相连；所述第四电容的一端与所述第二开关管的源极、所述第四电阻相连，所述第四电容的另一端接地；所述第二电阻的两端分别与所述第二开关管的漏极、所述触发信号运算模块相连；

所述第二电阻的电阻值基于所述相位标准参考信号或所述实际传输信号的周期和所述第四电容的电容量确定，以使所述第四电容的一次放电总时间不小于所述周期值；所述第四电阻的电阻值不大于预设电阻阈值。

8、根据权利要求7所述的相位自纠正电路，其特征在于，所述信号相位纠正模块还包括第二电压运算放大器；

所述第二电压运算放大器的负极与所述第三电容一端、所述第一开关管的源极相连，所述第二电压运算放大器的正极与所述第二开关管的源极、所述第四电容、所述第四电阻相连，所述第二电压运算放大器的输出端与所述第一开关管的漏极相连以作为输出端输出所述自纠正传输信号。

9、根据权利要求8所述的相位自纠正电路，其特征在于，所述信号相位纠正模块还包括用于对隔直放大的第五电容；

所述第五电容的一端与所述第三电容、所述第一开关管的源极相连、所述第二电压运算放大器的负极相连，所述第五电容的另一端与所述第二电压运算放大器的输出端、所述第一开关管的漏极相连。

10、根据权利要求9所述的相位自纠正电路，其特征在于，所述信号

相位纠正模块还包括第一电阻和第三电阻；

所述第一电阻的一端与所述触发信号运算模块的输出端相连，所述第一电阻的另一端与所述第一开关管的栅极相连；所述第三电阻的一端与所述触发信号运算模块的输入端相连，所述第三电阻的另一端与所述第二开

5 关管的栅极相连。

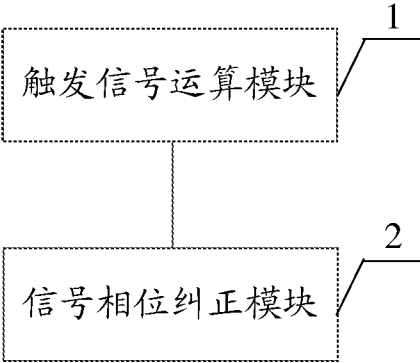


图 1

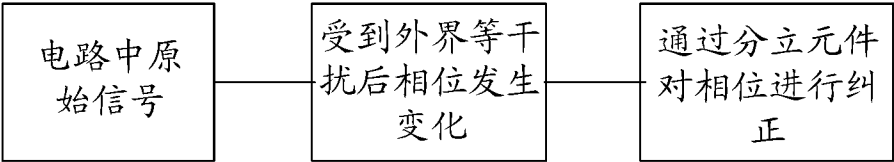


图 2

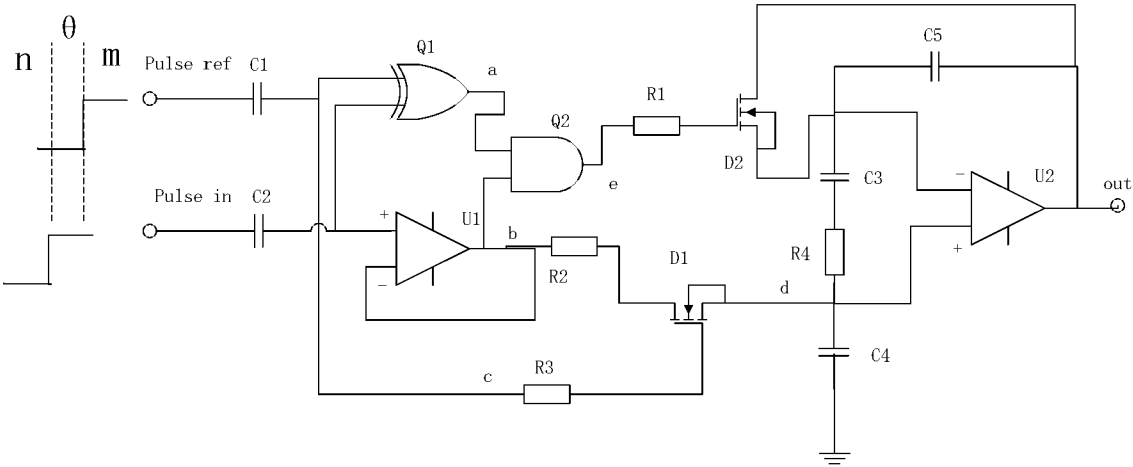


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/076934

A. CLASSIFICATION OF SUBJECT MATTER

H03K 19/003(2006.01)i; H03L 7/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K:H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI: 相位, 校正, 校准, 纠正, 触发, 异或, 与门, 放大器, 电容, phase, revise, calibrate, excite, and, amplifier, capacitor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 111817701 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 23 October 2020 (2020-10-23) claims 1-10	1-10
Y	TW 200939183 A (HIMAX TECHNOLOGIES, INC.) 16 September 2009 (2009-09-16) description page 9 line 19 to page 11 line 4, figure 4	1-2
Y	CN 201054649 Y (QINGDAO HISENSE ELECTRIC CO., LTD.) 30 April 2008 (2008-04-30) description, page 3	1-2
A	CN 108009112 A (SHANGHAI WZ TECHNOLOGY INC.) 08 May 2018 (2018-05-08) entire document	1-10
A	CN 107872223 A (MAWIER INTERNATIONAL TRADE CO., LTD.) 03 April 2018 (2018-04-03) entire document	1-10
A	CN 1697036 A (MEDIATEK INC.) 16 November 2005 (2005-11-16) entire document	1-10
A	US 6167101 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 26 December 2000 (2000-12-26) entire document	1-10

☐ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 May 2021

Date of mailing of the international search report

19 May 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/076934

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111817701	A	23 October 2020	None			
TW	200939183	A	16 September 2009	TW	I381345	B	01 January 2013
CN	201054649	Y	30 April 2008	None			
CN	108009112	A	08 May 2018	None			
CN	107872223	A	03 April 2018	US	2018091162	A1	29 March 2018
				US	10897260	B2	19 January 2021
CN	1697036	A	16 November 2005	CN	1320532	C	06 June 2007
US	6167101	A	26 December 2000	None			

国际检索报告

国际申请号

PCT/CN2021/076934

A. 主题的分类 H03K 19/003(2006.01)i; H03L 7/00(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																										
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H03K;H03L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, EPDOC, WPI:相位, 校正, 校准, 纠正, 触发, 异或, 与门, 放大器, 电容, phase, revise, calibrate, excite, and, amplifier, capacitor																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 111817701 A (苏州浪潮智能科技有限公司) 2020年 10月 23日 (2020 - 10 - 23) 权利要求1-10</td> <td>1-10</td> </tr> <tr> <td>Y</td> <td>TW 200939183 A (奇景光电股份有限公司) 2009年 9月 16日 (2009 - 09 - 16) 说明书第9页第19行至11页第4行、图4</td> <td>1-2</td> </tr> <tr> <td>Y</td> <td>CN 201054649 Y (青岛海信电器股份有限公司) 2008年 4月 30日 (2008 - 04 - 30) 说明书第3页</td> <td>1-2</td> </tr> <tr> <td>A</td> <td>CN 108009112 A (上海玮舟微电子科技有限公司) 2018年 5月 8日 (2018 - 05 - 08) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 107872223 A (马维尔国际贸易有限公司) 2018年 4月 3日 (2018 - 04 - 03) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 1697036 A (联发科技股份有限公司) 2005年 11月 16日 (2005 - 11 - 16) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 6167101 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 2000年 12月 26日 (2000 - 12 - 26) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 111817701 A (苏州浪潮智能科技有限公司) 2020年 10月 23日 (2020 - 10 - 23) 权利要求1-10	1-10	Y	TW 200939183 A (奇景光电股份有限公司) 2009年 9月 16日 (2009 - 09 - 16) 说明书第9页第19行至11页第4行、图4	1-2	Y	CN 201054649 Y (青岛海信电器股份有限公司) 2008年 4月 30日 (2008 - 04 - 30) 说明书第3页	1-2	A	CN 108009112 A (上海玮舟微电子科技有限公司) 2018年 5月 8日 (2018 - 05 - 08) 全文	1-10	A	CN 107872223 A (马维尔国际贸易有限公司) 2018年 4月 3日 (2018 - 04 - 03) 全文	1-10	A	CN 1697036 A (联发科技股份有限公司) 2005年 11月 16日 (2005 - 11 - 16) 全文	1-10	A	US 6167101 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 2000年 12月 26日 (2000 - 12 - 26) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
PX	CN 111817701 A (苏州浪潮智能科技有限公司) 2020年 10月 23日 (2020 - 10 - 23) 权利要求1-10	1-10																								
Y	TW 200939183 A (奇景光电股份有限公司) 2009年 9月 16日 (2009 - 09 - 16) 说明书第9页第19行至11页第4行、图4	1-2																								
Y	CN 201054649 Y (青岛海信电器股份有限公司) 2008年 4月 30日 (2008 - 04 - 30) 说明书第3页	1-2																								
A	CN 108009112 A (上海玮舟微电子科技有限公司) 2018年 5月 8日 (2018 - 05 - 08) 全文	1-10																								
A	CN 107872223 A (马维尔国际贸易有限公司) 2018年 4月 3日 (2018 - 04 - 03) 全文	1-10																								
A	CN 1697036 A (联发科技股份有限公司) 2005年 11月 16日 (2005 - 11 - 16) 全文	1-10																								
A	US 6167101 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 2000年 12月 26日 (2000 - 12 - 26) 全文	1-10																								
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																									
国际检索实际完成的日期 2021年 5月 6日		国际检索报告邮寄日期 2021年 5月 19日																								
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 葛加伍 电话号码 86-(10)-53961485																								

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/076934

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111817701	A	2020年 10月 23日	无			
TW	200939183	A	2009年 9月 16日	TW	I381345	B	2013年 1月 1日
CN	201054649	Y	2008年 4月 30日	无			
CN	108009112	A	2018年 5月 8日	无			
CN	107872223	A	2018年 4月 3日	US	2018091162	A1	2018年 3月 29日
				US	10897260	B2	2021年 1月 19日
CN	1697036	A	2005年 11月 16日	CN	1320532	C	2007年 6月 6日
US	6167101	A	2000年 12月 26日	无			