

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成30年6月28日 (2018.6.28)

【公表番号】特表2017-517941 (P2017-517941A)
 【公表日】平成29年6月29日 (2017.6.29)
 【年通号数】公開・登録公報2017-024
 【出願番号】特願2016-563826 (P2016-563826)
 【国際特許分類】

H 0 4 L 25/49 (2006.01)

H 0 3 M 5/08 (2006.01)

【F I】

H 0 4 L 25/49 H

H 0 3 M 5/08

【手続補正書】
 【提出日】平成30年5月16日 (2018.5.16)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

データ入力信号からのパルス幅変調されたデータを復号するための装置であって、前記データ入力信号は、ビットのシリアルストリームを含み、前記シリアルストリームの各ビットは、ビット時間にわたり、前記シリアルストリームの各ビットは、その持続時間がそれぞれのビットの値をシグナリングするトレイリングパルスを有し、前記装置は、

前記データ入力信号上の短いトレイリングパルスを抑制することと、前記データ入力信号上の長いトレイリングパルスを抑制しないことと、を含む、トレイリングパルスを短縮するために前記データ入力信号をフィルタリングするための手段と、

前記データ入力信号のトレイリングエッジで前記フィルタリングされたデータ入力信号をラッチするための手段と、
 を備える、装置。

【請求項 2】
 抑制されるトレイリングパルスの持続時間が較正される、請求項 1 に記載の装置。

【請求項 3】
 前記較正は、3 の係数よりも大きい遅延の範囲を含む、請求項 2 に記載の装置。

【請求項 4】
 前記較正は、デジタルで制御される、請求項 2 に記載の装置。

【請求項 5】
 前記データ入力信号を受信し、前記ラッチするための手段が前記フィルタリングされたデータ信号をラッチするようにトリガするためのクロック出力信号を生成するように構成されたクロック生成器モジュールをさらに備える、請求項 1 に記載の装置。

【請求項 6】
 前記クロック生成器モジュールは、前記データ入力信号に結合された入力、および前記クロック出力信号に結合された出力を有するインバータを備え、前記ラッチするための手段は、前記クロック出力信号のトレイリングエッジで前記フィルタリングされたデータ信号をラッチする、請求項 5 に記載の装置。

【請求項 7】

前記装置はデコーダであり、

前記データ入力信号を前記フィルタリングするための手段は、前記データ入力信号上の H i g h パルスの持続時間を短縮することによって、フィルタリングされたデータ信号を生成するように構成された片側パルスフィルタであり、ここにおいて、前記片側パルスフィルタは、前記データ入力信号上の短い H i g h パルスを抑制するように構成され、前記データ入力信号上の長い H i g h パルスを抑制しないように構成される、

前記フィルタリングされたデータ入力信号を前記ラッチするための手段は、前記データ入力信号の各ビット時間の終わりに、前記フィルタリングされたデータ信号をラッチするように構成されたフリップフロップである、請求項 1 に記載の装置。

【請求項 8】

前記片側パルスフィルタは、立ち下がり遷移に関する入出力遅延よりも大きい立ち上がり遷移に関する入出力遅延を有する、請求項 7 に記載の装置。

【請求項 9】

前記片側パルスフィルタの立ち上がり遷移に関する前記入出力遅延が校正されるように適合される、請求項 8 に記載の装置。

【請求項 10】

前記片側パルスフィルタは、

コンデンサと、

前記データ入力信号に基づいて前記コンデンサを放電するように構成された電流源と、を含み、

立ち上がり遷移に関する前記片側パルスフィルタの入出力遅延は、前記コンデンサのキャパシタンスと前記電流源の電流の積に基づく、

請求項 7 に記載の装置。

【請求項 11】

データ入力信号からのパルス幅変調されたデータを復号するための方法であって、前記データ入力信号は、ビットのシリアルストリームを含み、前記シリアルストリームの各ビットは、ビット時間にわたり、前記シリアルストリームの各ビットは、その持続時間がそれぞれのビットの値をシグナリングするトレイリングパルスを有し、前記方法は、

前記トレイリングパルスを短縮するために前記データ入力信号をフィルタリングすることと、ここにおいて、前記データ入力信号をフィルタリングすることは、前記データ入力信号上の短いトレイリングパルスを抑制することと、前記データ入力信号上の長い H i g h トレイリングを抑制しないことと、を含む、

前記データ入力信号のトレイリングエッジで前記フィルタリングされたデータ入力信号をラッチすることと、

を備える、方法。

【請求項 12】

抑制されるトレイリングパルスの持続時間を校正することをさらに備える、請求項 11 に記載の方法。

【請求項 13】

前記校正は、前記データ入力信号の同期状態中に実行される、請求項 12 に記載の方法。

【請求項 14】

前記校正は、デジタルで制御される、請求項 12 に記載の方法。

【請求項 15】

前記フィルタリングされたデータ入力信号をラッチすることに使用するために、前記データ入力信号に基づいてクロック出力信号を生成することをさらに備える、請求項 11 に記載の方法。