

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
2. Oktober 2014 (02.10.2014)



(10) Internationale Veröffentlichungsnummer
WO 2014/154521 A2

(51) Internationale Patentklassifikation:
C01G 19/00 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2014/055358

(22) Internationales Anmeldedatum:
18. März 2014 (18.03.2014)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
13160850.7 25. März 2013 (25.03.2013) EP

(71) Anmelder: BASF SE [DE/DE]; 67056 Ludwigshafen
(DE).

(72) Erfinder: EICKEMEYER, Felix; Am Bächenbuckel 24-
1, 69118 Heidelberg (DE). HERMES, Wilfried; Luise-
Riegger Str. 48, 76137 Karlsruhe (DE). WALDMANN,
Daniel; Jahnstraße 52A, 67245 Lamsheim (DE).
SEELER, Fabian; Erlenweg 5, 69469 Weinheim (DE).
KÄLBLEIN, Daniel; Meerwiesenstraße 56, 68163
Mannheim (DE).

(74) Gemeinsamer Vertreter: BASF SE; 67056 Ludwigshafen
(DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ,
TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE,
SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu
veröffentlichen nach Erhalt des Berichts (Regel 48 Absatz
2 Buchstabe g)

(54) Title: METHOD FOR PRODUCING GAMMA-CSSNI₃ AND USE OF GAMMA-CSSNI₃, CS_{1-x}XAXB_{1-y}YCYI₃-ZXZ, BI_{1-x}MI_{3-y}XY FOR THIN-LAYER TRANSISTORS

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG VON GAMMA-CSSNI₃ UND VERWENDUNG VON GAMMA-CSSNI₃, CS_{1-x}XAXB_{1-y}YCYI₃-ZXZ, BI_{1-x}MI_{3-y}XY FÜR DÜNNSCHICHTTRANSISTOREN

(57) Abstract: The invention relates to the production of Y-caesium-tin-iodide from a caesium-tin-iodide solution, wherein the solvent is evaporated and the caesium-tin-iodide is then thermally treated, and to a solvent-based application of Y-caesium-tin-iodide, Cs_{1-x}A_xB_{1-y}C_yI₃, Bi_{1-x}MI_{3-y}X_y or bismuth-iodide to a substrate and use as semi-conductor material in transistor structures, wherein a CsSnI₃ solution, a Cs_{1-x}A_xB_{1-y}C_yI_{3-z}X_z-solution, a Bi_{1-x}M_xI_{3-y}X_y-solution or a BiI₃-solution is applied to a substrate using pressure technologies, wherein the application is carried out under an inert atmosphere and/or vacuum using a CsSnI₃-solution.

(57) Zusammenfassung: Die vorliegende Erfindung bezieht sich auf die Herstellung von Y-Cäsium-Zinn-Iodid aus einer Cäsium-Zinn-Iodid-Lösung, wobei das Lösungsmittel abgedampft und das Cäsium-Zinn-Iodid anschließend thermisch behandelt wird, sowie auf einen lösungsmittelbasierten Auftrag von Y-Cäsium-Zinn-Iodid, Cs_{1-x}A_xB_{1-y}C_yI₃, Bi_{1-x}MI_{3-y}X_y oder Bismuthiodid auf ein Substrat und die Verwendung als Halbleitermaterial in Transistorstrukturen, wobei eine CsSnI₃-Lösung, eine Cs_{1-x}A_xB_{1-y}C_yI_{3-z}X_z-Lösung, eine Bi_{1-x}M_xI_{3-y}X_y-Lösung oder eine BiI₃-Lösung auf ein Substrat mit Hilfe von Drucktechniken aufgebracht wird, wobei unter Verwendung von einer CsSnI₃-Lösung der Auftrag unter inerter Atmosphäre und/oder Vakuum durchgeführt wird.



WO 2014/154521 A2

Verfahren zur Herstellung von γ -CsSnI₃ und Verwendung von γ -CsSnI₃, Cs_{1-x}A_xB_{1-y}C_yI_{3-z}X_z, BiI₃ oder Bi_{1-x}M_yI_{3-y}X_y für Dünnschichttransistoren

Beschreibung

5

Die Erfindung bezieht sich auf die Herstellung von γ -Cäsium-Zinn-Iodid, sowie auf einen lösungsmittelbasierten Auftrag von γ -Cäsium-Zinn-Iodid, Cs_{1-x}A_xB_{1-y}C_yI_{3-z}X_z, Bismuthiodid, oder Bi_{1-x}M_yI_{3-y}X_y auf ein Substrat und die Verwendung als Halbleitermaterial in Transistorstrukturen.

10

Dünnschichttransistoren, bekannt als TFTs, werden vielfach als Schaltelemente in der Elektronik verwendet, insbesondere für großflächige Anwendungen. Ihre Hauptanwendung liegt in der Rückseitenplatine von aktiv-matrix Flüssigkristalldisplays (AMLCD) oder aktiv-matrix OLED-Displays (AMOLED). Darüber hinaus finden sie beispielsweise Anwendung im Bereich der Sensorik und RFID-Systemen.

15

Gegenwärtig werden TFTs in den meisten Bauelementen unter Verwendung von amorphem Silicium als Halbleiter hergestellt, da amorphes Silicium eine für großflächige Anwendungen nötige, kostengünstige Variante im Vergleich zu kristallinem Silizium darstellt. Die Anwendung von amorphem Silicium ist jedoch auf Bauelemente mit geringer Schaltgeschwindigkeit beschränkt, da seine Beweglichkeit von ca. 10⁻¹ cm²/Vs ca. 15.000 mal kleiner als jene von kristallinem Silicium ist. Wenngleich amorphes Silicium kostengünstiger herzustellen ist als kristallines Silicium, erfordert die Deposition von amorphem Silicium immer noch kostenintensive Vakuumprozesse, wie z. B. plasmaunterstützte chemische Gasphasenabscheidung. Des Weiteren erfordern die verwendeten flächigen Abscheidemethoden nachfolgend eine aufwendige und kostenintensive Strukturierung durch lithographische Methoden. Hierzu wird in der Regel ein Photo-

20

25

lack über Photolithographie strukturiert und dann als Maske zum Strukturieren der a-Si Schicht verwendet.

30

Um TFTs mit verbesserter Performance zu realisieren wie sie z.B. für Rückseitenplatinen für hochauflösende LCD oder OLED-Displays notwendig sind, müssen jedoch andere Materialien als a-Si verwendet werden.

35

In den neuesten Generationen kleiner Displays wird aktuell Niedertemperaturpolysilizium (LTPS) verwendet, da es verglichen mit a-Si eine bis zu drei Größenordnungen höhere Ladungsträgerbeweglichkeit ($\mu \approx 100 \text{ cm}^2/\text{Vs}$) aufweist und eine verbesserte elektrische Stabilität besitzt. LTPS wird durch eine Laserbehandlung aus a-Si hergestellt, die zu einer teilweisen Kristallisation des a-Si führt. LTPS weist jedoch eine Reihe von Nachteilen auf. Das für die Herstellung von LTPS nötige Laserannealing erfordert hohe Investmentkosten und erschwert die Aufskalierung des Herstellungsprozesses. Zudem weist LTPS verglichen mit a-Si eine verringerte Homogenität auf. Dadurch werden in der Regel Ausgleichsschaltungen und ein veränderter Aufbau der Rückseitenplatine notwendig. Dies führt zu einer Erhöhung der benötigten Pro-

40

zessschritte, einer erhöhten Prozesskomplexität und damit zu erhöhten Herstellungskosten verglichen mit Rückseitenplatinen aus a-Si.

Eine Alternative zu LTPS bieten Metalloxide wie Indium-Gallium-Zink-Oxid (IGZO). Metalloxide weisen eine höhere Beweglichkeit ($\mu \approx 10\text{-}30\text{cm}^2/\text{Vs}$) als a-Si auf und es wurden bereits eine Reihe von Display-Prototypen basierend auf IGZO-Rückseitenplatinen präsentiert. Verglichen mit a-Si und LTPS ist jedoch die Langzeitstabilität der IGZO-Platinen verringert. Für die bisher realisierten Rückseitenplatinen wurde die Metalloxidschicht ebenfalls flächig durch teure Vakuumprozesse, insbesondere Sputtern, abgeschieden.

Sowohl a-Si und LTPS als auch die momentan verwendeten Metalloxide werden durch aufwendige und kostenintensive Vakuummethoden abgeschieden (a-Si/LTPS zumeist durch plasmaunterstützte Gasphasenabscheidung und Metalloxide durch Sputtern). Zudem werden die Halbleitermaterialien durch diese Methoden flächig auf dem kompletten Substrat abgeschieden.

Zur Herstellung der Transistoren sind deshalb im Anschluss an die Deposition aufwendige lithographische Verfahren zur Strukturierung notwendig.

Im Hinblick auf die Verwirklichung von kostengünstiger Elektronik und der daraus resultierenden Erschließung neuer Anwendungsgebiete, ist es deshalb notwendig die aktuell verwendeten vakuumbasierten Abscheidungsprozesse durch kostengünstigere Verfahren zu ersetzen. Hierzu sind Druckprozesse bestens geeignet, da sie bei Raumdruck durchgeführt werden können und einen hohen Durchsatz ermöglichen. Zudem können die Halbleitermaterialien bereits beim Aufbringen durch einen additiven Prozess strukturiert werden. Dadurch werden nachfolgende Lithographieprozesse überflüssig.

Die Verwendung von organischen Halbleitern wurde beispielsweise in US 5 347 144 untersucht. Aufgrund der guten Prozessierbarkeit durch chemische Lösungsabscheidung, z.B. via Auftropfen, Aufschleudern, Eintauchbeschichtung, Tintenstrahldruck oder Gravurdruck bieten organische Materialien eine preiswerte Alternative zu a-Si, LTPS und Metalloxiden an. Zudem können organische Materialien bei niedrigen Temperaturen aus Lösung prozessiert werden und sind somit kompatibel mit preiswerten und flexiblen Plastiksubstraten. Die Beweglichkeiten in aus Lösung prozessierten organischen Materialien liegen im Bereich von a-Si und teilweise sogar bereits im Bereich $1\text{-}5\text{ cm}^2/\text{Vs}$. Allerdings weisen organische Halbleiter häufig eine mangelnde Stabilität der elektrischen Eigenschaften auf, welche einen großtechnischen Einsatz bisher verhindern.

Lösungsprozessierbare, anorganische Materialien bieten die Möglichkeit die Vorteile von kostengünstigen Druckmethoden mit den, im Vergleich zu organischen Materialien, höheren intrinsischen Beweglichkeiten von anorganischen Materialien zu kombinieren. Lösungsprozessierbare Metalloxide ausgehend von Metallpräkursoren, wie in US 8 017 458 offenbart, zeigen in TFTs Beweglichkeiten von $\mu \sim 1\text{-}50\text{ cm}^2/\text{Vs}$, wenn die Präkursoren bei Temperaturen zwischen $300\text{ }^\circ\text{C}$ und $500\text{ }^\circ\text{C}$ zu Metalloxide reagieren. In den letzten Jahren wurden zudem Verfahren

entwickelt, die TFTs mit Beweglichkeiten im Bereich von $5 \text{ cm}^2/\text{Vs} < \mu < 15 \text{ cm}^2/\text{Vs}$ für Prozesstemperaturen von $T \sim 200^\circ\text{C}$ ermöglichen. Dies ist unter anderem in WO 12/103528 A2 und H. Sirringhaus et al. (Nat. Mat. Vol. 10 (2011) 45-50) offenbart. Für Prozesstemperaturen unterhalb von 200°C , welche notwendig sind um kostengünstige Kunststoffsubstrate verwenden zu können, liefern die oben genannten Prozesse jedoch TFTs mit deutlich schlechterer Performance, die einen Einsatz in Rückseitenplatinen von Displays unmöglich macht. Park et al. (Nature Vol. 489 (2012) 128-132) offenbaren, dass durch photochemische Aktivierung bei Raumtemperatur Metalloxid-TFTs mit Beweglichkeiten von $\mu \sim 10 \text{ cm}^2/\text{Vs}$ realisiert werden können. Zur Aktivierung ist jedoch eine Beleuchtung der aufgetragenen Filme von etwa 2 h nötig, wodurch eine Prozessierung mit hohem Durchsatz nicht möglich ist. F. Fleischhaker et al. (J. Mater. Chem. Vol. 20 (2010) 6622-6625) offenbart, dass basierend auf ZnO TFTs auch bei Temperaturen $T < 150^\circ\text{C}$ realisiert werden können. Die erreichten Beweglichkeiten liegen jedoch maximal im Bereich von $1 \text{ cm}^2/\text{Vs}$.

DE 100 06 257 offenbart die Verwendung von organisch-anorganische Hybridmaterialien als halbleitenden Kanälen in Feldeffekttransistoren. Beispielhaft sind Phenethylammoniumzinniodid und Butyldiammoniumzinniodid genannt. Wie von Mitzi et al. (IBM J. Res. & Dev. Vol. 45 (2001), 29-46) offenbart, liegen die erreichten Beweglichkeiten von $\leq 1 \text{ cm}^2/\text{Vs}$ bei Prozesstemperaturen von $T \sim 250^\circ\text{C}$ jedoch lediglich im Bereich von a-Si und unterhalb derer von lösungsprozessierten Metalloxiden.

WO 2011/071738 beschreibt ein lumineszierendes Material mit folgender Formel: $[\text{AaSnbXxX'xX''}_{x''}]$ [dopant], wobei A ein monovalentes Kation ist, wobei X, X', und X'' ausgewählt sind aus der Gruppe Fluor, Chlor, Brom und Iod, wobei a zwischen 1 und 5 liegt, wobei b zwischen 1 und 5 liegt und die Summe aus x, x' und x'' ($a+2b$) ist und zumindest X' Iod ist. Der Dopant liegt bevorzugt mit 0,1 bis 1 Prozent im Bezug auf die elementare Zusammensetzung vor. Der Dopant beinhaltet bevorzugt sauerstoffhaltige Anionen, beispielsweise O^{2-} und OH^- . Die das beschriebene lumineszierendes Material enthaltende Schicht wird mit Hilfe der Vakuum Deposition mittels Verdampfung von beispielsweise Zinn(II)iodid und Cäsium(I)iodid hergestellt.

Kanatidis et al. (Nature, Vol. 485 (2012) 486-494) offenbart ebenfalls die Verwendung von CsSnI_3 als ein p-typ Halbleiter in Solarzellen. Kanatidis et al. beschreibt ferner eine Hall-Beweglichkeit von CsSnI_3 von $585 \text{ cm}^2/\text{Vs}$ und dass sich CsSnI_3 in polaren Lösemitteln wie beispielsweise Acetonitril, Methoxy-Acetonitril oder DMF löst und somit lösungsmittelprozessierbar ist.

Kanatidis et al. (JACS Vol. 134 (2012) 8579-8587) offenbart ferner, dass CsSnI_3 ein „unique phase-change material“ sei und vier Polymorphe aufweist. Es wird beschrieben, dass zwei Polymorphe bei Raumtemperatur stabil sind und sich diese durch Wärmebehandlung oder durch Freisetzung an Luft umwandeln lassen. Es wird beschrieben, dass sich das reine Polymorph γ durch eine Reaktion der stöchiometrischen Mischung von Zinn(II)iodid und Cäsium(I)iodid bei 550°C in einer evakuierten Ampulle und anschließender Kühlung darstellen lässt. Das reine γ

Polymorph lässt sich durch eine Reaktion der stöchiometrischen Mischung von Zinn(II)iodid und Cäsium(I)iodid in Ethylendiamin darstellen. Das Y Polymorph lässt sich durch Temperaturbehandlung bei 550 °C in das Polymorph B- γ umwandeln. Das Polymorph B- γ wandelt sich durch Freisetzung an Luft in das Y-Polymorph um. Zunächst entsteht B- γ durch Absorption der Luftfeuchtigkeit und wird dann oxidiert zu Cs_2SnI_6 .

Die Aufgabe der vorliegenden Erfindung war es, eine im Vergleich zum Stand der Technik vereinfachte Herstellroute für das γ - CsSnI_3 aufzuzeigen.

10 Eine weitere Aufgabe der vorliegenden Erfindung war es, als Halbleiter geeignete Materialien aufzuzeigen, die sich mit Hilfe von Druckmethoden, die eine kostengünstige Herstellungsverfahren darstellen, als dünne Schicht prozessieren lassen, wobei die Schichtdicke typischerweise im Bereich von 1 bis 1000 nm liegt.

15 Eine weitere Aufgabe der vorliegenden Erfindung war es, Materialien aufzuzeigen, die bereits bei Temperaturen im Bereich von max. 250 °C halbleitende Schichten ausbilden, die als aktive Schichten in TFTs verwendet werden können.

Die vorliegende Erfindung betrifft ein Verfahren zur lösemittelbasierten Herstellung von γ - CsSnI_3 , das dadurch gekennzeichnet ist, dass (i) Y- CsSnI_3 aus Lösung hergestellt wird, wobei das Lösemittel in einer inerten Atmosphäre und/oder unter Vakuum bei einer Temperatur von 0°C bis 500°C abgedampft wird, und (ii) Y- CsSnI_3 durch Temperaturbehandlung im Bereich von 50 bis 500°C in einer inerten Atmosphäre und/oder unter Vakuum in γ - CsSnI_3 umgewandelt wird.

25 Vorteilhaft kann das Lösemittel (Schritt (i)) in einem Temperaturbereich von 20 °C bis 250 °C, bevorzugt von 120 bis 200 °C, insbesondere im Bereich 150 bis 180 °C, abgedampft werden. Bei einer Temperaturbehandlung des Lösemittels von größer 70 °C in Schritt (i), insbesondere größer 100 °C, können die Schritte (i) und (ii) parallel, d.h. in einem Schritt, ablaufen, so dass γ - CsSnI_3 aus Lösung entsteht.

Vorteilhaft wird unter Verwendung einer inerten Atmosphäre ein Reaktionsraum gewählt, der pro Gramm Y- CsSnI_3 ein Volumen von mindestens 100 ml/g bis 1 l/g aufweist.

35 Vorteilhaft werden die Reaktionen (i) und (ii) unter einer Stickstoff- und/oder Argon-Atmosphäre und/oder unter Vakuum durchgeführt.

Vorteilhaft werden unter Verwendung von Vakuum die Schritte (i) und/oder (ii) bei einem Druck von kleiner als 500 mbar, bevorzugt kleiner als 100 mbar, insbesondere im Bereich kleiner als 40 10 mbar, durchgeführt.

Vorteilhaft wird die Umwandlung der Y-Phase in die γ -Phase (Schritt (ii)) bei einer Temperatur im Bereich von 70 °C bis 250 °C, bevorzugt von 120 bis 200 °C, insbesondere im Bereich 150 bis 180 °C, durchgeführt.

Die Reaktionszeit beider Schritte (i) und (ii) beträgt vorteilhaft 1 Minuten bis 20 Stunden, bevorzugt 10 Minuten bis 2 Stunden.

Bei dem erfindungsgemäßen Verfahren ist die Anwesenheit von Wasser und/oder Sauerstoff vorteilhaft auf ein Minimum zu begrenzen, bevorzugt kleiner 10000 ppm, insbesondere gänzlich zu vermeiden.

Gelöstes CsSnI_3 kann nach allen dem Fachmann bekannten Wegen hergestellt werden. Beispielsweise reagiert $\text{CsI} + \text{SnI}_2$ in einer Schmelzreaktion zu CsSnI_3 und das so hergestellte CsSnI_3 wird in einem polaren Lösemittel gelöst. Als polares Lösemittel kann beispielsweise Acetonitril, eine Mischung aus Acetonitril und Dimethylformamid oder eine Mischung aus Acetonitril : Dimethylformamid : Methoxyacetonitril verwendet werden. Vorteilhaft wird diese Lösung 1 bis 5 Stunden bei ca. 70 °C unter Rühren erhitzt.

Vorteilhaft wird die Reaktion unter einer inerten Atmosphäre, beispielsweise einer Stickstoff- oder Argon-Atmosphäre durchgeführt.

Die vorliegende Erfindung betrifft ferner ein Verfahren zur Herstellung einer dünnen Schicht aus halbleitendem Material, das dadurch gekennzeichnet ist, dass eine CsSnI_3 -Lösung, eine $\text{Cs}_{1-x}\text{A}_x\text{B}_{1-y}\text{C}_y\text{I}_{3-z}\text{X}_z$ -Lösung, eine BiI_3 -Lösung oder eine $\text{Bi}_{1-x}\text{M}_x\text{I}_{3-y}\text{X}_y$ -Lösung auf ein Substrat mit Hilfe von Drucktechniken aufgebracht wird, wobei unter Verwendung von einer CsSnI_3 -Lösung der Auftrag unter inerter Atmosphäre und/oder Vakuum durchgeführt wird.

Die Dicke der Schicht beträgt vorteilhaft 1 bis 1000 nm, bevorzugt 10 bis 200nm, besonders bevorzugt 20 bis 100 nm. Die Schicht ist homogen und geschlossen. Unter homogen wird dabei verstanden, dass die Schicht an der Stelle mit geringster Dicke mindestens 30 % der Dicke der Schicht an der dicksten Stelle beträgt, bevorzugt 50 %. Unter geschlossen wird verstanden, dass die Schicht mindestens 90 % der darunterliegenden Fläche bedeckt, bevorzugt mindestens 95 %, insbesondere mindestens 98 % oder vollständig. Die Messung der Schichtdicke, der Homogenität und der Geschlossenheit der Schicht wird bevorzugt mit Rasterkraftmikroskopie, insbesondere im tapping-mode, ermittelt.

Geeignete Drucktechniken sind beispielsweise Aufschleudern (spin-coating), Auftropfen (drop casting), Eintauchbeschichtung (dip-coating), 2D-Ink-Jet-Drucken, Gravurdruck, Offset-Druck, Flexodruck oder Siebdrucken (screen printing), Mikrokontaktdruck (microcontact (wave) printing), bevorzugt sind kontinuierliche Druckmethoden, z. B. 2D-Ink-Jet-Drucken.

Als Lösemittel sind polare Lösemittel vorteilhaft, insbesondere Alkohole, Ketone, Aldehyde, Amide, Esther, Ether, Sulfoxide, Lactone, Lactame und/oder Nitrile. Unter Verwendung von BiI_3

sind insbesondere Aceton und Butanon vorteilhaft. Unter Verwendung von CsSnI_3 und $\text{Cs}_{1-x}\text{A}_x\text{B}_{1-y}\text{C}_y\text{I}_{3-z}\text{X}_z$ sind insbesondere DMF, Acetonitril, Methoxy-Acetonitril, Methoxy-Isopropanol, DMSO und Aceton vorteilhaft.

- 5 BiI_3 ist kommerziell erhältlich.

Vorteilhaft werden Verbindungen mit folgender Formel $\text{Bi}_{1-x}\text{M}_x\text{I}_{3-y}\text{X}_y$ verwendet, wobei M für Zinn, Germanium, Blei oder Selen steht und X für Chlor oder Brom steht.

- 10 x und y können in allen für den Fachmann bekannten Bereichen gewählt werden.
Vorteilhaft werden Verbindungen mit folgender Formel $\text{Cs}_{1-x}\text{A}_x\text{B}_{1-y}\text{C}_y\text{I}_{3-z}\text{X}_z$ verwendet, wobei A für Barium oder Strontium steht
B für Zinn, Blei oder Germanium steht, bevorzugt Zinn
C für Bismuth, Indium, Gallium, Silber oder Antimon steht,
15 X für Chlor oder Brom
x, y und z können in allen für den Fachmann bekannten Bereichen gewählt werden.

- $\text{Cs}_{1-x}\text{A}_x\text{B}_{1-y}\text{C}_y\text{I}_{3-z}\text{X}_z$ und $\text{Bi}_{1-x}\text{M}_x\text{I}_{3-y}\text{X}_y$ lassen sich beispielsweise durch Zugabe der entsprechenden Komponenten in der Schmelzreaktion herstellen. Alternativ können die Edukte (Substituenten) in Lösung gebraucht werden und so in Lösung zur gewünschten substituierten Verbindung reagieren.
- 20

Als Substrat kann jedes Material verwendet werden, welches unter den nachfolgend beschriebenen Herstellungsbedingungen einer dünnen Schicht aus halbleitendem Material stabil ist.

- 25 Dies können insbesondere organische, anorganische und Verbund-Materialien sein. Beispiele sind Glas, Quartzglas, Metallfolien, Keramiken, dotierte und undotierte anorganische Halbleiter (z.B. Silizium, Germanium, etc.), polymere Materialien (z.B. Polyacrylate, Epoxide, Polyamide, Polycarbonate, Polyimide, Polyketone, Poly (ether ether ketone), Polyethylenaphthalat (PEN), Polyethylenterephthalat (PET), Polyphenylensulfid (PPS)), Papier), insbesondere Glas und
30 Kunststoff.

- Vor dem Aufbringen der halbleitenden Schicht kann gegebenenfalls eine isolierende Schicht auf dem Substrat abgeschieden werden, insbesondere organische oder anorganische Dielektrika, insbesondere Oxide (z.B. Siliziumoxid, Aluminiumoxid, Titanoxid, bevorzugt SiO_2 , Al_2O_3), Nitride (z.B. Siliziumnitrid), Polymere (z.B. Polyimide, Polyacrylate, Polymethylmethacrylate (PMMA), Polystyrol, Fluorpolymere).
- 35

- Nach dem Auftrag wird die Schicht bei einer Temperatur von 0 °C bis 500 °C getrocknet, bevorzugt bei 0 °C bis 250 °C, insbesondere bei 20 °C bis 150 °C, wobei unter Verwendung einer
40 CsSnI_3 -Lösung der Trocknungsschritt unter inerter Atmosphäre und/oder Vakuum durchgeführt wird. Beim Auftrag von BiI_3 wird vorteilhaft zum Trocknen eine Temperatur im Bereich von 0 °C bis 150 °C, bevorzugt 20 °C bis 80 °C, gewählt. Beim Auftrag von CsSnI_3 oder $\text{Cs}_{1-x}\text{A}_x\text{B}_{1-y}\text{C}_y\text{I}_3$.

zX_z wird vorteilhaft zum Trocknen eine Temperatur im Bereich von 0 °C bis 350 °C, bevorzugt 20 °C bis 150 °C, gewählt. Vorteilhaft wird diese Trocknungs-Temperatur für einen Zeitraum von 0,5 bis 30 Minuten gehalten, bevorzugt für einen Zeitraum von 1 bis 5 Minuten.

- 5 Gegebenenfalls kann nach dem Trocknungsschritt ein weiterer Temperatur-Schritt zur Erhöhung des kristallinen Anteils bei einer Temperatur im Bereich von 20 °C bis 500 °C erfolgen, bevorzugt bei einer Temperatur im Bereich von 80 °C bis 250 °C. Falls unter Verwendung von $CsSnI_3$ im ersten Temperaturschritt die Temperatur so gewählt wird, dass nach der Trocknung $Y-CsSnI_3$ vorliegt, ist dieser zweite Temperatur-Schritt zwingend um $Y-CsSnI_3$ in $\gamma-CsSnI_3$ um-
- 10 zuwandeln. Die Temperatur liegt dabei vorteilhaft im Bereich von 70 bis 250 °C, bevorzugt 120 bis 200 °C, insbesondere 150 bis 180 °C. Unter Verwendung von $CsSnI_3$ wird dieser zweite Temperatur-Schritt unter inerter Atmosphäre und/oder Vakuum durchgeführt.

- 15 Die oben genannten Angaben zu der inerten Atmosphäre und zum Vakuum gelten auch für den Auftrag und die Trocknungsschritte zur Herstellung der dünnen Schicht aus $CsSnI_3$.

Die vorliegende Erfindung betrifft ferner die nach den oben beschriebenen Verfahren hergestellte Schicht aus halbleitendem Material. Vorteilhaft weist die so hergestellte Schicht eine sehr geringe Konzentration an Fremd-Atomen auf.

- 20 Das erfindungsgemäße Verfahren ist sowohl geeignet um $\gamma-CsSnI_3$ als Volumenmaterial herzustellen als auch um $\gamma-CsSnI_3$ als dünne Schicht herzustellen.

- 25 Die vorliegende Erfindung betrifft ferner die Verwendung von $\gamma-CsSnI_3$, $Cs_{1-x}A_xB_{1-y}C_yI_{3-z}X_z$ und BiI_3 und $Bi_{1-x}M_xI_{3-y}X_y$ in Dünnschichttransistoren. Neben Displays sind RFID Systeme und Sensoren mögliche Anwendungsgebiete von günstigen TFTs. Die genannten Verbindungen sind ferner geeignet als Loch- und Elektronenleiter und Absorptionsmaterial in Solarzellen und als Lumineszenzmaterial. Des Weiteren ist auch eine Verwendung von $\gamma-CsSnI_3$ und $Cs_{1-x}A_xB_{1-y}C_yI_3$ als aktives Sensormaterial möglich (z.B. Sauerstoffsensor, Luftfeuchtesensor, etc.).

- 30 Die vorliegende Erfindung betrifft ferner einen Transistor mit: einem Source-Bereich (Sourcekontakt) und einem Drain-Bereich (Drainkontakt); einer Kanalschicht, die sich zwischen dem Source-Bereich und dem Drain-Bereich erstreckt, wobei die Kanalschicht von $\gamma-CsSnI_3$, $Cs_{1-x}A_xB_{1-y}C_yI_{3-z}X_z$, $Bi_{1-x}M_xI_{3-y}X_y$ oder BiI_3 beinhaltet; einem Gate-Bereich (Gateelektrode), der in be-
- 35 abstandeter Nachbarschaft zu der Kanalschicht angeordnet ist, und einer elektrisch isolierenden Schicht (Dielektrikum) zwischen dem Gate-Bereich und dem Source-Bereich, dem Drain-Bereich und der Kanalschicht.

- 40 Als Substrat für den Transistor können prinzipiell alle zuvor genannten Substrate verwendet werden.

Als Dielektrikum können vorteilhaft organische und anorganische Materialien verwendet werden. Beispiele für anorganische Dielektrika sind Siliziumoxide, Aluminiumoxide, Titanoxide, Titanate, Tantaloxyde, Tantalate, Siliziumnitride, Zirkonoxide, Zirkonate, Bariumtitanat sowie weitere Dielektrika in Perowskitstruktur. Beispiele für organische Dielektrika sind Polyimide, Polyacrylate, polymethylmethacrylate (PMMA), Polystyrol, Fluorpolymere, etc. Bevorzugt wird SiO_2 als Dielektrikum verwendet.

Für den Sourcekontakt, Drainkontakt und die Gateelektrode werden vorteilhaft elektrisch leitfähige Materialien verwendet. Dies beinhaltet Metalle, bevorzugt Metalle der Gruppen 6,7,8,9,10 oder 11 des Periodensystems, sowie Pd, Au, Ag, Cu, Al, Ni, Cr, Pt, In, etc. Alternativ können auch leitfähige Polymere (z.B. PEDOT:PSS), transparente Leiter z.B. ITO (Indiumzinnoxid), AZO (Aluminium dotiertes Zinkoxid), Graphene, etc. verwendet werden.

Bevorzugte Transistorgeometrien sind die folgenden:

1. Substrat, Dielektrikum, Kanalschicht, bevorzugt Gateelektrode, Dielektrikum, Kanalschicht, Source- und Drainkontakt, bekannt als Bottom-Gate Top-contact Geometrie
2. Substrat, Dielektrikum, Kanalschicht, bevorzugt Substrat, Gateelektrode, Dielektrikum, Source- und Drainkontakt, Kanalschicht, bekannt als Bottom-Gate Bottom-Kontakt Geometrie.
3. Substrat, Kanalschicht, Dielektrikum, bevorzugt Source- und Drainkontakt, Kanalschicht, Dielektrikum, Gateelektrode, bekannt als Top-Gate Bottom-contact Geometrie.
4. Substrat, Kanalschicht, Dielektrikum, bevorzugt Kanalschicht, Source- und Drainkontakt, Dielektrikum, Gateelektrode, bekannt als Top-Gate Top-contact Geometrie.

Die vorliegende Erfindung ermöglicht die Herstellung von $\gamma\text{-CsSnI}_3$ aus Y-CsSnI_3 oder direkt aus Lösung bei Temperaturen unter 500°C , insbesondere bei niedrigen Temperaturen unterhalb von 250°C . Darüber hinaus beinhaltet die Erfindung die kostengünstige Herstellung von dünnen Schichten aus anorganischen Halbleitermaterialien wie BiI_3 , $\text{Bi}_{1-x}\text{M}_x\text{I}_{3-y}\text{X}_y$, CsSnI_3 oder $\text{Cs}_{1-x}\text{A}_x\text{Bi}_{1-y}\text{C}_y\text{I}_{3-z}\text{X}_z$ durch lösungsbasierte Prozesse bei Temperaturen unter 500°C , insbesondere bei niedrigen Temperaturen unter 250°C .

Die vorliegende Erfindung ermöglicht die Herstellung von Schichten mit geringer Konzentration von Verunreinigungen, da außer dem Lösemittel keine Fremdatome vorliegen. Dies ist vorteilhaft im Vergleich zu präkursorbasierten Herstellverfahren, wie sie in der Regel für TFTs basierend auf Metalloxiden verwendet werden. Bei diesen Herstellverfahren muss stets Sorge getragen werden, dass die nicht benötigten Teile der Präkusoren möglichst vollständig aus der Schicht entfernt werden, z.B. durch Temperaturbehandlung.

Die Verwendung von anorganischen Halbleitern bietet ferner die Möglichkeit die Kombination von einer hohen Ladungsträgerbeweglichkeit mit niedrigen Prozessierungstemperaturen in TFT-Anwendungen zu realisieren.

Beispiele

Beispiel 1: BiI_3 in Aceton

Eine BiI_3 -Lösung in Aceton mit einer Konzentration $c=4,4\text{mg/ml}$ wurde angesetzt. Durch Spin-coating wurde eine BiI_3 -Schicht auf einem oxidierten Si-Wafer mit einer Oxiddicke von 300nm deponiert. Als Dreh-Geschwindigkeit wurden 1000Upm verwendet bei einer Drehdauer von 30s. Mittels optischer Mikroskopie und Rasterkraftmikroskopie wurde gezeigt, dass die entstandene Schicht bei einer Dicke $d\sim 15\text{nm}$ homogen und geschlossen ist.

Beispiel 2: BiI_3 in Butanon

Mit einem Spin-coating Prozess bei 3000Upm und 30s Spin-Dauer wurden BiI_3 -Schichten aus Lösung in Butanon auf oxidierten Si-Wafern mit einer Oxiddicke von 300nm deponiert. Mit einer Butanonlösung der Konzentration $c=11\text{mg/ml}$ wurde eine geschlossene Schicht der Dicke $d\sim 10\text{nm}$ hergestellt.

Vergleichsbeispiel 1: Methanol/Ethanol

Mit einer Methanollösung (Ethanolösung) der Konzentration $c=33\text{mg/ml}$ ($c=9\text{mg/ml}$) wurden BiI_3 -Schichten auf oxidierten Si-Wafern hergestellt. Die Schichten sind nicht geschlossen, sondern weisen voneinander isolierte Inseln auf. Eine elektrische Leitfähigkeit ist nicht möglich.

Beispiel 3: CsSnI_3 : Herstellung der Y-Phase

3.1 CsSnI_3 erhalten aus einer Schmelzreaktion aus $\text{CsI} + \text{SnI}_2$ analog Kanatzidis et al. (Nature, Vol. 485 (2012) 486-494)/ (JACS 2012, 134, 8579-8587) wurde in Acetonitril : DMF : Methoxyacetonitril mit einem Mischungsverhältnis von 1:1:1 löst. Es bildet sich eine gelbe Lösung.

Durch Abdampfen der Lösemittel bildet sich Y- CsSnI_3 .

3.2 CsSnI_3 erhalten aus einer Schmelzreaktion aus $\text{CsI} + \text{SnI}_2$ analog Kanatzidis et al. wurde in Acetonitril gelöst. Durch Erhitzen bei 80 °C in Acetonitril (6 h) und Abdampfen des Lösungsmittels bildete sich Y- CsSnI_3 . Im Röntgendiffraktogramm in Figur 1 ist die reine Y-Phase zu sehen.

Beispiel 4: CsSnI_3 : Umwandlung der Y-Phase in die γ -Phase

Die Y-Phase wurde mit Hilfe eines dynamischen Vakuums bei 200 °C komplett in die γ -Phase umgewandelt. Im Röntgendiffraktogramm in Figur 2 ist die reine γ -Phase zu sehen.

Beispiel 5: Gatefeldabhängiger Stromfluss durch eine CsSnI_3 Dünnschicht:

Herstellung:

Die Ansetzung der CsSnI_3 -Lösung, der Auftrag der CsSnI_3 -Lösung, die Temperung der Dünnschicht, sowie die elektrische Charakterisierung wurden in inerter Stickstoffatmosphäre innerhalb einer Glovebox durchgeführt.

26,7 mg CsSnI₃ wurden in 6 ml des Lösemittelgemisches

N,N-dimethylformamid:Acetonitril:Methoxyacetonitril (1:1:1) gelöst. Eine kleine Menge der Lösung wurde auf einen Siliziumwafer aufgetropft und trocknen gelassen. Der Siliziumwafer bestand aus hoch dotiertem Silizium (Gateelektrode) bedeckt mit einer 230 nm dicken Schicht

Siliziumdioxid (Gatedielektrikum), sowie lithographisch strukturierten Source und Drain Kontakten bestehend aus einer 10 nm dicken Schicht Indium-Zinn-Oxid (ITO) und einer 30 nm dicken Schicht Gold (Au). Nach dem Auftropfen wurde die Schicht zunächst bei 100 °C für 5 Minuten auf einer Hotplate getrocknet. Vor der elektrischen Charakterisierung wurden die Schichten nochmals für 15 Minuten bei 250 °C auf einer Hotplate ausgeheizt.

Ein schematischer Schichtaufbau für die elektrische Charakterisierung ist in Figur 3 gezeigt.

Elektrische Charakterisierung: Die Messungen wurden mit einem Agilent 4155C Semiconductor Parameter Analyzer in inerter Stickstoffatmosphäre, innerhalb einer Glovebox durchgeführt.

Messbereiche:

Eingangskennlinien: Gate-Source Spannung V_{GS} = 40V bis -40V und zurück mit 2 V-Schrittweiten und Drain-Source Spannung V_{DS} = -1 V, -10 V, -20 V, -30 V, -40 V

Die Messungen wurden an einem Transistor mit einer Kanallänge (L) von 10 µm und einer Kanalbreite (W) von 10000 µm durchgeführt. Die Dicke des Dielektrikums (SiO₂) betrug 230 nm und hatte eine Dielektrizitätskonstante ϵ_r von 3,9. Die Permittivität des Vakuums ϵ_0 betrug 8,85E-12 As/Vm. Die flächennormierte Kapazität C_G des Dielektrikums betrug somit 15 nF/cm². Die Beweglichkeit μ wurde aus der Steigung der Eingangskennlinien berechnet. Die Steigung m wurde durch lineare Regression im V_{GS} -Bereich von 0 V bis -40 V bestimmt. Die aus der linearen Regression erhaltenen Kurven sind in Figur 4 (durchgezogene schwarze Linien) dargestellt.

Figur 4 zeigt die Elektrische Charakterisierung der aufgetropften CsSnI₃ Schicht:

Linke Abbildung:

Eingangskennlinien gemessen für Drain-Source Spannungen V_{DS} = -1 V, -10 V, -20 V, -30 V, -40 V. Die durchgezogenen schwarzen Linien wurden mittels linearer Regression an die Eingangskennlinien angepasst.

Rechte Abbildung:

Berechnete Feldeffektmobilität als Funktion der Drain-Source Spannung.

Zur Berechnung der Feldeffektmobilität wurden folgende Formeln angewendet:

$$\mu = \frac{m^* L}{C_G * W * V_{DS}} \quad C_G = \epsilon_0 * \epsilon_r \frac{1}{d}$$

Die ermittelte Feldeffektmobilität für die untersuchten V_{DS} war im Bereich von $\mu = 0,01 \text{ cm}^2/\text{Vs}$. Die maximale Feldeffektmobilität wurde für eine Drain-Source Spannung von -20 V berechnet und beträgt $\mu = 0,0105 \text{ cm}^2/\text{Vs}$.

- 5 Die Figuren 5 und 6 zeigen optische Mikroskop-Aufnahmen der deponierten CsSnI_3 -Schicht. Die Bilder wurden nach der elektrischen Charakterisierung außerhalb der Glovebox aufgenommen.

Vergleichsbeispiel 1:

- 10 In einem geschlossenen System mit einem Gasvolumen von ca. 5 cm^3 konnte unter Temperaturbehandlung keine γ -Phase hergestellt werden.

Beispiel 6: CsSnI_3 in Dimethylformamid:Acetonitril:Methoxyacetonitril – (1:1:1)

- Eine CsSnI_3 -Lösung wurde in Dimethylformamid:Acetonitril:Methoxyacetonitril – (1:1:1) mit einer
15 Konzentration $c = 20 \text{ mg/ml}$ angesetzt. Durch Spin-coating wurde eine CsSnI_3 -Schicht auf einem oxidierten Si-Wafer mit einer Oxiddicke von 300 nm deponiert. Als Dreh-Geschwindigkeit wurden 1000 Upm verwendet. Mittels optischer Mikroskopie und Rasterkraftmikroskopie wurde gezeigt, dass die entstandene Schicht bei einer Dicke $d \sim 40 \text{ nm}$ homogen und geschlossen ist.
- 20 Figur 7 zeigt eine Rasterkraftmikroskop-Aufnahme (tapping-mode) der CsSnI_3 -Schicht aus Beispiel 6. Die durch die Farbskala erfasste Höhendifferenz beträgt 80 nm. Figur 8 zeigt das zugehörige Höhenprofil.

Beispiel 7: CsSnI_3 in Dimethylformamid:Acetonitril:Methoxyacetonitril – (1:1:1)

- 25 Die Ansetzung der CsSnI_3 -Lösung, die Herstellung der Proben, sowie die elektrische Charakterisierung wurden wie im vorherigen Beispiel in inerter Stickstoffatmosphäre innerhalb einer Glovebox durchgeführt. CsSnI_3 wurde in einer Konzentration von $c = 40 \text{ mg/ml}$ im Lösemittelgemisch N,N-dimethylformamid:Acetonitril:Methoxyacetonitril (1:1:1) angesetzt. Mittels Spin-coating bei 1000 rpm für 30 s wurde eine dünne Schicht des Materials auf der Oberfläche eines
30 Siliziumwafer, bestehend aus hoch dotiertem Silizium (Gateelektrode) bedeckt mit einer 300 nm dicken Schicht Siliziumdioxid (Gatedielektrikum) aufgebracht. Im Anschluss wurde die Probe bei 150°C für 60 Minuten auf einer Heizplatte getrocknet. Nach dem Trocknen der Schicht wurden Source- und Drainkontakte mittels thermischer Verdampfung durch eine Schattenmaske im Vakuum ($p \sim 10^{-6} \text{ mbar}$) aufgebracht. Die Kontakte bestanden aus einer 50 nm dicken Schicht
35 Gold.

Die Messungen wurden mit einem Agilent 4155C Semiconductor Parameter Analyzer durchgeführt.

Eingangskennlinien: Gate-Source Spannung $V_{GS} = 40 \text{ V}$ bis -40 V und zurück mit 2 V-

- 40 Schrittweiten und Drain-Source Spannung $V_{DS} = 1 \text{ V}$

Ausgangskennlinien: Drain-Source Spannung $V_{DS} = 0 \text{ V}$ bis -1 V mit 20 mV -Schrittweiten und Gate-Source Spannungen $V_{GS} = 40 \text{ V}, 20 \text{ V}, 0 \text{ V}, -20 \text{ V}$, und -40 V .

Die Messungen wurden an einem Transistor mit einer Kanallänge (L) von $50 \mu\text{m}$ und einer Kanalbreite (W) von $500 \mu\text{m}$ durchgeführt. Die Dicke des Dielektrikums (SiO_2) betrug 300 nm und wies eine Dielektrizitätskonstante ϵ_r von $3,9$ auf. Die Permittivität des Vakuums ϵ_0 betrug $8,85 \cdot 10^{-12} \text{ As/Vm}$. Die flächennormierte Kapazität C_G des Dielektrikums betrug somit $11,5 \text{ nF/cm}^2$. Die Beweglichkeit μ wurde aus der Steigung der Eingangskennlinien berechnet. Die Steigung m wurde durch lineare Regression im V_{GS} -Bereich von 0 V bis -40 V bestimmt.

Figur 9 zeigt die elektrische Charakteristik der wie oben beschrieben hergestellten CsSnI_3 Schicht. Der linke Teil der Figur 9 zeigt dabei die Eingangskennlinien gemessen für Drain-Source Spannungen $V_{DS} = -1 \text{ V}$. Die durchgezogene Linie wurde mittels linearer Regression an die Eingangskennlinien angepasst. Die mit der Formel aus Beispiel 5 ermittelte Feldeffektmobilität betrug $2,3 \text{ cm}^2/\text{Vs}$. Der rechte Teil der Figur 9 zeigt die Ausgangskennlinien für Gate-Source Spannungen von $V_{GS} = 40 \text{ V}, 20 \text{ V}, 0 \text{ V}, -20 \text{ V}$, und -40 V .

Beispiel 8: CsSnI_3 in Dimethylformamid:Acetonitril:Methoxyisopropanol – (1:1:1)

Eine CsSnI_3 -Lösung wurde in Dimethylformamid:Acetonitril:Methoxyisopropanol – (1:1:1) mit einer Konzentration $c = 40 \text{ mg/ml}$ angesetzt. Durch Spin-coating wurde eine CsSnI_3 -Schicht auf einem oxidierten Si-Wafer mit einer Oxiddicke von 300 nm deponiert. Als Dreh-Geschwindigkeit wurden 1000 Upm verwendet. Mittels optischer Mikroskopie und Rasterkraftmikroskopie wurde gezeigt, dass die entstandene Schicht bei einer Dicke $d \sim 40 \text{ nm}$ homogen und geschlossen ist. Verglichen mit Beispiel 6 konnte die Rauigkeit der Schicht reduziert werden.

Figur 10 zeigt eine optische Mikroskop-Aufnahme der CsSnI_3 -Schicht aus Beispiel 8, Figur 11 eine Rasterkraftmikroskop-Aufnahme (tapping-mode) des Randbereichs dieser Schicht, wobei die Angabe „height sensor“ die mit der Farbskala erfasste Höhendifferenz von 120 nm angibt, Figur 12 zeigt das zugehörige Höhenprofil. Figur 13 zeigt eine Rasterkraftmikroskop-Aufnahme (tapping-mode) der Schicht mit höherer Vergrößerung, wobei die von der Farbskala erfasste Höhendifferenz 25 nm beträgt, Figur 14 zeigt das zugehörige Höhenprofil.

Vergleichsbeispiel 2: CsSnI_3 in Methanol:Acetonitril – (1:1)

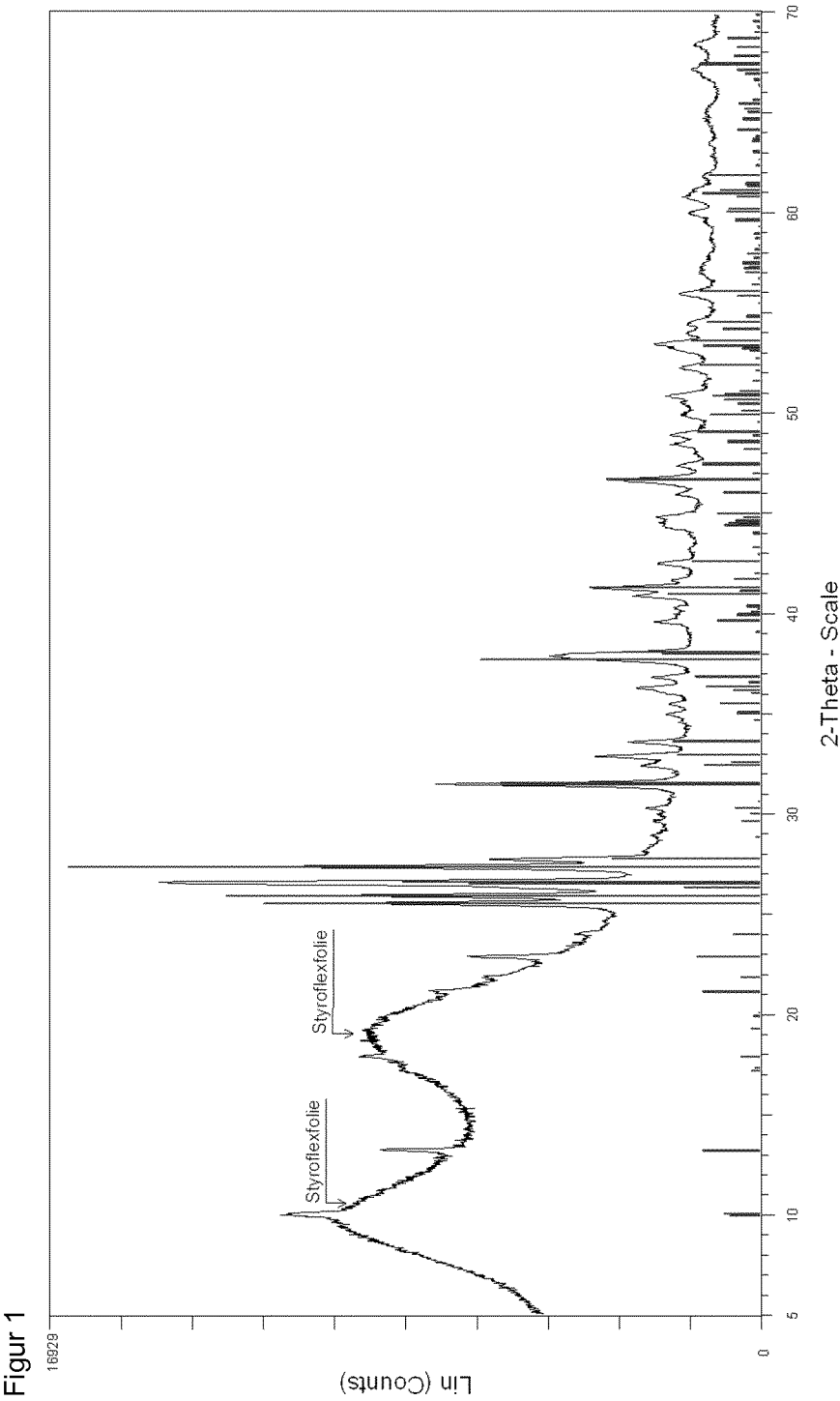
Eine CsSnI_3 -Lösung in Methanol:Acetonitril – (1:1) wurde mit einer Konzentration $c \sim 20 \text{ mg/ml}$ angesetzt. Durch Spin-coating wurde eine CsSnI_3 -Schicht auf einem oxidierten Si-Wafer mit einer Oxiddicke von 300 nm deponiert. Als Dreh-Geschwindigkeit wurden 1000 Upm verwendet. Mittels optischer Mikroskopie wurde gezeigt, dass keine geschlossene Schicht sondern einzelne CsSnI_3 -Kristalle entstanden sind.

Figur 15 zeigt eine optische Mikroskop-Aufnahme einer CsSnI_3 -Schicht aus Vergleichsbeispiel 2.

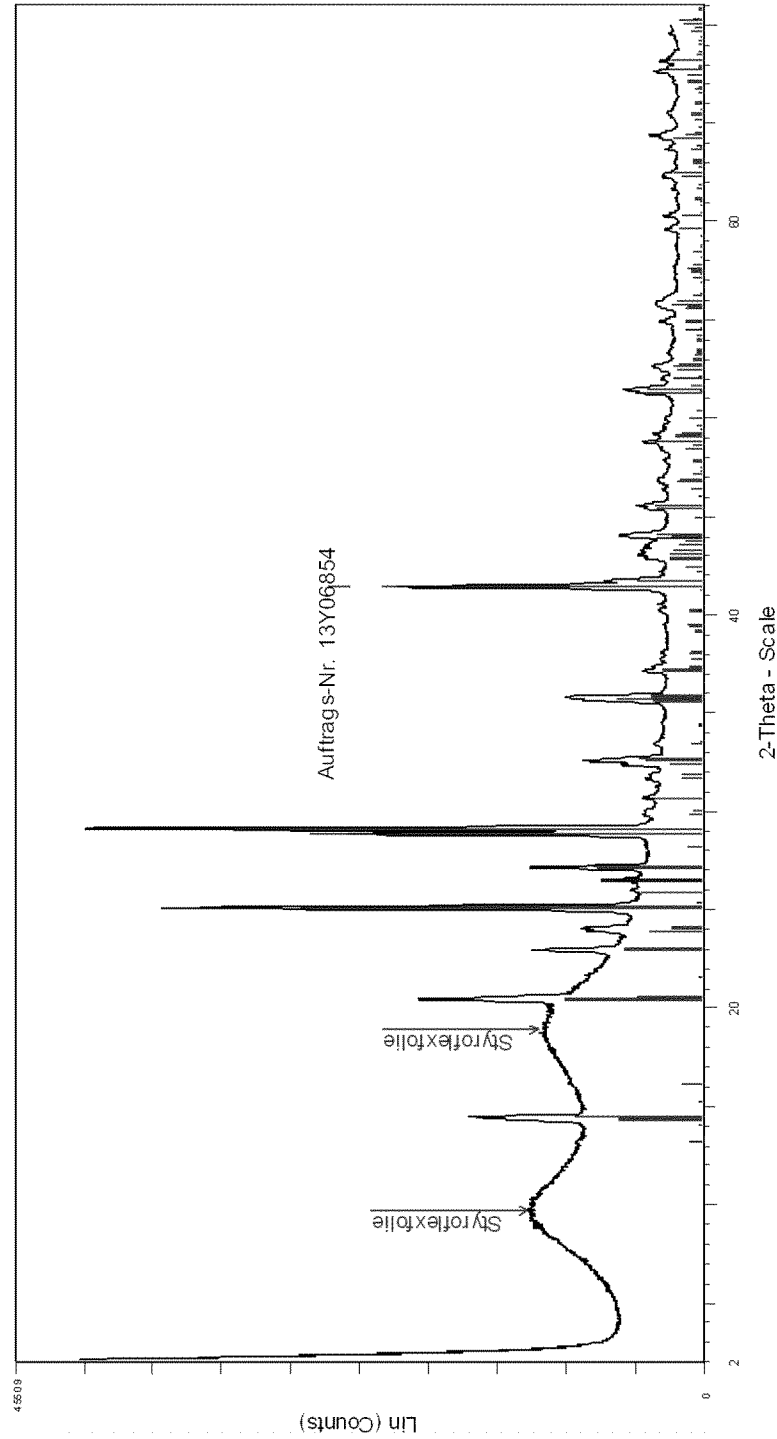
Patentansprüche:

1. Verfahren zur lösemittelbasierten Herstellung von γ -CsSnI₃, dadurch gekennzeichnet, dass (i) Y-CsSnI₃ aus Lösung hergestellt wird, wobei das Lösemittel in einer inerten Atmosphäre und/oder unter Vakuum bei einer Temperatur von 0°C bis 500°C abgedampft wird, und (ii) Y-CsSnI₃ durch Temperaturbehandlung im Bereich von 50 bis 250°C in einer inerten Atmosphäre und/oder unter Vakuum in γ -CsSnI₃ umgewandelt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Schritt (i) und/oder (ii) bei einem Druck von kleiner als 500 mbar durchgeführt wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Schritte (i) und/oder (ii) bei einer Temperatur von 120 bis 200 °C durchgeführt werden.
4. Verfahren nach einem oder mehreren der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass CsSnI₃ in einem polaren Lösemittel gelöst wird.
5. Verfahren zur Herstellung einer dünnen Schicht aus halbleitendem Material, dadurch gekennzeichnet, dass eine CsSnI₃-Lösung, eine Cs_{1-x}A_xBi_{1-y}CyI_{3-z}X_z-Lösung, eine Bi_{1-x}M_xI_{3-y}X_y-Lösung oder eine BiI₃-Lösung auf ein Substrat mit Hilfe von Drucktechniken aufgebracht wird, wobei unter Verwendung von einer CsSnI₃-Lösung der Auftrag unter inerter Atmosphäre und/oder Vakuum durchgeführt wird.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass als Lösemittel Alkohole, Ketone, Aldehyde, Amide, Ester, Ether, Sulfoxide, Lactone, Lactame und/oder Nitrile verwendet werden.
7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass als Substrat Glas, Kunststoff, Metallfolie oder Silizium verwendet wird.
8. Verfahren nach einem oder mehreren der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass als Drucktechnik Tintenstrahldruck, Offsetdruck, Gravurdruck und/oder Flexodruck verwendet wird.
9. Verwendung von γ -CsSnI₃, Cs_{1-x}A_xBi_{1-y}CyI_{3-z}X_z, Bi_{1-x}M_xI_{3-y}X_y oder BiI₃ in Dünnschichttransistoren.
10. Transistor mit: einem Source-Bereich und einem Drain-Bereich; einer Kanalschicht, die sich zwischen dem Source-Bereich und dem Drain-Bereich erstreckt, wobei die Kanalschicht γ -CsSnI₃, Cs_{1-x}A_xBi_{1-y}CyI_{3-z}X_z, Bi_{1-x}M_xI_{3-y}X_y oder BiI₃ beinhaltet; einem Gate-Bereich, der in beabstandeter Nachbarschaft zu der Kanalschicht angeordnet ist, und einer

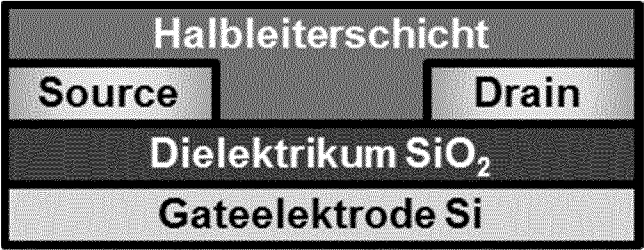
elektrisch isolierenden Schicht zwischen dem Gate-Bereich und dem Source-Bereich, dem Drain-Bereich und der Kanalschicht.



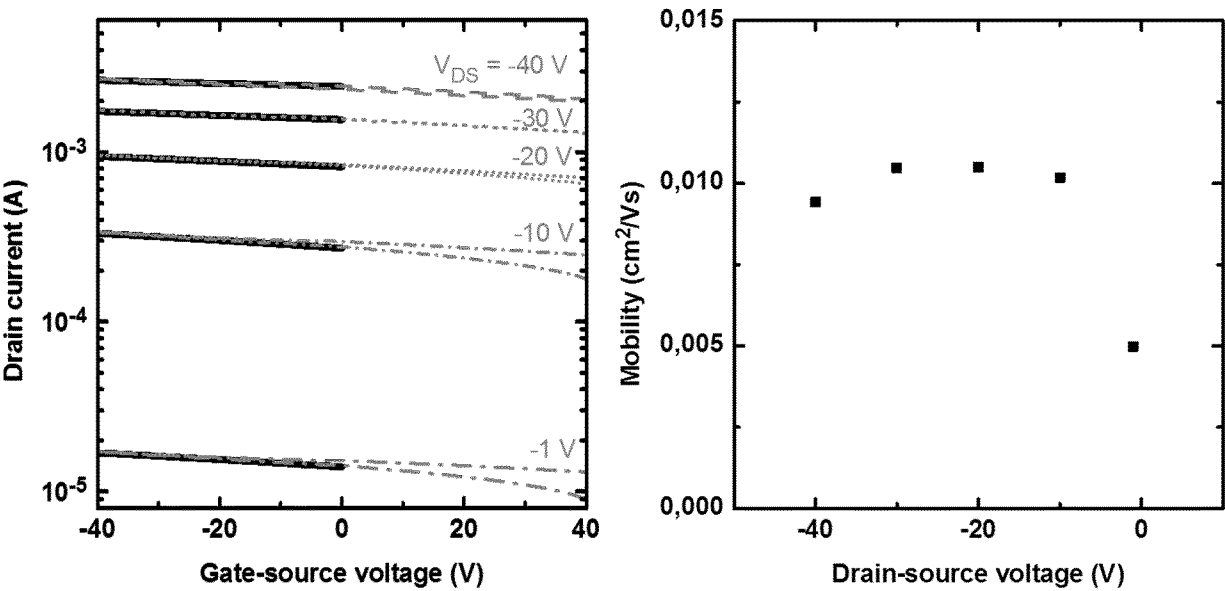
Figur 2



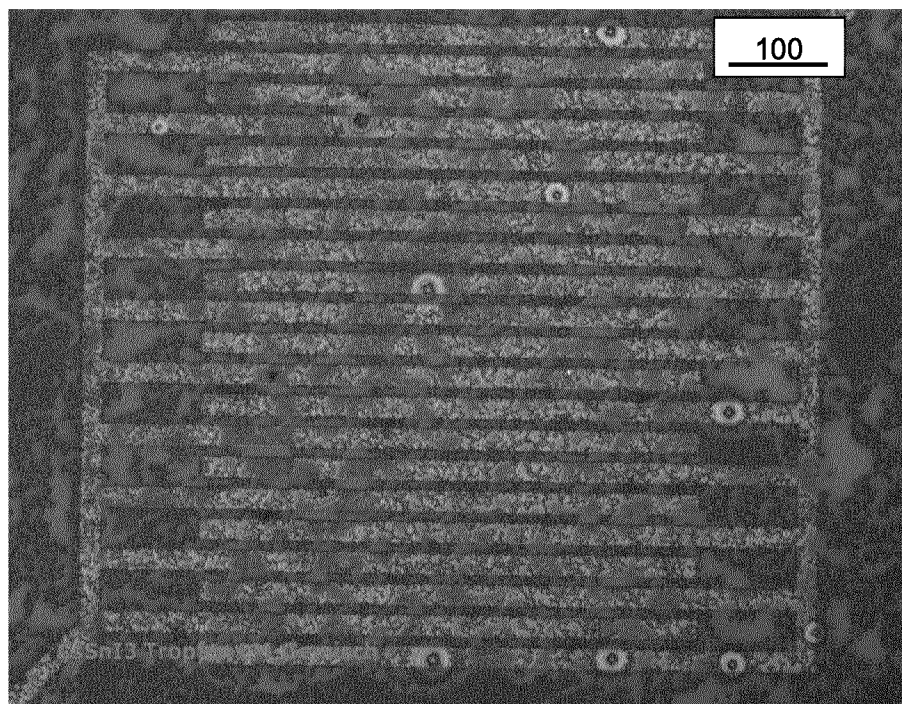
Figur 3



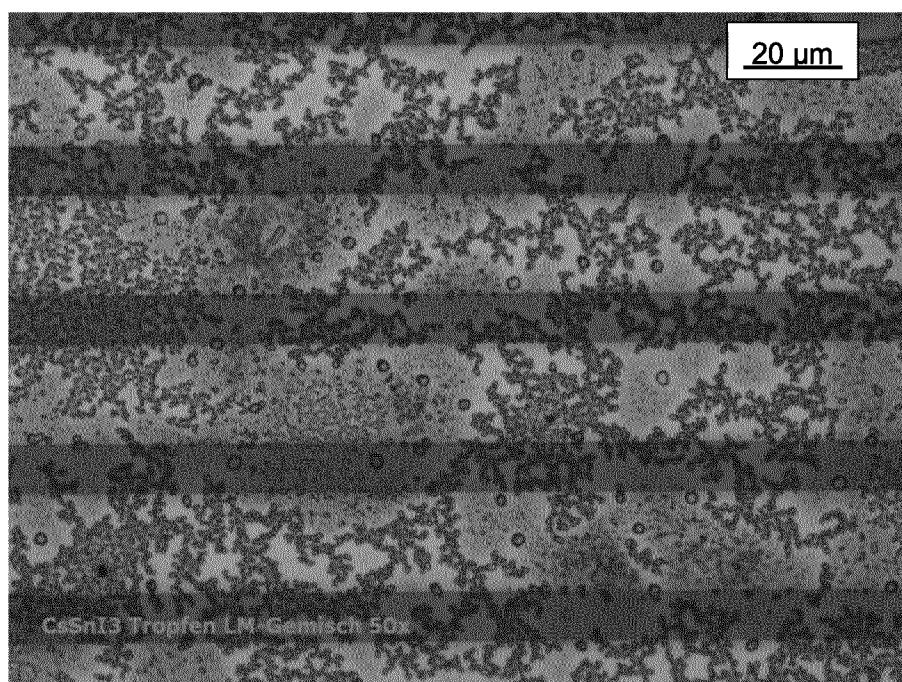
Figur 4



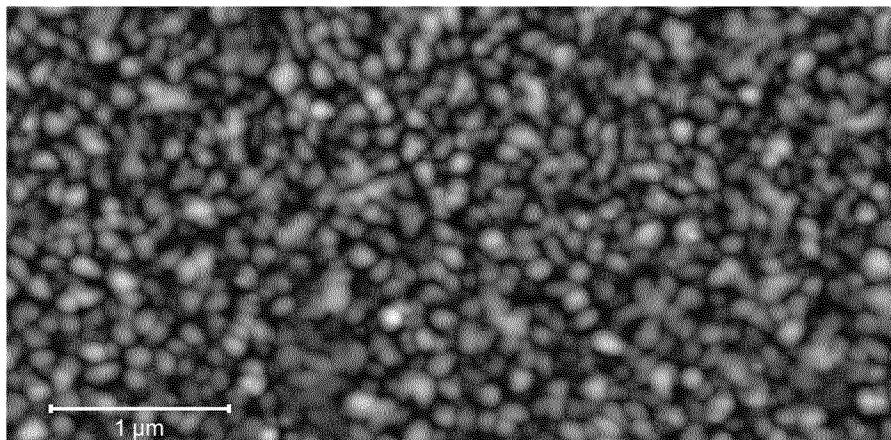
Figur 5



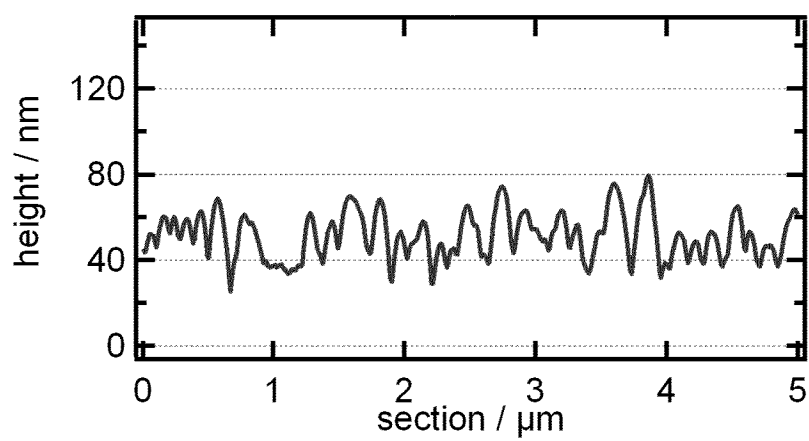
Figur 6



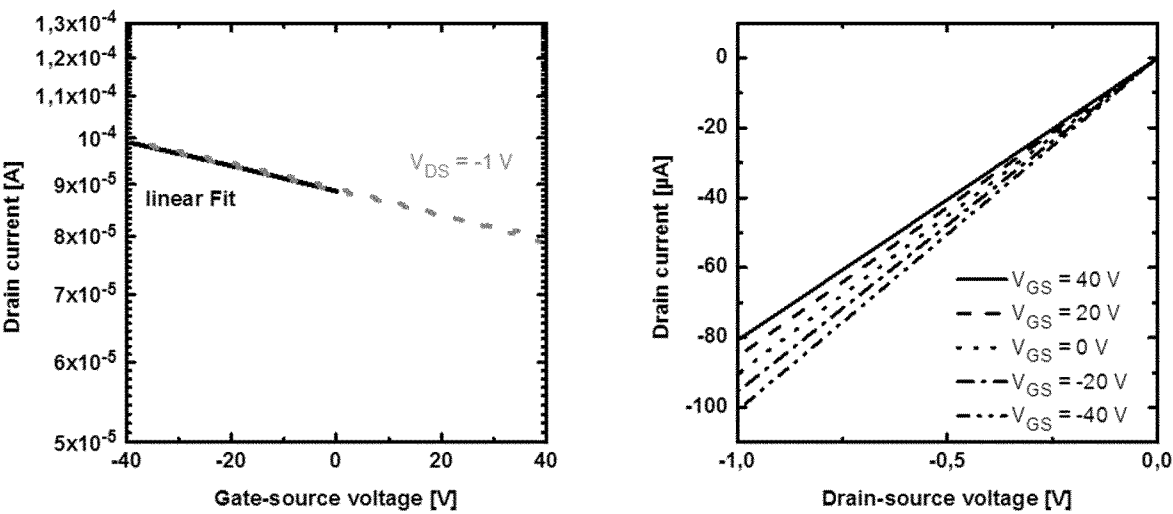
Figur 7



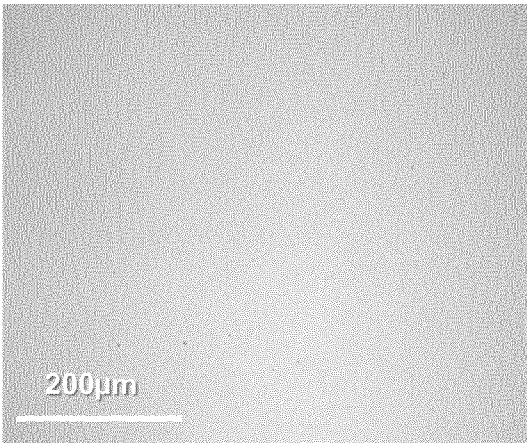
Figur 8



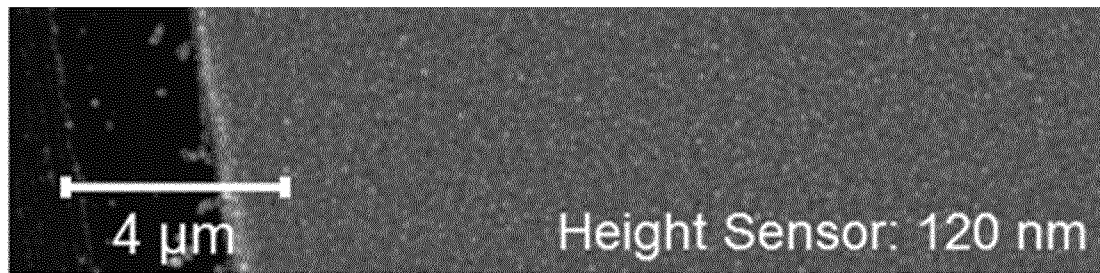
Figur 9



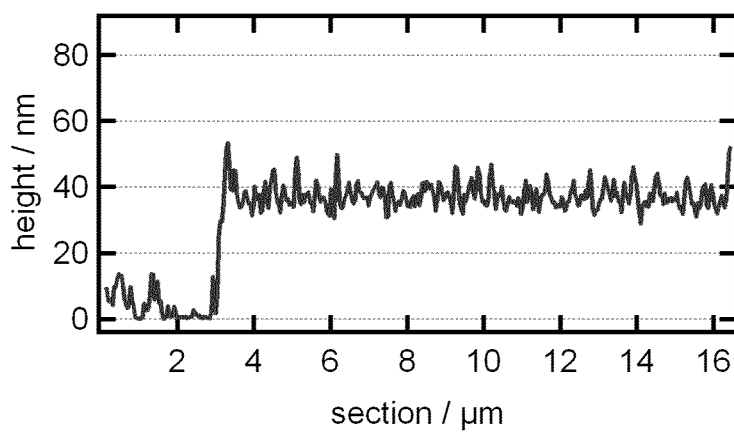
Figur 10



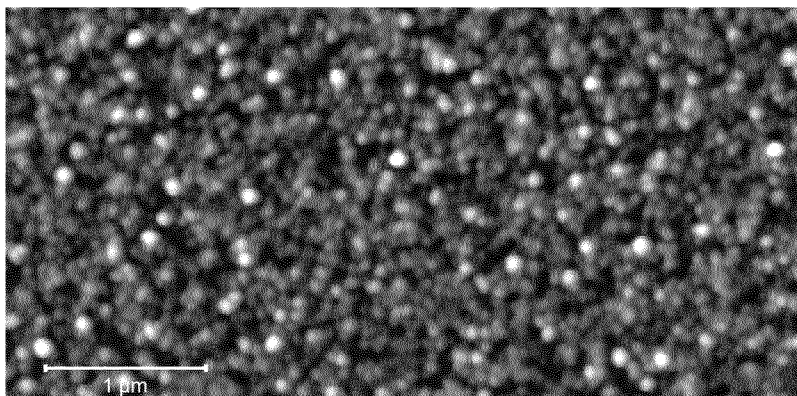
Figur 11



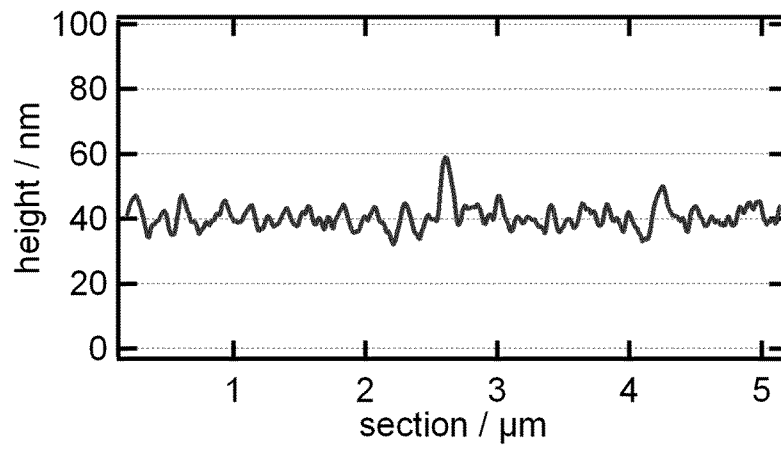
Figur 12



Figur 13



Figur 14



Figur 15

