



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5

G09G 5/36

A1

(11) 国際公開番号

WO 91/11799

(43) 国際公開日

1991年8月8日(08.08.1991)

(21) 国際出願番号

PCT/JP91/00130

(22) 国際出願日

1991年2月4日(04.02.91)

(30) 優先権データ

特願平2/25737	1990年2月5日(05.02.90)	JP
特願平2/205747	1990年7月31日(31.07.90)	JP
特願平2/205748	1990年7月31日(31.07.90)	JP

(71) 出願人(米国を除くすべての指定国について)

株式会社リコー(RICOH CO., LTD.)[JP/JP]
〒143 東京都大田区中馬込1丁目3番6号 Tokyo, (JP)
任天堂株式会社(NINTENDO CO., LTD.)[JP/JP]
〒605 京都府京都市東山区福島上高松町60番地 Kyoto, (JP)

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ)
高橋豊文(TAKAHASHI, Toyofumi)[JP/JP]
三好通貴(MIYOSHI, Michitaka)[JP/JP]
〒143 東京都大田区中馬込1丁目3番6号
株式会社リコー内 Tokyo, (JP)
大竹雅博(OTAKE, Masahiro)[JP/JP]
西海聰(NISHIUMI, Satoshi)[JP/JP]
〒605 京都府京都市東山区福島上高松町60番地
任天堂株式会社内 Kyoto, (JP)

(74) 代理人

弁理士 山田義人(YAMADA, Yoshito)

〒541 大阪府大阪市中央区伏見町2丁目6番6号 タナベビル
Osaka, (JP)

(81) 指定国

AT(欧州特許), AU, BE(欧州特許), BR, CA, CH(欧州特許),
DE(欧州特許), DK(欧州特許), ES(欧州特許), FR(欧州特許),
GB(欧州特許), GR(欧州特許), IT(欧州特許), KR,
LU(欧州特許), NL(欧州特許), SE(欧州特許), SU, US.

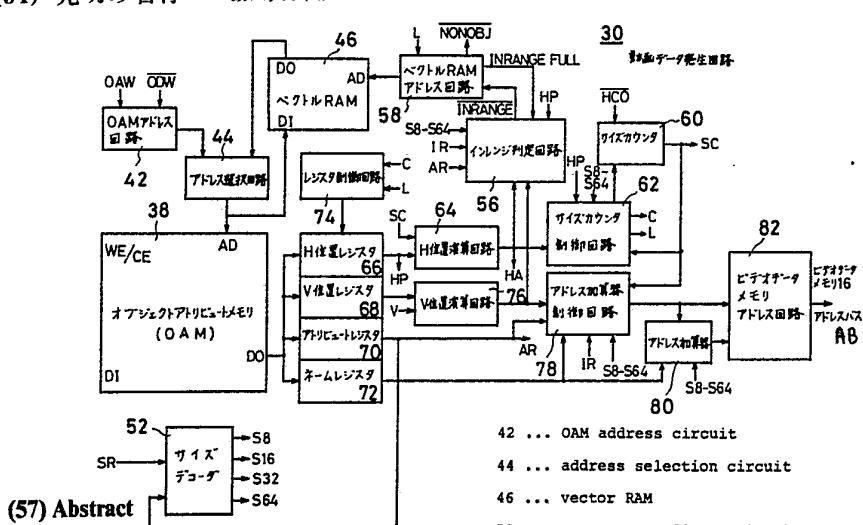
添付公開書類

国際調査報告書

(54) Title : ANIMATION DISPLAY UNIT AND EXTERNAL MEMORY USED THEREFOR

(54) 発明の名称

動画表示装置およびそれに用いられる外部メモリ



30 ... animation data generation circuit
74 ... register control circuit
56 ... in-range decision circuit
60 ... size counter
38 ... object attribute memory
66 ... H. centering register
68 ... V. centering register
70 ... attribute register
72 ... name register
64 ... H. centering operational circuit
76 ... V. centering operational circuit
62 ... size counter control circuit
78 ... address adder control circuit
82 ... video data memory address circuit
16 ... video data memory
AB ... address bus
80 ... address adder
52 ... size decoder

An animation display unit includes a main body and an external memory fitted removably to the main body and a video data memory for storing graphic data of characters constituting an object is disposed in the main body. Object data of an object to be displayed on a raster scan monitor, that is, color pallet data, object name data, vertical centering data, horizontal centering data, object size selection data and size designation data are stored beforehand in the program data memory of the external memory. The object data of the object to be displayed on the next vertical retrace line are read out from the program data memory and are stored in an object attribute memory. An in-range decision circuit makes in-range decision on the basis of the vertical centering data, the size selection data and the size designation data and makes in-range decision on the basis of the vertical centering data, the size selection data and the size designation data.

(57) 要約

動画表示装置は本体およびそれに着脱自在に装着される外部メモリを備え、本体にはオブジェクトを構成するキャラクタのグラフィックデータを記憶するためのビデオデータメモリが設けられる。外部メモリのプログラムデータメモリにはラスタスキャンモニタに表示すべきオブジェクトのオブジェクトデータ、すなわち、カラーパレットデータ、オブジェクトネームデータ、垂直位置データ、水平位置データ、オブジェクトサイズ選択データおよびサイズ指定データ等が予め設定される。次の垂直期間に表示すべきオブジェクトのオブジェクトデータは、プログラムデータメモリから読み出されてオブジェクトアトリビュートメモリに記憶される。インレンジ判定回路は垂直位置データ、サイズ選択データおよびサイズ指定データに基づいてインレンジ判定をするとともに、垂直位置データ、サイズ選択データおよびサイズ指定データに基づいてインレンジ判定をする。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア	ES スペイン	ML マリ
AU オーストラリア	FI フィンランド	MN モンゴル
BB バルバードス	FR フランス	MR モーリタニア
BE ベルギー	GA ガボン	MW マラウイ
BF ブルキナ・ファソ	GI ギニア	NL オランダ
BG ブルガリア	GB イギリス	NO ノルウェー
BJ ベナン	GR ギリシャ	PL ポーランド
BR ブラジル	HU ハンガリー	RO ルーマニア
CA カナダ	IT イタリー	SD スーダン
CF 中央アフリカ共和国	JP 日本	SE スウェーデン
CG コンゴー	KP 朝鮮民主主義人民共和国	SN セネガル
CH スイス	KR 大韓民国	SU ソビエト連邦
CI コート・ジボアール	LI リビテンシュタイン	TD チャード
CM カメルーン	LK スリランカ	TG トーゴ
CS チェコスロバキア	LU ルクセンブルグ	US 米国
DE ドイツ	MC モナコ	
DK デンマーク	MG マダガスカル	

明 紹 書

動画表示装置およびそれに用いられる外部メモリ

技術分野

この発明は動画表示装置およびそれに用いられる外部メモリに関する。より特定的には、この発明は、各々が水平方向および垂直方向にそれぞれ複数ドットからなる1つ以上のキャラクタ単位を組み合わせることによって大きなサイズのオブジェクトをラスタ走査モニタでアニメーション的に表示する、たとえばビデオゲーム機やパソコン用コンピュータなどの動画表示装置およびそれに用いられる外部メモリに関する。

従来技術

昭和59年7月7日付で出願公開された特開昭59-118184号(対応アメリカ合衆国特許第4,824,106号)公報には、たとえば、「ファミリー・コンピュータ(商品名)」あるいは「Nintendo Entertainment System(商品名)」などに実施されている動画表示装置が開示されている。特開昭59-118184号開示の動画表示装置は、1画面分のオブジェクト(キャラクタ)のデータを記憶する第1メモリと、次の水平走査期間に表示すべきオブジェクトのデータだけを記憶する第2メモリと、1つのオブジェクトのドットデータ(グラフィックデータ)を記憶する複数のシフトレジスタとを含む。そして、オブジェクト毎に水平および垂直位置データ、オブジェクトコードおよび属性データを出力する。オブジェクトの垂直表示位置とモニタの水平走線の番号とを比較して、そ

のオブジェクトが次の水平走査期間に表示されるべきであるか否かを判定する、所謂「インレンジ判定」が行われる。そして、各オブジェクト毎にインレンジ判定し、インレンジ状態にあると判定されたオブジェクトのグラフィックデータが第1メモリから第2メモリに転送され、水平プランキング期間中に、そのグラフィックデータがシフトレジスタに転送される。

この特開昭59-118184号公報開示の動画表示装置においては、水平プランキング期間中にインレンジ状態にあると判定されたオブジェクトのグラフィックデータがシフトレジスタに転送されるので、それ以前のビデオゲーム機に比べて格段に速い処理速度を実現した。しかしながら、この表示装置において大きなサイズのオブジェクトを表示する場合、CPU（マイクロプロセサ）の負担が大きく、また大きな容量のOAM（Object Attribute Memory：動画属性メモリ）が必要になる。すなわち、この従来技術では、1オブジェクトが4バイトのデータで構成されているので、N個のキャラクタの集合からなる大きなオブジェクトを表示するためには、第2メモリや第3メモリにおいて4バイト×Nのデータの書き換えが必要となる。したがって、大きなオブジェクトを表示するとき、CPU（マイクロプロセサ）の負担が増大して他の演算処理等に影響があるので、この演算処理に影響を与えない範囲でオブジェクトを表示しようとすると、オブジェクトのサイズや個数が制限されてしまう。また、OAMには、そのオブジェクトを構成する全てのキャラクタのオブジェクトデータすなわち水平位置、垂直位置、色コードおよび属性データを記憶しなければならず、したがって、OAMの記憶容量の増大の必要が生じる。

このような従来技術に対して、たとえば昭和62年2月2日付で出願公開された特開昭62-24296号では、大きなサイズのオブジェクトを表示可能な画像処理装置が提案されている。この特開昭62-24296号開示技術では、水平表示サイズおよび垂直表示サイズのデータを属性メモリ（これは先のOAMに相当する）に記憶し、垂直表示サイズデータをインレンジ検出のために利用し、水平表示サイズデータをキャラクタRAMの読み出しアドレスとして利用する。したがって、この従来技術によれば、オブジェクト毎にそのサイズを任意に変更できるという利点がある。

しかしながら、特開昭62-24296号開示技術では、先の特開昭59-118184号開示技術と同様に、インレンジ判定のために水平表示サイズデータを用いないので、垂直表示サイズデータでインレンジ状態にあると判定された全てのオブジェクトデータについて処理される。すなわち、対象オブジェクトがモニタの画面の両端からはみ出している場合であっても、垂直表示サイズデータのみでインレンジ判定を実行すると、そのオブジェクトは本来画面上に表示されないものであるにも拘わらずインレンジ状態にあると判定されてしまう。すなわち、モニタの画面の水平方向の表示可能範囲外にあるオブジェクトについてもグラフィックデータへの変換のための処理が実行される。一方、このようなグラフィックデータへの変換処理のために許容される時間は一定時間であるため、1水平ラインで表示できるオブジェクト数が実質的に減少するという問題点があった。このような問題をなくすためには、C P U（マイクロプロセサ）は表示範囲外のオブジェクトについてはインレンジ状態にあるか否かを判断しないような処理を行う必要があり、C P Uの

負担の軽減は十分ではない。

発明の概要

それゆえに、この発明の主たる目的は、新規な動画表示装置、およびそれに用いられる外部メモリを提供することである。

この発明の他の目的は、水平方向に表示可能なオブジェクト数が減少することなく最大数のオブジェクトを表示可能な、動画表示装置を提供することである。

この発明の他の目的は、大きなサイズのオブジェクトを表示する際の C P U (マイクロプロセサ) の負担を大幅に軽減できる、動画表示装置を提供することである。

この発明の他の目的は、小さい記憶容量の動画属性メモリを用いて大きなサイズのオブジェクトを表示することができる、動画表示装置を提供することである。

この発明の他の目的は、小さい記憶容量のメモリを用いて多くの種類のサイズのオブジェクトを表示できる、動画表示装置を提供することである。

この発明の他の目的は、小さい記憶容量のメモリを用いて表示可能なオブジェクト数を増加できる、動画表示装置を提供することである。

この発明の他の目的は、動画処理を行うプロセサの負担を軽減できる、動画表示装置を提供することである。

この発明の他の目的は、オブジェクトの一部または全部が画面からはみ出すときにははみ出した部分のデータ処理を禁止することによって無駄なデータ処理を可及的なしすことによってオブジェクト数

の実質的な減少を防ぐ、動画表示装置を提供することである。

この発明のその他の目的は、上述のような動画処理装置に用いられる外部メモリを提供することである。

第1の発明は、各々が水平および垂直方向にそれぞれ複数ドットからなる1つ以上のキャラクタを組み合わせることによって大きなサイズのオブジェクトをラスタスキャンモニタで表示する動画表示装置であって、次のものを備える：オブジェクトを構成するキャラクタのグラフィックデータを各オブジェクト毎に予めその関連するアドレス領域に記憶する第1の記憶手段；ラスタスキャンモニタの次の垂直期間に表示されるべき1以上のオブジェクトを指定するためにオブジェクト指定データを発生するオブジェクト指定データ発生手段；指定されたオブジェクトが表示されるべきモニタ上の水平および垂直位置を表す位置データを発生する位置データ発生手段；オブジェクトサイズを選択するサイズ選択データを発生するサイズ選択データ発生手段；オブジェクト指定データおよび位置データを一時的に記憶する第2の記憶手段；第2の記憶手段から読み出した垂直位置データとサイズ選択データ発生手段からのサイズ選択データとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定し、かつ第2の記憶手段から読み出した水平位置データとサイズ選択データ発生手段からのサイズ選択データとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定するインレンジ判定手段；およびインレンジ判定手段においてインレンジ状態にあると判定されたオブジェクトについてオブジェクト指定データ、前記位置データおよび前記サイズ選択データに基づいて第1の記憶手段の読み出アドレスを作成して第1の記憶手段に与え

る読出アドレス作成手段。

なお、第1の発明が外部メモリに適用される場合、その外部メモリには前述のオブジェクト指定データ発生手段、位置データ発生手段およびサイズ選択データ発生手段が設けられる。

1つのキャラクタは、たとえば、水平方向8ドット（ピクセル）×垂直方向8ドット（ピクセル）で形成される。1つ以上のこのようないい組合せによって、1つのオブジェクトが構成される。たとえばビデオデータメモリのような第1の記憶手段には、たとえば128個のオブジェクトの各々を構成する1つ以上のキャラクタのグラフィックデータ（ドットデータ）が、各オブジェクト毎に、予め記憶されている。したがって、この第1の記憶手段からのグラフィックデータを読み出すことによって、ラスタスキャンモニタ上にオブジェクトを表示する。

マイクロプロセサ（C P U）は、たとえば初期状態またはラスタスキャンモニタの垂直ブランкиング期間中に、たとえばOAM（オブジェクトアトリビュートメモリ）のような第2の記憶手段にオブジェクトデータをセットする。オブジェクトデータは、たとえば、カラーバレットデータ、水平および垂直フリップデータおよび優先表示データ等の他、オブジェクト指定データ（ネームデータ）、垂直位置データ、水平位置データおよびオブジェクトサイズ選択データを含む。

オブジェクトサイズ決定データは、たとえば、オブジェクトサイズ指定データおよびサイズ選択データを含み、サイズ指定データはたとえば「 8×8 」、「 16×16 」、「 32×32 」または「 64×64 」のオブジェクトサイズのうち2つを指定する。また、サ

イズ選択データは、たとえば“0”または“1”であり、このサイズ選択データとして“0”が設定されたとき、上記選択された2つのサイズの一方が選択され、“1”的とき上記2つのされたの他方が選択される。このようにして、サイズ決定データによってオブジェクトサイズが決定される。

インレンジ判定手段では、たとえばラスタスキャンモニタの水平ライン番号とオブジェクトの垂直位置データとの差を求め、その結果と上述のオブジェクトサイズとに基づいて、該当のオブジェクトがインレンジ状態にあるか否か、すなわち、次の水平ラインで表示されるべきか否かを判定する。同時に、インレンジ判定手段では、たとえばオブジェクトの水平位置の絶対値の演算結果とオブジェクトサイズとに基づいて、該当のオブジェクトがインレンジ状態にあるか否かを判定する。

インレンジ判定手段によって水平方向および垂直方ともにインレンジ状態にあると判定されたオブジェクトのグラフィックデータが第1の記憶手段から読み出される。すなわち、読み出アドレス作成手段は、オブジェクト指定データ、位置データおよびオブジェクトサイズに基づいて、インレンジ検出されたオブジェクトのグラフィックデータを第1の記憶手段から読み出すように、読み出アドレスを作成する。

この第1の発明によれば、インレンジ判定手段によって垂直および水平方向のインレンジを判定するため、先に引用した特開昭59-118184号や特開昭62-24296号のように垂直方向のインレンジのみを検出するものに比べて、実際に表示すべきオブジェクトだけがインレンジ判定されるので、1水平ラインで表示でき

るオブジェクト数の実質的な減少が防止され得る。そして、インレンジ状態にあると判定されたオブジェクトは必ず表示されるので、C P Uないしマイクロプロセサの無駄な処理時間がなく、マイクロプロセサの効率を向上できる。

第2の発明は、各々が水平および垂直方向にそれぞれ複数ドットからなる1つ以上のキャラクタを組み合わせることによって大きなサイズのオブジェクトをラスタスキャンモニタで表示する動画表示装置であって、次のものを備える：オブジェクトを構成するキャラクタのグラフィックデータを各オブジェクト毎に予めその関連するアドレス領域に記憶する第1の記憶手段；ラスタスキャンモニタの次の垂直期間に表示されるべき1以上のオブジェクトを指定するためにオブジェクト指定データを発生するオブジェクト指定データ発生手段；指定されたオブジェクトが表示されるべきモニタ上の位置を表す位置データを発生する位置データ発生手段；オブジェクト毎にそのオブジェクトサイズを選択するサイズ選択データ発生手段；画面毎にサイズ指定モードを決定する指定モードデータを発生する指定モードデータ発生手段；オブジェクト指定データおよび位置データを一時的に記憶する第2の記憶手段；第2の記憶手段から読み出した位置データとサイズ選択データ発生手段からのサイズ選択データおよび指定モードデータ発生手段からの指定モードデータの組合せとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定するインレンジ判定手段；およびインレンジ判定手段においてインレンジ状態にあると判定されたオブジェクトについて第1の記憶手段の読出アドレスを作成して第1の記憶手段に与える読出アドレス作成手段。

この第2の発明が外部メモリに提要される場合、その外部メモリは前述のオブジェクト指定データ発生手段、位置データ発生手段、サイズ選択データ発生手段および指定モードデータ発生手段が設けられる。

第2の発明では、インレンジ判定手段は、サイズ指定データとサイズ選択データとによって決まるオブジェクトサイズとオブジェクトのモニタ上の位置データとに基づいて、該当のオブジェクトがインレンジ状態にあるか否か、すなわち、次の水平ラインで表示されるべきか否かを判定する。そして、読み出アドレス作成手段は、たとえばオブジェクト指定データ、位置データ、サイズ指定データおよびサイズ選択データに基づいて、インレンジ判定されたオブジェクトのグラフィックデータを第1の記憶手段から読み出すように、読み出アドレスを作成する。

第2の発明によれば、サイズ指定データでは複数種類のサイズを指定し、サイズ選択データによってサイズの大小を選択するようしているため、オブジェクトサイズを決定するためのデータ量を従来に比べて非常に少なくすることができる。したがって、OAMの記憶容量を大幅に低減できるばかりでなく、プログラムメモリの記憶容量も低減できる。たとえば、1画面に最大128個のオブジェクトを表示できかつ表示可能なサイズの種類が6種類である場合、1画面について3ビットのサイズ指定データと各オブジェクトについて1ビットのサイズ選択データがあればよい。したがって、この場合には、サイズを可変的に決定するためには131ビット（＝ $128 \times 1 + 3$ ）のデータでよく、先の特開昭62-24296号開示技術に比べてそのデータ量は1／5程度（＝131／768）で

よい。

第3の発明は、各々が水平および垂直方向にそれぞれ複数ドットからなる1つ以上のキャラクタを組み合わせることによって大きなサイズのオブジェクトをラスタスキャンモニタで表示する動画表示装置であって、つぎのものを備える：オブジェクトを構成するキャラクタのグラフィックデータを各オブジェクト毎に予めその関連するアドレス領域に記憶する第1の記憶手段；ラスタスキャンモニタの次の垂直期間に表示されるべき1以上のオブジェクトを指定するためにオブジェクト指定データを発生するオブジェクト指定データ発生手段；指定されたオブジェクトが表示されるべきモニタ上の位置を表す位置データを発生する位置データ発生手段、オブジェクトサイズを決定するサイズ決定データを発生するサイズ決定データ発生手段；オブジェクト指定データおよび位置データを一時的に記憶する第2の記憶手段；第2の記憶手段から読み出した位置データとサイズ決定データ発生手段からのサイズ決定データとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定するインレンジ判定手段；インレンジ判定手段においてインレンジ状態にあると判定されたオブジェクトについて第1の記憶手段からグラフィックデータを読み出す読出手段；インレンジ判定手段によってインレンジ状態にあると判定されたオブジェクトの一部が前記モニタの画面からはみ出るか否かを判定するはみ出し判定手段；およびはみ出し判定手段によって画面からはみ出すと判定されたオブジェクトの一部のグラフィックデータの第1の記憶手段からの読出を禁止する読出禁止手段。

第3の発明では、インレンジ判定手段によって水平方向および垂

直方ともにインレンジ状態にあると判定されたオブジェクトのグラフィックデータが第1の記憶手段から読み出される。一方、水平方向の位置データに基づいて、オブジェクトサイズを考慮して、たとえばサイズカウンタ制御回路のようなはみ出し判定手段が、そのオブジェクトをオブジェクト決定データで決定されたオブジェクトサイズで表示するとき、オブジェクトの一部がモニタ画面の水平方向左端および／または右端からはみ出すかどうか判定する。左端にはみ出すことを検出したとき、禁止手段は、オブジェクトのグラフィックデータを読み出す開始アドレスを、実際に表示されるキャラクタのグラフィックデータアドレスにプリセットすることにより、無駄なグラフィックデータの読出を禁止する。また、右端にはみ出すことを検出したとき信号が出力され、この信号に応答して、禁止手段が第1の記憶手段からのグラフィックデータの読出を禁止する。具体的には、オブジェクト指定データを保持するレジスタに次のオブジェクト指定データを保持することによって、次のオブジェクトの処理に移る。

第3の発明によれば、オブジェクトの一部がモニタ画面からはみ出すとき、このはみ出す部分については第1の記憶手段からのグラフィックデータの読出を禁止するので、はみ出すオブジェクトの部分のための無駄なデータ処理が実行されない。したがって、実質的なオブジェクト数の減少を防ぐことができると同時に、動画処理のプロセサの負担を可及的減じることができ、全体として、処理速度を速くできる。

この発明の上述の目的およびその他の目的、特徴、局面および利点は、添付図面に関連して行われる以下の実施例の詳細な説明から

一層明らかとなろう。

図面の簡単な説明

第1図はこの発明の一実施例を示す概略ブロック図である。

第2図は第1図実施例のビデオプロセサを示すブロック図である。

第3図はタイミング信号発生回路を示すブロック図である。

第4A図および第4B図は水平方向の各タイミング信号を示すタイミング図である。

第5図は垂直方向の各タイミング信号を示すタイミング図である。

第6A図、第6B図および第6C図は第2図に示す動画データ発生回路を示すブロック図である。

第7図はオブジェクトデータの一例を示す図解図である。

第8図はOAMアドレス回路を詳細に示すブロック図である。

第9図はアドレス選択回路、OAM制御回路およびOAMを詳細に示すブロック図である。

第10図はベクトルRAMアドレス回路およびベクトルRAMを詳細に示すブロック図である。

第11図はレジスタ制御回路、H位置レジスタ、V位置レジスタ、アトリビュートレジスタ、ネームレジスタ、H位置演算回路およびV位置演算回路を詳細に示すブロック図である。

第12図はモニタ画面に関連する水平(H)位置および垂直(V)位置を示す図解図である。

第13図はサイズレジスタ、インターレースレジスタ、サイズデコ

ーダおよびインレンジ判定回路を詳細に示すブロック図である。

第14図および第15図はビデオデータメモリのメモリフォーマットの一例を示す図解図である。

第16図はサイズカウンタ制御回路を詳細に示すブロック図である。

第17図はアドレス加算器制御回路を詳細に示すブロック図である。

第18A図-第18D図はHフリップおよびVフリップの状態を示す図解図である。

第19図はアドレス加算器、ビデオデータメモリアドレス回路およびビデオデータメモリを詳細に示すブロック図である。

第20図はH反転回路およびカラーデータ抽出回路を詳細に示すブロック図である。

第21図はバッファRAMを詳細に示すブロック図である。

第22図はバッファRAMアドレス回路およびバッファRAM制御回路を詳細に示すブロック図である。

発明を実施するための最良の形態

全体構成

第1図を参照して、マイクロプロセサ10は、たとえば着脱式のメモリカセットに含まれるプログラムデータメモリ14からのプログラムデータに従って、ビデオプロセサ12等の動画表示装置の全体的な動作を制御する。このマイクロプロセサ10としては、たとえば株式会社リコー製の集積回路“RF5A22”のような16ビットのマイクロプロセサが利用される。ビデオプロセサ12は、マ

マイクロプロセサ10からの指示に従ってビデオデータメモリ16からのグラフィックデータを読み出して、TVインターフェース18に与える。ビデオデータメモリ16はたとえば64KバイトのSRA M(Static Random Access Memory)からなり、背景パターン記憶領域16aおよびキャラクタデータ記憶領域16bを含む。このように背景パターン記憶領域16aおよびキャラクタデータ記憶領域16bを1つのSRA Mで構成した理由は、動作速度が速いこと、および記憶領域の大きさをキャラクタ(オブジェクト)と背景パターンとで任意に設定できることである。また、サウンド回路20は、マイクロプロセサ10の指示に従って、必要な音楽および効果音のデータをディジタル的に発生して、TVインターフェース18に与える。TVインターフェース18は、ビデオプロセサ12からのグラフィックデータをRGB信号に変換してRGBモニタ22のビデオ回路に与えるとともに、サウンド回路20からのサウンドデータをサウンド信号に変換してRGBモニタ22のサウンド回路に与える。なお、サウンド回路20としては、たとえばソニー株式会社製の集積回路“CXD1222Q”が利用可能である。このようにして、RGBモニタ22の画面上には、プログラムデータメモリ14に予め設定されているプログラムの進行に従って変化するビデオゲームなどのオブジェクトや背景パターンが表示される。

なお、第1図実施例では、TVインターフェース18はグラフィックデータをRGB信号に変換するようにした。しかしながら、グラフィックデータをテレビジョンビデオ信号に変換するTVインターフェースが利用されてもよい。この場合、モニタとしては、一般の家庭用TV受像機が利用され得る。

第2図には第1図実施例のビデオプロセサ12がより詳細に示される。ビデオプロセサ12は、マイクロプロセサ10からのデータをラッチするデータラッチやアドレスデコーダなどを含むCPUインターフェース24を含み、このCPUインターフェース24は背景画用CPUインターフェース24aおよび動画(オブジェクト)用CPUインターフェース24bを含む。背景画用CPUインターフェース24aは背景(Background)画像に関してマイクロプロセサ10とビデオプロセサ12との間でデータの授受を行い、動画用CPUインターフェース24bはオブジェクトに関してマイクロプロセサ10とビデオプロセサ12との間でデータの授受を行なう。

背景画用CPUインターフェース24aを通してマイクロプロセサ10から与えられたプログラムデータに従って、背景画データ発生回路26は、ビデオデータメモリ16の背景パターン記憶領域16aから背景画像のパターンデータ(キャラクタコード)を読み出し出し、そのパターンデータに基づいてビデオデータメモリ16のキャラクタデータ記憶領域16bから、背景画像のグラフィックデータを読み出して合成回路28に与える。一方、この発明が向けられる動画データ発生回路30は、後にさらに詳細に説明するが、動画用CPUインターフェース24bを通してマイクロプロセサ10から与えられたプログラムデータに従って、ビデオデータメモリ16のキャラクタデータ記憶領域16bからオブジェクトのグラフィックデータを読み出して合成回路28に与える。

合成回路28では、後述のように、オブジェクトと背景パターンとが重なり合う場合、オブジェクトおよび背景パターンのいずれを優先的に表示するかを示す優先順位を決定する。したがって、オブ

ジェクトに優先権が与えられたとき、オブジェクトが画面に表示されるが、そのオブジェクトと重なっている背景パターンは表示されない。もし、背景パターンに優先権が与えられたとき、背景パターンが画面に表示され、その背景パターンと重なっているオブジェクトは表示されない。このようにして、合成回路28によって合成されたグラフィックデータが、画像信号発生回路32に与えられる。画像信号発生回路32は合成回路28から出力される各ドット（ピクセル）ごとのカラーコードに従ってRGB信号を作成するカラーエンコーダを含む。このRGB信号が上述のようにモニタ22に与えられるのである。

タイミング信号発生回路34は、第4A図および第4B図に示す21.47727MHzの基本クロックを受け、この基本クロックをたとえばカウンタ、デコーダ、論理回路等で処理することによって、第3図ならびに第4A図および第4B図に示す多数のタイミング信号を作成し、CPUインターフェース24、背景画データ発生回路26、合成回路28、動画データ発生回路30および画像信号発生回路32等に印加する。

より詳しく説明すると、上述の基本クロックが1/2分周されると第4A図および第4B図に示すタイミング信号10Mまたは/10M（ただし、この明細書において記号“/”は反転を意味する）が得られ、それをさらに1/2分周するとタイミング信号5Mまたは/5Mが得られる。

RGBモニタ22（第1図）の画面上では、1ドット（ピクセル）の表示期間が信号5Mの1サイクルに相当する。したがって、信号5Mのカウント値が“0-341”の時間が水平期間である。水平期

間の内信号5Mのカウント値“0－268”の時間が1水平表示期間に相当し、カウント値“269－341”の時間は水平ブランкиング期間に相当する。1水平期間すなわち信号5Mのカウント値が“0－341”ごとに垂直信号V（第3図）が得られ、この信号Vがカウントされて走査中の垂直位置すなわちライン番号となる。インターレーススキャン時の1フィールドが第5図図示のように262水平ラインであるとすれば、信号Vのカウント値“0－262”の間にタイミング信号FIELDが得られ、この信号FIELDがハイレベルの時間が1垂直期間に相当し、カウント値“0－239”が垂直表示期間に相当し、カウント値“240－262”が垂直ブランкиング期間に相当する。

タイミング信号VBHは、第5図に示すように垂直信号のカウント値“240”で出力され、それが垂直ブランкиング期間の開始を示す。また、タイミング信号VBは垂直ブランкиング期間にハイレベルとなり、タイミング信号/VBは垂直表示期間にハイレベルとなる。

第4 A図および第4 B図に示すタイミング信号HC0は上述の信号5Mを1／2分周して得られ、タイミング信号/HC0はその反転として得られる。タイミング信号/HC1は、信号/HC0を1／2分周した信号である。タイミング信号INは、第4 A図および第4 B図に示すように、水平表示期間すなわち信号5Mのカウント値“0－255”の間ハイレベルであるインレンジ判定動作中を示す信号であり、タイミング信号/INはその反転として得られる。タイミング信号/HIは1水平期間毎に1つの信号5Mのカウント値“0”で出力される。タイミング信号HBHは第4 B図に示すように信号5Mのカウント値“269－270”で出力され、それが水平ブランкиング期間の開始を示

す。タイミング信号/HBHは信号HBHの反転として得られ、したがって信号/HBHは信号5Mのカウント値“271－268”の間でハイレベルとなる。なお、タイミング信号/HBは水平プランギング期間にローレベルとなる。タイミング信号/LBは第4A図および第4B図に示すように信号5Mのカウント値“341－268”の間にハイレベルとして出力され、タイミング信号OAEは第4A図および第4B図に示すように信号5Mのカウント値“0－271”の間にハイレベルとして出力される。タイミング信号LBRは第4A図および第4B図に示すように信号5Mのカウント値“17－272”の間にハイレベルとして出力され、タイミング信号LBWは信号5Mのカウント値“276－3”の間にハイレベルとして出力される。そして、タイミング信号/CRESは第4A図および第4B図に示すように信号5Mのカウント値“3－17”の間にローレベルとして出力される。

第6A図に示すように、動画用C P U インタフェース24bはマイクロプロセサ10のデータバスからのデータを受けるかつ8ビットのOAMアドレスレジスタ36を含む。このOAMアドレスレジスタ36はマイクロプロセサ10から動画データ発生回路30に含まれるOAM(Object Attribute Memory)38にデータを書き込む際にマイクロプロセサ10からアドレスを受け、OAM38の初期アドレスを設定する。このOAM38はたとえば34ビット×128の記憶容量を有し、128個のオブジェクトのそれぞれのオブジェクトデータを記憶することができる。各々のオブジェクトデータは、第7図に示すように合計34ビットからなり、3ビットのカラーパレットデータ、それぞれ1ビットの水平および垂直フリップデータおよび2ビットの優先表示データ等の他、9ビットのオブジェ

クト指定データ（ネームデータ）、8ビットの垂直位置データ、9ビットの水平位置データおよび1ビットのオブジェクトサイズ選択データを含む。

なお、この第7図に示すオブジェクトデータは、よく知られているように、前述のメモリカセットすなわち外部メモリに含まれるプログラムデータメモリ14に、たとえばゲームの内容に応じて、予め設定されている。このプログラムデータメモリ14から読み出したオブジェクトデータがマイクロプロセサ10によってOAM38に与えられるのである。

アドレスデコーダ40は、マイクロプロセサ10からの読出／書込信号R/Wならびにアドレスバスからのアドレスを受け、信号OAW, /ODW, PAW, SZW およびITW を出力する。信号OAW は先のOAMアドレスレジスタ36の書込信号として与えられ、OAMアドレスレジスタ36にはこの信号OAW に応答してマイクロプロセサ10からの初期アドレスがロードされる。

動画データ発生回路30に含まれるOAMアドレス回路42は、主としてアドレスカウンタを含み、信号OAW によってイネーブルされる。このOAMアドレス回路42はOAMアドレスレジスタ36から初期アドレスを受け、信号/ODWのタイミングでインクリメントし、OAM38のアドレスを順次指定するアドレスデータをアドレス選択回路44（第6B図）に与える。このアドレス選択回路44にはベクトルRAM46からのアドレスデータも与えられる。ベクトルRAM46は、後述のインレンジ判定回路56によってインレンジ状態にあると判定されたオブジェクトのアドレスを記憶している。そして、アドレス選択回路44はOAMアドレス回路42から

のアドレスデータまたはベクトルRAM46からのアドレスデータを選択してOAM38に与える。

アドレスデコーダ40からの信号ODWは、また、OAM制御回路48のイネーブル信号として与えられ、OAM制御回路48はマイクロプロセサ10から受け取ったデータをOAM38に書き込むときに、書込信号WEおよびデータを出力し、OAM38に与える。

サイズレジスタ50は、3ビットレジスタであり、マイクロプロセサ10からのデータD5-D7の3ビットで表される次表Iで示されるサイズデータ“000-101”の何れか1つのデータをロードする。すなわち、マイクロプロセサ10からサイズレジスタ50を指定するアドレス、データおよび書込信号が与えられると、アドレスデコーダ40から信号SZWが出力される。この信号SZWに応答して、サイズデータがサイズレジスタ50にロードされる。このサイズレジスタ50からのサイズデータが動画データ発生回路30に含まれるサイズデコーダ52に与えられる。サイズデコーダ52はサイズデータをデコードして、それぞれ異なるオブジェクトサイズを示す信号S8,S16,S32またはS64を出力する。

表 I

サイズデータ			サイズ選択データ					
D7	D6	D5	0		1			
0	0	0	8	×	8	16	×	16
0	0	1	8	×	8	32	×	32
0	1	0	8	×	8	64	×	64
0	1	1	16	×	16	32	×	32
1	0	0	16	×	16	64	×	64
1	0	1	32	×	32	64	×	64

また、2ビットのインタースレジスタ54はマイクロプロセサ10からインタースまたはノンインタースを示す1ビットのインタースデータ、およびインタース時に1ラインで1ドットを表示するかまたは2ラインで1ドットを表示するかを示すデータOBJVSELを受ける。すなわち、マイクロプロセサ10からインタースレジスタ54を指定するアドレス、データおよび書込信号が与えられると、アドレスデコーダ40から信号ITWが出力される。この信号ITWに応答してインタースデータおよびデータOBJVSELがインタースレジスタ54にロードされる。

この実施例では1ラインに最大32個のオブジェクトを表示できるので、1画面に表示可能な128個のオブジェクトのどれを次のラインで表示すべきかを指定する必要がある。その目的で第6B図に示すインレンジ判定回路56や前述のベクトルRAM46が利用される。したがって、ベクトルRAM46はオブジェクト番号を示す7ビット×32の記憶容量を有する。

ベクトルRAMアドレス回路58は、主としてカウンタを含み、インレンジ判定回路56からの信号/INRANGE毎にベクトルRAM46のアドレスをインクリメントする。なお、ベクトルRAMアドレス回路58からその水平ライン中にインレンジ状態にあるオブジェクトが1つもないとき、そのことを示す信号/NONOBJが後述のバッファRAM制御回路92（第6C図）に与えられる。上述のように1ラインには最大32個のオブジェクトしか表示できないので、ベクトルRAMアドレス回路58からはインレンジ状態にあるオブジェクト数が“32”に達したとき、信号INRANGE FULLが出力され、それがインレンジ判定回路56に与えられる。応じて、インレンジ

判定回路 56 ではそれ以後のインレンジ判定出力を止める。

第 6B 図に示すサイズカウンタ 60 は、オブジェクトを表示するとき、そのオブジェクトを構成する複数のキャラクタのうち左から何番目のキャラクタを表示すればよいかを示すデータ SC を出力する。このサイズカウンタ 60 はサイズカウンタ制御回路 62 から初期値データを受け、タイミング信号発生回路 34 からの信号/HCO に応答してその初期値をインクリメントする。その結果が上述のデータ SC として出力され、このデータ SC は後述の水平 (H) 位置演算回路 64 におけるアドレスの計算のために利用される。

サイズカウンタ制御回路 62 からは H 位置演算回路 64 に新しいオブジェクトの水平位置データをロードすべきタイミングを示す信号 L が出力される。すなわち、この信号 L は次のオブジェクトのための処理を実行するためのタイミング信号であり、前述のベクトル RAM アドレス回路 58 に与えられる。ベクトル RAM アドレス回路 58 はこの信号 L に応答してベクトル RAM アドレスをディクリメントする。したがって、ベクトル RAM 46 のアドレスは信号 L 毎に変更され、信号 L が出力されない限り、ベクトル RAM アドレス回路 58 におけるアドレスの更新が停止される。すなわち、大きいオブジェクトの場合、そのオブジェクトを構成するキャラクタを処理している間は OAM 38 のアドレスは同じでなければならないので、信号 L によって、1 つのオブジェクトを構成する全てのキャラクタの処理が終了するまで OAM 38 のアドレスを変更しないこととした。なお、この信号 L は信号 C を 1 段の D - F F で遅延させることによって得られる。

OAM 38 には、前述のように、水平 (H) 位置データ、垂直 (

V) 位置データ、属性(アトリビュート)データおよびネームデータが一時的に記憶されるが、OAM38から読み出されたこれらのデータは、レジスタ制御回路74の制御の下で、それぞれ、9ビットのH位置レジスタ66、8ビットのV位置レジスタ68、8ビットのアトリビュートレジスタ70および9ビットのネームレジスタ72にロードされる。レジスタ制御回路74は、上述のサイズカウンタ制御回路62からの信号Lおよび信号Cに応答して、各レジスタ66、68、70および72のロードタイミングを制御する。

H位置レジスタ66からH位置演算回路64にH位置データHPが与えられる、このデータHPはまたサイズカウンタ制御回路62にも与えられる。H位置演算回路64では、オブジェクトの水平(H)位置の絶対値データHAを演算し、インレンジ判定回路56に与えるとともに、後述のバッファRAMアドレス回路90に与えられてバッファRAM84のアドレスとして利用される。H位置演算回路64は、また、H位置とサイズカウンタからのデータSCとを加算し、その結果データをサイズカウンタ制御回路62に与える。

V位置演算回路76はV位置レジスタ68からの垂直(V)位置データVPと垂直期間信号Vとを受け、オブジェクトのV位置を現在走査中の水平ライン位置から減算する。この減算結果データはそのオブジェクトが次の水平ラインで表示されるべきか否かを示すデータとなる。減算結果データはインレンジ判定回路56とともにアドレス加算器制御回路78に与えられる。

インレンジ判定回路56は、後に詳細に説明するが、このようにして与えられるH位置データおよびV位置データならびにサイズデータSR、インターレースデータIRおよびアトリビュートデータA

Rに基づいてそのオブジェクトが次の水平ラインで表示されるべきか否か、すなわち、インレンジ状態にあるか否かを判定する。インレンジ判定回路56は、1水平走査期間に128回のインレンジ判定を実行するが、前述のように、インレンジ状態にあるオブジェクトが32個に達したときには、ベクトルRAMアドレス回路58から信号INRANGE FULLが与えられる。したがって、インレンジ判定回路56は、信号INRANGE FULLが与えられた後は、信号/INRANGEを出力しない。

アドレス加算器制御回路78はアドレス加算器80における加算の前にデータを処理する。すなわち、アドレス加算器制御回路78は、サイズレジスタ50からのデータSR、インタースレジスタ54からのデータIRおよびアトリビュートレジスタ70からのデータARとともに、H位置演算回路64およびV位置演算回路76からのH位置データおよびV位置データを受け、Hフリップ（H反転）またはVフリップ（反転）のとき、被加算値を変更する。そして、アドレス加算器80はアドレス加算器制御回路78からの出力データとネームレジスタ72からのオブジェクトコードデータ（第1図に示すビデオデータメモリ16のキャラクタデータ記憶領域16aの左上のキャラクタネーム、すなわち、基準アドレスを示す）とを加算して、キャラクタデータ記憶領域16aのアドレスを作成する。このアドレスがビデオデータメモリアドレス回路82に出力される。

第6C図に示すバッファRAM84は、9ビット×256の記憶容量を有し、カラーパレットデータや優先順位データなどを一時的に記憶する。ビデオデータメモリ16のデータバスに接続されたH

反転回路 86 は、キャラクタデータ記憶領域 16b から読み出した各ドット（ピクセル）のカラーデータを受け、アトリビュートレジスタ 72 からのデータ AR による反転指示に基づいて、水平（H）方向をドット単位で反転する。そして、この H 反転回路 86 からのカラーデータがカラーデータ抽出回路 88 に与えられる。カラーデータ抽出回路 88 では、4 つのカラーセルごとに入力されるカラーデータを集めて 1 ドット当たり 4 ビットのカラーデータを得て、バッファ RAM 84 のデータ入力 DI に与える。一方、アトリビュートレジスタ 72 からのカラーパレットデータ（3 ビット）および優先順位データ（2 ビット）もこのバッファ RAM 84 に与えられるため、結局、バッファ RAM 84 は上述のように 1 ドット当たり 9 ビットのデータを記憶する。

バッファ RAM アドレス回路 90 は H 位置演算回路 64 からの H アドレスの絶対値データ HA および H 位置レジスタ 66 からの H 位置データ HP を受ける。そして、表示期間中、バッファ RAM アドレス回路 90 はバッファ RAM 84 のアドレスを “0 - 255” までインクリメントして、このアドレスをバッファ RAM 84 に与える。したがって、バッファ RAM 84 からは、ドット順次に、カラーデータ等が読み出される。また、バッファ RAM 84 へのデータの書きを行うとき、バッファ RAM アドレス回路 90 は、絶対値データ HA を基準にしてバッファ RAM 84 の書き込みアドレスを作成する。ただし、バッファ RAM 84 の読み出または書き込みはバッファ RAM 制御回路 92 によって制御される。すなわち、バッファ RAM 制御回路 92 はベクトル RAM アドレス回路 58（第 6B 図）からの信号/NONOBJ を受け、この信号/NONOBJ に応答してバッファ RAM

84へのデータの書込を禁止し、またカラーデータが「透明」を示すとき、同様に、バッファRAM84へのデータの書込が禁止される。

ここで、上述の各回路について、第8図ー第21図を参照して、さらに詳細に説明する。

詳細回路

OAMアドレス回路42

第8図に示すOAMアドレス回路42は8ビットのアドレスカウンタ(Hi)94および2ビットのアドレスカウンタ(Lo)96を含む。アドレスカウンタ94のアドレス入力A2-A8およびA9が、OAMアドレスレジスタ36のアドレスラッチ(Lo)36aおよびアドレスラッチ(Hi)36bから与えられ、アドレスカウンタ96のアドレス入力A1はアドレスラッチ36aから与えられる。アドレスA1はオブジェクトの2ワードのどちらかを指定するアドレスであり、アドレスA2-A8は128個のオブジェクトの何れかを指定する。アドレスラッチ36bからのデータ出力D7がタイミング信号発生回路34からの信号/HIおよび/VBの反転とともにNANDゲート98に与えられる。したがって、データ出力D7がNANDゲート98を介してアドレスカウンタ94のリセット入力Rに印加される。したがって、データD7がローレベルのときはアドレスカウンタ94にリセットがかかり、アドレスカウンタ94は必ず“0”からカウントを開始してインクリメントされる。これによって、インレンジ判定する際に、最初に読み込まれたインレンジ状態にあると判定されたオブジェクトが優先順位の最も高いオブジェクトとして処理されることになる。また、データD7が“1”

であるとき、アドレスカウンタ94はリセットされず、マイクロプロセサ10（第1図）から最後に入力されたデータがそのまま初期値データとして設定され、その初期値データで指定されるオブジェクトが最優先で処理される。

タイミング信号発生回路34からの信号/HCOを受けるデータセレクタ100が、垂直ブランкиング期間とそれ以外の期間とで異なる周波数のクロックをアドレスカウンタ94に選択的に与える。すなわち、タイミング信号発生回路34からの信号INがデータ入力としてまたタイミング信号発生回路34からの信号HCOがクロックとして入力されるD-FF102の出力がANDゲート104の入力に与えられ、タイミング信号発生回路34からの信号/VBがANDゲート104に入力されるので、ANDゲート104からは垂直ブランキング期間中ローレベルが出力される。このローレベルの信号によってデータセレクタ100がアドレスカウンタ94のクロックにタイミング信号発生回路34からの信号/HCOに同期したクロックを与えるか、マイクロプロセサ10からのアクセスタイミングすなわちアドレスデコーダ40（第6A図）からの信号DAWに同期したクロックを与えるかを切り換える。したがって、アドレスカウンタ94には垂直ブランキング期間ではマイクロプロセサ10がアドレスカウンタ94をアクセスするタイミングに同期するクロックが与えられ、それ以外の期間では内部タイミングに同期するクロックが与えられる。

上述のANDゲート104の出力は、アドレスカウンタ96からのキャリ信号Cとともに、ORゲート108を通してアドレスカウンタ94のイネーブル入力Tとして与えられる。

D-F F 1 1 0 のデータ入力としてタイミング信号発生回路 3 4 らの信号VBH が与えられ、そのクロック入力としてタイミング信号発生回路 3 4 からの信号HC0 が与えられる。信号VBH はまたD-F F 1 1 0 の出力とともにANDゲート112 に与えられる。したがって、ANDゲート112 の出力は信号HC0 のタイミングでハイレベルとなり、アドレスデコーダ40 からの信号0AW1および0AW2とともに、NORゲート114 を通してD-F F 1 1 6 および118 のデータ入力に印加される。D-F F 1 1 6 のクロックとしてはタイミング信号発生回路 3 4 からの信号/10M が与えられ、D-F F 1 1 8 のクロックとしてはタイミング信号発生回路 3 4 からの信号10M が与えられる。これらD-F F 1 1 6 および118 の出力が、NORゲート114 の出力とともに、NORゲート120 の入力に与えられる。したがって、NORゲート120 からは、マイクロプロセッサ10 がOAM38 のアドレスを設定するときにデータバスにアドレスに相当する数値が出力されるが、この数値データをアドレスカウンタ94 にロードするタイミング信号/LD がアドレスカウンタ94 に与えられる。

アドレス選択回路44, OAM制御回路48 およびOAM38

第9図に示すアドレス選択回路44 は、OAMアドレス回路42 のアドレスカウンタ(Hi)94 からのアドレスA2-A8 またはベクトルRAM46 からのアドレスA2-A8 を選択してOAM38 の主OAM124 に与える。すなわち、タイミング信号発生回路34 からの信号/VB および/IN がNORゲート126 を介してデータセレクタ122 に与えられ、したがって、データセレクタ122 は垂直ブランкиング期間中、OAMアドレス回路42 からのアドレ

スA2-A8を主OAM124に与える。同じようにして、データセレクタ128は、タイミング信号発生回路34からの信号/VBに応答してOAMアドレス回路42のアドレスカウンタ(Hi)94およびアドレスカウンタ(Lo)96からのアドレスA0-A4またはベクトルRAM46からのアドレスA0-A4を選択してOAM38の補助OAM130に与える。また、データセレクタ132はOAMアドレス回路42のアドレスカウンタ96からのアドレスA1またはANDゲート134の出力をタイミング信号発生回路34からの信号/VBに応答して選択する。ANDゲート134の2入力にはタイミング信号発生回路34からの信号HCOおよび/INが与えられる。したがって、垂直プランギング期間中にはマイクロプロセサ10から出力されるデータを用いてOAM38に書き込むが、それ以外の期間では内部クロックによって上位および下位オブジェクトデータDOHおよびDOLが主OAM124すなわちOAM38から読み出されて出力される。

OAM38において主OAM124と補助OAM130とに分けたのは、マイクロプロセサ10のデータバスは8ビットであり、他方OAM38に記憶されるオブジェクトデータは前述のように34ビットであるからである。すなわち、第7図に示すように、8ビットのデータを4回主OAM124に記憶し、残った2ビット(=34-32)を4つ纏めて8ビットデータとして構成し、それを補助OAM130に記憶する。したがって、補助OAM130には9ビットのH位置データの最上位ビットと1ビットのサイズ選択データとが記憶される。

OAM制御回路48はそれぞれ8ビットのデータラッチ136お

および138を含み、このデータラッチ136および138がマイクロプロセサ10からのオブジェクトデータのOAM38への書き込みに利用される。すなわち、データラッチ136の入力としてはデータバスのデータD0-D7が与えられ、データラッチ138の入力としてはデータラッチ136の出力が与えられる。データラッチ136および138のラッチ信号としては、アドレスデコーダ40（第6A図）から出力される信号/PAWおよびNANDゲート140の出力が与えられる。NANDゲート140はOAMアドレス回路42からのアドレスA0およびアドレスデコーダ40からの信号/ODWを受ける。アドレスA0はインバータ144によって反転されてNANDゲート142の入力として与えられ、このNANDゲート142はさらに上述の信号/ODWを受ける。したがって、信号/ODWに応答して、アドレスA0がローレベルのときデータラッチ138にデータがラッチされ、アドレスA0がハイレベルのときNANDゲート142から主OAM124に書き込み信号が与えられ、データラッチ136および138にラッチされている上位および下位オブジェクトデータDIHおよびDILが主OAM124に書き込まれる。

また、補助OAM130は16ビットではないので、1回の動作でデータの書き込みが終了する。したがって、信号/ODWが補助OAM130の書き込み信号として与えられ、データラッチ138にラッチされているオブジェクトデータが書き込まれる。

なお、OAM制御回路48は2つのNORゲート146および148を含み、NORゲート146にはOAMアドレス回路42からのアドレスA9がインバータ150によって反転されて与えられるとともに、タイミング信号発生回路34からの信号/VBが与えられ

る。また、NORゲート148には上述のアドレスA9および信号/VBがそのまま与えられる。したがって、垂直ブランギング期間中において、アドレスA9がハイレベルのときにはNORゲート148からイネーブル信号が補助OAM130に与えられ、ローレベルのときはNORゲート146からイネーブル信号が主OAM124に与えられる。そして、主OAM124から読み出された上位のオブジェクトデータDOHはV位置レジスタ68、アトリビュートレジスタ70およびネームレジスタ72にロードされ、下位のオブジェクトデータDOLはH位置レジスタ66およびネームレジスタ72にロードされる。

また、前述のように補助OAM130にはオブジェクトデータの特定のデータが4つのオブジェクトを一まとめにして記憶されるので、データセレクタ150および152によって、主OAM124の32ビットのオブジェクトデータに附属する2ビットをそれと同じタイミングでH位置レジスタ66およびアトリビュートレジスタ70にロードする。

ベクトルRAMアドレス回路58およびベクトルRAM46

第10図に示すベクトルRAMアドレス回路58は5ビットの可逆カウンタないしU/Dカウンタ154を含み、このU/Dカウンタ154のカウントデータがベクトルRAM46のアドレスA0-A4に与えられる。タイミング信号発生回路34からの信号INがD-FF156のデータ入力に与えられ、このD-FF156の出力がD-FF158のデータ入力に与えられる。D-FF156および158のクロック入力としてはタイミング信号発生回路34からの信号HC0および5Mが与えられる。D-FF158の出力は信号HC

0とともにNANDゲート160の入力として与えられ、このNANDゲート160の出力がNANDゲート162の出力とともにNORゲート164の2入力として与えられる。なお、NANDゲート162の2入力にはタイミング信号発生回路34からの信号/LBおよび/HCOが与えられる。そして、NORゲート164の出力が上述のU/Dカウンタ154のカウント入力すなわちクロックとして与えられる。したがって、U/Dカウンタ154のクロックはタイミング信号発生回路34からの信号HCOによって決まる。

また、タイミング信号発生回路34からの信号/LBがインバータ166を通してU/Dカウンタ154のアップカウントまたはダウンカウントを切り換えるための入力U/Dとして与えられる。したがって、信号/LBがハイレベルのときU/Dカウンタ154はアップカウンタとして、また信号/LBがローレベルのときU/Dカウンタ154はダウンカウンタとしてそれぞれ構成される。

さらに、タイミング信号発生回路34からの信号5MおよびHCOがNANDゲート168の入力に与えられ、このNANDゲート168の出力が、インレンジ判定回路56からの信号/INRANGEとともにNANDゲート170に与えられる。この信号/INRANGEがD-FF172のデータ入力に与えられ、上述のNANDゲート168の出力がこのD-FF172のクロックとして与えられる。D-FF172の出力がデータセレクタ174の1入力として与えられ、データセレクタ174の切換入力としては、前述の信号/LBが与えられる。NANDゲート170の出力がRS-FF176のセット入力/Sとして与えられ、リセット入力/Rとしてはタイミング信号発生回路34からの信号/HIが印加される。このRS-FF176の

出力がANDゲート178の入力となる。このANDゲート178の他の入力としてはORゲート180を経たタイミング信号発生回路34からの信号/HBHまたはLおよびD-FF182の出力が与えられる。

そのため、インレンジ検出すべき期間において信号/LBがハイレベルになると、U/Dカウンタ154がアップカウント動作に切り換えられる。そして、インレンジ状態を示す信号/INRANGEがローレベルになる都度、D-FF172からイネーブル信号が与えられるので、U/Dカウンタ154はNORゲート164からのクロックをアップカウントする。U/Dカウンタ154のカウント値が、書込アドレスとしてベクトルRAM46に与えられる。また、U/Dカウンタ154がアップカウント動作して、そのカウント値がわちインレンジ検出されたオブジェクトが1ラインで表示可能な“32”に達すると、ANDゲート186およびD-FF188によって信号INRANGE FULLが発生される。この信号INRANGE FULLに応答して、インレンジ判定回路56が不能動化される。一方、信号/LBがローレベルになると、U/Dカウンタ154がダウンカウント動作に切り換えられ、U/Dカウンタ154はサイズカウンタ制御回路62からの信号Lが与えられる都度ダウンカウント動作する。U/Dカウンタ154のカウント値がインレンジ検出されたオブジェクトを読み出し出すために、読出アドレスとしてベクトルRAM46に与えられる。そして、すべてのオブジェクトが読み出されると、U/Dカウンタ154のカウント値が“0”となり、キャリ信号がD-FF182に与えられるので、U/Dカウンタ154が不能動化される。

インレンジ判定回路 56 でインレンジ判定動作を開始すると、タイミング信号発生回路 34 からの信号/HI が U/D カウンタ 154 のリセット入力に与えられるとともに、この信号/HI は RS-F F 176 のリセット入力としても与えられる。そして、その後インレンジ状態にあるオブジェクトが 1 つも検出されなければ、RS-F F 176 の出力はローレベルのままであり、この信号が D-F F 190 オブジェクト 192 を経てタイミング信号発生回路 34 からの信号 HCO に応答して、前述の信号/NONOBJ として出力される。この信号/NONOBJ はバッファ RAM 制御回路 92 (第 6 C 図) に与えられる。

レジスタ制御回路 74, H 位置演算回路 64, H 位置レジスタ 66
, V 位置レジスタ 68, アトリビュートレジスタ 70, ネームレジ
スタ 72 および H 位置演算回路 76

第 11 図に示すレジスタ制御回路 74 は NOR ゲート 194 ならびに NAND ゲート 196 および 198 を含む。NOR ゲート 194 の入力にはサイズカウンタ制御回路 62 (第 6 B 図) からの信号 C とタイミング信号発生回路 34 からの信号 VB および IN が与えられる。NAND ゲート 196 の入力には NOR ゲート 194 の出力とともに、タイミング信号発生回路 34 からの信号 /5M および HCO が与えられ、NAND ゲート 198 の入力にはサイズカウンタ制御回路 62 (第 6 B 図) からの信号 L とタイミング信号発生回路 34 からの信号 5M および HCO が与えられる。

H 位置演算回路 64 は 8 ビットのフルアダーレンジ回路 200 を含み、その一方入力 A0-A7 にはイクスクルーシブ OR ゲート 202 の出力が与えられ、他方入力 B3-B5 として AND ゲート 204 の出力

が与えられる。なお、残余の他方入力としてはアース電位すなわち“0”が与えられる。H位置レジスタ66の第1H位置レジスタ66aからのH位置データD0-D7がANDゲート206からのキャリ信号入力CINとともにイクスクルーシブORゲート202の入力に与えられる。したがって、キャリ信号入力CINがハイレベルのとき、データD0-D7がイクスクルーシブORゲート202によって反転されて、フルアダー200の上述の一方入力A0-A7として与えられる。

なお、ANDゲート206にはH位置レジスタ66に含まれる第2H位置レジスタ66aからのデータD8およびORゲート208の出力が与えられる。このデータD8が“1”的ときオブジェクトの水平(H)位置は第12図に示すように負(マイナス)領域にあり、データD8が“0”的ときオブジェクトのH位置は第12図に示すように正(プラス)領域にある。すなわち、モニタ22(第1図)の実際の表示画面は、第12図に示す原点(0, 0)から画面右半分の部分であり、この表示画面内では、水平位置は“0-255”すなわち“000H-0FFH”である。ところが、この実施例では、オブジェクトの左端が表示画面から外れていてもオブジェクトの表示画面内の部分が画面の左端からスムースに画面上に現れるようにするために、表示画面の範囲外においても第12図の左半分に示すような仮想的な画面を想定し、その範囲でも水平位置を設定できるようにしている。この表示範囲外においては、水平位置は“256-511”すなわち“100H-1FFH”として表現される。そして、インレンジ判定期間中において、H位置データD8が“0”であれば、データD0-D7が直接フルアダー200の

入力A0-A7として与えられ、そのとき入力B3-B5はインレンジ判定期間中であることを表すタイミング信号発生回路34からの信号INによってローレベルに固定される。したがって、フルアダ-200の出力は“D0-D7+0”となり、データD0-D7がそのまま出力される。また、H位置データD8が“1”であれば、データD0-D7がイクスクルーシブORゲート202によって反転されてフルアダ-200の入力A0-A7として与えられ、そのとき入力B3-B5は上述の信号INによってローレベルに固定される。したがって、フルアダ-200の出力は“1+／(D0-D7)”となる。

そして、それ以外の場合、ORゲート208を介して与えられるタイミング信号発生回路34からの信号HC0がハイレベルのとき、H位置データD8の“0”または“1”に依存してフルアダ-200から“D0-D7+0”または“D0-D7+1”がサイズカウンタ60(第6B図)の初期値としてロードされる。信号HC0がローレベルのとき、H位置データD0-D7がそのままフルアダ-200の入力A0-A7に与えられ、フルアダ-200の入力B3-B5としてはサイズカウンタ60からのデータSC0-SC2が与えられるので、その両者の加算結果がフルアダ-200から出力される。

このようにして、H位置演算回路64においてH位置データをその絶対値に変換する理由は、第12図に示されるオブジェクトのように、モニタの表示画面からはみ出した部分を除いて、オブジェクトがモニタ画面の左端から表示されるようにするためである。

なお、V位置演算回路76は、8ビットのフルアダ-210を含

み、その一方入力A₀－A₇にはV位置レジスタ68からのV位置データD₈－D₁₅がインバータ212によって反転されて与えられ、他方入力B₀－B₇にはタイミング信号発生回路34からの信号VD0-VD7が印加される。そして、フルアダ-210の加算結果がオブジェクトの垂直(V)位置データとして、ANDゲート加算器制御回路78およびインレンジ判定回路56(第6B図)に与えられる。

サイズレジスタ50, インタースレジスタ54, サイズデコーダ52およびインレンジ判定回路56

第13図に示すサイズレジスタ50はアドレスデコーダ40(第6A図)からの信号SZWをロード信号として受ける第1, 第2および第3サイズレジスタ50a, 50bおよび50cを含み、これら第1, 第2および第3サイズレジスタ50a, 50bおよび50cにはデータバスを介してマイクロプロセサ10(第1図)からのデータD₀－D₇が与えられる。インタースレジスタ54はアドレスデコーダ40(第6A図)からの信号IZWをロード信号として受ける第1および第1インタースレジスタ54aおよび54bを含み、これら第1および第2インタースレジスタ54aおよび54bにはデータバスを介してマイクロプロセサ10(第1図)からのデータD₀－D₇が与えられる。第1サイズレジスタ50aはオブジェクトメモリ領域のアドレスデータBASEをロードし、第2サイズレジスタ50bはデータSELをロードし、そして第3サイズレジスタ50cはサイズデータSIZEをロードする。第1インタースレジスタ54aは奇数フィールドと偶数フィールドとで異なる表示を行うかまたは同じ表示を行うかを設定するインタースデータをロー

ドし、第2インターレースレジスタ54bはデータOBJ V SELをロードする。

第1および第2サイズレジスタ50aおよび50bにロードされるデータBASEおよびSELは、前述のように1つのSRAMからなるビデオデータメモリ16(第1図)の背景パターン記憶領域16aおよびキャラクタデータ記憶領域16bを任意に設定するためのビデオデータメモリ16のアドレスを指定する。すなわち、第14図および第15図に示すようにビデオデータメモリ16は64Kバイト(ワード)の記憶容量を有し、そのうち特定の4Kバイト領域16AがデータD0-D2によって表されるデータBASEによって指定される。また、それぞれが4Kバイトである別の領域16B1, 16B2, 16B3または16B4がデータD3およびD4によって表されるデータSELで指定される。このデータBASEおよびSELを適宜組み合わせることによって、データSELの2ビットを変更するだけで、オブジェクトの種類を変更できる。すなわち、ゲームの或る場面で必要なオブジェクトのキャラクタデータを特定領域16Aおよび別の領域16B1-16B4の何れかに記憶していくて、他の場面で必要なオブジェクトのキャラクタデータを領域16B1-16B4の他の1つに記憶しておくようすれば、そのオブジェクトが必要なときにはデータSELの2ビットを変更して領域16B1-16B4の他の1つを指定するだけで、ゲームの各場面毎に簡単にオブジェクトの種類を変更することができる。

また、第3サイズレジスタ50cからの3ビットのサイズデータD5-D7は、サイズデコーダ52に入力される。このサイズデコーダ52は、アトリビュートレジスタ70に含まれる第1アトリビ

ュートレジスタ 70 a (第11図)からの1ビットのサイズ選択データSIZESELとともにサイズデータ D5-D7をデコーダしてNORゲート 52 a, 52 b, 52 cまたは52 dから、サイズ指定信号S8, S16, S32またはS64を出力する。すなわち、サイズ指定信号S8がNORゲート 52 aから出力されたとき水平×垂直=8×8ドットの(1つの単位キャラクタからなる)オブジェクトが選択され、サイズ指定信号S16がNORゲート 52 bから出力されたとき水平×垂直=16×16ドットの(4つの単位キャラクタからなる)オブジェクトが選択され、サイズ指定信号S32がNORゲート 52 cから出力されたとき水平×垂直=32×32ドットの(16の単位キャラクタからなる)オブジェクトが選択され、サイズ指定信号S64がNORゲート 52 dから出力されたとき水平×垂直=64×64ドットの(64の単位キャラクタからなる)オブジェクトが選択される。

これらサイズ指定信号S8, S16, S32またはS64はサイズカウンタ制御回路62およびアドレス加算器制御回路78に、信号/OBJ8,/OBJ16,/OBJ32または/OBJ64として与えられる。また、サイズ指定信号S8およびS16は、インレンジ判定回路56に含まれるデータセレクタ214に与えられ、サイズ指定信号S32およびS64はデータセレクタ216に与えられる。また、データセレクタ218の一方入力としては、さらにサイズ指定信号S64が与えられ、このデータセレクタ218の他方入力は“1”に固定される。これらデータセレクタ214, 216および218にはインタレースレジスタ54に含まれる第2インタレースレジスタ54 bからのインタレースデータが選択信号として与えられる。そして、インタレース時とノンイン

タレース時では、オブジェクトサイズが変化する。たとえば、インタレース時にドット密度を上げるとオブジェクトサイズは小さくなるので、それに応じてサイズデコーダ52からのサイズ指定信号に基づくインレンジ判定の基準となるサイズを変更する必要がある。このようなサイズの違いに応じたインレンジ判定動作を実行するために、データセレクタ214-218が利用される。

データセレクタ214の出力はインバータ220によって反転され、ORゲート222を通してANDゲート224の一方入力に与えられる。このANDゲート224の他の入力としては、ANDゲート226の出力が与えられる。このANDゲート226の2入力として、インタレースレジスタ54からのインタレース指定信号およびインバータ228を経たNORゲート52aからのサイズ指定信号S8が与えられる。そして、ANDゲート224の他方入力にはV位置演算回路76からのV位置データD3が与えられる。

データセレクタ216および218の出力はANDゲート230の2入力として与えられ、ANDゲート230の残余の入力にはV位置演算回路76からのV位置データD4が与えられる。データセレクタ218の出力は、V位置演算回路76からのV位置データD5とともに、ANDゲート232に与えられる。また、上述のANDゲート226の出力がV位置演算回路76からのV位置データD2とともに、ANDゲート234に与えられる。これらANDゲート224, 230, 232および234の出力が、V位置演算回路76からのV位置データD6およびD7とともに、反転されて、NANDゲート236の入力として与えられる。

NANDゲート236の入力にはさらにNORゲート238の出

力が与えられる。このNORゲート238の入力には、H位置レジスタ66からのH位置データD8およびNANDゲート240の出力が反転されて与えられる。NANDゲート240は、その入力として、NANDゲート241, 242および244の出力とともにH位置レジスタ66からのH位置データD6およびD7の反転を受ける。NANDゲート241の2入力はサイズ指定信号S8を受けるインバータ228の出力およびH位置レジスタ66からのH位置データD3であり、NAND242の3入力はH位置レジスタ66からのH位置データD4ならびにサイズ指定信号S16およびS32であり、そしてNAND244の2入力はH位置レジスタ66からのH位置データD5およびサイズ指定信号S64である。

上述のNORゲート238の出力が水平(H)方向にインレンジ状態にあるか否かを表す信号となる。また、ANDゲート224, 230, 232および234がV位置演算回路76からのデータD5およびD7垂直(V)方向にインレンジ状態にあるか否かを表す信号となる。

そして、前述のNANDゲート236の入力には、上述のNORゲート238ならびにANDゲート224, 230, 232および234の出力の他に、さらにタイミング信号発生回路34からの信号INをそのデータ入力に受けかつ信号HCOをそのクロックとして受けるD-FF246の出力およびベクトルRAMアドレス回路58からの信号INRANGE FULLが与えられる。したがって、NANDゲート236からは、信号INはあるが信号INRANGE FULLがないとき、判定対象となっているオブジェクトが水平および垂直方向ともにインレンジ状態にあるとき、そのことを表す信号/INRANGEを出力する。

サイズカウンタ制御回路62およびサイズカウンタ60

第16図に示すサイズカウンタ制御回路62は、インレンジ判定回路56すなわちサイズデコーダ52のNORゲート52a, 52b, 52cまたは52dからのオブジェクトサイズ信号/OBJ8,/OBJ16,/OBJ32またはOBJ64を受けるデータラッ奇248を含む。

また、H位置レジスタ66からのH位置データD8がANDゲート250, 252および254の各一方入力に与えられ、これらANDゲート250, 252および254の他方入力としては、H位置演算回路64からの絶対値データHAのD3, D4およびD5がそれぞれ与えられる。ANDゲート250, 252および254の出力がサイズカウンタ60の初期値として与えられる。H位置レジスタ66のH位置データが正（プラス）のとき、対象オブジェクトのスタート位置はモニタ22（第1図）の画面内のどこかであるから、H位置データD8としては必ず“0”が入力される。したがって、ANDゲート250-254の出力は、ともに、ローレベルとなり、サイズカウンタ60に設定される初期値データは“0”となる。一方、H位置レジスタ66のH位置データが負（マイナス）のとき、H位置データD8としては必ず“1”が入力される。たとえば、H位置データが“-8”であるとき、その絶対値HAは“8”となり、バイナリデータ“1000”として表現される。したがって、絶対値HAのD3がハイレベルとなり、ANDゲート250からの出力もハイレベルとなり、サイズカウンタ60には“1”が初期値として設定される。そして、負方向へのずれが大きい程その絶対値HAすなわちサイズカウンタ60に設定される初期値も大きくなる。

このサイズカウンタ 60 のクロックとしてはタイミング信号発生回路 34 からの信号/HCO が与えられ、したがって、サイズカウンタ 60 は、上述のようにして設定された初期値を信号/HCO 毎にインクリメントする。なお、サイズカウンタ 60 のリセット入力としてはタイミング信号発生回路 34 からの信号/IN が与えられるので、サイズカウンタ 60 はインレンジ判定回路 56 におけるインレンジ判定期間中にはカウント動作しない。

そして、サイズカウンタ 60 の出力データ SC は前述のようにアドレス加算器制御回路 78 に与えられるとともに、AND ゲート 256, 258 および 260 の一方入力として与えられる。AND ゲート 256, 258 および 260 の他方入力にはデータラッチ 248 にラッチされている信号/OBJ16, /OBJ32 および /OBJ64 が与えられる。そして、AND ゲート 256, 258 および 260 の出力は、データラッチ 248 にラッチされている信号/OBJ8 とともに、NOR ゲート 262 に与えられる。この NOR ゲート 262 の入力にはさらに D-F F 264 および 266 の出力が与えられ、D-F F 264 の入力には AND ゲート 268 の出力がまた D-F F 266 の入力にはタイミング信号発生回路 34 からの信号 HBB がそれぞれ与えられる。AND ゲート 268 は、H 位置演算回路 64 からのデータ D3-D7 およびインバータ 270 によって反転された H 位置レジスタ 66 からの H 位置データ D8 を受ける。D-F F 264 および 266 のクロックとしては、データセレクタ 248 のラッチ信号と同じように、タイミング信号発生回路 34 からの信号/HCO が与えられる。OR ゲート 262 の出力は D-F F 272 のデータ入力として与えられるとともに、信号 C としてレジスタ制御回路 74 に与

えられる。D-F F 2 7 2 のクロックにはタイミング信号発生回路3 4 からの信号HCO が与えられる。

アドレス加算器制御回路 7 8

第17図に示すアドレス加算器制御回路7 8 は、インレンジ判定回路5 6 すなわちサイズデコーダ5 2 のN O Rゲート5 2 a, 5 2 b, 5 2 c または5 2 d からのオブジェクトサイズ信号/0BJ8, /0BJ16および/0BJ32を受けるD-F F s 2 7 4 を含む。D-F F s 2 7 4 のクロックにはタイミング信号発生回路3 4 からの信号HCO が与えられる。これらD-F F s 2 7 4 からの信号/0BJ8 はA N Dゲート2 7 6, 2 7 8, 2 8 0, 2 8 2, 2 8 4 および2 8 6 の各入力に与えられる。D-F F s 2 7 4 からの信号/0BJ16はA N Dゲート2 7 8, 2 8 0, 2 8 4 および2 8 6 の各入力に与えられる。D-F F s 2 7 4 からの信号/0BJ32はA N Dゲート2 8 0 および2 8 6 の各入力に与えられる。A N Dゲート2 7 6, 2 7 8 および2 8 0 の残余の入力としては、アトリビュートレジスタ7 0 からのデータH-FLIPが与えられ、A N Dゲート2 8 2, 2 8 4 および2 8 6 の残余の入力としては、アトリビュートレジスタ7 0 からのデータV-FLIPが与えられる。そして、アトリビュートレジスタ7 0 からのデータV-FLIPはさらに、イクスクルーシブO Rゲート2 8 8, 2 9 0 および2 9 2 の各一方入力として与えられる。上述のA N Dゲート2 7 6, 2 7 8 および2 8 0 の出力は、それぞれ、サイズカウンタ6 0 からのデータS C 0 - S C 2 のそれぞれとともに、イクスクルーシブO Rゲート2 9 4, 2 9 6 および2 9 8 の入力に与えられる。A N Dゲート2 8 2, 2 8 4 および2 8 6 の出力はそれぞれイクスクルーシブO Rゲート3 0 0, 3 0 2 および3 0 4 の一方入力に与

えられる。イクスクルーシブORゲート288, 290, 292, 300, 302および304の各他方入力には6ビットのデータセレクタ306の出力が与えられる。

このデータセレクタ306にはタイミング信号発生回路34からの信号FIELDが与えられるとともに、V位置演算回路76からのV位置と走査ライン番号との差を示すデータD0-D5を受けるD-FF308の出力が与えられる。D-FF308のクロックとしてタイミング信号発生回路34からの信号/HCOが与えられ、このD-FF308からのデータD0-D4がデータセレクタ306の一方入力に与えられ、D-FF308からのデータD0-D5がデータセレクタ306の他方入力に与えられる。データセレクタ306はインタ雷斯レジスタ54からのデータOBJ V SELに応じて両入力を選択的に出力し、上述のようにイクスクルーシブORゲート288, 290, 292, 300, 302および304に与える。

このアドレス加算器制御回路78は主として、第18A図-第18D図に示すH反転および/またはV反転を実行する際のアドレスを変更する。第18A図図示の場合には、データH-FLIPおよびV-FLIPはとともに“0”であり、H反転およびV反転は行われない。第18B図図示の場合には、データH-FLIPが“1”でありかつデータV-FLIPが“0”であり、したがって、垂直軸310を中心にH反転が実行されるがV反転は行われない。第18C図図示の場合には、データH-FLIPが“0”でありかつデータV-FLIPが“1”であり、したがって、H反転は行われないが、水平軸312を中心にV反転が実行される。第18D図図示の場合には、データH-FLIPおよびV-FLIPはともに“1”であり、垂直軸310および水平軸312を中心と

したH反転およびV反転が実行される。

第17図に戻って、オブジェクトサイズによって反転する距離が変化するので、ANDゲート276-286の入力としては、上述のように、サイズデコード52の出力信号/0BJ8,/0BJ16および/0BJ32が与えられる。オブジェクトサイズが8×8の場合、信号/0BJ8がローレベルであるため、ANDゲート276-286の出力はともにローレベルとなる。したがって、この場合、イクスクルーシブORゲート294-298はサイズカウンタ60からのサイズデータSC0-SC2をそのまま加算アドレスAA4, AA5およびAA6として出力するので、アドレスは反転されない。オブジェクトサイズが16×16の場合、信号/0BJ16がローレベルとなり、ANDゲート276および282のみが能動化され、残余のANDゲート278, 280, 284および286の出力は、ローレベルとなる。この場合、データH-FLIPが“1”であれば、サイズカウンタ60からのサイズデータSC0がイクスクルーシブORゲート294で反転されて加算アドレスAA4として出力される。オブジェクトサイズが32×32の場合、信号/0BJ32がローレベルとなり、ANDゲート276, 278, 282および284が能動化されかつ残余のANDゲート280および286の出力はローレベルとなる。この場合、データH-FLIPが“1”であれば、サイズカウンタ60からのサイズデータSC0およびSC1がイクスクルーシブORゲート294および296で反転されて加算アドレスAA4およびAA5として出力される。オブジェクトサイズが64×64の場合、信号/0BJ8,/0BJ16および/0BJ32がハイレベルとなり、全てのANDゲート276-286が能動化される。この場合、データH-FLIPが“

1" であれば、サイズカウンタ 60 からのサイズデータ S C 0 - S C 2 がイクスクルーシブ OR ゲート 294 - 298 で反転されて加算アドレス AA4 - AA6 として出力される。

V 反転の場合には、ビデオデータメモリアドレス回路 82 へのアドレス下位 3 ビットの反転が水平ライン毎の反転を意味し、上位 3 ビットの反転がキャラクタ毎の反転を意味する。この下位 3 ビットはオブジェクトサイズに関係ないので、データ V-FLIP の "1" または "0" に依存してイクスクルーシブ OR ゲート 288, 290 および 292 がデータセレクタ 306 からのデータを反転したまは反転しないで、ビデオデータメモリアドレス回路 82 へのアドレスの下位 3 ビット A0, A1 および A2 として出力する。また、上位 3 ビットについては、先の H 反転の場合と同様にして、AND ゲート 282 - 286 でサイズ毎の条件を設定し、その条件に応じて、データ V-FLIP の "1" または "0" に依存してイクスクルーシブ OR ゲート 300, 32 および 304 でデータセレクタ 306 の出力データを反転したまは反転しないで、アドレス加算器 80 への上位 3 ビット AA8, AA9 および AA10 として出力する。

なお、アドレス加算器制御回路 78 に含まれる AND ゲート 314 および 316 は加算アドレス AA12 および AA13 を出力するが、このアドレス AA12 および AA13 は第 14 図および第 15 図で先に説明した領域 16B1 - 16B4 の何れかを指定するデータとして利用される。

アドレス加算器 80, ビデオデータメモリアドレス回路 82 および
ビデオデータメモリ 16

第 19 図に示すアドレス加算器 80 はそれぞれ 4 ビットの 3 つの

フルアダ- 80a , 80b および 80c を含み、これらフルアダ- $80\text{a}-80\text{c}$ の出力がアドレスA $4-A15$ としてビデオデータメモリアドレス回路82に与えられる。ビデオデータメモリアドレス回路82のアドレスA $0-A2$ としては先のアドレス加算器制御回路78からのアドレスA $0-A2$ が、またアドレスA 3 としてはタイミング信号発生回路34からの信号HCOが与えられる。なお、フルアダ- $80\text{a}-80\text{c}$ のそれぞれにおいてどの入力ビットをアース電位に固定するかはサイズレジスタ50の第1サイズレジスタ50a(第13図)のデータBASEに依存する。そして、ビデオデータメモリアドレス回路82によってビデオデータメモリ16のアドレスA $0-A15$ が指定され、このビデオデータメモリ16からの出力データD $0-D15$ がH反転回路86に与えられる。

H反転回路86およびカラーデータ抽出回路88

第20図に示すH反転回路86はビデオデータメモリ16からの出力データD $0-D15$ を受けるデータセレクタ318を含む。データセレクタ318は、各々が2ビットの入力の一方を選択して1ビットで出力する16個のデータセレクタを有する。そして、このデータセレクタ318の選択信号としてはD-FF320の出力が与えられる。D-FF320のデータ入力にはデータH-FLIPが与えられ、クロックとしてはタイミング信号発生回路34からの信号/HCOが与えられる。データセレクタ318は、選択信号に応じて、次表Ⅱに従って、データを出力する。

表 II

	D7								D0							
S = 0	7	6	5	4	3	2	1	0								
S = 1	0	1	2	3	4	5	6	7								
	D15								D8							
S = 0	15	14	13	12	11	10	9	8								
S = 1	8	9	10	11	12	13	14	15								

このようにして、H反転回路86では、水平(H)方向の反転指令H-FLIPの有無に応じて、ビデオデータメモリ16から出力されたグラフィックデータを8ビット単位で反転する。このH反転回路86から出力されるグラフィックデータがカラーデータ抽出回路88に与えられる。

カラーデータ抽出回路88は4つの第1データセレクタ322、第2データセレクタ324、第3データセレクタ326および第4データセレクタ328を含み、これらデータセレクタ322-328の各々は、8ビットの入力の何れか1ビットのみを選択して出力する。第1データセレクタ322、第2データセレクタ324、第3データセレクタ326および第4データセレクタ328には、それぞれ、選択信号としてタイミング信号発生回路34からの信号HP0,5MおよびHCOが与えられる。前述のH反転回路86からのグラフィックデータは、それぞれ16ビットのD-FFs330および332に与えられ、D-FFs332の出力がさらにD-FFs334に与えられる。D-FFs330および334のクロックとしてはタイミング信号発生回路34からの信号/HCOが印加され、D-FFs332のクロックにはタイミング信号発生回路34からの信号

HCO が与えられる。タイミング信号発生回路 34 からの信号LBR がさらにD-FF336 のデータ入力に与えられ、このD-FF336 のクロックとしてはタイミング信号発生回路 34 からの信号5M が与えられる。D-FF336 の出力は上述のD-FFs330 および334 のリセット入力として与えられる。

H 反転回路 86 からのグラフィックデータの最初の 16 ビットは信号HCO に応答して D-FFs332 に保持され、次の 16 ビットは信号/HCO に応答して D-FFs330 に保持される。このとき、先の D-FFs332 に保持されていた最初の 16 ビットが信号/HCO に応答して D-FFs334 に移動される。したがって、合計 32 ビットのグラフィックデータが 8 ビットずつ、第 1 データセレクタ 322, 第 2 データセレクタ 324, 第 3 データセレクタ 326 および第 4 データセレクタ 328 の入力データとなる。これらデータセレクタ 322-328 の各々が、次表Ⅲに従って 1 ビットを選択して、合計 4 ビットのカラーセルデータを出力する。このようにして、カラーデータ抽出回路 88 によって 4 つのカラーセルがそれぞれ指定される。

表Ⅲ

HPO	0	0	0	0	1	1	1	1
HCO	0	0	1	1	0	0	1	1
5M	0	1	0	1	0	1	0	1
Q 0	I7	I5	I3	I1	I6	I4	I2	I0
Q 1	I6	I4	I2	I0	I7	I5	I3	I1

バッファRAM84

第6C図に示すバッファRAM84は、各々が9ビット×128の記憶容量を有する第1バッファRAM84aおよび第2バッファRAM84bを含む。バッファRAM84としては本来的には1のバッファRAMでよいが、この実施例では、バッファRAMを2つのVRAMで構成し、奇数ドットを第1バッファRAM84aに記憶させ、偶数ドットを第2バッファRAM84bに記憶させる。すなわち、先のカラーデータ抽出回路88のデータセレクタ322-328から、タイミング信号発生回路34からの信号HP0に応答して、選択的に、奇数ドットを示すデータ0D0-0D3および偶数ドットを示すデータ1D0-1D3が出力され、このデータ0D0-0D3および1D0-1D3が、それぞれ、第1バッファRAM84aおよび第2バッファRAM84bのデータ入力として与えられる。

そして、このバッファRAM84からデータを読み出すときは、第1出力ラッチ338aおよび第2出力ラッチ338bから、データを一度に読み出して、合成回路28(第2図)に与える。

バッファRAMアドレス回路90およびバッファRAM制御回路92

第22図に示すバッファRAMアドレス回路90は8ビットのカウンタ340を含み、このカウンタ340の出力がバッファRAM84のアドレスデータとしてバッファRAM制御回路92に与えられる。カウンタ340のリセット入力としては、タイミング信号発生回路34から表示期間の直前に出力される信号/CRESが与えられる。カウンタ340のクロックとしてはデータセレクタ342の出

力が与えられる。このデータセレクタの2つの入力にはタイミング信号発生回路34からの信号/10MおよびHCOが与えられ、選択信号としては、タイミング信号発生回路34からの信号LBRが与えられる。したがって、カウンタ340は、バッファRAM84へのデータの書込の場合とデータの読出の場合とでクロックが変更される。すなわち、書込時には、信号/10Mに応答してカウンタ340がインクリメントされ、読出時には、信号HCOに応答してカウンタ340がインクリメントされる。したがって、読出時には、2ドット毎にカウンタ340が“1”インクリメントされることになる。

また、サイズカウンタ60からの信号LがD-FF346のデータ入力に与えられ、このD-FF346のクロックとしてはタイミング信号発生回路34からの信号HCOが与えられる。D-FF346の出力はクロックとして同じタイミング信号発生回路34からの信号HCOを受けるD-FF348に与えられる。また、タイミング信号発生回路34からの信号HCOがD-FF350の入力に与えられ、タイミング信号発生回路34からの信号5MがD-FF350のクロックに与えられるとともに、D-FF352の入力としても与えられる。D-FF352のクロックとしてはタイミング信号発生回路34からの信号10Mが与えられる。D-FF348, 350および352のそれぞれの出力は、インバータ354によって反転されたタイミング信号発生回路34からの信号LBRとともに、NANDゲート344の入力に与えられ、このNANDゲート344の出力がカウンタ340のロード信号入力/LDとして与えられる。したがって、このカウンタ340のロードタイミングは信号Lすなわちオブジェクトサイズに依存する。

なお、カウンタ340の初期値としては、H位置演算回路64からの絶対値データD0-D7とイクスクルーシブORゲート360の出力をD8として受ける9ビットのD-FFs356すなわちD-FFs358の出力が与えられる。イクスクルーシブORゲート360の入力としては、H位置レジスタ66からの絶対値データD8とH位置演算回路64からのキャリ信号H-CARRYが与えられる。したがって、D-FFs356のデータ入力D8としては、キャリ信号があるときにはH位置レジスタ66のデータD8の反転が与えられる。このD-FFs356および358のクロックとしてはタイミング信号発生回路34からの信号/5MおよびHCOを受けるNANDゲート362の出力が与えられる。

また、D-FFs358の出力D0およびD8は、それぞれ、D-FFs364および366のデータ入力として与えられ、これらD-FFs364および366のクロックとしては、タイミング信号発生回路34からの信号/HCO,/10MおよびHCOを受けるNANDゲート368の出力が与えられる。D-FFs364の出力は、信号HP0として先に説明したカラーデータ抽出回路88に与えられるとともに、バッファRAM制御回路92に含まれるANDゲート370に与えられる。また、D-FFs366の出力はバッファRAM制御回路92に含まれるインバータ372を通してANDゲート372に与えられる。

バッファRAM制御回路92は、7ビットのフルアダ-376を含み、このフルアダ-374の入力A0-A6として前述のバッファRAMANDゲート回路90に含まれるカウンタ340からのデータD1-D7が与えられる。フルアダ-376の他方入力Bはア

ース電位すなわち“0”が与えられ、キャリ入力としては上述のANDゲート370の出力が与えられる。このフルアダ-376はバッファRAM84の第1および第2バッファRAM84aおよび84bの各アドレスOA0-OA6として出力する。たとえば、オブジェクトの初期H第1が偶数ドットの場合にはアドレスOA0-OA6としては、カウンタ340のデータをそのまま与え、奇数ドットの場合にはフルアダ-376によってカウンタ340のデータに「+1」してデータをアドレスOA0-OA6として出力する。

バッファRAM84の第1バッファRAM84aオブジェクト84b(第20図)の書き信号/WE0および/WE1はNORゲート378および380から得られる。

NORゲート378の入力には2つのNANDゲート382および384の出力が与えられ、NANDゲート382はANDゲート386、インバータ388およびNANDゲート390のそれぞれの出力ならびにタイミング信号発生回路34からの信号10Mを受ける。NANDゲート384の入力にはタイミング信号発生回路34からの信号5MおよびANDゲート392の出力が与えられる。ANDゲート386の入力としては、タイミング信号発生回路34からの信号LBW、ベクトルRAMアドレス回路58からの信号/NONOBJおよびNORゲート394の出力が与えられる。NANDゲート390はカラーデータ抽出回路88からの出力1D0-1D3のそれぞれの反転を受ける。NORゲート394は上述のANDゲート374の出力およびANDゲート396の出力を受け、ANDゲート396には上述ののインバータ388にも与えられたカウンタ340からの出力D8とORゲート398の出力とが与えられる。OR

ゲート398はカウンタ340の出力D1およびD2の反転を受ける。

NORゲート380の入力には2つのNANDゲート400および402の出力が与えられ、NANDゲート400は、上述のANDゲート386、イクスクルーシブNORゲート404およびNANDゲート406のそれぞれの出力ならびにタイミング信号発生回路34からの信号10Mを受ける。イクスクルーシブNORゲート404の2入力には上述のフルアダー376のキャリ出力信号およびカウンタ340の出力D8が与えられる。NANDゲート406の入力としては、カラーデータ抽出回路88からの出力OD0-0D3のそれぞれの反転が与えられる。NANDゲート402の入力にはタイミング信号発生回路34からの信号5MおよびANDゲート392の出力が与えられる。ANDゲート392の入力としては、タイミング信号発生回路34からの信号/HCOおよびD-FF408の出力が与えられる。このD-FF408のデータ入力およびクロックには、それぞれ、タイミング信号発生回路34からの信号LBRおよび5Mが与えられる。

このようにして、2つのNORゲート378および380からの出力信号/WE1および/WE0に応答して、第1バッファRAM84bおよび84aにそれぞれデータが書き込まれる。

全体動作

初期状態または垂直プランギング期間

マイクロプロセサ10からOAMアドレスレジスタ36(第6A図)に9ビットのOAMアドレスを設定する。この場合、マイクロプロセサ10から、OAMアドレスレジスタ36を指定するアドレ

データおよび書込信号が与えられ、その結果アドレスデコーダ40から前述の信号OAWが出力される。同時にマイクロプロセサ10から初期アドレスを示すデータが出力されているため、信号OAWに応答して、OAMアドレスレジスタ36に初期アドレスが設定される。また、このOAMアドレスレジスタ36からの初期アドレス値とアドレスデコーダ40からの信号OAWがOAMアドレス回路42に与えられる。信号OAWはOAMアドレス回路42内部で遅延された後内部カウンタ（後述）のロード信号として使用されるため、マイクロプロセサ10からのOAM38のための初期アドレス値が、OAMアドレスレジスタ36よりも少し遅れてOAMアドレス回路42にも設定される。

続いて、マイクロプロセサ10からOAM38にオブジェクトデータを書き込む。この場合、マイクロプロセサ10から、まず、アドレス、データおよび書込信号が出力される。アドレス選択回路44（第6B図）はタイミング信号発生回路34からの前述の信号VBを受けているため、垂直プランギング期間中、OAMアドレス回路42のアドレス出力端子とOAM38のアドレス入力端子とを接続している。マイクロプロセサ10からのアドレスおよび書込信号に応答して、アドレスデコーダ40から信号/ODWが出力される。この信号/ODWに応答してOAM制御回路48がマイクロプロセサ10からのデータをラッチし、このラッチされたデータがOAM38のデータ入力DIに与えられるとともに、書込／イネーブル信号WE/CEがOAM38によ与えられる。したがって、OAM38には、OAMアドレス回路42によって指定されるアドレスにOAM制御回路48を経たマイクロプロセサ10からのオブジェクトデータが書き

込まれる。その後、OAMアドレス回路42は上述のようにアドレスを順次インクリメントするので、したがってOAM38の順次のアドレスにオブジェクトデータが書き込まれる。

さらに、マイクロプロセサ10からサイズレジスタ50（第6A図）にサイズデータをロードする。この場合、マイクロプロセサ10から、サイズレジスタ50を指定するアドレスデータおよび書込信号が与えられ、その結果アドレスデコーダ40から前述の信号SZWが出力される。同時にマイクロプロセサ10から先に表Iで示すようなサイズデータが出力されているため、信号SZWに応答して、サイズレジスタ50にサイズデータが設定される。

そして、マイクロプロセサ10からインタースレジスタ54（第6A図）に2ビットのインタースデータをロードする。この場合、マイクロプロセサ10から、インタースレジスタ54を指定するアドレスデータおよび書込信号が与えられ、その結果アドレスデコーダ40から前述の信号IZWが出力される。同時にマイクロプロセサ10からインタースデータおよびOBJ V SELECTが出力されているため、信号IZWに応答して、インタースレジスタ54にこれらのデータが設定される。

水平走査期間 I

この水平走査期間Iにおいて、インレンジ判定回路56によってインレンジ検出を行い、インレンジ状態にあるオブジェクトのOAMアドレスをベクトルRAM46に書き込む。

すなわち、水平走査開始直前にタイミング信号発生回路34からの信号HIに応答してベクトルRAMアドレス回路58（第6B図）がリセットされ、ベクトルRAMアドレスが“0”に設定される。

また、水平走査開始直前に、OAMアドレスレジスタ36にロードされているオブジェクト順位データがOAMアドレス回路42のカウンタリセット用NANDゲート96(第7図)に与えられる。オブジェクト順位データが“0”的とき、OAMアドレス回路42のアドレスカウンタ94(第8図)がリセットされ、したがって、OAMアドレスは“0”に設定される。また、オブジェクト順位データが“1”的とき、OAMアドレス回路42のアドレスカウンタはリセットされず、最後にロードされたデータがアドレスカウンタ94の初期値として保持される。インレンジ判定を行う際、先にインレンジ状態であると判定されたオブジェクトが後にインレンジ状態であると判定されたオブジェクトよりも優先的にモニタ22(第1図)に表示されるため、このような方法によって、インレンジ判定動作時のOAMアドレスの初期値を変更し、それによってオブジェクトの優先順位を変更できるようにした。

より詳しく説明すると、アドレス選択回路44(第6B図)は、インレンジ判定回路56におけるインレンジ検出の期間、タイミング信号発生回路34からの信号INによって、OAMアドレス回路42のアドレス出力端子とOAM38のアドレス入力端子とを接続している。また、OAM制御回路48は垂直プランギング期間以外では常にOAM38にイネーブル信号を与える。そのため、OAMアドレス回路42からのアドレスデータとOAM制御回路48からのイネーブル信号とに応じて、OAM38からOAMデータが読み出される。このOAM38からの出力データの内、H位置データはH位置レジスタ66に、V位置データはV位置レジスタ68に、アトリビュートデータはアトリビュートレジスタ70に、ネームデータ

(オブジェクト指定コード)はネームレジスタ72に、それぞれ、レジスタ制御回路74からのロード信号によってロードされる。

H位置レジスタ66からのH位置データはH位置演算回路64に出力され、先に第12図を参照して説明したように、そのH位置データの最上位ビットが“0”的ときはなわちH位置が“0-255”的ときはそのままのデータがインレンジ判定回路56に与えられる。逆に、H位置データの最上位ビットが“1”的ときはなわちH位置が“-256--1”的ときは、H位置演算回路64においてH位置の“2の補数”(絶対値)を計算し、その結果データHAをインレンジ判定回路56に与える。

V位置演算回路76は、タイミング信号発生回路34からの信号Vを受け、その信号Vで示すラインの垂直位置データからV位置レジスタ68からのV位置データVPを減算し、その結果データをインレンジ判定回路56に与える。

インレンジ判定回路56は、H位置演算回路64からの必要に応じて補正されたH位置データ、V位置演算回路76からの減算結果データ、アトリビュートレジスタ70からのサイズ選択データ、サイズレジスタ50からのサイズデータおよびインタースレジスタ54からのデータOBJ V SELに基づいて、そのとき判定対象となっているオブジェクトがインレンジ状態にあるかどうかを判断する。そして、オブジェクトがインレンジ状態にある場合は、信号/INRANGEをベクトルRAMアドレス回路58に出力する。

ベクトルRAMアドレス回路58は、インレンジ判定回路56からの信号/INRANGEを受けて、ベクトルRAM46に書き信号を与える。ベクトルRAM46は、ベクトルRAMアドレス回路58から

の書込信号およびアドレスデータならびにアドレス選択回路44からのデータ(OAMアドレス)を受けて、そのデータDIを格納する。そして、ベクトルRAMアドレス回路58は、ベクトルRAM46に書込信号を出力した後、ベクトルRAM46のアドレスをインクリメントする。

タイミング信号発生回路34からの信号HCOに応答して、OAMアドレス回路42のOAMアドレス値が「+1」インクリメントされ、以後同様にして、インレンジ判定回路46において次のオブジェクトのインレンジ判定を行い、インレンジ状態のオブジェクトのオブジェクトデータのOAM38のアドレスをベクトルRAM46に格納する。

先に説明したようにOAMアドレスレジスタ36のオブジェクト順位データによってOAMアドレス回路42がリセットされるが、OAMアドレス回路42がリセットされると、OAMアドレスが“0”から“127”に変化し、OAMアドレス回路42がリセットされなければ、OAMアドレスは“最後に設定されたアドレス”から「+1」ずつインクリメントされ、“127”的次は“0”となり、“最後に設定されたアドレス-1”まで変化することになる。

上述のインレンジ判定動作は、モニタ22(第1図)における1ラインの走査中に128回行われるが、1ラインで表示可能なオブジェクト数が“32”であるので、インレンジ状態にあると判定されたオブジェクトの数が“32”に達したときは、ベクトルRAMアドレス回路58から信号INRANGE FILLがインレンジ判定回路56に出力され、応じてインレンジ判定回路56からの信号/INRANGEの出力が禁止される。

水平プランキング期間

水平プランキング期間では、インレンジ状態にあるオブジェクトのグラフィックデータをバッファRAM84に格納する。

Hプランキング期間に入ると、タイミング信号発生回路34からベクトルRAMアドレス回路58へ信号HBが与えられ、その信号HBによってベクトルRAMアドレス回路58内部のU/Dカウンタ154(第10図)がアップカウントモードからダウンカウントモードに切り換えられる。さらに、タイミング信号発生回路34からの信号HBHに応答して、ベクトルRAMアドレス回路58のアドレスがディクリメントされ、最後に設定されたオブジェクトデータのOAMアドレスを格納してあるベクトルRAMアドレスがベクトルRAM46に与えられる。

ベクトルRAMアドレス回路58からのアドレスを受けて、ベクトルRAM46からOAMアドレスが出力される。アドレス選択回路44は、タイミング信号発生回路34からの信号INおよびVBに応答して、ベクトルRAM46からのアドレスをOAM38のアドレス入力端子に与える。

OAM38から出力されたオブジェクトデータのうち、H位置データはH位置レジスタ66へ、V位置データはV位置レジスタ68へ、アトリビュートデータはアトリビュートレジスタ70へ、ネームデータはネームレジスタ72へ、それぞれ、レジスタ制御回路74からのロード信号に応答して、ロードされる。

H位置レジスタ66にラッチされたH位置データはH位置演算回路64に与えられる。H位置演算回路64は、H位置の最上位ビットが“0”ならばサイズカウンタ60に“0”を与え、H位置の最

上位ビットが“1”ならばH位置の「2」の補数（絶対値）データのうちのD3-D5をサイズカウンタ60に与える。このようにしてサイズカウンタ60に与えられたデータは、オブジェクトの水平方向の左から何番目のキャラクタ単位（1キャラクタ単位は8ビット）からモニタ22の画面上に表示するかを示す。オブジェクトのH位置がたとえば“504”（1F8H=-8）ならば、「2」の補数は“8”であり、したがって、2の補数データのうちのD3-D5はそれぞれ“1”である。このことはモニタ22の画面においてそのオブジェクトを構成する第1キャラクタ単位から表示されることを意味する。ただし、オブジェクトは第0キャラクタから始まるため、第1キャラクタは左から2番目のキャラクタである。

また、水平ブランкиング期間の開始直後に、サイズカウンタ制御回路62は、タイミング信号発生回路34からの信号HBHを受け、サイズカウンタ60にロード信号/LDを与える。

サイズカウンタ60には、サイズカウンタ制御回路62からのロード信号/LDに応答して、オブジェクトのH位置が“0-255”的範囲内にあるときは“0”がプリセットされ、H位置が“256-511”的範囲内にあるときはH位置演算回路64からのデータがプリセットされる。

このサイズカウンタ60のデータはH位置演算回路64に出力される。H位置演算回路64はタイミング信号発生回路34からの信号HCOおよびINに応答して、「2」の補数を演算するためのモードから加算器モードに変化される。加算器モードでは、H位置データとサイズカウンタ60からのデータとが加算される。加算結果データは、水平方向のオブジェクトサイズを考慮したH位置データであ

り、8ドットのキャラクタデータがバッファRAM84に水平方向のキャラクタの個数に相当する回数書き込まれるときの補正されたH位置データである。この加算結果データはバッファRAMアドレス回路90にアドレスデータとして与えられる。同時に、サイズカウンタ60からのデータは、アドレス加算器制御回路78に与えられ、表示すべきオブジェクトすなわちキャラクタのアドレスを算出するために使用される。

V位置演算回路76は、タイミング信号発生回路34からの信号Vによって示されるライン番号のデータからV位置レジスタ68にラッチされたオブジェクトのV位置データを減算し、その結果データをアドレス加算器制御回路78に与える。

アドレス加算器制御回路78は、インターレースレジスタ54のデータOBJ V SEL の“1”または“0”に従って、V位置演算回路76からの減算結果データD0-D5またはD0-D4+タイミング信号発生回路34からの信号FIELD のどちらかを選択する。

アドレス加算器制御回路78において後者が選択された場合、インターレース時のモニタ22の表示において、1ラインで垂直方向1ドットのグラフィックを表示し、前者が選択されたときは、2ラインで垂直方向1ドットのグラフィックを表示する。

サイズレジスタ50にロードされたサイズデータは、サイズデコーダ52によりデコードされ、その結果、信号/OBJ8,/OBJ16,/OBJ32または/OBJ64が得られる。

アドレス加算器制御回路78で先に述べたようにして選択されたデータは、アドレス加算器制御回路78の内部でアトリビュートレジスタ70内のデータV-FLIPおよびインレンジ判定回路56からの

信号/OBJ8,/OBJ16,/OBJ32 または/OBJ64によって、オブジェクトサイズを考慮した場合の必要なビットだけが反転されまたは反転されないで、その結果A0-A2, AA4-AA6, AA8-AA10 およびAA12ならびにAA13(第17図)がアドレス加算器80に出力される。同時に、アドレス加算器制御回路78はサイズカウンタ60からのデータを受け、アトリビュートレジスタ70内のデータH-FLIPおよびインレンジ判定回路56からの信号/OBJ8,/OBJ16,/OBJ32 または/OBJ64によって、オブジェクトサイズを考慮した場合の必要なビットだけを反転しまたは反転しないで、その結果をアドレス加算器80に与える。さらに、アドレス加算器制御回路78はネームレジスタ72の最上位ビットとサイズレジスタ50内のオブジェクトネームバンクデータを受けてアドレス変換を行い、その変換結果をアドレス加算器80に与える。

アドレス加算器80は、アドレス加算器制御回路78からのH反転および/またはV反転後のH演算データおよびV演算データの下位ビットとネームレジスタ72からのネームデータとを加算すると同時に、H演算データおよびV演算データの上位ビットとサイズレジスタ50からのオブジェクトベースデータBASEとを加算し、それぞれの加算結果をアドレスとしてビデオデータメモリアドレス回路82に与える。

ビデオデータメモリアドレス回路80はビデオデータメモリ16へのアドレス出力を許可する信号OAEをタイミング信号発生回路34から受け、アドレス加算器80からのアドレスをビデオデータメモリ16に出力する。

ビデオデータメモリ16はビデオデータメモリアドレス回路82

からのアドレスを受けて、H反転回路86にグラフィックデータを出力する。

H反転回路86は、アトリビュートレジスタ70内のデータH-FLIPの“0”または“1”に従って、8ドットのグラフィックデータを反転しまたは反転しないでカラーデータ抽出回路88に与える。

一方、バッファRAMアドレス回路90ではH位置演算回路64からのアドレスが内部のカウンタ340（第22図）にプリセットされ、そのカウンタ340からのデータをバッファRAM84に与える。また、H位置レジスタ66内のH位置データの最上位ビットとH位置演算回路64からのキャリ信号（バッファRAMのアドレスを算出した際の桁上げ）とがバッファRAM制御回路92内のイクスクルーシブORゲート404（第22図）で処理され、その結果も同時にカウンタ340へプリセットする。キャリ信号が“0”でかつH位置が“0-255”的範囲内にあるとき、およびキャリ信号が“1”でかつH位置が“256-511”的範囲内にあるときは、ともに、イクスクルーシブORゲート404の出力は“0”となる。このデータはバッファRAM制御回路92におけるバッファRAM84への書き信号を作成するために利用される。

バッファRAM制御回路92では上述のイクスクルーシブORゲート404の出力を受けて、カラーデータ抽出回路88の示すドットの色が透明を表すコードでないときに、書き信号/WE0または/WE1をバッファRAM84に与える。

なお、オブジェクトが奇数ドットから始まるときは、バッファRAM制御回路92内のフルアダー396（第22図）がバッファRAMアドレスを「+1」し、その結果をバッファRAM84に与え

る。

バッファRAM84は、バッファRAMアドレス回路90からのアドレス、カラーデータ抽出回路88からのカラーデータ、アトリビュートレジスタ70からのカラーデータおよび優先データ、ならびにバッファRAM制御回路92からの書き信号およびアドレスを受けて、合計9ビットからなるカラーデータおよび優先データを格納する。

上述の実施例ではバッファRAM84として 128×9 ビットのRAMを2個使用している。一方が奇数ドットのデータを記憶するために使用され、他方が偶数ドットのデータを記憶するために使用される。したがって、この実施例では2種類のアドレスが必要であるが、第1および第2バッファRAM84aおよび84b(第21図)の応答速度を上げれば、1種類だけのアドレスが用いられてもよい。この場合、バッファRAM制御回路92からのアドレスは不要となる。

なお、オブジェクトサイズが 8×8 以上のときすなわちオブジェクトが2以上のキャラクタによって構成されているときは、サイズカウンタ60がアップカウントされた後、先に説明した動作をそのキャラクタの個数に相当する回数繰り返すことになる。

そして、サイズカウンタ制御回路62はインレンジ判定回路56からの信号/OBJ8,/OBJ16,/OBJ32または/OBJ64とサイズカウンタ60からのカウント値とを使用して、各オブジェクトデータのバッファRAM84への転送終了タイミングを判断する。そして、1オブジェクトを構成する複数のキャラクタデータがすべてバッファRAM84に書き込まれるまでは、ベクトルRAMアドレス回路58に

おけるアドレスのダウンカウント（ディクリメント）を禁止する。そして、全てのキャラクタデータが書き込まれたタイミングで、ベクトルRAMアドレス回路58のアドレスを「-1」ディクリメントする。ベクトルRAMアドレス回路58は、このようにして次のオブジェクトのOAMアドレスが格納されているベクトルRAMのアドレスをベクトルRAM46に与える。ベクトルRAM46からのデータはOAM38に与えられ、OAM38からのH位置データがH位置レジスタ66を介してH位置演算回路64に与えられる。次のオブジェクトの水平方向表示開始位置データがH位置演算回路64から再度サイズカウンタ60に与えられ、サイズカウンタ制御回路62からサイズカウンタ60にロード信号が与えられ、サイズカウンタ60がプリセットされる。

以後、同様にして、順次後続のオブジェクトのオブジェクトデータがバッファRAM84に格納される。

水平走査期間Ⅱ

この期間には、バッファRAM84のデータを画像信号に変換してRGBモニタ22（第1図）に出力する。

水平プランギング期間の終了時に、バッファRAMアドレス回路90はタイミング信号発生回路34からの信号/CRESを受けて、内部のカウンタ340をリセットする。

水平走査期間に入ると、バッファRAM84はバッファRAMアドレス回路90からのアドレスを受け、グラフィックデータを合成回路28に出力する。合成回路28で背景パターンと合成されたオブジェクトのグラフィックデータは画像信号発生回路30によって画像信号に変換される。したがって、モニタ22上では、オブジェ

クトと背景パターンとの合成画像が表示される。

そして、バッファRAMアドレス回路90ではタイミング信号発生回路34からの信号HCOによってカウンタ340がアップカウントされ、順次アドレスがインクリメントされる。また、バッファRAM84は、バッファRAMアドレス回路90からのアドレスを受け、順次グラフィックデータを合成回路28に出力する。

なお、バッファRAM84からの現在走査中のラインのデータが出力されると同時に、先に〔水平走査期間I〕で説明した動作が次のラインのデータを作成するために再度実行される。

この発明が詳細に説明され図示されたが、それは単なる図解および一例として用いたものであり、限定であると解されるべきではないことは明らかであり、この発明の精神および範囲は添付されたクレームの文言によってのみ限定される。

請求の範囲

1 各々が水平および垂直方向にそれぞれ複数ドットからなる1つ以上のキャラクタを組み合わせることによって大きなサイズのオブジェクトをラスタスキャンモニタで表示する動画表示装置であって、つきのものを備える：

　オブジェクトを構成するキャラクタのグラフィックデータを各オブジェクト毎に予めその関連するアドレス領域に記憶する第1の記憶手段；

　前記ラスタスキャンモニタの次の垂直期間に表示されるべき1以上のオブジェクトを指定するためにオブジェクト指定データを発生するオブジェクト指定データ発生手段；

　指定されたオブジェクトが表示されるべき前記モニタ上の水平および垂直位置を表す位置データを発生する位置データ発生手段、

　オブジェクトサイズを可変的に決定するサイズ決定データを発生するサイズ決定データ発生手段；

　前記オブジェクト指定データおよび前記位置データを一時的に記憶する第2の記憶手段；

　前記第2の記憶手段から読み出した垂直位置データと前記サイズ決定データ発生手段からのサイズ決定データとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定し、かつ前記第2の記憶手段から読み出した水平位置データと前記サイズ決定データ発生手段からのサイズ決定データとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定するインレンジ判定手段；および

　前記インレンジ判定手段においてインレンジ状態にあると判定さ

れたオブジェクトについて前記オブジェクト指定データ、前記位置データおよび前記サイズ決定データに基づいて前記第1の記憶手段の読み出アドレスを作成して前記第1の記憶手段に与える読み出アドレス作成手段。

2 クレーム1に従属する動画表示装置であって、wherein 前記サイズ決定データ発生手段は、オブジェクト毎にサイズを選択するデータを発生するサイズ選択データ発生手段、および前記モニタの1画面毎にサイズを指定するサイズ指定データを発生するサイズ指定データ発生手段を含み、

前記読み出アドレスデータ発生手段は前記インレンジ判定手段によってインレンジ状態にあると判定されたオブジェクトについて前記サイズ選択データと前記サイズ指定データとの組み合わせに従ったデータ、前記オブジェクト指定コードおよび前記位置データに基づいて前記読み出しアドレスを発生する。

3 クレーム1または2に従属する動画表示装置であって、wherein 前記サイズ指定データ発生手段は前記モニタの1画面毎に発生される前記サイズ指定データを一時的に記憶する手段を含む。

4 クレーム1に従属する動画表示装置であって、wherein 前記サイズ決定データ発生手段は、オブジェクト毎にサイズを選択するサイズ選択データおよび前記モニタの1画面毎にサイズを指定するサイズ指定データを予め記憶する第3の記憶手段、前記第3の記憶手段に記憶されているサイズ指定データを1画面毎に読み出しつつ前記サイズ選択データをオブジェクト毎に読み出す読み出手段、および前記読み出手段によって読み出されたサイズ指定データを一時的に記憶する手段を含み、

前記インレンジ判定手段は前記サイズ選択データと前記サイズ指定データとの組み合わせに基づいてそのオブジェクトがインレンジ状態にあるか否かを判定する。

5 各々が水平および垂直方向にそれぞれ複数ドットからなる1つ以上のキャラクタを組み合わせることによって大きなサイズのオブジェクトをラスタスキャンモニタで表示する、かつオブジェクトを構成するキャラクタのグラフィックデータを各オブジェクト毎に予めその関連するアドレス領域に記憶する第1の記憶手段を含む動画表示装置に着脱自在に装着される外部メモリであって、つぎのものを備える：

前記ラスタスキャンモニタの次の垂直期間に表示されるべき1以上のオブジェクトを指定するためにオブジェクト指定データを発生するオブジェクト指定データ発生手段；および

指定されたオブジェクトが表示されるべき前記モニタ上の水平および垂直位置を表す位置データを発生する位置データ発生手段、

オブジェクトサイズを可変的に決定するサイズ決定データを発生するサイズ決定データ発生手段；wherein

前記動画表示装置はさらにつぎのものを備える：

前記オブジェクト指定データおよび前記位置データを一時的に記憶する第2の記憶手段；

前記第2の記憶手段から読み出した垂直位置データと前記サイズ決定データ発生手段からのサイズ決定データとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定し、かつ前記第2の記憶手段から読み出した水平位置データと前記サイズ決定データ発生手段からのサイズ決定データとに基づいてそのオブジェ

クトを次の水平走査期間に表示すべきか否かを判定するインレンジ判定手段；および

前記インレンジ判定手段においてインレンジ状態にあると判定されたオブジェクトについて前記オブジェクト指定データ，前記位置データおよび前記サイズ決定データに基づいて前記第1の記憶手段の読み出アドレスを作成して前記第1の記憶手段に与える読み出アドレス作成手段。

6 各々が水平および垂直方向にそれぞれ複数ドットからなる1つ以上のキャラクタを組み合わせることによって大きなサイズのオブジェクトをラスタスキャンモニタで表示する動画表示装置であって、つぎのものを備える：

オブジェクトを構成するキャラクタのグラフィックデータを各オブジェクト毎に予めその関連するアドレス領域に記憶する第1の記憶手段；

前記ラスタスキャンモニタの次の垂直期間に表示されるべき1以上のオブジェクトを指定するためにオブジェクト指定データを発生するオブジェクト指定データ発生手段；

指定されたオブジェクトが表示されるべき前記モニタ上の位置を表す位置データを発生する位置データ発生手段；

オブジェクト毎にそのオブジェクトサイズを選択するサイズ選択データ発生手段；

画面毎にサイズ指定モードを決定する指定モードデータを発生する指定モードデータ発生手段；

前記オブジェクト指定データおよび前記位置データを一時的に記憶する第2の記憶手段；

前記第2の記憶手段から読み出した位置データと前記サイズ選択データ発生手段からのサイズ選択データおよび前記指定モードデータ発生手段からの指定モードデータの組合せとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定するインレンジ判定手段；および

前記インレンジ判定手段においてインレンジ状態にあると判定されたオブジェクトについて前記第1の記憶手段の読み出アドレスを作成して前記第1の記憶手段に与える読み出アドレス作成手段。

7 クレーム6に従属する動画表示装置であって、*further comprising*前記選択モードデータを一時的に記憶する手段。

8 各々が水平および垂直方向にそれぞれ複数ドットからなる1つ以上のキャラクタを組み合わせることによって大きなサイズのオブジェクトをラスタスキャンモニタで表示するかつオブジェクトを構成するキャラクタのグラフィックデータを各オブジェクト毎に予めその関連するアドレス領域に記憶する第1の記憶手段を含む動画表示装置に着脱自在に装着される外部メモリであって、つぎのものを備える：

前記ラスタスキャンモニタの次の垂直期間に表示されるべき1以上のオブジェクトを指定するためにオブジェクト指定データを発生するオブジェクト指定データ発生手段；

指定されたオブジェクトが表示されるべき前記モニタ上の位置を表す位置データを発生する位置データ発生手段；

オブジェクト毎にそのオブジェクトサイズを選択するサイズ選択データ発生手段；および

画面毎にサイズ指定モードを決定する指定モードデータを発生す

る指定モードデータ発生手段；wherein

前記動画表示装置はさらにつぎのものを備える：

前記オブジェクト指定データおよび前記位置データを一時的に記憶する第2の記憶手段；

前記第2の記憶手段から読み出した位置データと前記サイズ選択データ発生手段からのサイズ選択データおよび前記指定モードデータ発生手段からの指定モードデータの組合せとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定するインレンジ判定手段；および

前記インレンジ判定手段においてインレンジ状態にあると判定されたオブジェクトについて前記第1の記憶手段の読み出アドレスを作成して前記第1の記憶手段に与える読み出アドレス作成手段。

9 各々が水平および垂直方向にそれぞれ複数ドットからなる1つ以上のキャラクタを組み合わせることによって大きなサイズのオブジェクトをラスタスキャンモニタで表示する動画表示装置であって、ぎのものを備える：

オブジェクトを構成するキャラクタのグラフィックデータを各オブジェクト毎に予めその関連するアドレス領域に記憶する第1の記憶手段；

前記ラスタスキャンモニタの次の垂直期間に表示されるべき1以上のオブジェクトを指定するためにオブジェクト指定データを発生するオブジェクト指定データ発生手段；

指定されたオブジェクトが表示されるべき前記モニタ上の位置を表す位置データを発生する位置データ発生手段；

オブジェクトサイズを決定するサイズ決定データを発生するサイ

ズ決定データ発生手段；

前記オブジェクト指定データおよび前記位置データを一時的に記憶する第2の記憶手段；

前記第2の記憶手段から読み出した位置データと前記サイズ決定データ発生手段からのサイズ決定データとに基づいてそのオブジェクトを次の水平走査期間に表示すべきか否かを判定するインレンジ判定手段；

前記インレンジ判定手段においてインレンジ状態にあると判定されたオブジェクトについて前記第1の記憶手段からグラフィックデータを読み出す読出手段；

前記インレンジ判定手段によってインレンジ状態にあると判定されたオブジェクトの一部が前記モニタの画面からはみ出しかどうかを判定するはみ出し判定手段；

前記はみ出し判定手段によって前記画面からはみ出ると判定されたオブジェクトの一部の前記グラフィックデータの前記第1の記憶手段からの読み出を禁止する読み出禁止手段。

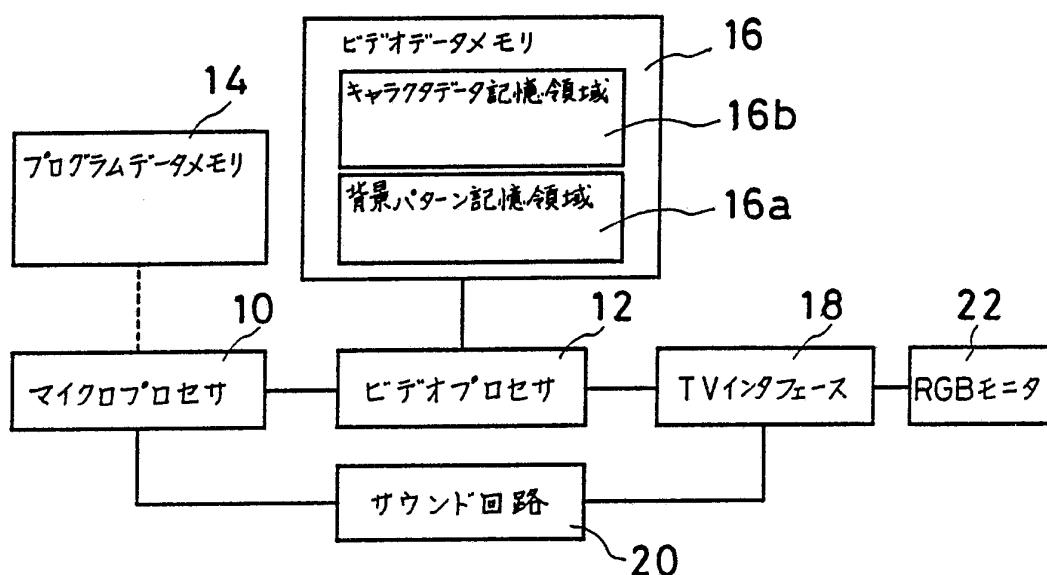
10 クレーム9に従属する動画表示装置であって、wherein 前記はみ出し判定手段は前記オブジェクトが画面の水平方向左端からはみ出しかどうかを判定する左端判定手段を含み、前記禁止手段は前記オブジェクトが左端にはみ出することを検出したときオブジェクトのグラフィックデータを読み出す開始アドレスを実際に表示されるキャラクタのグラフィックデータにプリセットすることによりはみ出した部分のキャラクタグラフィックデータの読み出しを禁止するプリセット手段を含む。

11 クレーム9または10に従属する動画表示装置であって、wher

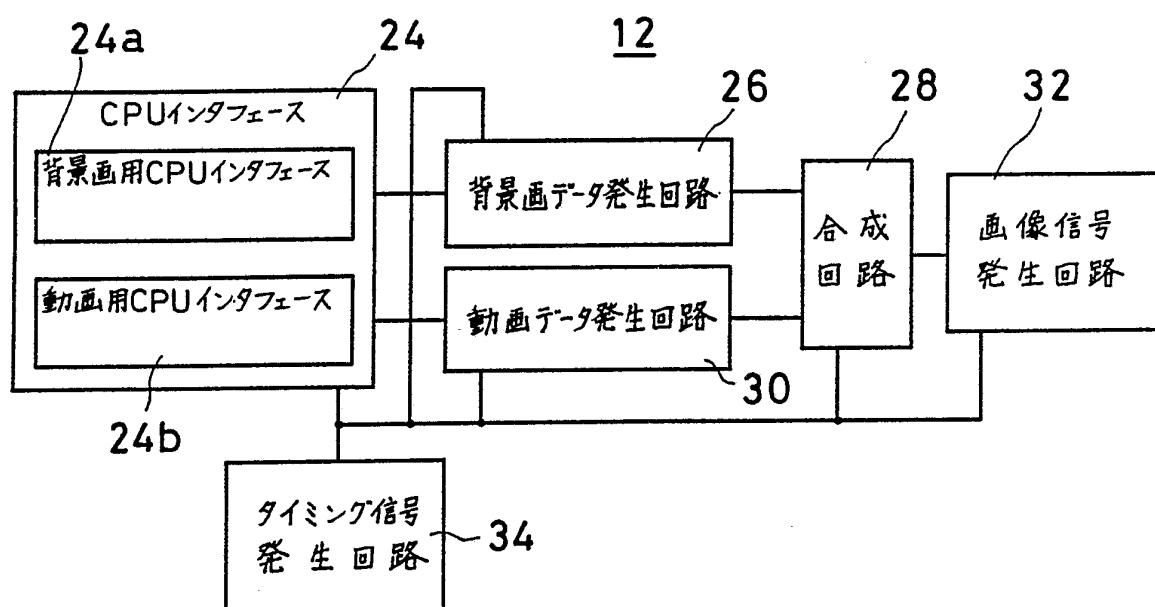
7 6

ein 前記はみ出し判定手段は前記オブジェクトが画面の水平方向右端からはみ出すか否かを判定する右端判定手段を含む。

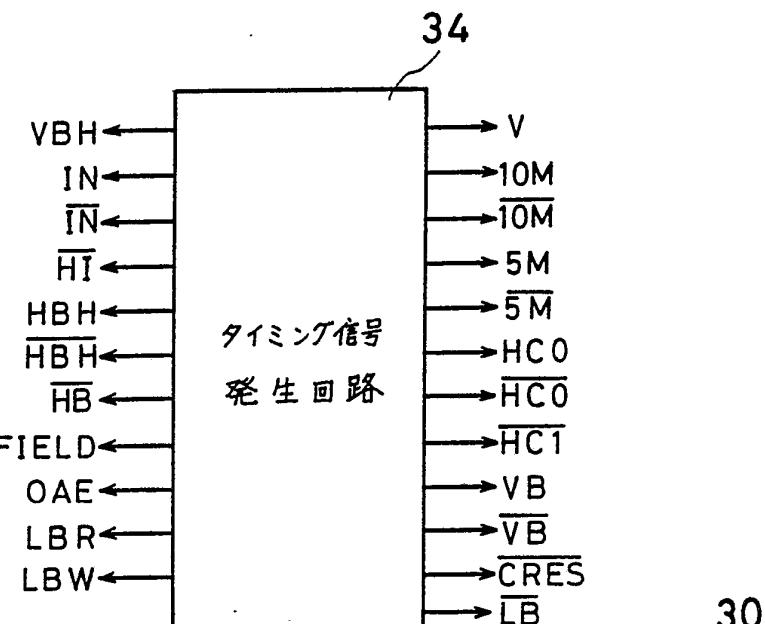
第 1 図



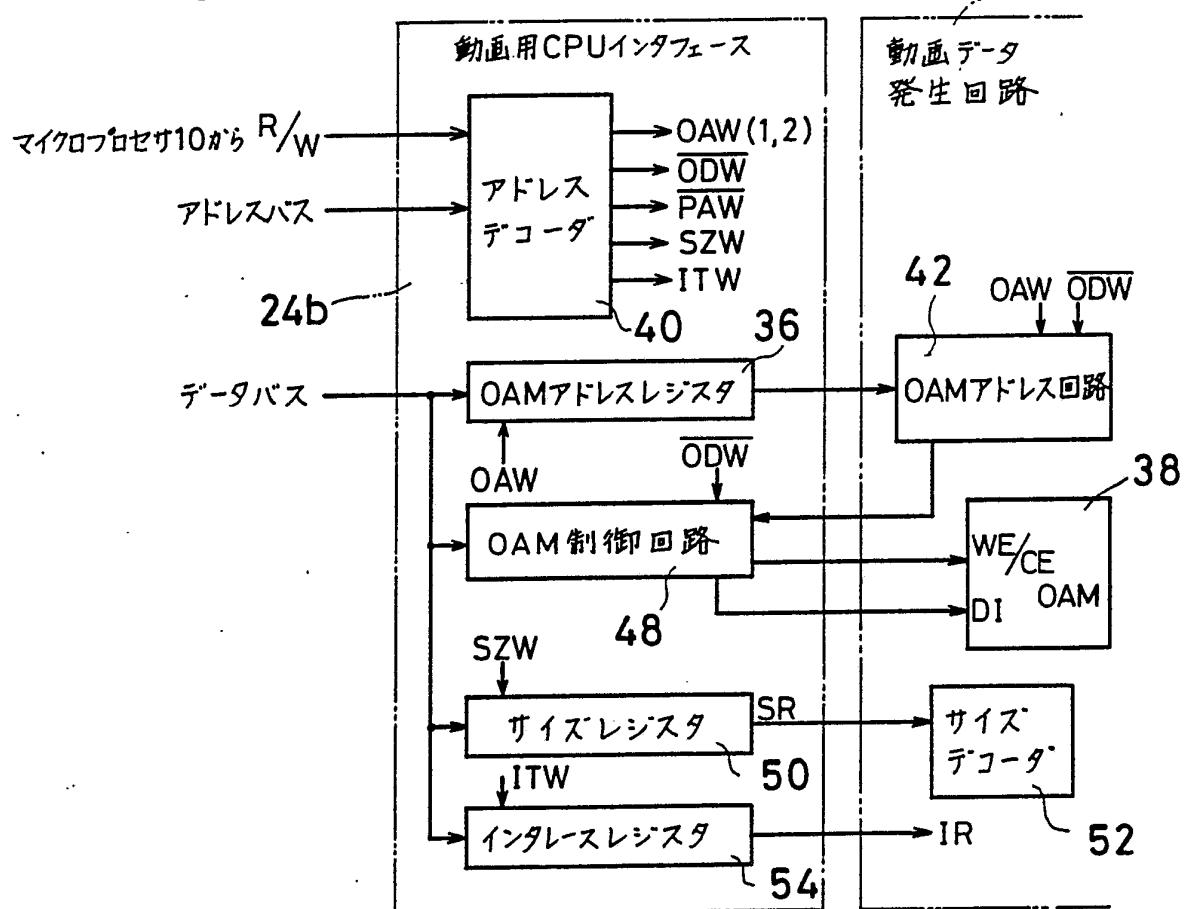
第 2 図



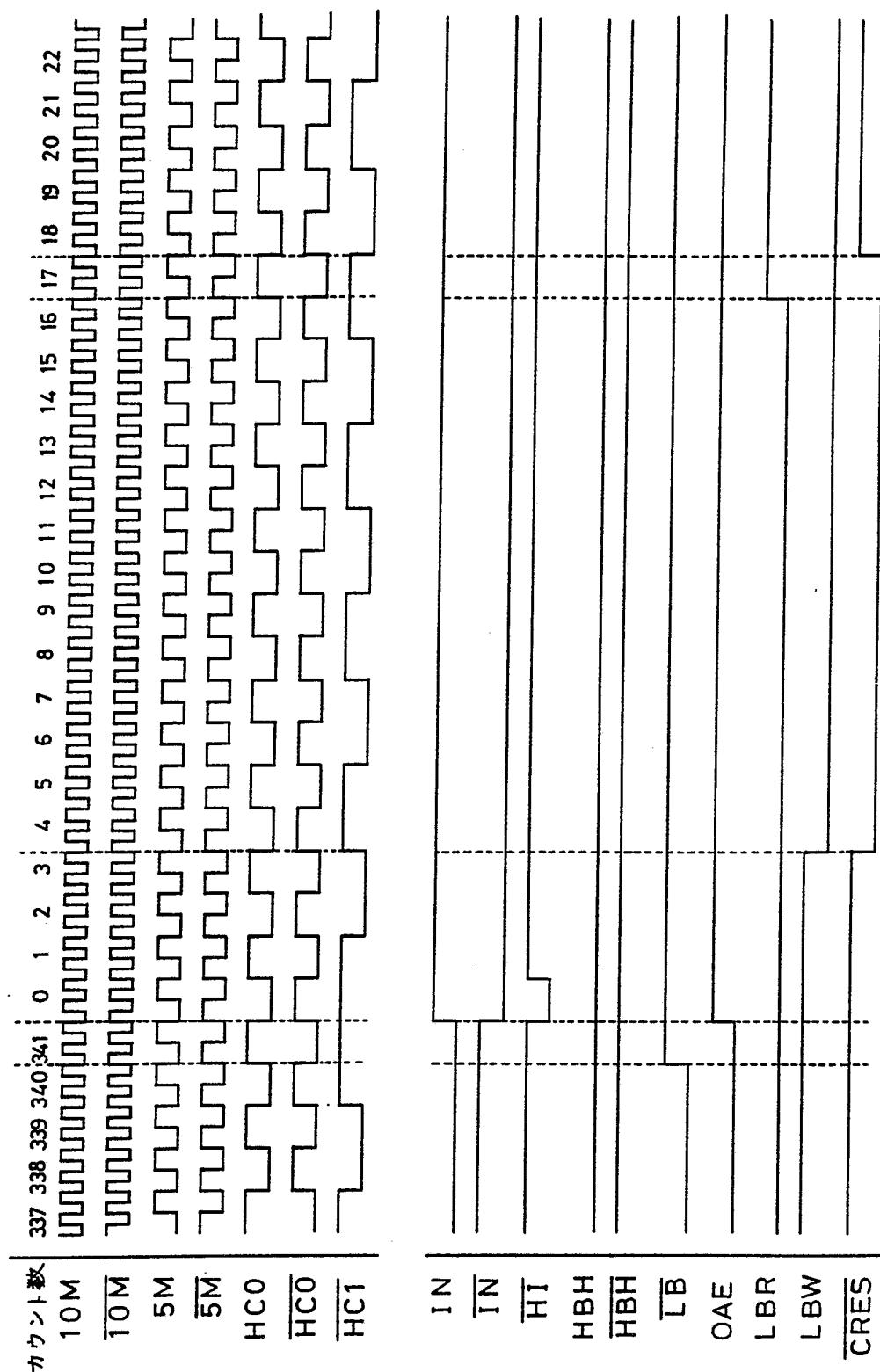
第 3 図



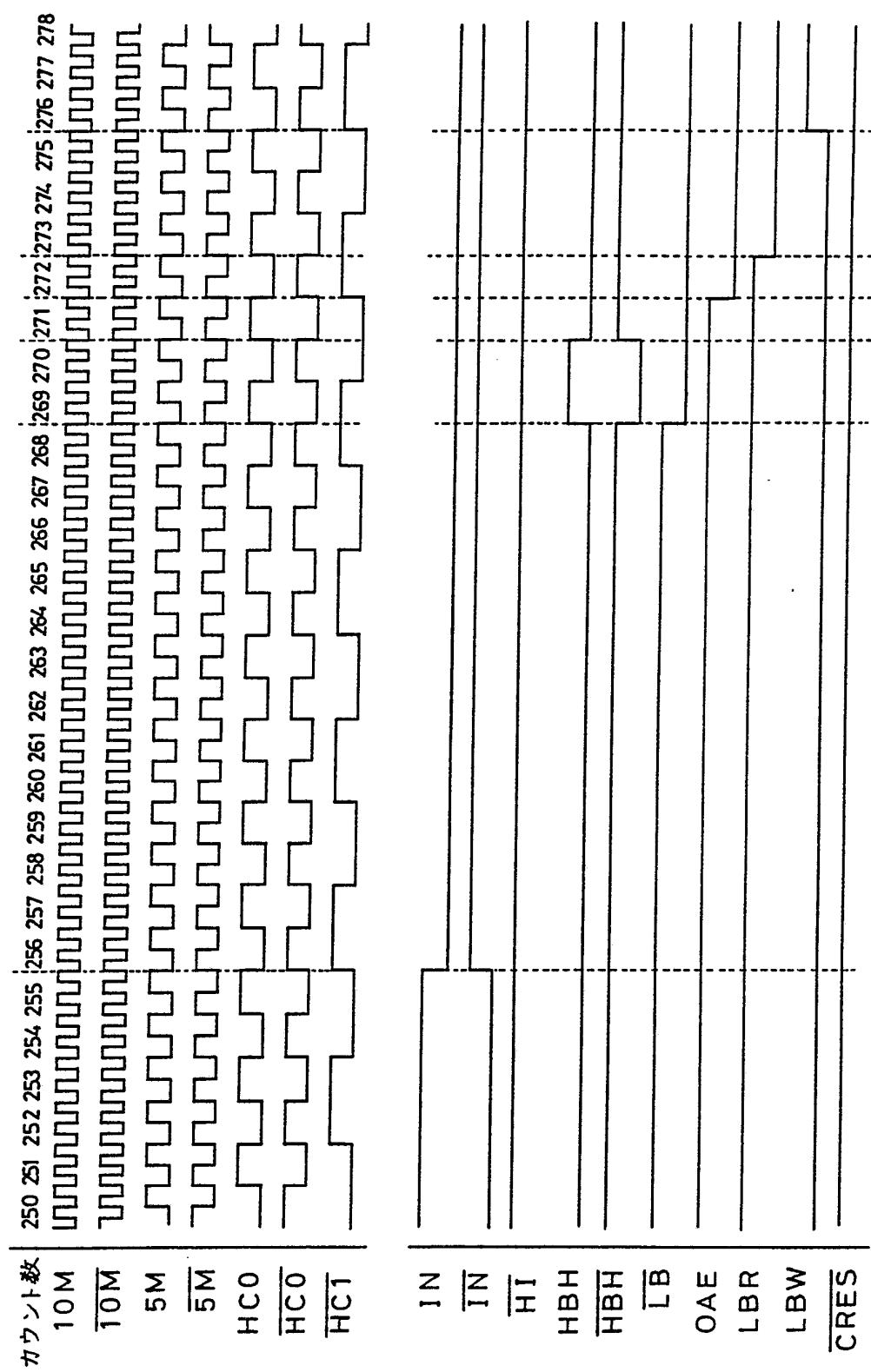
第 6A 図



第 4A 図

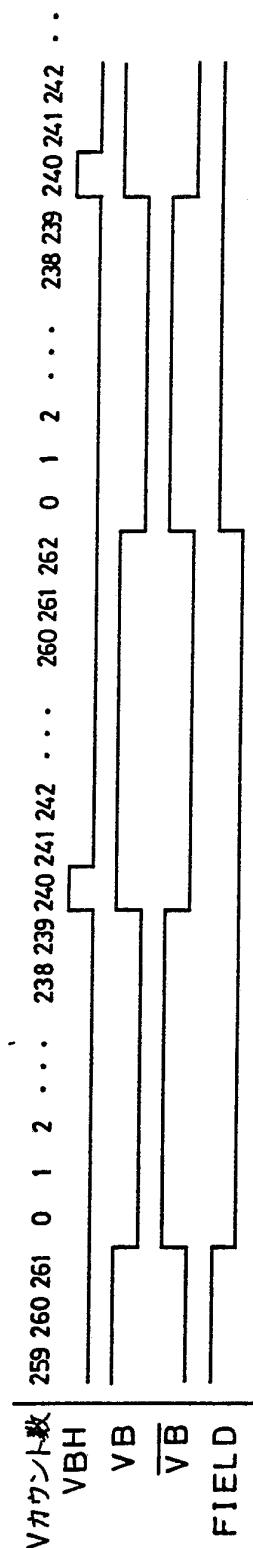


第 4B 図

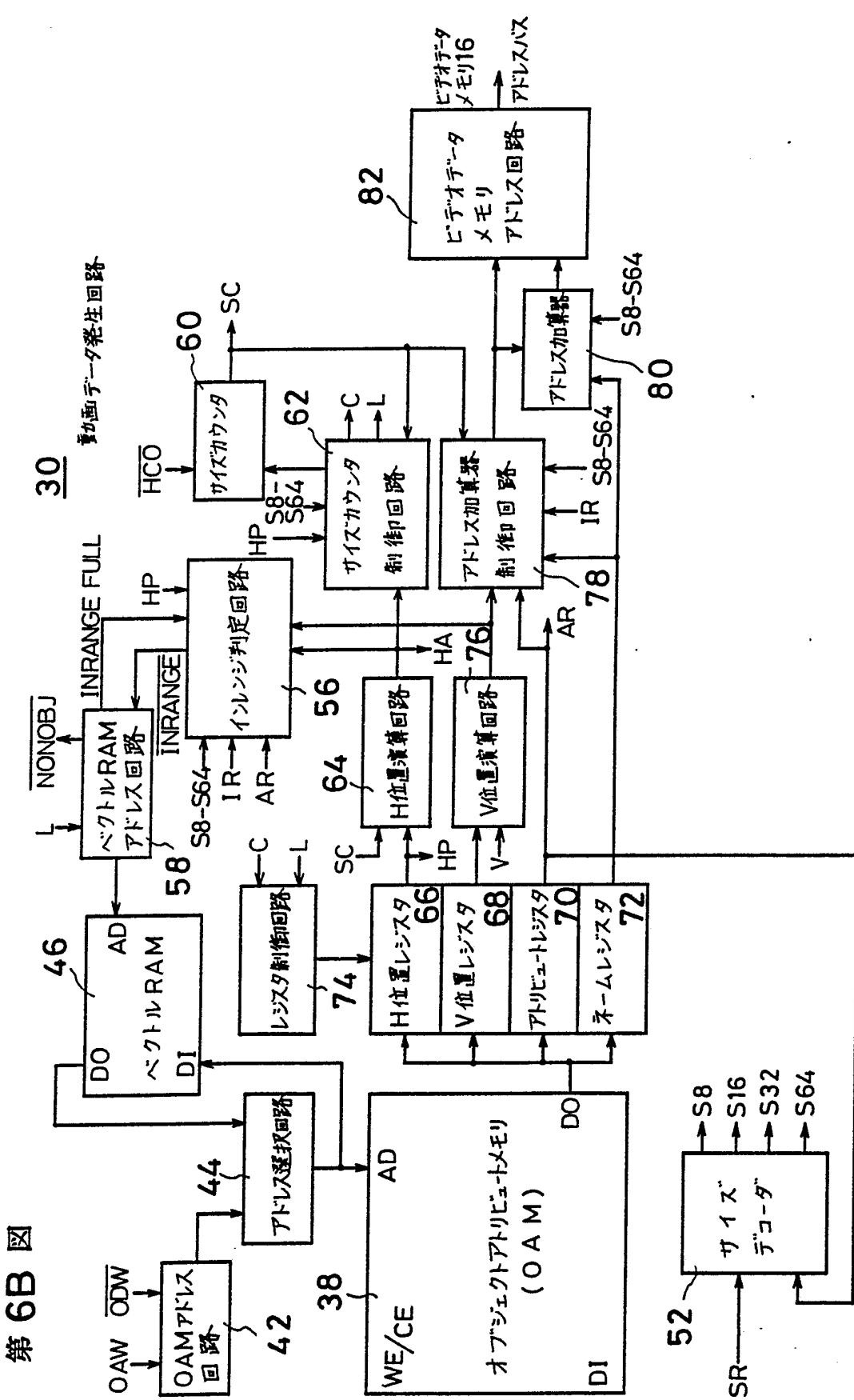


5 / 22

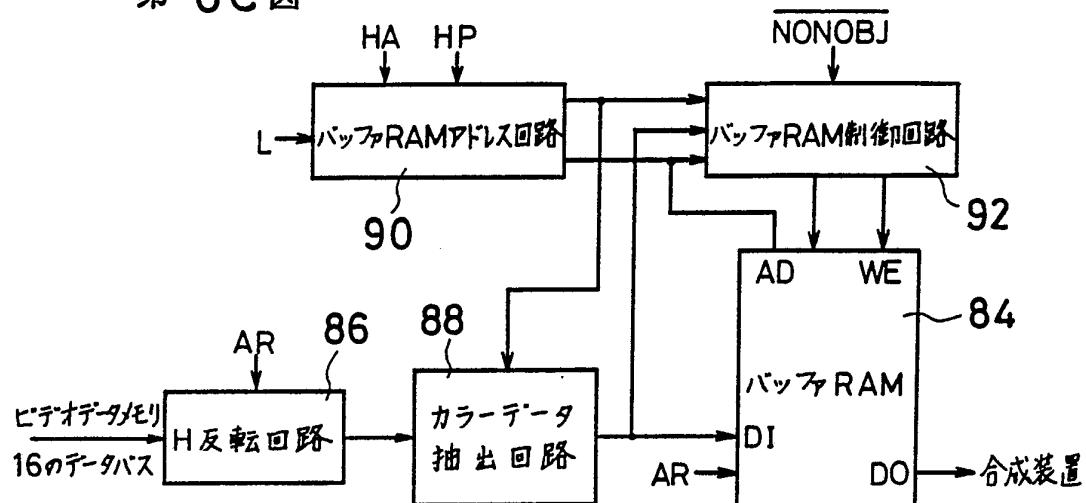
第 5 図



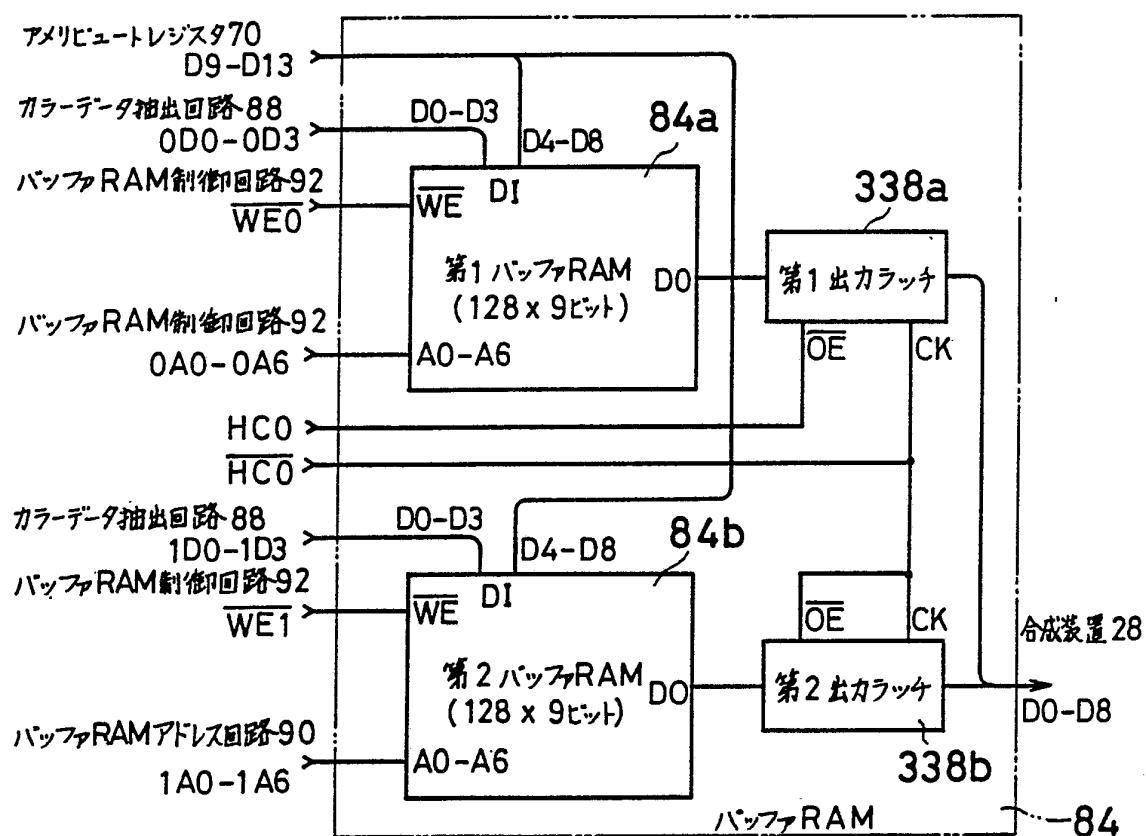
6 / 22



第 6C 図

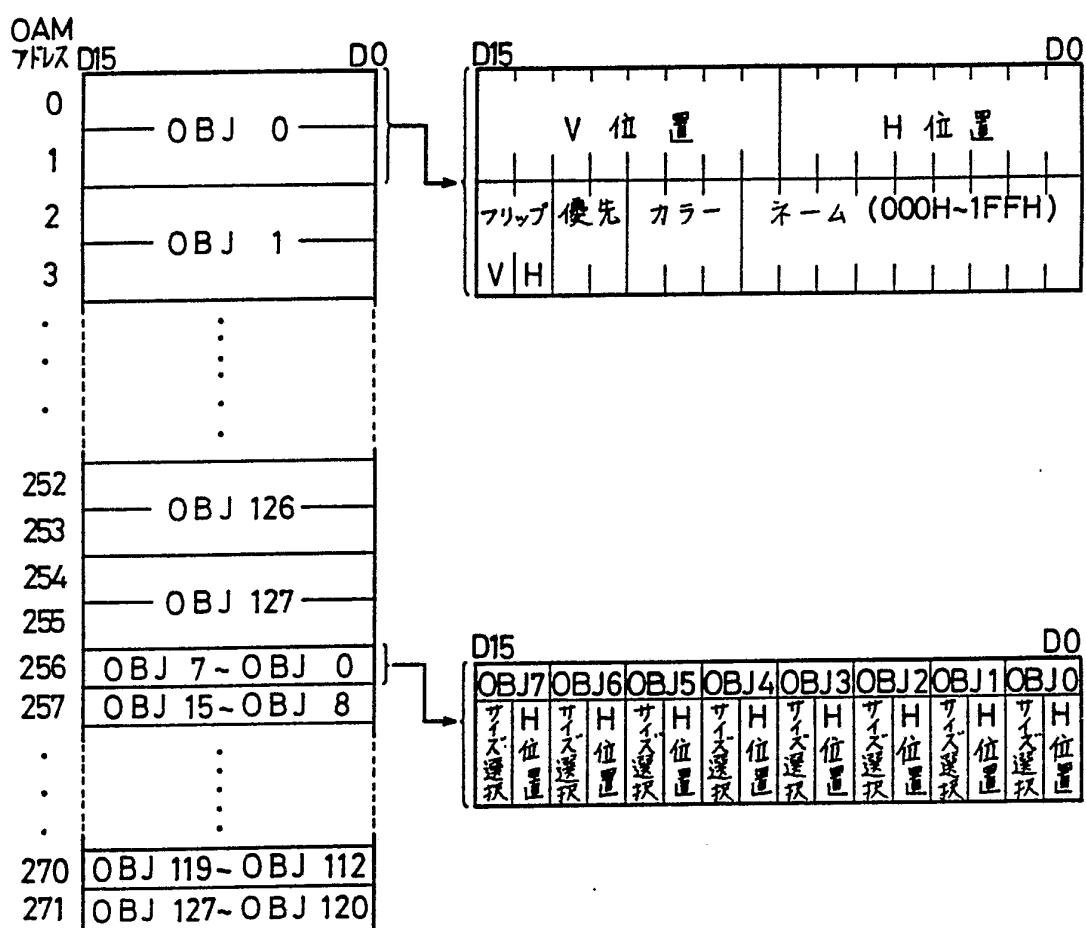


第 21 図

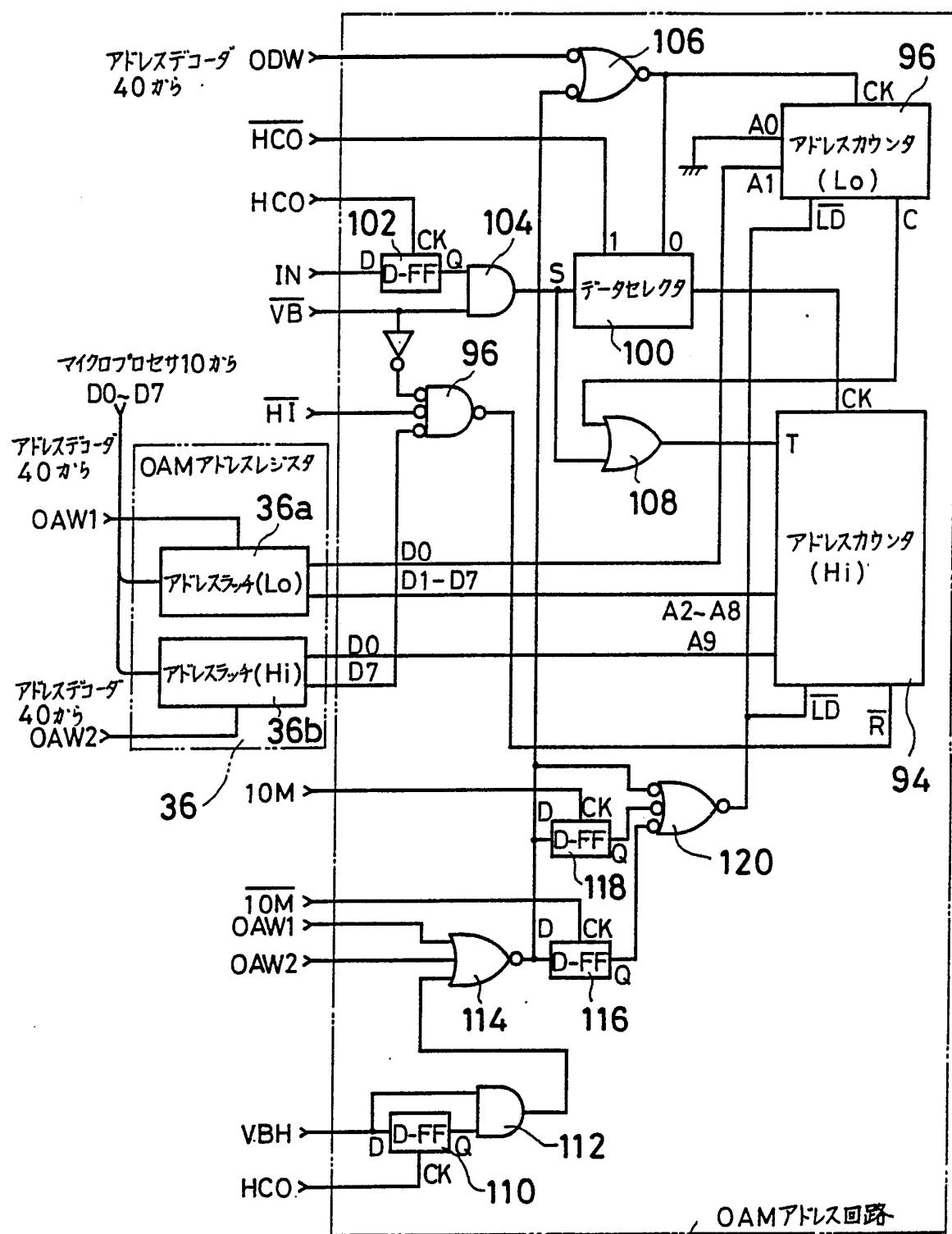


8 / 2 2

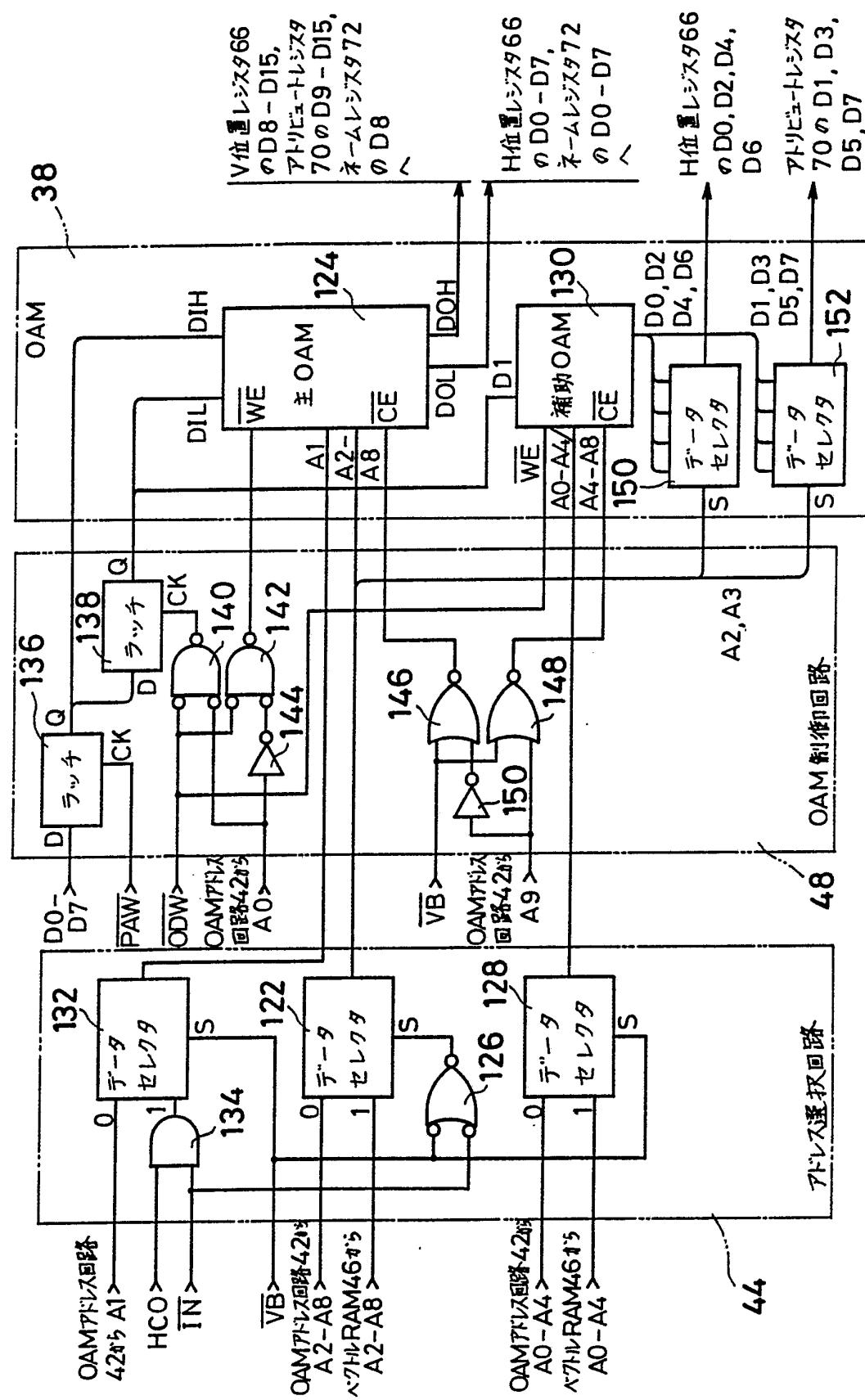
第 7 図



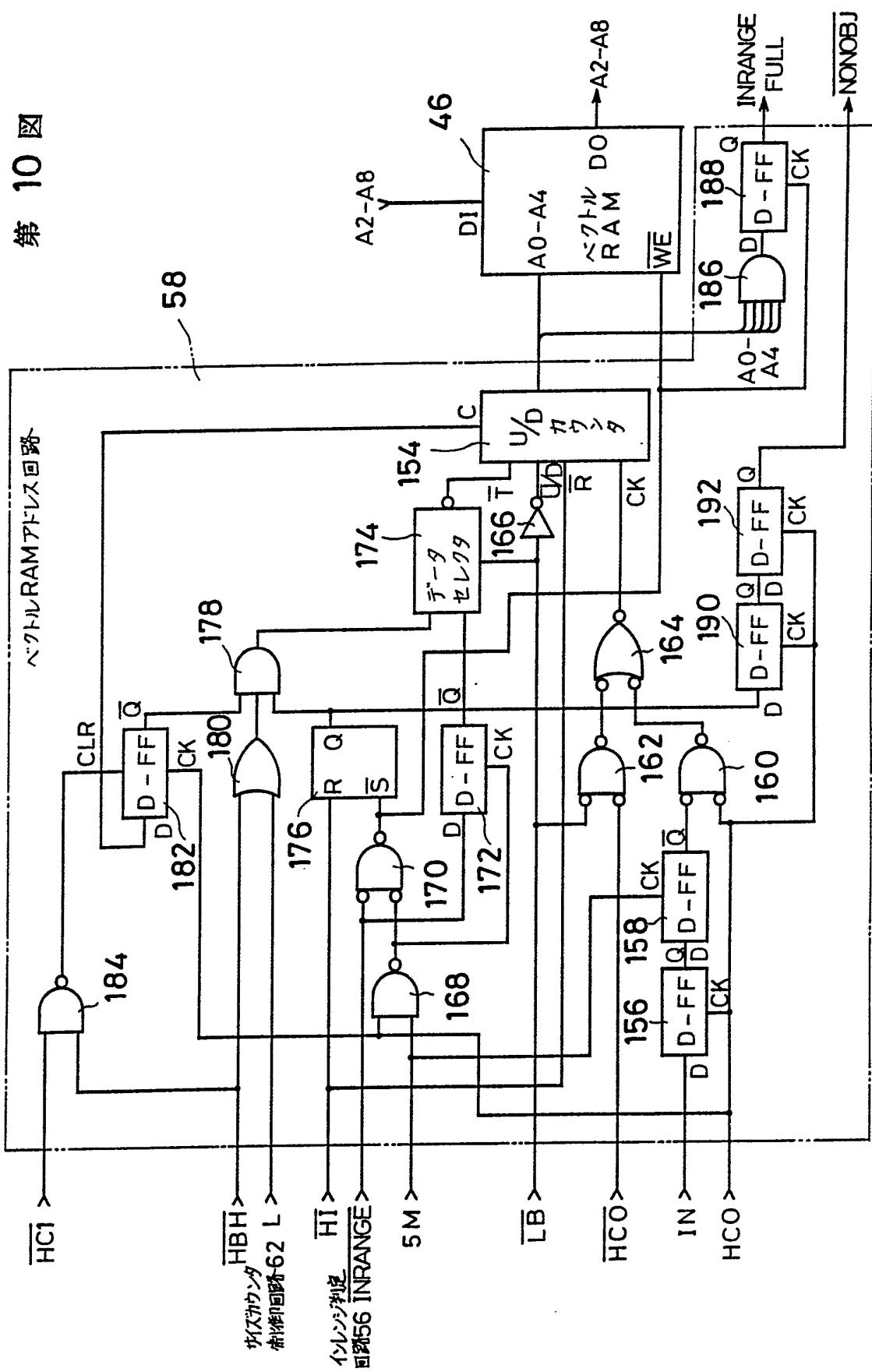
第 8 図



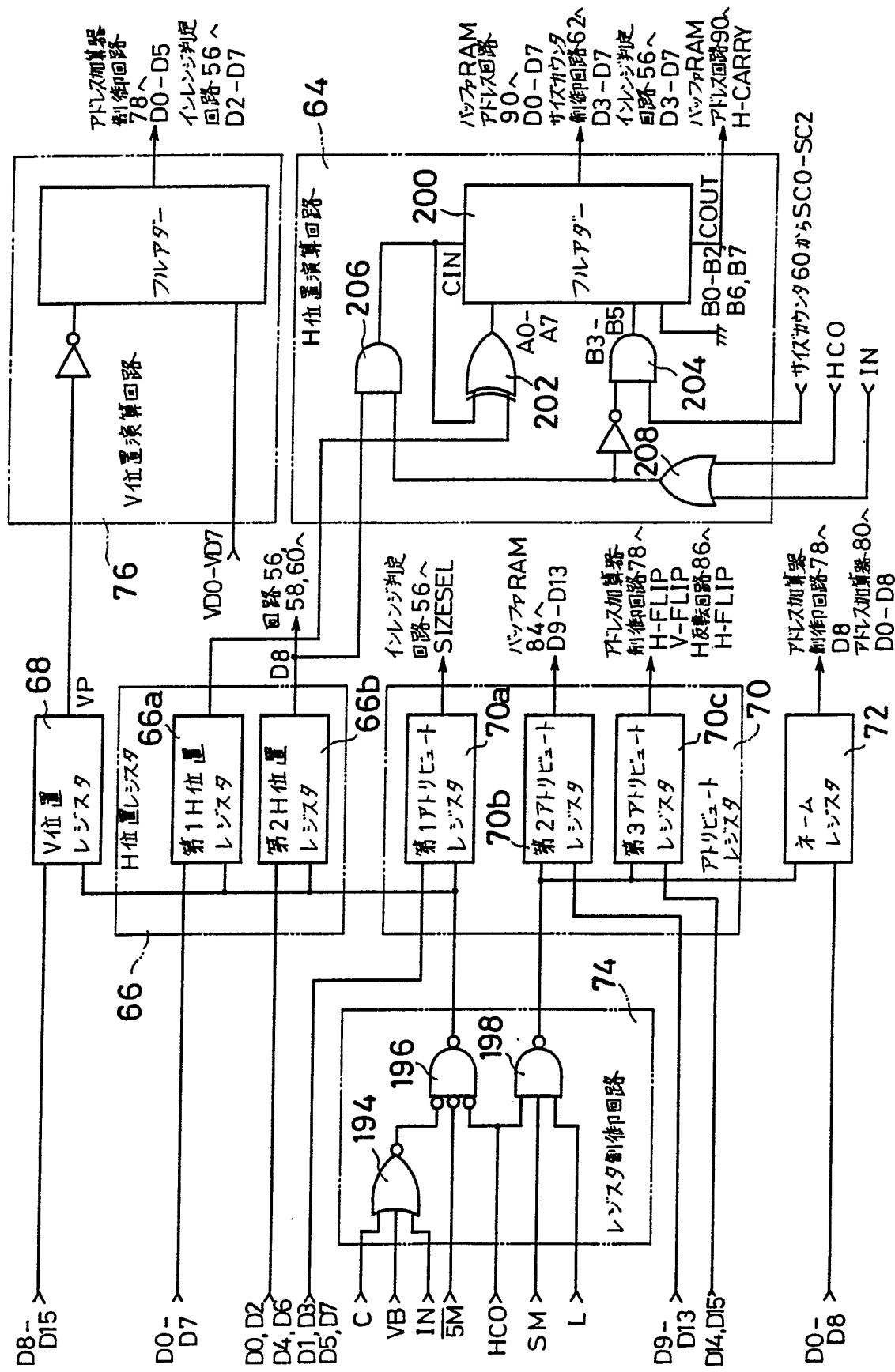
第 9 図



第 10 図

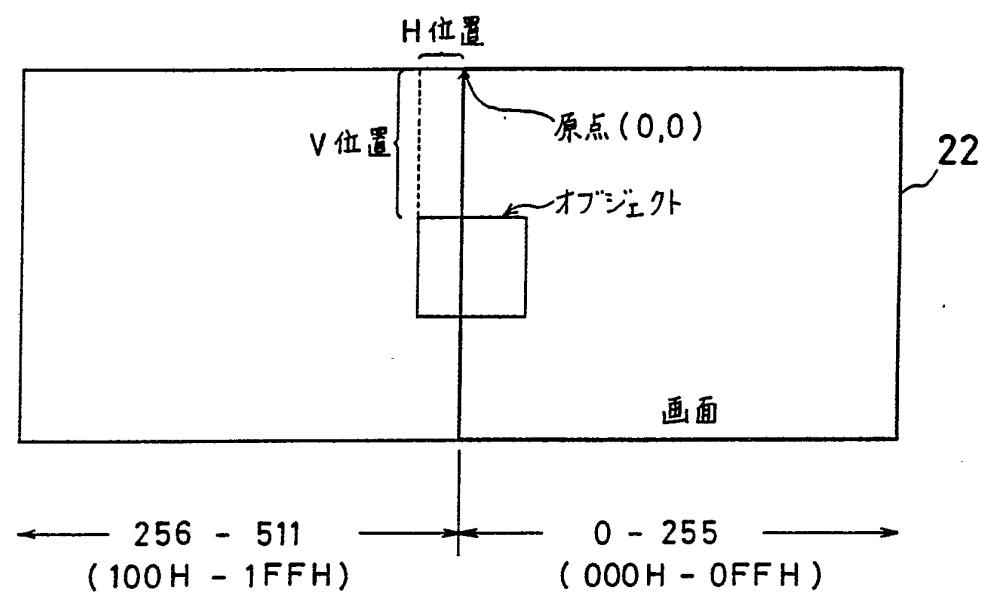


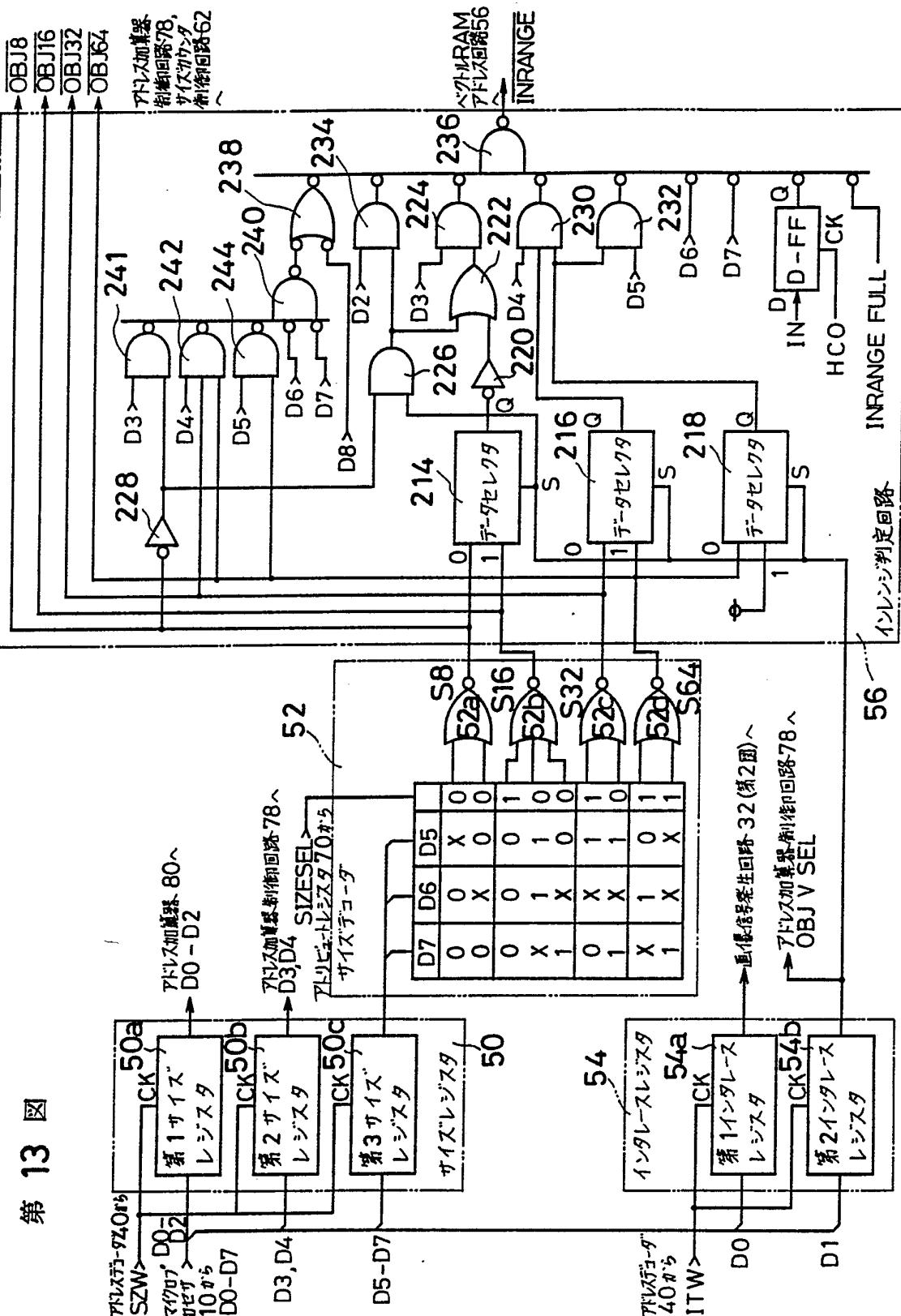
第 11 図



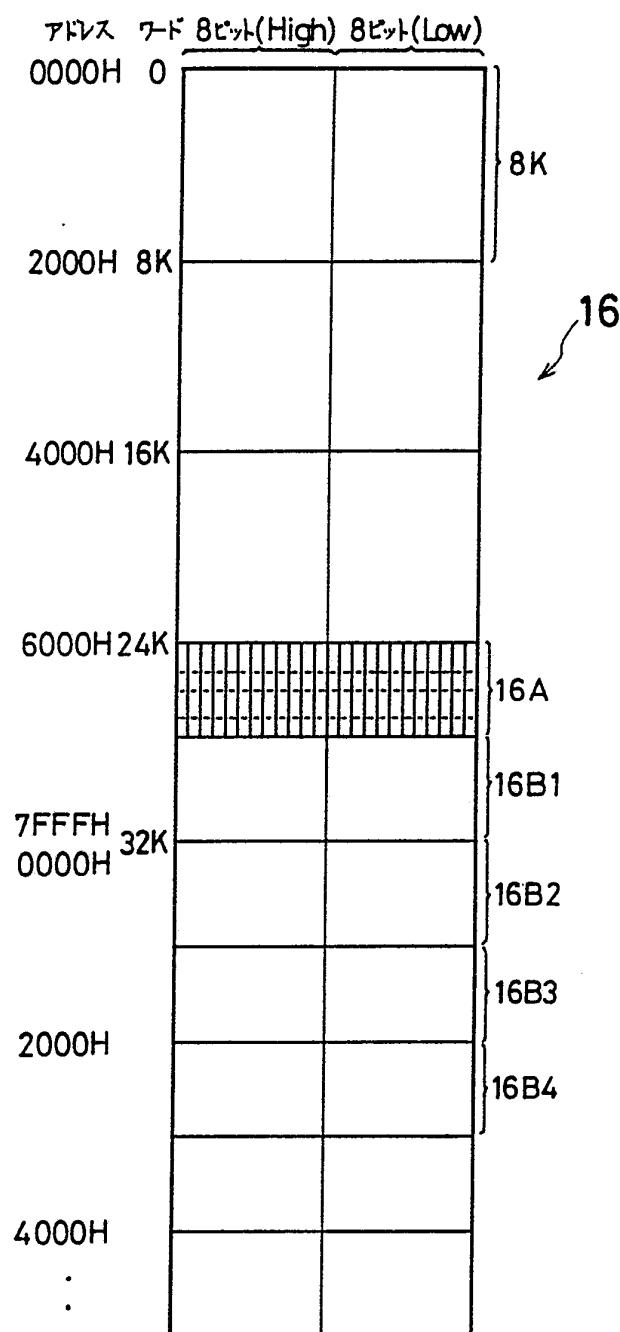
13 / 22

第12図



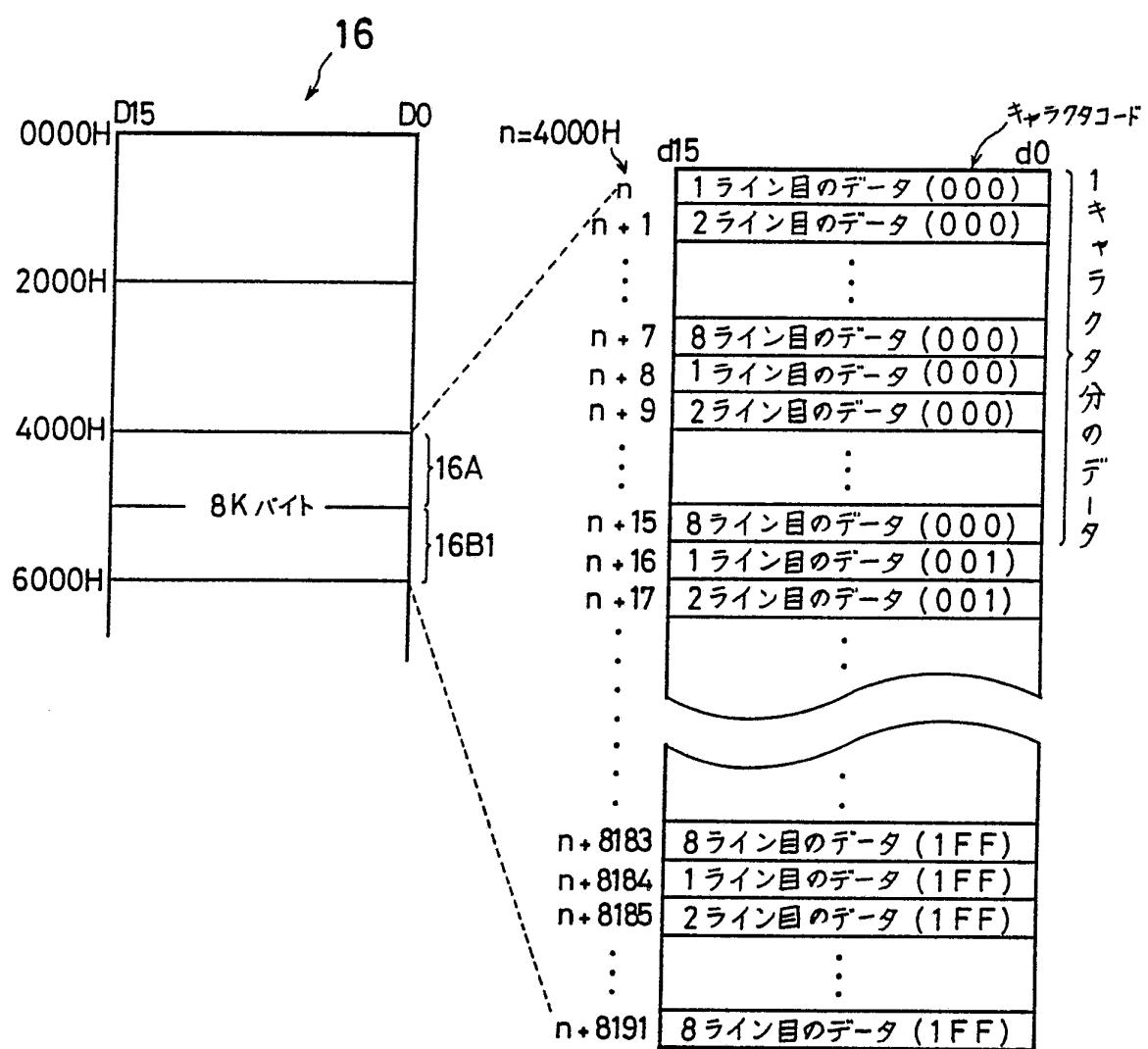


第 14 図

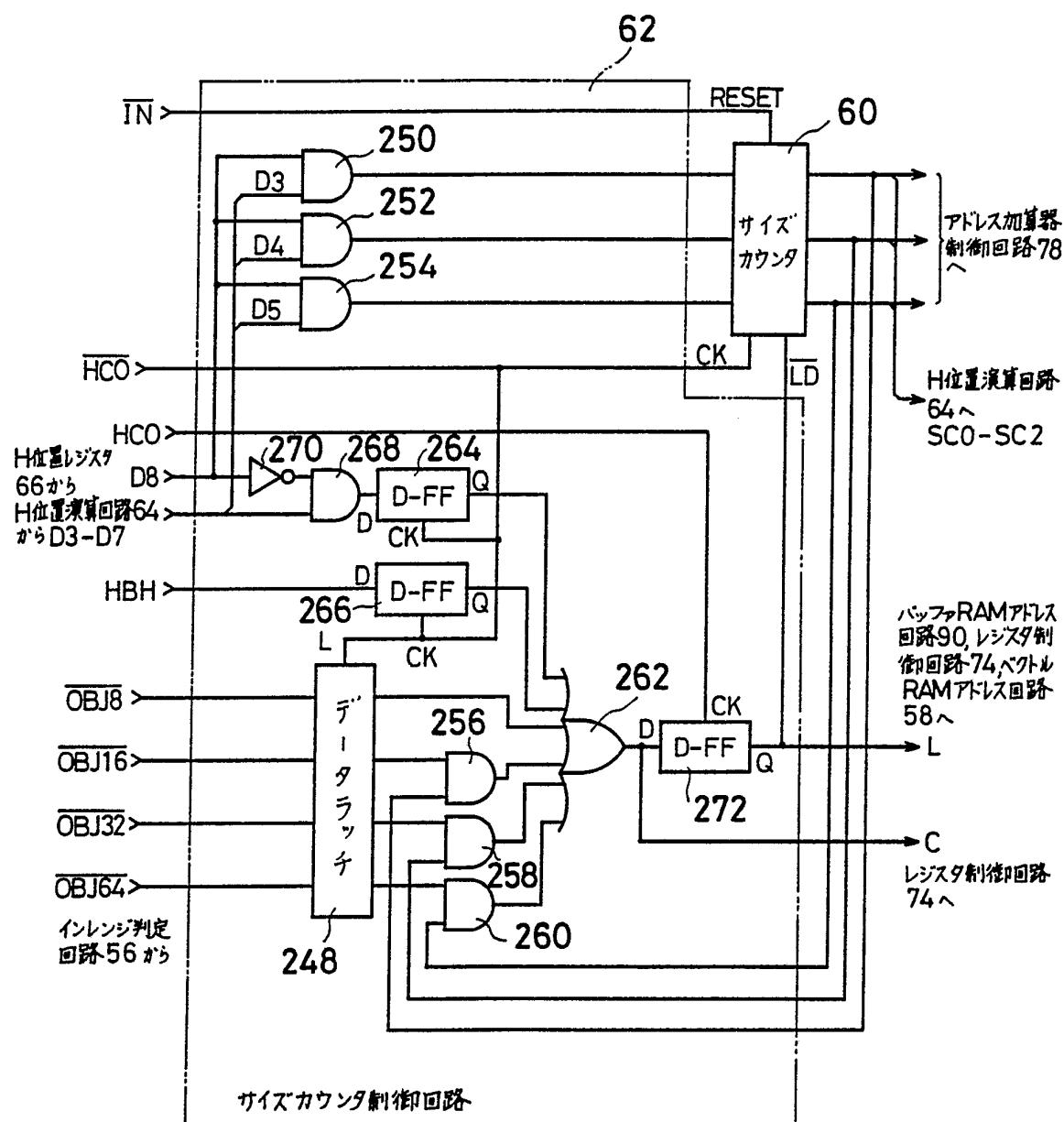


16 / 22

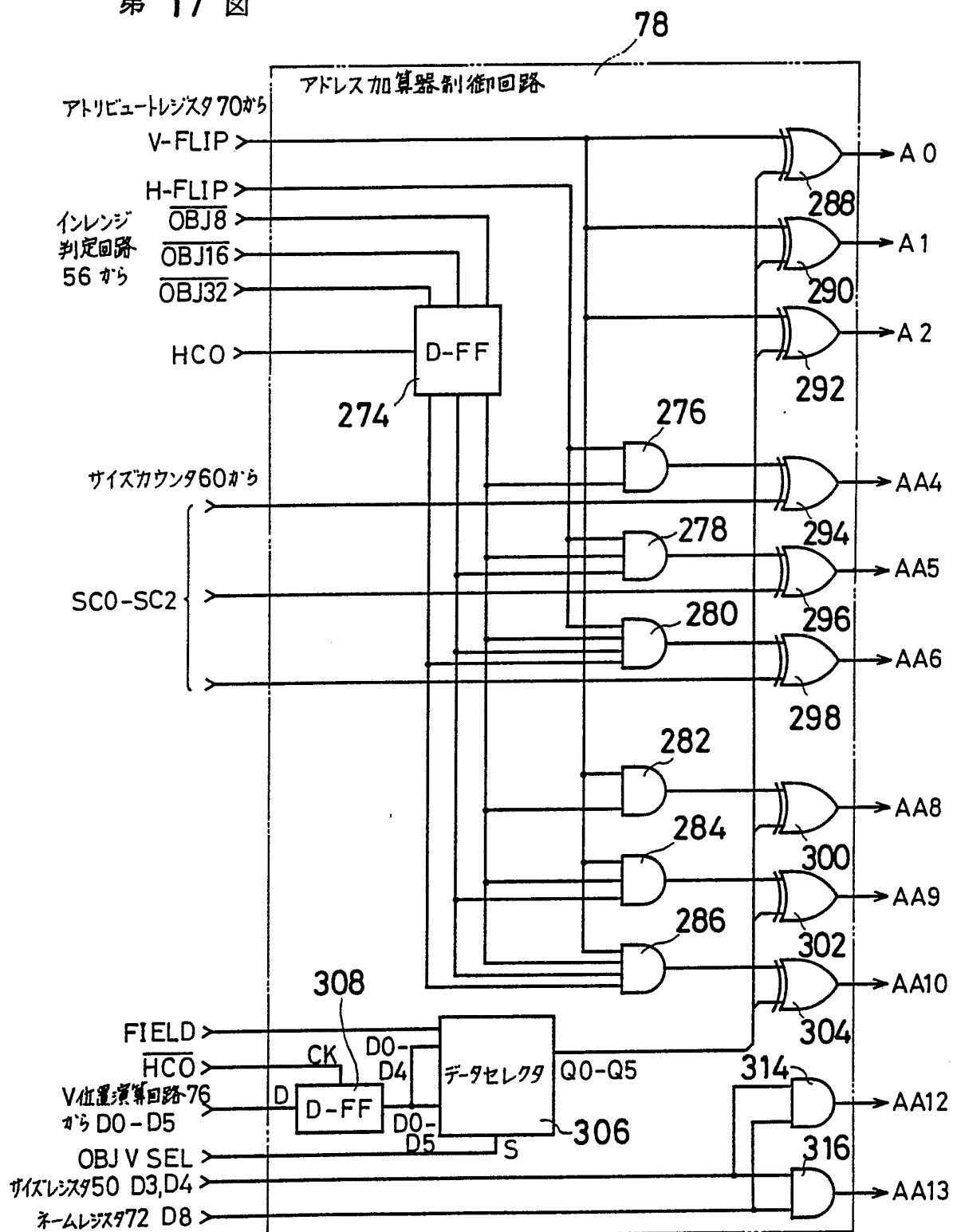
第 15 図



第 16 図

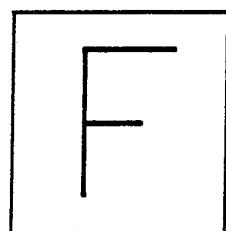


第 17 図



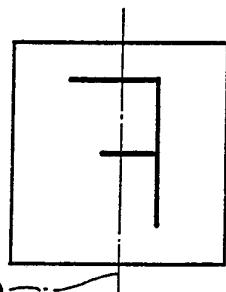
19 / 22

第18A図



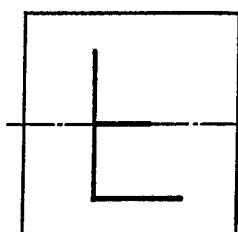
H-FLIP=0
V-FLIP=0

第18B図



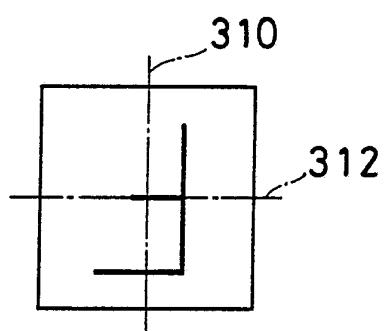
310
H-FLIP=1, V-FLIP=0

第18C図



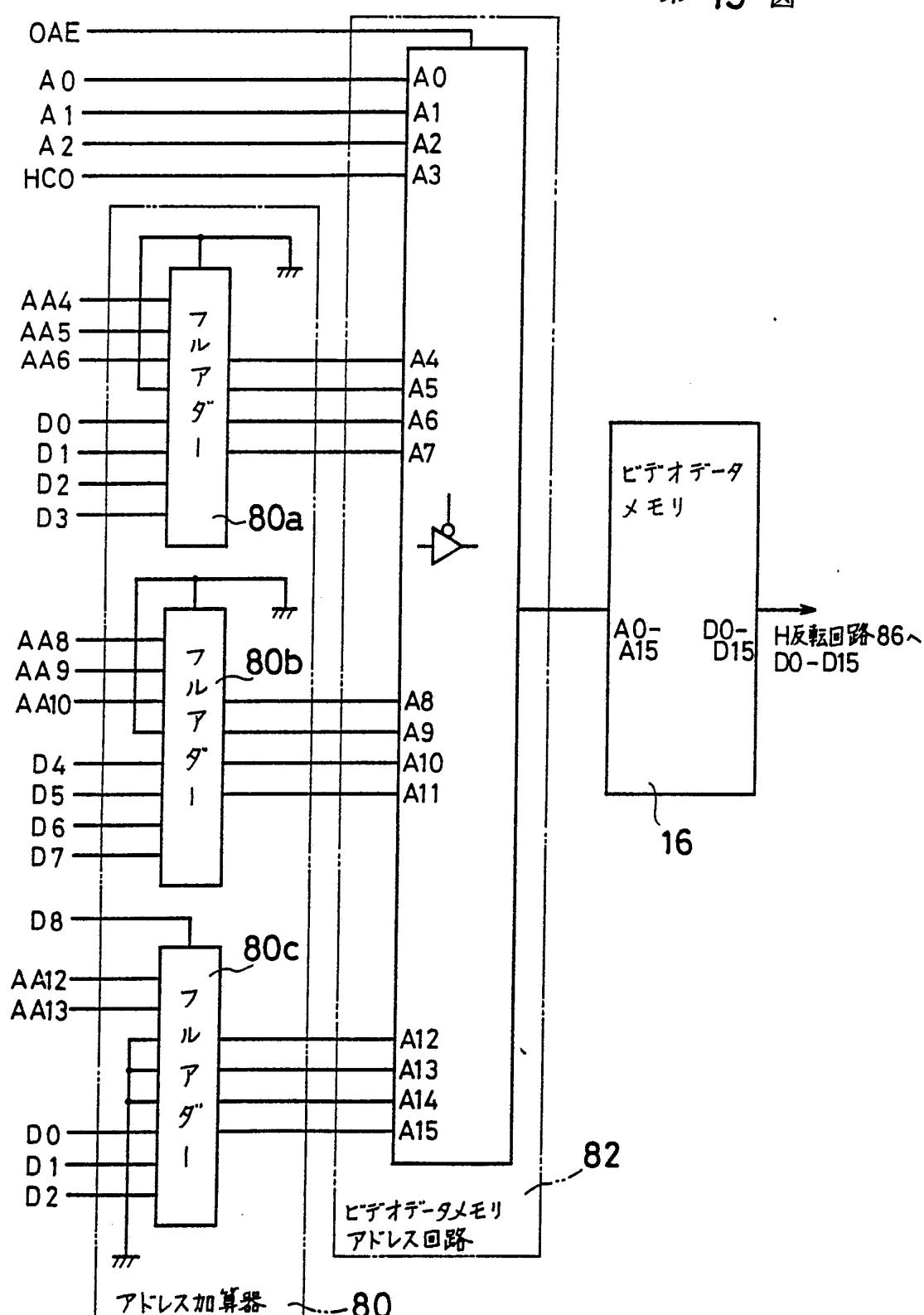
H-FLIP=0
V-FLIP=1

第18D図

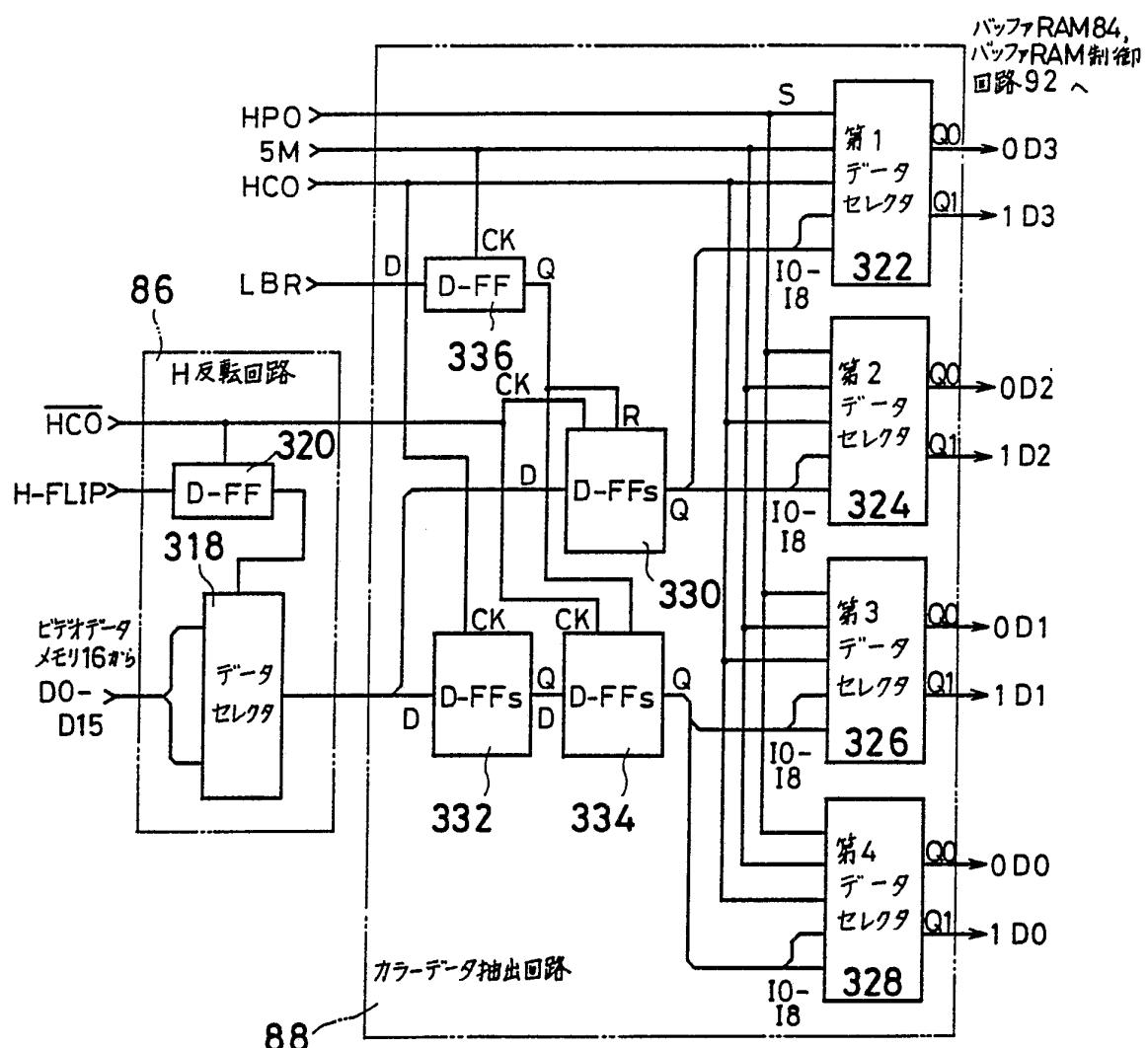


310
H-FLIP=1, V-FLIP=1

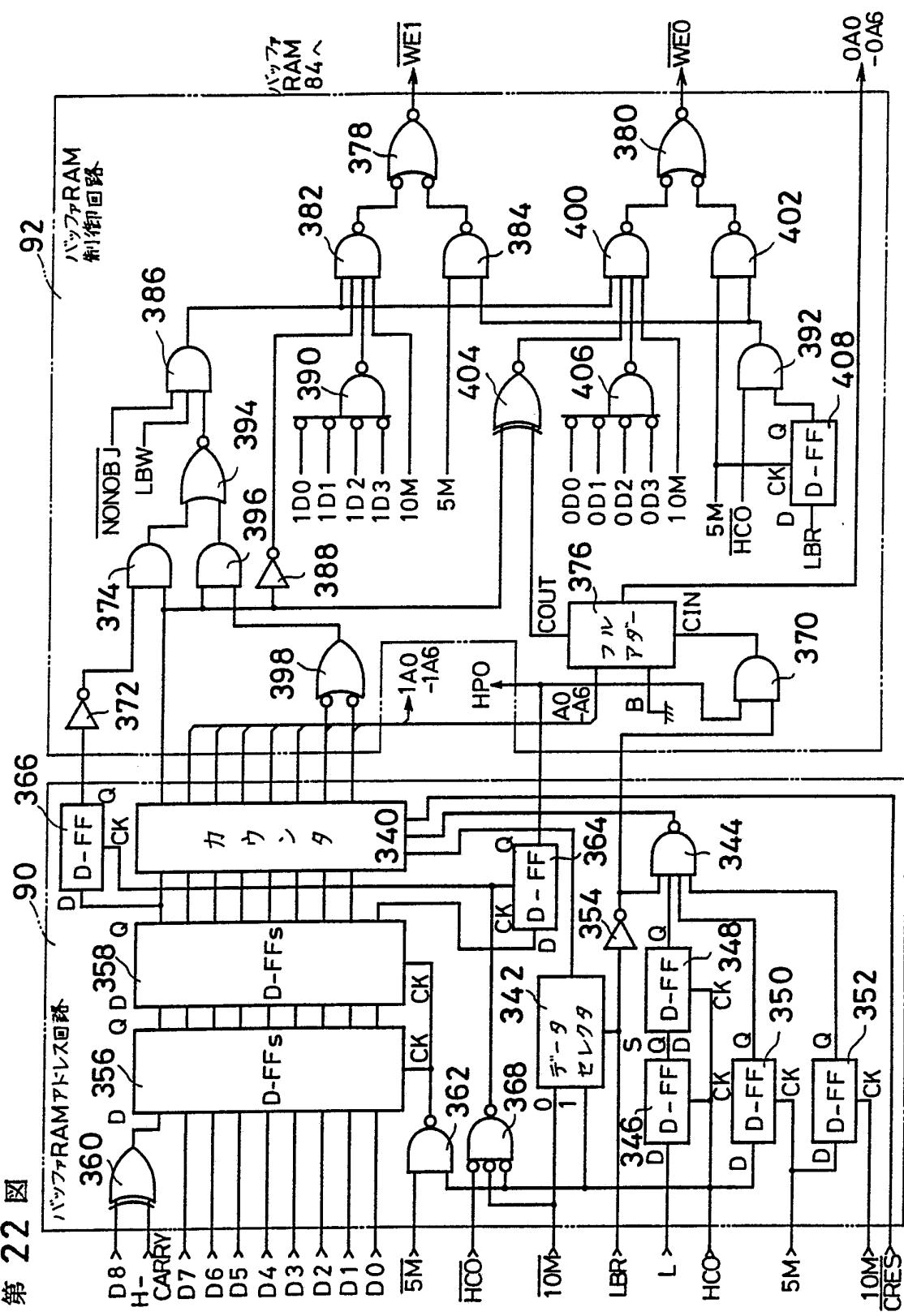
第 19 図



第 20 図



第 22 図



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP91/00130

I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all)⁶

According to International Patent Classification (IPC) or to both National Classification and IPC

Int. Cl⁵ G09G5/36

II. FIELDS SEARCHED

Minimum Documentation Searched⁷

Classification System	Classification Symbols
IPC	G09G5/36, G09G5/38, G06F15/62, A63F9/22

Documentation Searched other than Minimum Documentation
to the Extent that such Documents are Included in the Fields Searched⁸

Jitsuyo Shinan Koho	1926 - 1990
Kokai Jitsuyo Shinan Koho	1971 - 1989

III. DOCUMENTS CONSIDERED TO BE RELEVANT⁹

Category ¹⁰	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
A	JP, A, 59-118184 (Ricoh Co., Ltd.), July 7, 1984 (07. 07. 84) & GB, A, 2,133,257 & GB, A, 2,153,640 & DE, A, 3,346,458 & CA, A, 1,221,761 & HK, A, 19,988 & HK, A, 20,088 & US, A, 4,824,106	1-11
A	JP, A, 62-223789 (NEC Corp.), October 1, 1987 (01. 10. 87), (Family: none)	1-11
A	JP, A, 57-201290 (Hitachi, Ltd.), December 9, 1982 (09. 12. 82), (Family: none)	1-11

* Special categories of cited documents:¹⁰

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

IV. CERTIFICATION

Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report
April 6, 1991 (06. 04. 91)	April 22, 1991 (22. 04. 91)
International Searching Authority	Signature of Authorized Officer
Japanese Patent Office	

国際調査報告

国際出願番号PCT/JP 91/ 00130

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. CL G 09 G 5/36		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPO	G 09 G 5/36, G 09 G 5/38, G 06 F 15/62, A 63 F 9/22	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報	1926-1990年	
日本国公開実用新案公報	1971-1989年	
III. 関連する技術に関する文献		
引用文献の カテゴリー※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	J P, A, 59-118184 (株式会社 リコー), 7. 7月. 1984 (07. 07. 84) & GB, A, 2,133,257 & GB, A, 2,153,640 & DE, A, 3,346,458 & CA, A, 1,221,761 & HK, A, 19,988 & HK, A, 20,088 & US, A, 4,824,106	1-11
A	J P, A, 62-223789 (日本電気株式会社), 1. 10月. 1987 (01. 10. 87), (ファミリーなし)	1-11
A	J P, A, 57-201290 (株式会社 日立製作所), 9. 12月. 1982 (09. 12. 82), (ファミリーなし)	1-11
※引用文献のカテゴリー		
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		
「E」先行文献ではあるが、国際出願日以後に公表されたもの		
「L」優先権主張に疑義を提起する文献又は他の文献の発行日 若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		
「O」口頭による開示、使用、展示等に言及する文献		
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の 日の後に公表された文献		
「T」国際出願日又は優先日の後に公表された文献であって出 願と矛盾するものではなく、発明の原理又は理論の理解 のために引用するもの		
「X」特に関連のある文献であって、当該文献のみで発明の新 規性又は進歩性がないと考えられるもの		
「Y」特に関連のある文献であって、当該文献と他の1以上の 文献との、当業者にとって自明である組合せによって進 歩性がないと考えられるもの		
「&」同一パテントファミリーの文献		
IV. 認証		
国際調査を完了した日 06. 04. 91	国際調査報告の発送日 22.04.91	
国際調査機関 日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 水野恵雄	5C 8839 水野恵雄