(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5390102号
(P5390102)
(45)発行日　平成26年1月15日(2014.1.15)　(24)登録日　平成25年10月18日(2013.10.18)

(51)Int.Cl.　F I
H01L 31/04 (2014.01)　H01L 31/04 H

請求項の数 14 (全 18 頁)

(21)出願番号	特願2007-551714 (P2007-551714)
(86)(22)出願日	平成18年1月18日 (2006.1.18)
(65)公表番号	特表2008-529265 (P2008-529265A)
(43)公表日	平成20年7月31日 (2008.7.31)
(86)国際出願番号	PCT/FR2006/050021
(87)国際公開番号	WO2006/077343
(87)国際公開日	平成18年7月27日 (2006.7.27)
審査請求日	平成21年1月6日 (2009.1.6)
(31)優先権主張番号	0550174
(32)優先日	平成17年1月20日 (2005.1.20)
(33)優先権主張国	フランス(FR)

(73)特許権者　502124444
コミッサリア　ア　レネルジー　アトミーク　エ　オ　ゼネルジ　ザルタナテイヴ
フランス国　エフー７５０１５　パリ，バテイマン　「　ル　ポナン　デー　」，リュ　ルブラン　２５
(74)代理人　100064908
弁理士　志賀　正武
(74)代理人　100089037
弁理士　渡邊　隆
(74)代理人　100108453
弁理士　村山　靖彦
(74)代理人　100110364
弁理士　実広　信哉

最終頁に続く

(54)【発明の名称】ヘテロ接合およびインターフィンガ構造を有する半導体デバイス

(57)【特許請求の範囲】

【請求項１】

結晶半導体基板(1)の少なくとも1つの表面(3)に、第1の導電型にドープされた少なくとも1つの第1のアモルファス半導体領域(6)を備える半導体デバイス(100)であって、前記半導体基板(1)は、同じ表面(3)に、前記第1の導電型と反対の第2の導電型にドープされた少なくとも1つの第2のアモルファス半導体領域(7a、7b)を備え、前記第1のアモルファス半導体領域(6)は、前記半導体基板(1)と接触した少なくとも1つの誘電体領域(8a、8b、8c、8d)によって前記第2のアモルファス半導体領域(7a、7b)から絶縁され、さらに前記基板(1)の前記表面(3)のパッシベーションが確保され、前記誘電体領域(8a、8b、8c、8d)は、シリコン酸化物またはシリコン窒化物から作られ、前記第2のアモルファス半導体領域(7a、7b)はインターディジタル構造を形成しており、少なくとも1つの第1のメタライゼーション部分(9)が前記第1のアモルファス半導体領域(6)と接触し、少なくとも1つの第2のメタライゼーション部分(10a、10b)が前記第2のアモルファス半導体領域(7a、7b)と接触し、また、少なくとも1つの第1の導電性熱酸化物部分(19)が、前記第1のメタライゼーション部分(9)と前記第1のアモルファス半導体領域(6)の間に位置し、さらに、少なくとも1つの第2の導電性熱酸化物部分(20a、20b)が前記第2のメタライゼーション部分(10a、10b)と前記第2のアモルファス半導体領域(7a、7b)の間に位置している半導体デバイス(100)。

【請求項２】

前記導電性熱酸化物部分(19、20a、20b)は、酸化インジウム錫または酸化亜鉛でなる、請求項１に記載の半導体デバイス(100)。

【請求項３】
前記メタライゼーション部分(9、10a、10b)は、銀のような貴金属をベースにしているか、アルミニウムをベースにしている、請求項１または２のいずれか一項に記載の半導体デバイス(100)。
【請求項４】
前記半導体基板(1)は、前記インターディジタル構造を有する前記表面(3)の反対側の他の表面(2)に、反射防止層(5)をコーティングされた表面パッシベーション層(4)を備えている、請求項１から３のいずれか一項に記載の半導体デバイス(100)。
【請求項５】
前記表面パッシベーション層(4)は、前記第1の導電型または前記第2の導電型の真性アモルファス半導体でなる、請求項４に記載の半導体デバイス(100)。
【請求項６】
前記表面パッシベーション層(4)は、シリコンでなる、請求項５に記載の半導体デバイス(100)。
【請求項７】
前記反射防止層(5)は、シリコン窒化物でなる、請求項４から６のいずれか一項に記載の半導体デバイス(100)。
【請求項８】
前記半導体基板(1)は、単結晶シリコンまたは多結晶シリコンでなる、請求項１から７のいずれか一項に記載の半導体デバイス(100)。
【請求項９】
前記アモルファス半導体領域(6、7a、7b)は、シリコンでなる、請求項１から８のいずれか一項に記載の半導体デバイス(100)。
【請求項１０】
前記半導体基板(1)は、ある特定の導電型である、請求項１から９のいずれか一項に記載の半導体デバイス(100)。
【請求項１１】
前記半導体基板(1)は、薄い層の基板である、請求項１から１０のいずれか一項に記載の半導体デバイス(100)。
【請求項１２】
真性半導体領域(21a、21b、21c)が、前記アモルファス半導体領域(6、7a、7b)と前記基板(1)の間に配置されている、請求項１から１１のいずれか一項に記載の半導体デバイス(100)。
【請求項１３】
前記半導体デバイス(100)は、太陽電池である、請求項１から１２のいずれか一項に記載の半導体デバイス(100)。
【請求項１４】
直列および/または並列に接続された請求項１３に記載の複数の太陽電池(101から109)を備える、太陽電池のモジュール(200)。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ヘテロ接合およびインターディジタル構造がデバイスの半導体層に配置されている半導体デバイス、およびこれの製造方法に関する。そのようなデバイスは、例えば、ヘテロ接合を一体化したインターディジタル構造を有する太陽電池であってもよく、この方法は、この型の太陽電池を薄い層のシリコンの上に製造するのに特に適している。
【背景技術】
【０００２】
現在、半導体デバイスを製造するために様々な技術が使用されている。太陽電池の製造では、主に2種類の技術が使用されている。すなわち、ホモ接合電池とヘテロ接合電池で

ある。

【０００３】

米国特許第4234352号明細書は、インターディジタル構造を有するホモ接合太陽電池を記載している。この電池は、結晶シリコン基板を備える。この基板は、2つの相対する表面を有している。これらの表面の一方は、前面と呼ばれ、光を受けるためのものであるが、他方の表面は、複数のNドープ領域またはPドープ領域を備える。これらの領域は、全く同じにドープされた領域をインターディジタル配列するように配置されている。米国特許第6333457号明細書および米国特許第6452090号明細書は、また、同一構造を有するホモ接合太陽電池を記載している。

【０００４】

インターディジタル構造およびホモ接合を有する太陽電池のためにコンタクト点のある表面を製造する方法が、米国特許第4927770号明細書に記載されている。

【０００５】

ホモ接合と共にインターディジタル構造を使用する半導体デバイスが、また、米国特許第6426235号明細書に記載されている。このデバイスは、第1の導電型の結晶シリコン基板を備え、この基板に、第1の導電型にドープされた結晶シリコン層と、第1の導電型と反対の第2の導電型にドープされた結晶シリコン層とが積み重ねられる。次に、これら2つの層のうちの1つは、電極を受け入れることができるインターディジタル構造を形成するようにエッチングされる。

【０００６】

欧州特許出願第0776051号明細書は、同様な構造を有する太陽電池を記載している。第1の導電型のシリコン基板は、第1の導電型にドープされた2つの相対する主表面を備えている。アルミニウムオーム性コンタクトがインターディジタル構造に従ってこれらの表面のうちの1つに配列され、その結果、2つの隣接したコンタクトはその幅にほぼ等しい距離だけ離れている。次に、第1の導電型と反対の第2の導電型のドーピングが、これらのオーム性コンタクトに対して行われる。

【０００７】

仏国特許出願第2854497号明細書は、自己整合メタライゼーションを用いて半導体デバイスを製造する方法を記載している。このデバイスは、結晶シリコン構造を含む。この基板は、2つの相対する主表面を含む。第1の導電型のドーピングが、これらの表面のうちの1つに行われる。次に、この表面に窓がエッチングされる。行われるエッチングはこのドーピングの厚さよりも深いので、この窓によって、このようにして現れた基板の部分に第1の導電型と反対の第2の導電型のドーピングを実施することができるようになる。次に、メタライゼーションが、これらのドープされた領域と接触する。再び、ホモ接合を有するインターディジタル構造が得られる。

【０００８】

上で引用された電池の全ては、ホモ接合を有するインターディジタル構造を使用している。特に太陽電池の製造におけるこの型の構造の主要な不利点は、製造プロセス中に使用される大きな熱量である。したがって、ホモ接合を有する優れたインターディジタル電池を製造するためには、実質的なライフタイムを有する半導体材料が製造プロセス全体を通して維持されることが必要である。しかし、この型の材料は、通常、非常に高価なので、低コスト太陽電池を得るのには適していない。また、使用される大きな熱量を考慮して、いわゆる「高温」セリグラフペーストを使用することも必要である。

【０００９】

その上、半導体の厚さが小さければ小さいほど、インターディジタル構造は有効である。しかし、そのような大きな熱量のある製造プロセスを使用すると、材料中の熱応力が相当になるので、製造プロセスでの損傷の危険性が高くなる。

【００１０】

アモルファス/結晶ヘテロ接合の原理はすでに知られている。この原理を応用する太陽電池の特許もすでに取得されている。

【００１１】
この型の電池の原理は、第1の導電型にドープされた結晶半導体基板を使用することである。次に、第1の導電型と反対の第2の導電型にドープされたアモルファス半導体層が、その結晶半導体基板の表面の一方と接触する。PN接合は、このようにして得られ、使用された2つの半導体が異なる原子組成を有しかつ同じ禁制帯幅を有しないので、ヘテロ接合と呼ばれる。次に必要なことは、ヘテロ接合太陽電池を得るために、この接合の第1の表面およびこの第1の表面の反対側の第2の表面に透明電極を形成して、オーム性接触電極を形成することだけである。
【００１２】
ホモ接合電池と比較すると、第1に、製造プロセスが低温で行われるので、コストの点で有利である。これによって、高温プロセスで生じる上述の不利点を回避することができるようになる。また、この技術によって、熱応力の危険性なしに、したがって損傷なしに、より優れた電池を製造することができるようになる。最後に、使用された半導体がシリコンであるとき、高温熱処理はライフタイム減少と関係していないので、このヘテロ接合構造によって、より多様な結晶シリコンを使用することができるようになる。
【００１３】
米国特許第5066340号明細書は、ヘテロ接合太陽電池を記載している。このヘテロ接合太陽電池は、第1の導電型の結晶シリコン基板と、結晶基板の表面の1つに形成された第1の導電型と反対の第2の導電型のアモルファスシリコン層とによって形成されたPN接合を含む。また、この電池は、結晶基板とアモルファスシリコン層の間に、真性微結晶シリコン層を一体化している。
【００１４】
米国特許第5213628号明細書は、また、ヘテロ接合太陽電池を記載している。米国特許第5066340号明細書のように、この電池は、第1の導電型の結晶シリコン基板と、この結晶基板の表面の1つに形成された第1の導電型と反対の第2の導電型のアモルファスシリコン層とによって形成されたヘテロ接合を含む。この電池は、結晶基板とアモルファスシリコン層の間に真性アモルファスシリコン層を一体化している。
【００１５】
これらのヘテロ接合電池の主要な不利点は、可能な接続構造がたった1つであること、すなわちアモルファスシリコン面の電極と結晶シリコン面の電極だけであることである。
【００１６】
国際公開第03/083955号パンフレットは、第1のNドープアモルファス半導体領域と第2のPドープアモルファス半導体領域を、結晶半導体基板の表面に含む半導体デバイスを記載している。第1のアモルファス半導体領域と第2のアモルファス半導体領域は、インターディジタル構造を形成している。基板表面のパッシベーションを形成するために、真性半導体層が、基板とアモルファス半導体領域の間に配置されている。ポリイミド樹脂絶縁層が、アモルファス半導体領域の間の真性半導体層の上に配置され、アモルファス半導体領域間の電気的絶縁を形成することを可能にしている。このデバイスでは、絶縁層の材料が表面パッシベーションに適していないので、電気的絶縁および表面パッシベーションに2つの異なる層が必要である。
【特許文献１】米国特許第4234352号明細書
【特許文献２】米国特許第6333457号明細書
【特許文献３】米国特許第6452090号明細書
【特許文献４】米国特許第4927770号明細書
【特許文献５】米国特許第6426235号明細書
【特許文献６】欧州特許出願第0776051号明細書
【特許文献７】仏国特許出願第2854497号明細書
【特許文献８】米国特許第5066340号明細書
【特許文献９】米国特許第5213628号明細書
【特許文献１０】国際公開第03/083955号パンフレット

【発明の開示】
【発明が解決しようとする課題】
【００１７】
本発明は、ヘテロ接合を有する半導体デバイスを提案することを目的とし、このデバイスは、上述の不利点、すなわちデバイスの2つの相対する主表面に電極を含む接続構造によって制約されるという不利点がなく、かつインターディジタル構造を有する既存の半導体デバイスよりも簡単でさらに電気絶縁された構造を提案する。
【課題を解決するための手段】
【００１８】
これらの目的を達成するために、本発明は、結晶半導体基板の少なくとも1つの表面に、第1の導電型にドープされた少なくとも1つの第1のアモルファス半導体領域を備える半導体デバイスを提案し、この半導体基板は、同じ表面に、第1の導電型と反対の第2の導電型にドープされた少なくとも1つの第2のアモルファス半導体領域を備え、第1のアモルファス半導体領域は、半導体基板と接触した少なくとも1つの誘電体領域によって第2のアモルファス半導体領域から絶縁され、さらに、第2のアモルファス半導体領域はインターディジタル構造を形成している。
【００１９】
したがって、ヘテロ接合を有しインターディジタル構造の有利点を有しない半導体デバイスを使用する代わりに、ヘテロ接合とインターディジタル構造を有する半導体デバイスが使用され、ホモ接合構造に優るヘテロ接合構造の有利点と、これまではホモ接合の半導体デバイスだけで使用されていたインターディジタル構造の有利点との両方を組み合わせる。
【００２０】
その上、アモルファス領域間の誘電体領域は、基板まで延び、アモルファス領域間の電気絶縁と基板表面のパッシベーションとの両方を保証し、既存のデバイスに比べて、より簡単な構造およびより優れたアモルファス半導体領域間の電気絶縁を実現する。
【００２１】
誘電体領域は、シリコン酸化物、シリコン窒化物またはアモルファス結晶シリコンから作られてもよい。
【００２２】
デバイスを外部環境に接続することができるように、少なくとも1つの第1のメタライゼーション部分が第1のアモルファス半導体領域と接触し、さらに少なくとも1つの第2のメタライゼーション部分が第2のアモルファス半導体領域と接触するのが好ましい。
【００２３】
少なくとも1つの第1の導電性熱酸化物部分が、第1のメタライゼーション部分と第1のアモルファス半導体領域の間に位置し、さらに、少なくとも1つの第2の導電性熱酸化物部分が第2のメタライゼーション部分と第2のアモルファス半導体領域の間に位置していることが、また可能である。これらの導電性熱酸化物部分は、メタライゼーション部分とアモルファス半導体領域の間により優れた接触抵抗率を実現することを可能にする。
【００２４】
この場合、導電性熱酸化物部分は、酸化インジウム錫または酸化亜鉛から作られてもよい。
【００２５】
メタライゼーション部分は、銀のような貴金属をベースにしてもよく、またはアルミニウムをベースにしてもよい。
【００２６】
半導体基板は、インターディジタル構造を有する表面の反対側の他の表面に、反射防止層をコーティングされた表面パッシベーション層を備えてもよい。表面パッシベーション層によって、電流キャリアを押しのけることができるようになり、さらに反射防止層によって、デバイスに入る光子の最大数を閉じ込めることができるようになる。

【００２７】
表面パッシベーション層は、第1の導電型、第2の導電型のアモルファス半導体から作られてもよく、または、アモルファス半導体は真性である。
【００２８】
さらに、表面パッシベーション層は、シリコンであるのが好ましい。
【００２９】
反射防止層は、シリコン窒化物から作られてもよい。
【００３０】
半導体基板との良好な界面を実現するために、第1および/または第2のアモルファス半導体領域は、漸変的にドープされることが可能である。
【００３１】
また、望ましいデバイスの型に依存して、半導体基板は、単結晶シリコンまたは多結晶シリコンから作られるのが好ましい。
【００３２】
アモルファス半導体領域は、シリコンから作られてもよい。シリコンは、ヘテロ接合を有する半導体デバイスの製造で現在最も広く使用されている材料である。
【００３３】
半導体基板は、ある特定の導電型であってもよい。
【００３４】
半導体基板は、好ましくは、薄い層の基板である。
【００３５】
真性半導体領域が、アモルファス半導体領域と基板の間に配置されてもよく、基板との良好な界面を実現することが可能になり、さらに基板のレベルでの再結合が防止される。
【００３６】
有利なことには、そのようなデバイスは、太陽電池であってもよい。
【００３７】
複数の太陽電池は、モジュールを形成するように組み合わされてもよく、ここで、前記電池は、直列および/または並列に接続される。
【００３８】
本発明は、また、半導体デバイスを製造する方法に関し、この方法は、
a)半導体基板の表面に第1の絶縁層を形成する段階と、
b)第1の絶縁層に少なくとも1つの第1の窓をエッチングして半導体基板の一部を露出させる段階と、
c)第1の絶縁層の上および第1の窓の中に、第1の導電型にドープされた第1のアモルファス半導体層を堆積させる段階と、
d)第1のアモルファス半導体層および第1の絶縁層に、第1の窓から片寄った少なくとも1つの第2の窓をエッチングして、半導体基板の一部を露出させる段階と、
e)第2の窓の中および第1のアモルファス半導体層の上に第2の絶縁層を形成する段階と、
f)少なくとも1つの第1の開口を第2の絶縁層に、第2の窓のレベルにエッチングして、半導体基板の一部を露出させる段階と、
g)第1の開口の中および第2の絶縁層の上に、第1の導電型と反対の第2の導電型にドープされた第2のアモルファス半導体層を堆積させる段階と、を含み、第1のアモルファス半導体層および第2のアモルファス半導体層は、第1の窓および第1の開口のエッチングによって画定された輪郭を有するインターディジタル構造を形成する。
【００３９】
本方法は、段階b)と段階c)の間に、少なくとも1つの第1の真性半導体領域を少なくとも第1の窓に堆積させる段階を、および/または、段階f)と段階g)の間に、少なくとも1つの第2の真性半導体領域を少なくとも第1の開口に堆積させる段階を、含んでもよい。
【００４０】

段階c)と段階d)の間または段階d)と段階e)の間に、少なくとも1つの第1のメタライゼーション部分を第1のアモルファス半導体層の上に堆積させる段階を含んでもよい。

【００４１】

他の選択肢では、本方法は、段階c)と段階d)の間または段階d)と段階e)の間に、少なくとも1つの第1の導電性熱酸化物部分を第1のアモルファス半導体層の上に堆積させる段階、次に、少なくとも1つの第1のメタライゼーション部分を第1の導電性熱酸化物部分の上に堆積させる段階を含んでもよい。

【００４２】

第1のメタライゼーション部分は、好ましくは、第1の窓の上方でその中心に置かれている。

【００４３】

第1のメタライゼーション部分の大きさは、第1の窓の大きさよりも小さいことが好ましい。

【００４４】

本方法は、段階g)の後に、第1のメタライゼーション部分の上の第2のアモルファス半導体層および第2の絶縁層に、大きさが第1のメタライゼーション部分の大きさ以下である少なくとも1つの第2の開口をエッチングして、第1のメタライゼーション部分の少なくとも一部を露出させる段階を含んでもよい。

【００４５】

本方法は、また、段階g)の後に、少なくとも第1の開口の第2の窓のレベルの第2のアモルファス半導体層の上に少なくとも1つの第2のメタライゼーション部分を堆積させる段階を含んでもよい。

【００４６】

他の選択肢では、本方法は、段階g)の後に、少なくとも第1の開口の第2の窓のレベルの第2のアモルファス半導体層の上に少なくとも1つの第2の導電性熱酸化物部分を堆積させる段階、次に、第2の導電性熱酸化物部分の上に少なくとも1つの第2のメタライゼーション部分を堆積させる段階を含んでもよい。

【００４７】

第1の開口は、第2の窓よりも小さいことが好ましい。

【００４８】

本発明は、また、半導体デバイスを製造する方法に関し、この方法は、

a)半導体基板の表面に、第1の導電型にドープされた少なくとも1つの第1のアモルファス半導体層を堆積させる段階と、

b)少なくとも第1のアモルファス半導体層の上に、少なくとも1つの第1のメタライゼーション部分を堆積させる段階と、

c)第1のメタライゼーション部分で覆われていない第1のアモルファス半導体層の部分を除去する段階と、

d)少なくとも基板表面の上に、第1の導電型と反対の第2の導電型にドープされた少なくとも1つの第2のアモルファス半導体層を堆積させる段階と、

e)少なくとも第2のアモルファス半導体層の上に、少なくとも1つの第2のメタライゼーション部分を堆積させる段階と、

f)第2のメタライゼーション部分で覆われていない第2のアモルファス半導体層の部分を除去する段階と、を含み、第1のアモルファス半導体層および第2のアモルファス半導体層は、インターディジタル構造を形成している。

【００４９】

したがって、メタライゼーション部分は、アモルファス半導体層のエッチングを行うためのマスクとして使用される。この方法は、実施するためにエッチング段階でメタライゼーション部分に関する簡単なアライメントが必要なだけなので、実施するのが簡単でかつ安価である。

【００５０】

本方法は、段階f)の後に、少なくとも基板表面に絶縁層を堆積させる段階を含むことができる。

【００５１】

この絶縁層は、誘電体層であってもよい。

【００５２】

本方法は、絶縁層を堆積させる段階の後に、メタライゼーションを外部コンタクトに対してアクセス可能にするために、絶縁層にメタライゼーション部分のレベルで開口を形成する段階を含んでもよい。

【００５３】

本方法は、段階a)の前に、基板の表面の上に少なくとも1つの真性半導体層を堆積させる段階を含んでもよく、次にこの真性半導体層の上に第1のアモルファス半導体層が堆積され、さらに、段階c)は、また、第1のメタライゼーション部分で覆われていない真性半導体層の部分の除去も含む。

【００５４】

本方法は、また、段階c)と段階d)の間に、少なくとも1つの第2の真性半導体層を基板の少なくとも表面の上に堆積させる段階を含んでもよく、次にこの第2の真性半導体層の上に第2のアモルファス半導体層が堆積され、さらに、段階f)は、また、第2のメタライゼーション部分で覆われていない第2の真性半導体層の部分の除去も含む。

【００５５】

半導体部分を除去する段階c)および/または段階f)の少なくとも1つは、エッチングによって行われてもよい。

【００５６】

本方法は、

半導体基板のインターディジタル構造を有する表面の反対側の他の表面の上に、表面パッシベーション層を堆積させる段階と、

この表面パッシベーション層の上に反射防止層を堆積させる段階と、を含んでもよい。

【００５７】

これら2つの段階は、好ましくは、段階a)の前に行われる。

【００５８】

少なくとも1つのエッチング工程は、レーザによって、または、エッチングペーストを用いたセリグラフによって、行われてもよい。

【００５９】

少なくとも1つのエッチング工程は、アモルファス半導体をエッチングし金属をエッチングしないことを可能にする選択エッチング工程であってもよい。

【００６０】

好ましくは、基板は、段階a)の前に、最初に、従来のRCA洗浄(RCA社によって開発された洗浄工程)およびフッ化水素酸洗浄によって化学的に洗浄される。

【００６１】

純粋に表示の目的のために提供された決して限定しない実施形態例についての説明を、添付の図面を参照して読むと直ぐに、本発明をより適切に理解することができる。

【００６２】

以下で説明される様々な図の同一部分、類似部分、または同等部分には、図間の一貫性のために同じ参照数字がついている。

【００６３】

図に示された様々な部分は、図をいっそう解釈し易くするために、必ずしも一様な尺度に従って示されていない。

【発明を実施するための最良の形態】

【００６４】

図1Aを参照すると、本発明に従った、ヘテロ接合とインターディジタル構造を有する半導体デバイス100の例の断面が示されている。半導体デバイス100は、結晶半導体基板1の

少なくとも1つの表面3に、少なくとも1つの第1のアモルファス半導体領域6を備えている。この第1の領域6は、第1の導電型にドープされている。また、半導体基板1は、表面3に、少なくとも1つの第2のアモルファス半導体領域7a、7bを備えている。この第2の領域7a、7bは、第1の導電型と反対の第2の導電型にドープされている。これらのアモルファス半導体領域6、7a、7bは、インターディジタル構造を形成している。この例では、半導体デバイス100は、太陽電池である。

【００６５】

半導体デバイス100は、この例では薄い層であると見なされる半導体基板1を備える。この半導体1は、例えば、単結晶シリコンか多結晶シリコンであってもよい。半導体デバイス100の製造プロセス中に強い熱的制約がなければ、シリコンの電流キャリアのライフタイムは変わらないので、超高品質シリコンを使用する必要はない。薄い層の半導体基板1の厚さは、例えば、10マイクロメータから数100マイクロメータであってもよい。半導体基板1は、ある特定の導電型であってもよい。図1Aに示された例では、半導体基板1はN型である。

【００６６】

半導体基板1は表面3を備え、この表面3は、この例では、太陽電池の裏面の側にある。半導体基板1は、表面3の反対側の他の表面2を含み、この表面2は、太陽電池の前面の側にある。光に曝されるのが太陽電池の前面である。

【００６７】

半導体基板1は、表面3に、第1の導電型にドープされた少なくとも1つの第1のアモルファス半導体領域6を備えている。図1Aに示された例では、半導体基板1は、表面3に、ただ1つの第1の領域6を備える。この第1の領域6は、例えば、Nドープアモルファスシリコンである。第1のアモルファス半導体領域6の厚さは、例えば、おおよそ数ナノメートルから数10ナノメートルであってもよい。第1のアモルファス半導体領域6は、半導体基板1との良好な界面を実現するように漸変的にドープされてもよい(基板1の表面3の近くで最低のドーピング)。

【００６８】

また、半導体基板1は、表面3に、第1の導電型と反対の第2の導電型にドープされた少なくとも1つの第2のアモルファス領域7a、7bを備える。図1Aに示された例では、半導体基板1は、表面3に、第1の領域6の両側に形成された2つの第2の領域7a、7bを有している。これら2つの第2の領域7a、7bは、Pドープアモルファスシリコンから作られていると考えられる。第2のアモルファス半導体領域7a、7bの厚さは、例えば、おおよそ数ナノメートルから数10ナノメートルであってもよい。第2のアモルファス半導体領域7a、7bは、半導体基板1との良好な界面を実現するように漸変的にドープされてもよい(基板1の表面3の近くで最低ドーピング)。第1の領域6の厚さは、第2の領域7a、7bの厚さと異なっていてもよい。

【００６９】

図1Cに示されるように、真性半導体領域21a、21b、21cが、アモルファス半導体領域6、7a、7bと基板1の表面3との間に配置されてもよい。これらの領域21a、21b、21cは、基板1との良好な界面を実現して基板1の表面3のレベルでの再結合を防止することを可能にする。

【００７０】

アモルファス半導体領域6、7a、7b間に、誘電体領域8a、8b、8c、8dが挿入される。これらの誘電体領域8a、8b、8c、8dは、異なる導電型を有する2つのアモルファス半導体領域間の絶縁を実現する役割を有している。これらの誘電体領域は、これら2つの領域間の短絡を防止することを可能にする。これらの絶縁領域8a、8b、8c、8dは、例えば、シリコン酸化物、シリコン窒化物、またはアモルファス結晶シリコンであってもよい。図1Aに示された例では、絶縁領域8a、8b、8c、8dの厚さは、アモルファス半導体領域6、7a、7bの厚さよりも大きい。これらの誘電体領域8a、8b、8c、8dは、基板1まで延びて、領域6、7aおよび7b間の電気的絶縁と基板1の表面3のパッシベーションとの両方を保証している。

【００７１】

第1のアモルファス半導体領域6は、少なくとも1つの第1のメタライゼーション部分9に接続されている。このメタライゼーション部分9は、半導体デバイス100の第1の接続電極である。第1のメタライゼーション部分9は、少なくとも部分的に、第1のアモルファス半導体領域6を覆っている。

【００７２】

同様に、第2のアモルファス半導体領域7a、7bは、少なくとも1つの第2のメタライゼーション部分10a、10bに接続されている。図1Aに示された例では、2つの第2のメタライゼーション部分10a、10bは、2つの第2の領域7a、7bにそれぞれ接続され、少なくとも部分的にこれらの領域を覆っている。第2のメタライゼーション部分10a、10bは、互いに接続され、半導体デバイス100の第2の接続電極を形成する。

【００７３】

メタライゼーション部分9、10a、10bとアモルファス半導体領域6、7a、7bとの間のより優れた接触抵抗率を保証するために、メタライゼーション部分9、10a、10bとアモルファス半導体領域6、7a、7bとの間に導電性熱酸化物部分19、20a、20bが挿入されてもよい。図1Cにおいて、第1の導電性熱酸化物部分19は、第1のメタライゼーション部分9と第1のアモルファス半導体領域6の間に位置付けされている。それぞれ、2つの導電性熱酸化物部分20a、20bは、第2のメタライゼーション部分10a、10bと第2のアモルファス半導体領域7a、7bの間に位置付けされている。これらの導電性熱酸化物部分19、20a、20bは、例えば、酸化インジウム錫または酸化亜鉛から作られてもよい。

【００７４】

メタライゼーション部分9、10a、10bの各々は、また、アモルファスシリコン領域6、7a、7bに隣接した絶縁領域8a、8b、8c、8dと接触していてもよい。第1のメタライゼーション部分9は、第2のメタライゼーション部分10a、10bと接触してはいけない。と言うのは、この接触によって、異なる導電型にドープされた領域6、7a、7b間に短絡が起こるからである。

【００７５】

メタライゼーション部分9、10a、10bは、銀などの貴金属をベースにしてもよく、またはアルミニウムをベースにしてもよい。

【００７６】

半導体基板1は、表面3の反対側の他の表面2に、表面パッシベーション層4を備える。この表面パッシベーション層4は、電流キャリアを半導体基板1の表面3の方へ押しのけることを可能にする。この表面パッシベーション層4は、例えば、真性アモルファスシリコンまたは特定の導電型にドープされたアモルファスシリコンから作られてもよい。ヘテロ接合技術によって、特に薄いシリコンに適した非常に優れた表面パッシベーション層を使用することが可能になる。

【００７７】

表面パッシベーション層4は、反射防止層5で覆われている。この反射防止層5は、最大数の光子が半導体基板1を貫通することができるようにし、かつこれらが出て行かないようにする。反射防止層5は、例えば、シリコン窒化物から作られてもよく、または、フッ化マグネシウムまたは硫化亜鉛などのこれまでこの機能のために使用された他の材料から作られてもよい。

【００７８】

図1Bに示されるように、メタライゼーション部分9、10a、10bは、各々、指形を形成している。絶縁領域8a、8b、8c、8dは、第2のメタライゼーション部分10a、10bを第1のメタライゼーション部分9から隔離している。このように形成された構造は、インターディジタル構造である。第1のメタライゼーション部分9は、第1の電極を形成し、互いに接続された第2のメタライゼーション部分10a、10bは、第2の電極を形成している。

【００７９】

また本発明に従った半導体デバイス100の他の例を製造するための第1の方法をこれから説明する。このように製造された半導体デバイス100は、太陽電池であると考えられる。

【００８０】
図2に示されるように、例えばN型シリコンから作られた半導体基板1から始め、この半導体基板1は、この例では、薄い層であると見なされる。半導体基板1の表面は、表面3および表面3の反対側の他の表面2で識別される。
【００８１】
太陽電池100を製造する前に、半導体基板1は、最初に、その表面2および3を化学洗浄される。テクスチャ化に起因するどんな金属汚染も防止するために、かつどんな堆積の前にも半導体基板1の表面の準備をするために、例えば、従来のRCA洗浄およびフッ化水素酸洗浄が好ましい。従来のRCA洗浄は、脱イオン水、アンモニアおよび過酸化水素水ベースの第1の洗浄槽と、脱イオン水、塩化水素酸および過酸化水素水ベースの第2の洗浄槽とを使用することから成る。他方の表面2は、プロセスの初めまたは終わりに処理されてもよい。しかし、より適切なパッシベーション品質を得るために、始めに他方の表面2を処理することが好ましい。と言うのは、表面3を保護するために時間と金のかかるプロセスを行うことなしに、後でシリコンのただ1つの面に対してフッ化水素酸処理を行うことは困難であるからである。
【００８２】
したがって、表面3の処理中に他方の表面2の表面状態に厳重に注意することが重要である。
【００８３】
したがって、半導体基板1の他方の表面2に対して、表面パッシベーション層4の第1の堆積が行われる(図1に示されている)。この表面パッシベーション層4は、例えば、真性アモルファスシリコン層であってもよい。表面パッシベーション層4は、また、特定の導電型のアモルファスシリコンから作られてもよい。この表面パッシベーション層4は、半導体基板1の他方の表面2の全面積にわたって広がっている。この堆積は、例えば、プラズマ増速化学気相成長技術(PECVD)によって行われてもよい。
【００８４】
この表面パッシベーション層4の上に、反射防止層5が設けられる(図1に示されている)。この反射防止層5は、例えば、シリコン窒化物である。この反射防止層5は、表面パッシベーション層4の全表面にわたって広がっている。反射防止層5は、例えば、減圧化学気相成長技術(LPCVD)によって、またはPECVDによって堆積されてもよい。
【００８５】
これら2つの工程の後で、半導体デバイス100の裏面が形成される。
【００８６】
半導体基板1の他方の表面3に、第1の絶縁層11が形成される。第1の絶縁層11は、半導体基板1の他方の表面3の全面積にわたって広がっている。この第1の層11は、後で、異なる導電型のアモルファスシリコン領域を絶縁することを可能にする。この第1の絶縁層11は、例えば、シリコン窒化物であってもよい。また、それはシリコン酸化物で作られてもよい。シリコン窒化物から作られた第1の絶縁層11の場合には、シリコン窒化物は、LPCVDまたはPECVDによって得られてもよい。そうではなくて、シリコン酸化物から作られた第1の絶縁層11の場合には、シリコン酸化物はPECVDによって形成されてもよい。
【００８７】
次に、少なくとも1つの第1の窓12が、第1の絶縁層11にエッチングされて、半導体基板1の一部を露出させる。この第1の窓12は、レーザエッチングによって、または、第1の絶縁層11の絶縁材料をエッチングすることができるセリグラフペーストを適用することによって、形成されてもよい。
【００８８】
次に、第1の導電型にドープされた第1のアモルファス半導体層13が堆積される。この半導体は、例えば、Nドープアモルファスシリコンであってもよい。この堆積は、例えば、PECVDによって行われてもよい。N型ドーピングの場合、例えば、N型ドーピングは、燐を用いて行われてもよい。この第1のNドープアモルファス半導体層13は、半導体基板1との良

好な界面を実現するように漸変的にドープされる。この第1のアモルファス半導体層13の堆積は、第1の窓12の中と第1の絶縁層11の全表面との両方に行われる。

【００８９】

第1の層13を堆積させる前に、図4Cに示される第1の真性半導体領域21cの堆積を第1の窓12に行うこともできる。したがって、基板1との良好な界面が実現されて、基板1の表面3のレベルでの再結合を防止する。

【００９０】

図3に示されるように、少なくとも1つの第1のメタライゼーション部分9の堆積が、第1のアモルファス半導体層13の上に行われる。この第1のメタライゼーション部分9は、例えば、第1の窓12の上方でその中心に配置されてもよい。図3に示される例では、第1のメタライゼーション部分9は、第1の窓12よりも小さく、かつ第1の窓12の上方でその中心に配置されている。この第1のメタライゼーション部分9の厚さは、約数10マイクロメートルである。この第1のメタライゼーション部分9の堆積は、蒸着、スパッタリング、金属ペーストのセリグラフによって、または電気化学堆積によって行われてもよい。この第1のメタライゼーション部分9は、例えば、銀のような貴金属をベースとするか、またはアルミニウムをベースとする。

【００９１】

次に、少なくとも1つの第2の窓14a、14bが、第1のアモルファス半導体層13および第1の絶縁層11にエッチングされる。図3に示された例では、2つの第2の窓14a、14bが、半導体基板1の一部を露出させるように第1のアモルファス半導体層13および第1の絶縁層11にエッチングされている。これらの第2の窓14a、14bは、レーザエッチングによって形成されてもよく、または、アモルファス半導体層13および第1の絶縁層11をエッチングすることができるセリグラフペーストを応用することによって形成されてもよい。第2の窓14a、14bは、第1の窓12の両側に片寄っている。これら2つの窓14a、14bのエッチングは、アモルファス半導体層13を複数の部分に分割し、このようにして第1の導電型にドープされた少なくとも1つの第1の領域6を画定している。

【００９２】

半導体デバイス100を製造するとき、第2の窓14a、14bのエッチングは、第1のメタライゼーション部分9の堆積の前に行われてもよい。

【００９３】

図4Aに示されるように、次に、第2の絶縁層15が形成される。この第2の絶縁層15は、第2の窓14a、14bによって露出された半導体基板1の部分だけでなく、第1のメタライゼーション部分9、第1のアモルファス半導体層13も覆っている。この第2の絶縁層15は、例えば、シリコン窒化物であってもよい。また、第2の絶縁層15は、シリコン酸化物層で形成されてもよい。シリコン窒化物から作られた第2の絶縁層15の場合には、LPCVDまたはPECVDによってシリコン窒化物を得ることができる。最後に、シリコン酸化物から作られる第2の絶縁層15の場合には、シリコン酸化物はPECVDによって形成されてもよい。

【００９４】

次に、少なくとも1つの第1の開口16a、16bが、第2の絶縁層15に2つの第2の窓14a、14bのレベルでエッチングされ、半導体基板1の一部を露出させる。図4Aに示された例では、2つの第1の開口16a、16bが形成され、これらの2つの第1の開口16a、16bの各々は、それの第2のそれぞれの窓14a、14bよりも小さな面積である。これら2つの第1の開口16a、16bは、レーザエッチングによって、または、エッチングペーストを用いたセリグラフによって、形成されてもよい。これら2つの第1の開口16a、16bのエッチングで、絶縁層11および15は複数の部分に分割されて、絶縁領域8a、8b、8c、8dが画定される。

【００９５】

次に、第1の導電型と反対の第2の導電型にドープされた第2のアモルファス半導体層17の堆積が行われる。したがって、この半導体は、例えば、Pドープアモルファスシリコンであってもよい。この堆積は、例えば、PECVDによって行われてもよい。P型ドーピングの場合、P型ドーピングは、例えば、ホウ素で行われてもよい。この第2のPドープアモルフ

ァス半導体層17は、半導体1との良好な界面を実現するように漸変的にドープされる。この第2のアモルファス半導体層17の堆積は、第1の開口16a、16bの両方に行われるが、また、第2の絶縁層15の全表面にも行われる。第1のアモルファス半導体層13および第2のアモルファス半導体層17は、インターディジタル構造を形成し、その輪郭は、第1の窓12および第1の開口16a、16bをエッチングすることによって画定されている。

【００９６】

また、第2の層17の堆積の前に、図4Cに示された第2の真性半導体領域21a、21bの堆積を第1の開口16a、16bに行うことができる。領域21cと同様に、真性半導体領域21a、21bは、基板1との良好な界面を実現して基板1の表面3のレベルでの再結合を防止する。

【００９７】

少なくとも1つの第2のメタライゼーション部分10a、10bの堆積は、少なくとも第1の開口16a、16bのレベルの第2の窓14a、14bのアモルファス半導体層17の上に行われる。図4aに示された例では、2つの第2のメタライゼーション部分10a、10bが形成されている。これらの第2のメタライゼーション部分10a、10bの堆積は、蒸着、スパッタリング、金属ペーストのセリグラフによって、または電気化学堆積によって行われてもよい。これらの第2のメタライゼーション部分10a、10bは、例えば、銀のような貴金属をベースにしているか、またはアルミニウムをベースにしている。

【００９８】

最後に、少なくとも1つの第2の開口18が、次に、第1のメタライゼーション部分9の上の第2のアモルファス半導体層17および第2の絶縁層15にエッチングされる。この第2の開口18は、第1のメタライゼーション部分9にアクセスするために形成される。好ましくは、第2の開口18は、第1のメタライゼーション部分9よりも小さな面積でエッチングされ、かつ前記第1のメタライゼーション部分9の上方でその中心に置かれる。この第2の開口18は、レーザエッチングによって、または、第2のアモルファス半導体層17および第2の絶縁層15をエッチングすることができるセリグラフペーストを適用することによって、形成されてもよい。

【００９９】

その上、説明された実施形態の全てにおいて、有利なことには、図4Bおよび4Cに示されるように、アモルファスシリコン層13、17とメタライゼーション9、10a、10bとの間に導電性熱酸化物部分19、20a、20bを挿入することができる。これらの導電性熱酸化物部分19、20a、20bは、例えば、酸化インジウム錫または酸化亜鉛から作られてもよい。これらの部分によって、メタライゼーション9、10a、10bとアモルファス半導体13、17の間のより優れた接触抵抗率を保証することが可能になる。

【０１００】

図5、図6、図7A、および図7Bは、同じく本発明に従った半導体デバイス100の他の例を製造する第2の方法の段階を示す。このように製造された半導体デバイス100は太陽電池であると考えられる。

【０１０１】

この方法は、本発明に従った第1の方法で使用されたものと同一の半導体基板1を使用する。第1の方法のように、従来のRCA洗浄およびフッ化水素酸洗浄によって基板1の表面2および3を化学洗浄することができる。また、図1に示されるように、基板1の他方の表面2に、表面パッシベーション層4および反射防止層5を設けることができる。

【０１０２】

図5に示されるように、第1の導電型にドープされた第1のアモルファス半導体層13が、基板1の表面3に堆積される。この半導体は、例えば、Nドープアモルファスシリコンであってもよい。この堆積は、例えば、PECVDによって行われてもよい。N型ドーピングの場合、N型ドーピングは、例えば、燐を用いて行われてもよい。この第1のNドープアモルファス半導体層13は、半導体基板1との良好な界面を実現するように漸変的にドープされてもよい。この第1のアモルファス半導体層13の堆積は、基板1の全表面3に行われる。

【０１０３】

また、第1の層13の堆積の前に、図7Bに示される第1の真性半導体層26の堆積を行うこともできる。したがって、基板1の表面3のレベルでの再結合を防止することにより基板1との良好な界面が実現される。

【０１０４】

次に、少なくとも1つの第1のメタライゼーション部分9が、第1のアモルファス半導体層13の上に堆積される。この第1のメタライゼーション部分9の厚さは、おおよそ数10マイクロメートルである。この第1のメタライゼーション部分9の堆積は、蒸着、スパッタリング、金属ペーストのセリグラフによって、または、電気化学堆積によって行われてもよい。この第1のメタライゼーション部分9は、例えば、銀のような貴金属をベースにしているか、またはアルミニウムをベースにしている。

【０１０５】

次に、第1のメタライゼーション部分9によって覆われていない第1のアモルファス半導体層13および、場合によっては、真性半導体層26の部分が除去される。この段階は、例えば、ドライまたはウェットエッチングによって、または、アモルファス半導体だけをエッチングし金属をエッチングしないことが可能な選択エッチングによって行われてもよい。

【０１０６】

次に、図6に示されるように、第1の導電型と反対の第2の導電型にドープされた第2のアモルファス半導体層17の堆積物が、堆積される。したがって、この半導体は、Pドープアモルファスシリコンであってもよい。この堆積は、例えば、PECVDによって行われてもよい。P型ドーピングの場合、P型ドーピングは、例えば、ホウ素を用いて行われてもよい。この第2のPドープアモルファス半導体層17は、半導体基板1との良好な界面を実現するように漸変的にドープされてもよい。

【０１０７】

再び、図7Bに示されるように、第2のアモルファス半導体層17の堆積の前に、第2の真性半導体層28の堆積を行うこともできる。

【０１０８】

次に、第2のメタライゼーション部分10a、10bの堆積がアモルファス半導体層17の上に行われる。図6に示される例では、2つの第2のメタライゼーション部分10a、10bが、第2のアモルファス半導体層17の上に行われる。これらの第2のメタライゼーション部分10a、10bの堆積は、蒸着、スパッタリング、金属ペーストのセリグラフによって、または電気化学堆積によって行われてもよい。これらの第2のメタライゼーション部分10a、10bは、例えば、銀のような貴金属をベースにしているか、またはアルミニウムをベースにしている。

【０１０９】

次に、第2のメタライゼーション部分10a、10bによって覆われていない第2のアモルファス半導体層17および、場合によっては、第2の真性半導体層28の部分が除去される。この段階は、ドライまたはウェットエッチングによって、または、アモルファス半導体だけをエッチングしメタライゼーション10a、10bの金属をエッチングしないことが可能な選択エッチングによって行われてもよい。

【０１１０】

次に、例えば誘電体層である絶縁層24が、基板1の表面3の上に、およびメタライゼーション9、10a、10bの上に堆積される。

【０１１１】

次に、開口25a、25b、25cが、メタライゼーション9、10a、10bのレベルで、絶縁層24に形成される。したがって、メタライゼーション9、10a、10bは、外部環境からアクセス可能になる。

【０１１２】

その上、説明された実施形態の全てにおいて、有利なことには、図4Bおよび4Cに示されるように、アモルファスシリコン層13、17とメタライゼーション9、10a、10bとの間に導電性熱酸化物部分19、20a、20bを挿入することができる。これらの導電性熱酸化物部分19

、20a、20bは、例えば、酸化インジウム錫または酸化亜鉛から作られてもよい。これらの部分によって、メタライゼーション9、10a、10bとアモルファス半導体13、17の間のより優れた接触抵抗率を保証することが可能になる。

【０１１３】

図8に示されるように、本発明に従った複数の半導体デバイス101から109を、半導体基板1に同時に製造することができる。次に、太陽電池のモジュール200を得るために、単位デバイスをメタライゼーション部分で互いに接続することができる。図8に示された我々の例では、デバイス101から103は、デバイス104から106およびデバイス107から109と同様に、直列に接続されている。このように形成された3つの直列接続電池のグループが、並列に接続されている。

【０１１４】

本発明のいくつかの実施形態が詳細に説明されたが、本発明の範囲を超えることなしに様々な変更および修正を加えることができることは理解されるべきである。説明された例では、第1の導電型はN型であり、第2はP型である。これが逆になることはもちろん可能である。当業者には、これらの導電性を有する適切な材料を選ぶのに困難ではないだろう。

【図面の簡単な説明】

【０１１５】

【図１Ａ】本発明に従った半導体デバイスを示す断面図である。

【図１Ｂ】本発明に従った半導体デバイスを示す底面図である。

【図１Ｃ】本発明に従った半導体デバイスを示す断面図である。

【図２】本発明に従った半導体デバイスを製造するための本発明に従った方法の様々な段階を示す図である。

【図３】本発明に従った半導体デバイスを製造するための本発明に従った方法の様々な段階を示す図である。

【図４Ａ】本発明に従った半導体デバイスを製造するための本発明に従った方法の様々な段階を示す図である。

【図４Ｂ】本発明に従った半導体デバイスを製造するための本発明に従った方法の様々な段階を示す図である。

【図４Ｃ】本発明に従った半導体デバイスを製造するための本発明に従った方法の様々な段階を示す図である。

【図５】本発明に従った半導体デバイスを製造するための本発明に従った方法の様々な段階を示す図である。

【図６】本発明に従った半導体デバイスを製造するための本発明に従った方法の様々な段階を示す図である。

【図７Ａ】本発明に従った半導体デバイスを製造するための本発明に従った方法の様々な段階を示す図である。

【図７Ｂ】本発明に従った半導体デバイスを製造するための本発明に従った方法の様々な段階を示す図である。

【図８】同じく本発明に従った互いに接続された複数の太陽電池によって形成されたモジュールを示す底面図である。

【符号の説明】

【０１１６】

1　結晶半導体基板
2　表面3の反対側の他の表面
3　半導体基板の表面
4　表面パッシベーション層4
5　反射防止層5
6　第1のアモルファス半導体領域
7a、7b　第2のアモルファス半導体領域
8a、8b、8c、8d　誘電体領域

9　第1のメタライゼーション部分
10a、10b　第2のメタライゼーション部分
11　第1の絶縁層
12　第1の窓
13　第1のアモルファス半導体層
14a、14b　第2の窓
15　第2の絶縁層
16a、16b　第1の開口
17　第2のアモルファス半導体層
18　第2の開口
19　第1の導電性熱酸化物部分
20a、20b　導電性熱酸化物部分
21c　第1の真性半導体領域
21a、21b　第2の真性半導体領域
24　絶縁層
25a、25b、25c　開口
26　第1の真性半導体層
28　第2の真性半導体層
100　半導体デバイス
101～109　半導体デバイス
200　太陽電池モジュール

【図１Ａ】

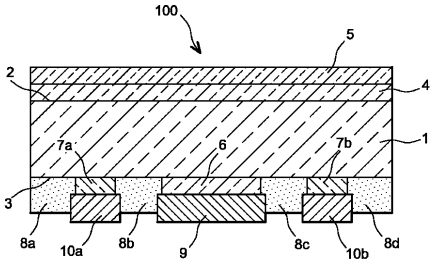


FIG. 1A

【図１Ｂ】

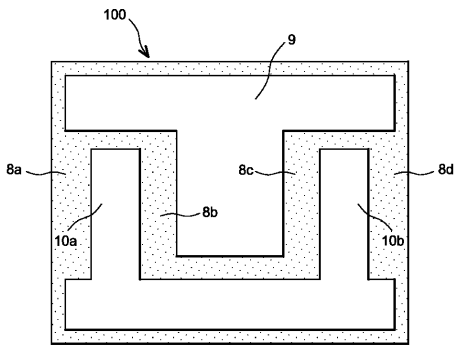


FIG. 1B

【図１Ｃ】

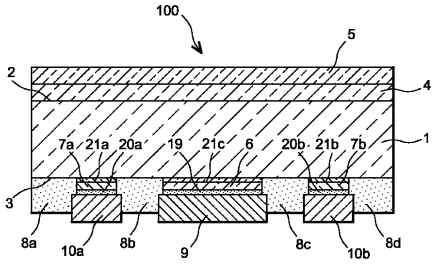


FIG. 1C

【図２】

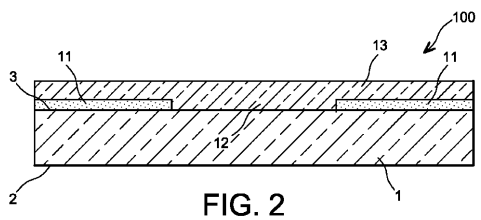


FIG. 2

【図３】

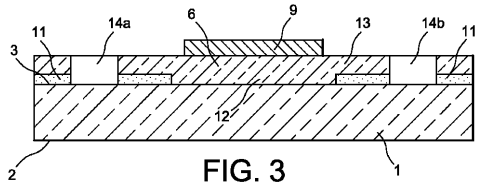


FIG. 3

【図４Ａ】

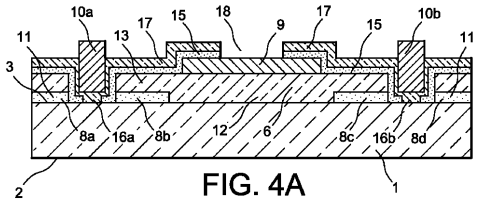


FIG. 4A

【図４Ｂ】

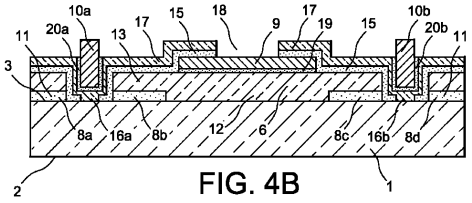


FIG. 4B

【図４Ｃ】

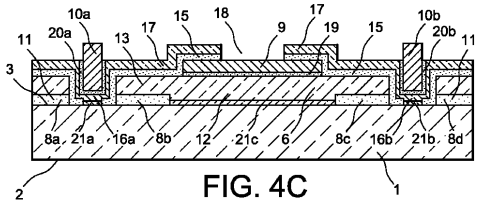


FIG. 4C

【図５】

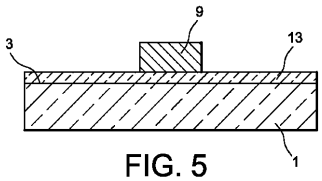


FIG. 5

【図６】

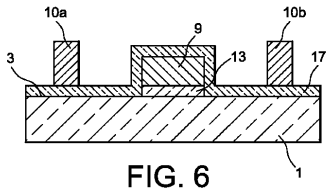


FIG. 6

【図７Ａ】

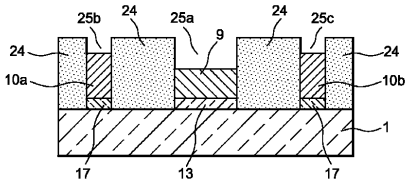


FIG. 7A

【図７Ｂ】

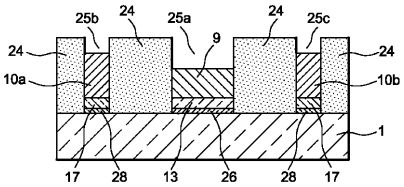


FIG. 7B

【図８】

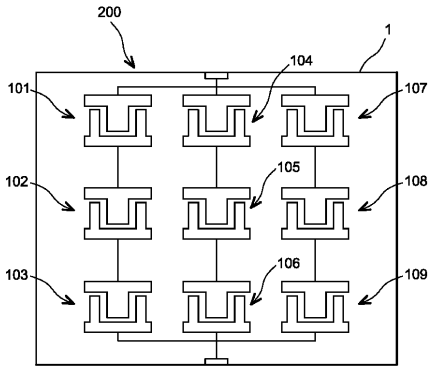


FIG. 8

フロントページの続き

(72)発明者　ピエール・ジャン・リベロン
フランス・Ｆ－３８３３０・サン・ティスミール・アンパス・デ・プレ・１９１
(72)発明者　クロード・ジョサウド
フランス・Ｆ－３８２４０・メラン・アレ・デ・トネール・６
(72)発明者　ペレ・ロカ・アイ・カバロカス
フランス・Ｆ－９１１４０・ヴィルボン・スュル・イヴェット・リュ・ジラルドット・１３ビス
(72)発明者　ジェローム・デイモン－ラコステ
フランス・Ｆ－９２１６０・アントニー・リュ・デュ・ノード・６

審査官　井上　徹

(56)参考文献　特開平１０－２７５９２２（ＪＰ，Ａ）
特開２００４－２２１１８８（ＪＰ，Ａ）
特開２００３－１２４４８３（ＪＰ，Ａ）
特開２００３－２９８０７８（ＪＰ，Ａ）
米国特許第７９３５９６６（ＵＳ，Ｂ２）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　３１／０４－３１／０７８、５１／４２