(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 113165383 A
(43)申请公布日 2021.07.23

(21)申请号 201980075454.6
(22)申请日 2019.11.15
(30)优先权数据
1818641.1 2018.11.15 GB
(85)PCT国际申请进入国家阶段日
2021.05.14
(86)PCT国际申请的申请数据
PCT/GB2019/053250 2019.11.15
(87)PCT国际申请的公布数据
WO2020/099892 EN 2020.05.22
(71)申请人 赛尔科技有限公司
地址 英国剑桥
(72)发明人 A·维拉 彼得·马迪洛维奇
(74)专利代理机构 北京林达刘知识产权代理事务所(普通合伙) 11277
代理人 刘新宇 李茂家
(51)Int.Cl.
B41J 2/14(2006.01)
B41J 2/16(2006.01)

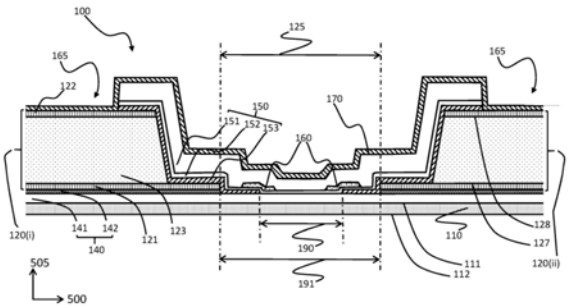
权利要求书3页 说明书23页 附图11页

(54)发明名称

电气部件

(57)摘要

本发明涉及用于微机电系统(MEMS)器件的电气部件,特别是但不限于机电致动器。在一个方面中,本发明提供一种用于微机电系统器件的电气部件,其包括:i)基底层;ii)多个相邻的电气元件,其配置在基底层之上,其中各电气元件通过中间区域与邻近的电气元件分隔开,多个电气元件各自包括:a)陶瓷构件;和b)第一电极和第二电极,其布置为与陶瓷构件相邻,使得在操作期间能够在第一电极和第二电极之间并且通过陶瓷构件建立电位差;iii)钝化层或多个钝化层的层叠体,其至少部分地叠置于多个电气元件中的每一个上,以便在多个电气元件各自的第一电极和第二电极之间提供电钝化;其中布置为与各下面的电气元件相邻的钝化层或钝化层的层叠体的至少最内层在电气部件的邻近的电气元件之间的至少一个中间区域之上是不连续的。



CN 113165383 A

1.一种电气部件,其用于微机电系统器件,所述电气部件包括:

i)基底层;

ii)多个相邻的电气元件,其配置在所述基底层之上,其中各电气元件通过中间区域与邻近的电气元件分隔开,所述多个电气元件各自包括:

a)陶瓷构件;和

b)第一电极和第二电极,其布置为与所述陶瓷构件相邻,使得在操作期间能够在所述第一电极和所述第二电极之间并且通过所述陶瓷构件建立电位差;

iii)钝化层或多个钝化层的层叠体,其至少部分地叠置于多个电气元件中的每一个上,以便在所述多个电气元件各自的所述第一电极和所述第二电极之间提供电钝化,使得所述钝化层或所述多个钝化层的层叠体使所述第一电极和所述第二电极彼此电绝缘;

其中布置为与各下面的电气元件相邻的所述钝化层或所述钝化层的层叠体的至少最内层在所述电气部件的邻近电气元件之间的至少一个中间区域之上是不连续的。

2.根据权利要求1所述的电气部件,其中所述钝化层或所述钝化层的层叠体的至少最内层在邻近的电气元件之间的大多数所述中间区域之上、优选全部所述中间区域之上是不连续的。

3.根据权利要求1或2所述的电气部件,其中所述钝化层或所述钝化层的层叠体的至少最内层包括以其中的一个或多个孔/开口的形式的不连续,其中至少一个孔/开口设置为与邻近的电气元件之间的下面的中间区域重合。

4.根据权利要求1或2所述的电气部件,其中所述钝化层或所述钝化层的层叠体的至少最外层分割为隔离的区域,其中所述多个电气元件中的各电气元件具有至少部分地叠置于其上的分割的钝化层的隔离的区域。

5.根据前述权利要求中任一项所述的电气部件,其中所述电气部件包括多个钝化层的层叠体,其中所述层叠体的所有层在邻近的电气元件之间的大多数所述中间区域之上、优选全部所述中间区域之上是不连续的,使得邻近的电气元件之间的大多数所述中间区域具有不存在叠置的钝化层的区域。

6.根据前述权利要求1至4中任一项所述的电气部件,其中所述电气部件包括多个钝化层的层叠体,其中仅所述钝化层的层叠体的最内层在邻近的电气元件之间的所述中间区域之上是不连续的,使得所述层叠体的一个或多个其它层叠置于电气元件之间的所述中间区域上,而所述层叠体的最内层则没有叠置。

7.根据前述权利要求中任一项所述的电气部件,其中所述钝化层或多个钝化层的层叠体仅部分地叠置于各所述电气元件上,布置为与各下面的电气元件相邻的所述钝化层或所述钝化层的层叠体的至少最外层在叠置于各所述电气元件上的区域中附加地不连续,优选地,其中所述附加的不连续的区域形成通向各下面的电气元件的窗口。

8.根据前述权利要求1至6中任一项所述的电气部件,其中所述钝化层或钝化层的层叠体在背离各下面的电气元件的一侧凹入,其中凹部设置在叠置于所述多个电气元件中的每一个上的各区域中,使得与所述钝化层或钝化层的层叠体的其它非凹入区域相比,所述钝化层或钝化层的层叠体横跨所述凹部在厚度方向上更薄。

9.根据前述权利要求中任一项所述的电气部件,其中所述电气部件包括多个钝化层的层叠体,并且其中所述电气部件包括将位于所述电气部件的一端的至少一个电气元件、优

选全部电气元件的所述第一电极和所述第二电极连接至驱动电路的电迹线，其中所述电迹线至少部分地插入所述多个钝化层的层叠体的各层之间。

10.根据权利要求9所述的电气部件，其中所述电迹线至少部分地插入所述层叠体的两个相邻的钝化层之间，优选其中所述两个相邻的钝化层不包括最内钝化层。

11.根据前述权利要求中任一项所述的电气部件，其中所述电气部件包括布置为与各电气元件的所述陶瓷构件以及第一电极和第二电极相邻的多个钝化层的层叠体，其中布置为与所述陶瓷构件以及第一电极和第二电极相邻的所述层叠体的最内层的组成不同于所述层叠体的至少一个其它层的组成，优选不同于所述层叠体的所有其它层的组成。

12.根据前述权利要求中任一项所述的电气部件，其中各电气元件的所述陶瓷构件以及第一电极和第二电极以各层的堆叠体配置，其各自具有在厚度方向上延伸的侧面，其中所述陶瓷构件具有在厚度方向上间隔开的第一侧和相对的第二侧，其中所述陶瓷构件的第一侧面向所述基底层并且所述第一电极布置为与所述陶瓷构件的第一侧相邻，以便插入所述基底层和所述陶瓷构件之间；其中所述第二电极布置为与所述陶瓷构件的所述第二侧相邻；并且其中所述钝化层或多个钝化层的层叠体至少部分地叠置于所述第二电极上并且布置为与各电气元件的所述陶瓷构件的所述侧面和所述第一电极和所述第二电极的侧面相邻。

13.根据权利要求1至11中任一项所述的电气部件，其中所述多个电气元件各自的所述第一电极和所述第二电极为交指型电极，并且优选其中第一交指型电极和第二交指型电极各自包括多个电极指。

14.根据前述权利要求中任一项所述的电气部件，其中所述电气部件包括布置为与各电气元件的所述陶瓷构件以及第一电极和第二电极相邻的多个钝化层的层叠体，其中：i)所述层叠体的所述最内层包括氧化铝和/或ii)其中所述层叠体的至少一个其它层包括二氧化硅、氧化锆、和/或二氧化铪。

15.根据前述权利要求中任一项所述的电气部件，其中所述电气部件包括插入所述电气元件和基底之间的中间层，其中至少一个所述中间层在所述电气部件的邻近的电气元件之间的至少一个中间区域之上是不连续的。

16.一种电气部件，其用于微机电系统器件，所述电气部件包括：

i)基底层；

ii)多个相邻的电气元件，其配置在所述基底层之上，其中各电气元件通过中间区域与邻近的电气元件分隔开，所述多个电气元件各自包括：

a)陶瓷构件；和

b)第一电极和第二电极，其布置为与所述陶瓷构件相邻，使得在操作期间能够在所述第一电极和所述第二电极之间并且通过所述陶瓷构件建立电位差；

iii)中间层，其布置为与所述第一电极相邻，并且至少部分地插入各电气元件和所述基底层之间；其中所述中间层在所述电气部件的邻近的电气元件之间的至少一个第一中间区域之上是不连续的。

17.根据权利要求16所述的电气部件，其进一步包括钝化层或多个钝化层的层叠体，其至少部分地叠置于多个电气元件中的每一个上，以便在所述多个电气元件各自的所述第一电极和所述第二电极之间提供电钝化，其中所述钝化层或多个钝化层的层叠体如权利要求

1至16中的任一项所限定。

18.根据权利要求17所述的电气部件，其中所述钝化层或多个钝化层的层叠体中的不连续至少部分地叠置于在所述中间区域之上的下面的中间层中的不连续上。

19.根据前述权利要求中任一项所述的电气部件，其中所述陶瓷构件包括铅离子、钛离子、锆离子、铌离子和/或锌离子。

20.根据前述权利要求中任一项所述的电气部件，其中所述电气部件是用于液滴喷射设备的致动器部件。

21.一种微机电系统器件，其包括根据权利要求1至20中任一项所述的电气部件，并且进一步包括覆盖层，所述覆盖层附接至所述电气部件并且配置为封装所述电气部件的各所述电气元件；并且进一步包括绝缘层或绝缘层的层叠体，其配置在所述电气部件之上，以便插入所述电气部件和所述覆盖层之间，优选其中所述绝缘层或绝缘层的层叠体是连续的并且配置为叠置于配置在其上的所述多个电气元件中的每一个上。

22.根据权利要求21所述的器件，其中所述器件包括绝缘层或绝缘层的层叠体，所述绝缘层或绝缘层的层叠体选自二氧化硅、二氧化铪、氧化锆、五氧化二钽、及其组合中的一个或多个层，优选地，其中所述器件包括绝缘层的层叠体，所述绝缘层的层叠体包括多个二氧化硅层和/或多个五氧化二钽层。

23.根据权利要求22所述的器件，其中所述器件包括绝缘层的层叠体，其包括多个二氧化硅层，其中将二氧化硅层配置为与所述电气部件相邻，并且其中所述层叠体进一步包括多个五氧化二钽层，优选地，其中所述二氧化硅层和五氧化二钽层以大体上交替的方式配置在所述层叠体的厚度之上。

24.一种液滴喷射头，其包括根据权利要求1至20中任一项所述的电气部件或根据权利要求21至23中任一项所述的器件。

25.一种液滴喷射设备，其包括根据权利要求24所述的液滴喷射头。

电气部件

技术领域

[0001] 本发明涉及用于微机电系统(MEMS)器件的电气部件,特别是但不限于机电致动器。可以发现作为用于例如喷墨打印头等液滴喷射头的致动器部件的特别有益的应用。

背景技术

[0002] 现在,不论在例如喷墨打印等更传统的应用中,还是在3D打印,或者其它材料沉积或快速成形技术中,液滴喷射头都在广泛使用中。因此,使用的流体可以具有新的化学性质,以粘附至新的基底上,并且增加沉积材料的功能性。

[0003] 近来,已经开发出能够以高可靠性和通过量将墨直接沉积在陶瓷瓷砖上的喷墨打印头。这使得瓷砖上的图案被定制为客户的准确规格,以及减少将所有瓷砖库存的需求。

[0004] 在其它应用中,已经开发出能够将墨直接沉积在纺织品上的喷墨打印头。与陶瓷应用类似,这会使得纺织品上的图案被定制为客户的准确规格,以及减少将所有打印的纺织品库存的需求。

[0005] 还在其它应用中,可以使用液滴喷射头以形成例如在平板电视制造中使用的LCD或OLED元件显示器中的滤色器等元件。

[0006] 为了适合用于新的和/或越来越具挑战性的应用,液滴喷射头不断演变和专业化。然而,尽管已经做出许多开发,但是在液滴喷射头领域中仍留有改进的空间。

[0007] 通常,例如通过薄膜技术领域中已知的一种或多种技术,通过沉积配置在基底上的一系列来制造用于MEMS器件的电气元件。一般的电气元件可以具有其中例如压电材料和弛豫/铁电交叉材料等示出铁电行为的陶瓷材料的薄膜插入两个导电层、下电极和上电极之间的构造。将此类电气元件一层一层地沉积在通常是容纳电气元件的若干阵列的晶片的基底上。下电极可以是普通的电极或者可以图案化以形成各自与单独电气元件关联的单独电极的阵列,而薄膜材料可以图案化或者可以不图案化。因此,单独的电气元件可以包括图案化的陶瓷材料薄膜、或者未图案化的“普通”陶瓷材料薄膜的区域。电气元件的单独可处理区域可以限定为将至少一个电极图案化以例如对各电气元件是单独的。

[0008] 在其它情况下,电气元件可以具有其中将第一电极和第二电极例如作为相邻或交指型的一对而可替换地设置在陶瓷薄膜的一个表面上的电极构造。该电极配置具有提供更容易连接电极的方式的优点,由于它们在同一表面上,因此电气部件的制造得到简化。这对于例如传感器等某些应用特别有用。

[0009] 可以通过使用直接连接至电气元件的电极的金属迹线来确保电气元件至驱动电路的电气连接。

[0010] 通常采用的陶瓷材料包括具有钙钛矿结构的铅基陶瓷,特别是锆钛酸铅(PZT)、掺杂的PZT和PZT基固溶体。可以通过例如溅射、化学气相沉积(CVD)、化学溶液沉积(CSD)等本领域已知的沉积技术将它们沉积在基底上。

[0011] 近年来,已经将重大的努力投入到例如$(K,Na)NbO_3$-基材料、$(Ba,Ca)(Zr,Ti)O_3$-基材料和$(Bi,Na,K)TiO_3$-基材料等无铅替代材料的开发中。

[0012] 提供可靠的电气元件的一个挑战是确保单独电气元件的电极之间的适当钝化、单独压电构件的保护和作为整体的电气部件与特别是潮湿和化学品等外部环境的绝缘，所述潮湿和化学品会引起电气部件的短路和/或腐蚀和/或劣化，其最终可能导致电气部件的不可恢复的故障。

[0013] 陶瓷材料一般不是良好的电导体。在例如将至少下电极和陶瓷材料图案化为相同的形状，而上电极为普通的或类似地图案化的情况下，沿着图案化区域的边缘轮廓可以存在短路的路径。压电构件本身容易受到可以导致材料的压电和电性能劣化的化学侵蚀的影响。另外，蚀刻损坏的压电构件会特别脆弱，并且为化学侵蚀提供在压电构件中进一步内部扩散的路径。这需要使用确保两个电极之间的电隔离并且同时保护压电构件的附加的电钝化层。

[0014] 因此，可以将一个或多个钝化层沉积在电气元件的至少一部分上。电气元件的充分保护必须与此类钝化层在电气元件的性能方面的抑制作用，特别是电气元件的电致伸缩/压电部件的位移程度相平衡。当钝化在整个电气元件之上延伸时，这是特别重要的。较厚的钝化层在提供电钝化方面表现良好，但是可以更容易地抑制电致伸缩/压电性能。同时，较薄的钝化层可能无法提供充分的保护。

[0015] 如本领域技术人员所熟知的，通常使用的钝化涂层的沉积方法很少产生无缺陷的层。另外，由材料性质和沉积方法确定的残余应力可能是任意钝化层中局部微裂纹的原因。再者，较厚的层的特征在于，相对于较薄的层缺陷的密度较低，但是它们对电气元件的位移具有负面影响。

[0016] 另外，在包括其一个或多个电气元件的电气部件的制造过程中，可能需要要求使用蚀刻剂的制造步骤。

[0017] 同样在操作期间，包括水分等的许多不同种流体可能存在于使用电气部件的器件中。因此，在制造步骤期间和/或操作期间，存在电气部件与化学品接触的可能性。此外，在制造期间和/或在操作期间，潮湿和/或有害化学品可能存在于外部环境中。

[0018] 为了保护电气部件免受外部环境并且免受化学品的影响，本领域中已知的电气部件可以设置有接合至基底的覆盖层，在该基底的相同侧上形成有一个或多个电气元件。覆盖层可以适合于在沉积钝化结构之后包围各电气元件，并且保护其免受外部环境的影响。例如覆盖层可以具有可以通过蚀刻或其它适合的技术形成的腔，使得一旦覆盖层接合至电气部件，它就可以包围一个或多个电气元件中的每一个。

[0019] 在形成一个或多个电气元件的情况下，不可预测的瑕疵会存在于覆盖层和电气部件之间的例如接合材料的层等接合中。例如由于形貌不均匀、针孔或微裂纹导致的空隙。此类缺陷会导致化学品通过覆盖层并且朝向一个或多个电气元件的泄露。

[0020] 通过钝化结构中以针孔或微裂纹形式随机分布的缺陷的存在会加剧通过覆盖层的接合的泄露问题。这些缺陷可能难以避免以及识别和修补，并且它们构成可以为化学品提供通往个或多个电气元件的路径的弱点。化学品与一个或多个电气元件的电性特征的接触会导致腐蚀、短路并且最终导致一个或多个电气元件的致命故障。

[0021] 在将电气元件并入相同电气部件的配置中，即使当钝化的连续层叠置于故障的电气元件和邻近电气元件上时，一个电气元件的故障也可能导致完全的部件故障。一连串故障事件可能发源于例如通过共同钝化层的腐蚀等单个电气元件的故障。

[0022] 历史上,单独或与其它材料层组合的氧化铝的连续层已经优先用于实现在MEMs应用中使用的电气元件的电极,特别是包括锆钛酸铅(PZT)基压电元件的那些之间的钝化。在电气部件的加工和操作期间保护PZT(特别是蚀刻损坏的PZT)免受外部环境的影响方面以及在PZT的粘附性方面,氧化铝是特别有效的。然而,例如,在例如水性环境等某些环境中,和/或作为可能由于非理想的覆盖层接合导致的水分/化学品从外部环境进入的结果,氧化铝会特别容易受化学侵蚀的影响。

[0023] 在下电极和基底之间还可以设置一层或多层材料的中间层,以例如通过改善下电极对下面的层的粘接性等来改善电气部件的性质。还可以将此类中间层用作扩散阻挡,例如以防止铅离子从PZT陶瓷材料扩散至基底。例如来自PZT陶瓷材料的铅离子等离子的扩散改变陶瓷材料的化学计量平衡,并且降低其压电性能。离子扩散至下面的层还可以导致基底的故障。氧化铝可以适合地用于形成中间层或中间层之一的目的,因为氧化铝在改善粘接性和用作对离子扩散、特别是铅离子扩散的阻挡二者均是有效的,但是这些期望的性能还必须与其对化学侵蚀的敏感性保持平衡。

[0024] 可以补偿电气部件的单独电气元件的故障(例如,通过调节相邻功能性电气元件的波形),以延长器件寿命。然而,在使用对化学侵蚀具有高敏感性的连续钝化层的情况下保持器件功能性的补偿在历史上是不可能的。于是,在非理想接合存在于覆盖层处的情况下该弱点可能会复合,这增加了来自外部环境的化学侵蚀的可能性。

[0025] 如US 2017/0253039中所描述的,对于提供免受外部环境影响的保护的问题的前述解决方案包括使用两层水分阻挡层。该文献描述了使用两层水分阻挡层保护的MEMs器件,所述两层水分阻挡层配置在具有配置于堆叠体中的单独的上电极和共用下电极的致动元件之上。这两层水分阻挡层具有不同的杨氏模量、厚度、组成和透湿度。

[0026] 例如,US 2017/0253039教导了比第二耐湿层厚的第一耐湿层具有较低的杨氏模量,并且优选由聚酰亚胺构成。较薄的第二耐湿层优选由金属形成,所述金属对水分的扩散率低,并且据称其相对薄,允许致动元件的压电层变形。

[0027] US 2017/0253039大体上公开了其中第一耐湿层和第二耐湿层是覆盖邻近致动元件之间区域的连续层的实施方式。然而,还描述了在邻近致动元件之间区域中耐湿层不连续的选择(第[0074]段),在压电层的侧面(侧边缘)仍由耐湿层覆盖的情况下可以保持致动元件免受水分影响的适当保护。

[0028] US 2017/0253039没有描述使用钝化层以确保电极的电钝化,并且也没有告知与由于化学侵蚀和与电气元件相关的钝化层故障导致的致动元件故障相关的任何问题。

[0029] 仍然需要提供用于MEMs器件的替代的绝缘电气部件,其对部件的电气元件提供充分保护免受外部环境特别是化学侵蚀的影响,而在同时,即使在单独的电气元件故障的情况下,也会适应电气元件的电致伸缩/压电部件的变形和/或提供用于延长器件寿命的手段。

[0030] 本发明包括使用不连续钝化层用于在单独的电气元件的电极之间提供电钝化,并且保护电气部件的压电构件,其中电气部件包括多个电气元件。可选地或另外地,除了或替代叠置的钝化层中的不连续,如果存在的话,可以设置位于电气元件下方的一个或多个中间层的不连续,设置该不连续使得任意中间层在邻近的电气元件之间的中间区域之上是不连续的。钝化层和/或中间层的不连续的特定特征使得能够实现有效的钝化,同时通过与单

独的电气元件相关的钝化层和/或中间层的至少部分隔离来防止连锁故障机制。

发明内容

[0031] 在第一方面中，本发明提供一种用于微机电系统器件的电气部件，其包括：i)基底层；ii)多个相邻的电气元件，其配置在基底层上，其中各电气元件通过中间区域与邻近的电气元件分隔开，多个电气元件各自包括：a)陶瓷构件；和b)第一电极和第二电极，其布置为与陶瓷构件相邻，使得在操作期间能够在第一电极和第二电极之间并且通过陶瓷构件建立电位差；iii)钝化层或多个钝化层的层叠体，其至少部分地叠置于多个电气元件中的每一个上，以便在多个电气元件中的每一个的第一电极和第二电极之间提供电钝化，其中布置为与各下面的电气元件相邻的钝化层或钝化层的层叠体的至少最内层在电气部件的邻近电气元件之间的至少一个中间区域之上是不连续的。

[0032] 在第二方面中，本发明提供一种用于微机电系统器件的电气部件，其包括：i)基底层；ii)多个相邻的电气元件，其配置在基底层上，其中各电气元件通过中间区域与邻近的电气元件分隔开，多个电气元件各自包括：a)陶瓷构件；和b)第一电极和第二电极，其布置为与陶瓷构件相邻，使得在操作期间能够在第一电极和第二电极之间并且通过陶瓷构件建立电位差；iii)中间层，其布置为与电气元件相邻，并且至少部分地插入各电气元件和基底层之间；其中中间层在电气部件的邻近电气元件之间的至少一个中间区域之上是不连续的。

[0033] 在第三方面中，本发明提供根据第一和/或第二方面的电气部件，其中电气部件是用于液滴喷射设备中的致动器部件。

[0034] 在第四方面中，本发明提供一种微机电系统器件，其包括根据第一、第二或第三方面的电气部件和附接至电气部件的覆盖层。覆盖层可以为成组或所有的电气元件限定单个腔，或者可以为各电气元件限定各自的腔。此类腔可以以液密的方式密封。

[0035] 在第五方面中，本发明提供一种液滴喷射头，其包括根据第一、第二或第三方面的电气部件或根据第四方面的器件。

[0036] 在第六方面中，本发明提供一种液滴喷射设备，其包括根据第五方面的液滴喷射头。

附图说明

[0037] 图1(a)是根据本公开的第一实施方式的贯穿电气部件的一部分的截面的示意图，其中在中间区域之上的钝化层的层叠体的最内层中存在不连续区域，在第一电极下面的中间层中存在不连续区域，并且在电气元件之上存在不连续窗口；

[0038] 图1(b)是根据本公开的另一个实施方式的贯穿电气部件的一部分的截面的示意图，其中在中间区域之上的钝化层的层叠体的所有层中存在不连续区域，在第一电极下面的中间层中存在不连续区域，并且在电气元件之上存在凹部；

[0039] 图1(c)是根据本公开的另一个实施方式的贯穿电气部件的一部分的截面的示意图，其中在中间区域之上的钝化层的层叠体的最内层中存在不连续区域，在第一电极下面的中间层中存在不连续区域，并且在图1(b)中看到的电气元件之上存在凹部的可选配置；

[0040] 图2是根据比较试验设计的贯穿电气部件的一部分的截面的示意图，其中在电气

元件之间不存在不连续区域，并且在电气元件之上不存在不连续区域或凹部；

[0041] 图3的(a)和(b)描绘在制造期间的两个步骤中电气部件的一部分的顶视图；

[0042] 图3的(c)(i)描绘根据试验设计在制造期间比图3的(a)和(b)更晚的步骤中电气部件的一部分的顶视图；

[0043] 图3的(c)(ii)描绘本公开的第一实施方式在制造期间与图3的(c)(i)相同的步骤中电气部件的一部分的顶视图；

[0044] 图4是贯穿电气部件的截面的示意图，其示出电气元件的总体布局；

[0045] 图5是贯穿电气部件的截面的示意图，其示出用于液滴喷射头的电气元件的总体布局；和

[0046] 图6描绘在电气部件的制造期间的各阶段，根据本公开的第一实施方式的电气部件的图1(a)中描绘的截面的一系列示意图；

[0047] 应当注意，附图不是按比例的，并且某些特征会以夸大的尺寸示出，使得这些特征更清晰可见。

具体实施方式

[0048] 用于第一方面的MEMS器件的电气部件包括基底层，该基底层包括在厚度方向上间隔开的第一侧和第二侧，其中一个或多个电气元件配置在基底层的第一侧之上。

[0049] 对基底层的材料没有特别地限制。基底层可以是硅片，或者在其它实例中，基底可以由不锈钢、氧化镁(MgO)、玻璃、或镍等制成。基底层可以是两层或更多层的层叠体，其中不同的层可以具有相同或不同的组成。在某些实施方式中，基底包括与电气元件接触并且包括氧化硅、或氮化硅等的最上层。层叠体的一个或多个下层可以与最上层不同，并且例如可以包括硅片、MgO、不锈钢、或玻璃等。

[0050] 可以将一个或多个中间层插入一个或多个电气元件和基底层之间，该中间层包括但不限于，在电气元件的作用下变形的膜层或膜层的堆叠体(例如振动板)；应力梯度缓和层；用于防止陶瓷构件和基底之间的离子扩散的阻挡层；和/或改善电气元件对基底的粘接性的粘接层。此类附加层可以包括例如无机氧化物层或氮化物层，例如氧化铝、二氧化硅、氮化硅、氧化锆、五氧化二钽、和二氧化铪等。

[0051] 膜层、或膜层的堆叠体可以包括任意适合的材料，例如，如金属、合金、介电材料和/或半导体材料。适合的材料的实例包括氮化硅(Si_3N_4)、氧化硅(SiO_2)、氧化铝(Al_2O_3)、氧化钛(TiO_2)、硅(Si)、二氧化铪(HfO_2)或碳化硅(SiC)。

[0052] 应力梯度缓和层一般包括氮化硅层、TEOS衍生二氧化硅层或其它材料层，该应力梯度缓和层的杨氏模量相对于基于其单独层的杨氏模量来测定的基底的杨氏模量和电气元件的杨氏模量是中间的。

[0053] 在某些情况下，认为可以将一个或多个中间层形成基底本身(即多层基底)的一部分，或者可以将附加层添加至基底中，以形成改性的多层基底。可以将适合用于MEMS应用中的任意基底构造与本申请相关使用。

[0054] 配置在基底之上的各电气元件包括薄膜陶瓷构件和布置为与陶瓷构件相邻的第一电极和第二电极，使得在操作期间能够在第一电极和第二电极之间并且通过陶瓷构件建立电位差。

[0055] 在某些实施方式中，陶瓷构件以及第一电极和第二电极以各层的堆叠体配置，各自具有在厚度方向上延伸的侧面，其中陶瓷构件具有在厚度方向上间隔开的第一侧和相对的第二侧。陶瓷构件的第一侧面向基底层，并且将第一电极布置为与陶瓷构件的第一侧相邻，以便插入基底层和陶瓷构件之间，并且将第二电极布置为与陶瓷构件的第二侧相邻。

[0056] 一般由顺序沉积形成的层的堆叠体可以例如通过蚀刻来图案化。图案化可以在一个或多个步骤中进行。例如，可以首先将薄膜陶瓷构件图案化，随后在不同的图案化步骤中将下面的第一电极的暴露区域图案化。可选地，可以在单个步骤中将薄膜陶瓷构件和第一电极图案化。在将第二电极图案化的情况下，可以首先将第二电极图案化，并且然后可以将下面的陶瓷薄膜构件和第一电极的暴露区域在一个步骤中一起图案化，或者在连续步骤中分别图案化。

[0057] 图案化的步骤可以根据例如通过干蚀刻或湿蚀刻等本领域已知的任意方法来进行。优选使用适当比例的氯气(Cl_2)和氩气(Ar)，在适当的时间段内，例如在30秒至5分钟的范围内、或1至3分钟、例如2分钟，在适合的周期数内，例如1至10个周期或3至5个周期、例如4个周期，通过干蚀刻来进行图案化。

[0058] 在可选的实施方式中，薄膜陶瓷构件在垂直于电气元件的厚度方向的方向上插入第一电极和第二电极之间。在那些实施方式中，可以将第一电极和第二电极沉积在薄膜陶瓷构件的侧面外表面上，在基本上垂直于厚度方向的方向上彼此相对。

[0059] 在其它实施方式中，第一电极和第二电极可以在薄膜厚度方向上与薄膜陶瓷构件相邻并且在薄膜陶瓷构件的可以与面向基底的表面相对的同一表面上沉积。在此类实施方式中，第一电极和第二电极形成为各自优选包括多个电极指的交指型电极。可选地，所述交指型电极沉积在薄膜陶瓷构件中的在厚度方向上形成的狭缝中，使得各指至少部分地被陶瓷材料包围。

[0060] 在其它实施方式中，在薄膜陶瓷构件沉积之前，第一电极和第二电极在基底上沉积为交指型电极。当第一电极和第二电极形成为交指型电极时，不管特定配置或特定位置如何，都可以通过薄膜陶瓷构件在第一电极和第二电极之间建立电位差，条件是，第一电极和第二电极布置为与薄膜陶瓷构件相邻。

[0061] 对本发明的一个或多个电气元件中采用的第一电极和第二电极没有特别地限制。适合地，第一电极和/或第二电极是铂(Pt)、铱(Ir)、氧化铱(IrO_2)、钌(Ru)、镍酸镧($LaNiO_3$)、钌酸锶($SrRuO_3$)、或其组合的层。第一电极和第二电极可以由相同或不同的材料形成。在某些实施方式中，第一电极和第二电极二者均包含铂。由于铂的高导电性和高化学稳定性，以及在高温下在氧气环境中抗氧化，铂是特别优选的。

[0062] 可以使用例如溅射、和各种形式的物理或化学气相沉积技术(PVD和CVD)、电镀或任意其它适合的技术等本领域中已知的任意适合的技术来形成电极。

[0063] 对本发明的一个或多个电气元件各自的陶瓷构件的陶瓷材料没有特别地限制，条件是其显示例如压电或铁电/交叉性能等铁电行为，使其适合用于MEMS应用中。

[0064] 薄膜陶瓷构件的陶瓷材料可以包括具有主要比例的钙钛矿晶体相(即高于50体积％)，优选至少90体积％钙钛矿晶体相，更优选至少95体积％压电晶体相的陶瓷材料。最优选地，陶瓷材料是基本上均质的(即相是纯的)，仅具有钙钛矿晶体相。

[0065] 在某些实施方式中，本发明的电气元件的陶瓷材料包括铅、钛、锆、铌和/或锌离

子。可以根据本发明使用的铅基陶瓷材料的实例包括$Pb[Zr_xTi_{1-x}]O_3$(0≤x≤1)、$Pb[(Zn_{1/3}Nb_{2/3})_xTi_{1-x}]O_3$ 0<x<1、和$Pb[(Mg_{1/3}Nb_{2/3})_xTi_{1-x}]O_3$(0<x<1)。

[0066] 在其它实施方式中,陶瓷材料可以是无铅的和/或包含铋、钠和/或钾离子,并且可以优选选自$(Bi_{0.5}Na_{0.5})TiO_3$、$(Bi_{0.5}K_{0.5})TiO_3$、$Bi(Mg_{0.5}Ti_{0.5})O_3$、$(K_{0.5}Na_{0.5})NbO_3$、$BiFeO_3$和包括其组合的固溶体中的一种或多种。

[0067] 本发明的一个或多个电气元件各自的陶瓷构件可以包括一个或多个薄膜层。用于MEMS应用的陶瓷薄膜层的制备一般涉及使用化学溶液前体的化学溶液沉积、或使用固态烧结或热压陶瓷靶的溅射(例如RF磁控溅射)。也可以使用本领域已知的任意其它适合的制备方法。陶瓷材料薄膜优选通过化学溶液沉积来形成。

[0068] 例如,多层薄膜陶瓷构件可以通过用于陶瓷材料的前体溶液的多轮沉积和干燥,其中在各组沉积和干燥步骤之间结晶,或者其中仅在多轮沉积和干燥结束时单一一个结晶步骤的方式来形成。应当理解,多层薄膜陶瓷构件的各层的组成可以基本上相同。可选地,多层薄膜陶瓷构件的单独层的组成可以根据例如,那些层中的一层是否将与基底和/或电气元件的电极接触而优化。因此,在此类实施方式中,多层薄膜陶瓷材料的单独层的组成可以不同。

[0069] 众所周知,Pb、Bi、Na、和K都是挥发性种类,特别是在钙钛矿结晶的一般加工温度下。为了补偿某些阳离子的高挥发性,可以在向其中添加过量的阳离子的情况下制备前体溶液。提供过量的阳离子可以确保实现期望的化学计量,并且帮助减少化学计量的不平衡和点缺陷。在CSD制备的PZT薄膜中,阳离子种类的此类过量是常见的(例如,根据溶液化学,可以添加过量多达20mol%-40mol%的Pb^{2+})。以类似的方式,铋阳离子前体溶液,以及其它阳离子的前体溶液,特别是包括钠和钾的那些,可以由本领域技术人员通过常规实验可以确定的阳离子过量的适当水平来制备。

[0070] 如本领域技术人员将理解的,在电气部件中存在多个电气元件的情况下,在例如蚀刻而图案化和分割之前,可以将陶瓷构件首先沉积为多个分离的陶瓷构件,其各自与多个电气元件中的单独一个相关。

[0071] 一个或多个电气元件各自设置有不连续钝化层、或多个钝化层的层叠体。钝化层、或多个钝化层的层叠体布置为与一个或多个电气元件相邻,以便在一个或多个电气元件各自的第一电极和第二电极之间提供电钝化,并且保护压电构件。

[0072] 术语“多个钝化层的层叠体”意思是指在厚度方向上堆叠的多个叠置的钝化层,其中相邻的钝化层基于组成不同而彼此不同,例如至各层包括不同的主要组分(例如其中主要意味着高于50体积%)的程度,和/或通过存在至少部分地插入的、在物理上将钝化层分离的中间层,所述钝化层可以是或者可以不是基本上相同的组成。例如,如本文中所述,可以在基本上相同组成的钝化层之间并入电迹线。在该情况下,插入的电迹线的存在将层至少部分地分离,使得即使这些层在具有基本上相同的组成,这些层的截面也不同。

[0073] 应当理解,包括至少部分地插入的中间层的单独钝化层的厚度可以横跨电气部件在基本上垂直于厚度方向的方向上变化。还应当理解,钝化层的层叠体的单独的层本身可以由例如,由多轮沉积过程产生的几个叠置的子层形成。然而,如对于以上讨论的层叠体所描述的,此类子层不根据组成而区分至各层包括不同主要组分的程度,并且不被任何插入层分离,从而认为是层叠体中的不同层。在某些实施方式中,子层的组成可以在厚度方向上

逐渐变化，而单独的子层彼此没有明显的区别。类似地，在仅设置单个钝化层代替多个钝化层的层叠体的情况下，单个钝化层也可以包括例如由多轮沉积过程产生的几个子层。

[0074] 在与钝化层或多个钝化层的层叠体相关的本文中使用的术语“不连续”意思是指钝化层、或钝化层的层叠体的至少最内层或全部层(最内层布置为与一个或多个电气元件相邻)，其不连续地延伸，以完全叠置于一个或多个电气元件和/或叠置于基底的其它区域上。应当理解，与钝化层或钝化层的层叠体相关使用的“不连续(discontinuity)”或“不连续区域”是同义词。

[0075] 钝化层或钝化层的层叠体中的不连续或不连续区域可以例如以在层中的孔/开口的形式。在某些配置中，钝化层或者层叠体的至少最内层或全部层中的孔/开口是指钝化层或层叠体的至少最内层不叠置于邻近的电气元件之间的中间区域的一部分上。

[0076] 本文中所指的术语“中间区域”是指位于配置在基底之上的邻近电气元件之间(即插入)的电气部件的区域。根据基底之上电气元件的配置(例如成排或成偏置的排或成矩阵)，中间区域将共同地跟踪配置在基底上的电气元件周围的路线，至路线插入至少两个邻近电气元件之间的程度。应当理解，在电气元件位于电气部件的电气元件的配置的末端(例如在一排元件的一端)的情况下，中间区域将共同地跟踪电气元件周围的路线，但是由于中间区域仅存在于至少两个邻近电气元件插入处，因此不会在末端处完全包围这些电气元件。

[0077] 中间区域可以由此在垂直于电气元件的厚度方向的方向上，从电气元件的一端的侧边缘延伸至邻近电气元件的一端的相对面向的侧边缘，其中侧边缘可以是陶瓷构件或第一电极中的那个(当电气元件配置在具有插入基底和陶瓷构件之间的第一电极的堆叠体中时)，电气部件的任何部分在基底之上在基本上垂直于厚度方向的方向上延伸最远。由此可以认为中间区域是由基底之上的电气部件形成的峰之间的谷区域。

[0078] 钝化层、或钝化层的层叠体包括叠置于中间区域上的不连续，不连续可以在中间区域的任意区域处，条件是，维持第一电极和第二电极之间的电钝化。不连续可以仅部分地或完全地在邻近电气元件之间的中间区域之上延伸，尽管优选使不连续延伸，使得基本上沿着邻近电气元件的相对面向的侧边缘的整个长度插入邻近的电气元件之间。

[0079] 在优选的配置中，钝化层或层叠体的至少最内层、优选全部层并入不连续区域，使得将其分割为隔离的区域(即非连接的岛)，其中一个或多个电气元件各自具有至少部分地叠置于其上的钝化层或钝化层的层叠体的隔离的区域。在此类配置中，邻近电气元件之间的中间区域不具有完全在其之上延伸的钝化层或层叠体的至少最内层，由此防止钝化层或层叠体的至少最内层的一个隔离的区域附着至另一个隔离的区域或与另一个隔离的区域接触。

[0080] 本发明人已经发现，在钝化层或钝化层的层叠体的至少最内钝化层中设置不连续，并且特别是至实现完全分割形成隔离的区域的程度，以减少或基本上防止会发生脆弱的钝化层的化学侵蚀的连锁故障机制，否则会遍及钝化结构传播。不连续破坏或中断此类传播路径，避免多个电气元件的连锁故障。应当理解，不连续不需要跨越中间区域的整个地方，以便有效减少例如钝化层的分解的传播。

[0081] 另外，与叠置于钝化层或钝化层的层叠体上的不连续组合，在插入电气元件和基底之间的中间层中设置不连续也可以有助于避免连锁故障机制的问题并且延长器件寿命。

因此，在优选的实施方式中，钝化层将在中间区域中具有还与任意的下面的中间层中的不连续区域重合的不连续，其二者均可以是相同蚀刻步骤或多个蚀刻步骤的产物。

[0082] 在某些实施方案中，将钝化层或钝化层的层叠体中附加的不连续设置在叠置于多个电气元件中的每一个上的区域中。在优选的实施方式中，不连续/不连续区域形成通向多个下面的电气元件中的每一个的窗口。窗口的存在意味着下面的电气元件的至少部分不会横跨窗口的区域被钝化层叠置。本发明人已经发现，该配置在减轻钝化层或多个钝化层的层叠体对操作期间电气元件的位移的负面影响方面是特别有利的，由此防止或减小对陶瓷构件的压电/电致伸缩性能的任意抑制作用，同时仍确保电气元件的第一电极和第二电极之间的充足电钝化。

[0083] 在某些实施方案中，在设置多个钝化层的层叠体的情况下，钝化层的层叠体在背离各下面的电气元件的侧凹入，其中在叠置于多个电气元件中的每一个上的区域中设置凹部，使得将多个钝化层的层叠体的一个或多个最外钝化层横跨凹部在厚度方向上除去。使得一个或多个最内钝化层横跨凹部叠置于一个或多个电气元件上。还已经发现，以该方式的凹入在减少钝化层在操作期间对电气元件的位移的抑制作用方面具有有益作用。

[0084] 与多个钝化层的层叠体相关的本文中使用的术语“凹部”意指在层叠体的背离下面的电气元件的表面处穿透钝化层的层叠体的至少一层但不是所有层的层叠体中的孔或腔。应当理解，使得钝化层的层叠体的一个或多个最内钝化层横跨凹部叠置于各电气元件上。凹部可以横跨多个电气元件各自的陶瓷构件的部分、优选全部延伸(在垂直于厚度方向的平面上)，只要确保多个电气元件的电极和与其连接的任意迹线的适当钝化即可。

[0085] 可以使用减小钝化层对一个或多个电气元件的位移的抑制作用的任意合适尺寸的凹部。应当理解，如上所述，在叠置于电气元件上的钝化层或钝化层的层叠体中窗口形式的不连续实现了与钝化层的层叠体从相对的方向凹入的相似效果。因此，两者都不是必需的。

[0086] 应当理解，在任意描述的配置中的钝化层或钝化层的层叠体可以例如通过蚀刻或光刻，通过用中间或最终步骤在多个电气元件之上沉积一个或多个钝化层以将至少最内钝化层、优选全部沉积的钝化层图案化来形成，以提供不连续/不连续区域。可选地，如上所述的图案化可以通过在掩模等上使用钝化层或层叠体的至少最内钝化层的沉积来实现。

[0087] 钝化层或钝化层的层叠体可以通过例如原子层沉积(ALD)、分子层沉积(MLD)、化学气相沉积(CVD)、等离子体增强化学气相沉积(PE-CVD)、物理气相沉积(PVD)、和溅射等任意适合的沉积方法初始沉积在一个或多个电气元件上作为连续层。用于钝化层的适合的材料包括但不限于金属氧化物、金属氮化物和金属碳化物，以及碳的同素异形体，例如类金刚石碳(DLC)。在某些实施方式中，钝化层或钝化层的层叠体可以包括二氧化硅(SiO_2)、氮化硅(Si_3N_4)、氧化铝(Al_2O_3)、氧化锆(ZrO_2)、氧化镁(MgO)、五氧化二钽(Ta_2O_5)、二氧化铪(HfO_2)或硅-钽氧化物($SiTaO_x$)等，及其组合。优选地，为沉积选择的材料和方法不应产生可以引起陶瓷构件中的氧空位增多的还原环境，否则可能需要氧化气氛中的高温恢复步骤。氧化铝是用作钝化层或钝化层的层叠体的最内层的特别优选的材料，因为其对蚀刻的陶瓷材料，特别是蚀刻的PZT具有非常好的粘接性。二氧化硅、五氧化二钽、硅-钽氧化物($SiTaO_x$)和二氧化铪由于它们的高化学惰性而是特别适合的材料。二氧化硅也已经示出对蚀刻的陶瓷材料，特别是蚀刻的PZT具有良好的粘接性。

[0088] 在采用钝化层的层叠体的情况下，各层可以由如上所述的任意一种或多种钝化材料构成，并且各层可以通过彼此相同或不同的技术来沉积。因此，在某些实施方式中，钝化层的层叠体的至少一层的组成与层叠体的至少一层其它层不同。优选地，布置为与一个或多个电气元件相邻的层叠体的最内层的组成与层叠体的至少一层其它层，优选层叠体的所有其它层的组成不同。

[0089] 优选地，在其中电气部件包括多个钝化层的层叠体的实施方式中，多个钝化层的层叠体布置为与一个或多个电气元件各自的陶瓷构件以及第一电极和第二电极相邻，并且：a)布置为与陶瓷构件和第一电极和第二电极相邻的层叠体的最内层包括：i)氧化铝；ii)氧化锆和/或二氧化铪；或iii)二氧化硅、五氧化二钽、和/或硅-钽氧化物；和/或b)层叠体的不是最内层的其它层中的至少一层包含二氧化硅和/或氮化硅。在特别优选的实施方式中，层叠体的最内层包含氧化铝，并且层叠体的至少一层剩余的层、优选全部剩余的层包含二氧化硅。

[0090] 对钝化层或钝化层的层叠体的总厚度没有特别地限制，只要在第一电极和第二电极之间实现充分的电钝化即可。然而，本发明的特别的优点是，可以配置钝化层的不连续和任选的凹入特征，使得钝化层的厚度如下所述不抑制电气元件的陶瓷构件的压电/电致伸缩性质。因此，本发明允许选择具有对于钝化可以是最佳的总厚度的钝化分层(增加厚度可以例如减少缺陷)，然而通常会被认为抑制陶瓷构件的压电/电致伸缩性能(即通过抑制电气元件的位移)。

[0091] 适合地，钝化层或钝化层的层叠体的总厚度低于750nm，该厚度取决于具体材料，或材料的组合，并且取决于采用的一种或多种沉积方法。对最小厚度没有特别地限制，只要在图案化以产生不连续或凹入之前首先可以实现连续的层，并且与压电构件的充分保护一起可实现第一电极和第二电极的充分钝化即可。钝化的总厚度(或者作为单个钝化层或者钝化层的层叠体)可以由此为20nm至700nm，优选50nm至650nm，更优选100至600nm。在使用钝化层的层叠体的情况下，各钝化层的厚度可以适当地为5至500nm，例如50至500nm，100至450nm，或200至400nm。应当理解，当存在多于一个钝化层时，各层的厚度可以彼此不同。

[0092] 与一个或多个电气元件相邻地沉积钝化层或钝化层的层叠体的最内层。钝化层或多个钝化层的层叠体使第一电极和第二电极彼此电绝缘，使得不再可得短路的可能路径。在其它特别优选的实施方式中，特别是在钝化层包括凹部，具有或不具有任何不连续的情况下，层叠体的最内层包括二氧化铪，并且层叠体的至少一层剩余层、优选所有剩余层包括二氧化硅。

[0093] 钝化层或钝化层的层叠体可以将提供驱动电路与第一电极和第二电极中的一个的连接的电迹线与第一电极和第二电极中的另一个隔离。另外，钝化层或钝化层的层叠体可以保护电迹线免受外部环境影响。

[0094] 在如上所述陶瓷构件和第一电极和第二电极在厚度方向上以各层的堆叠体来配置，并且各层具有在厚度方向上延伸的侧面的实施方式中，钝化层或多个钝化层的层叠体至少部分地叠置于第二电极(其布置在陶瓷构件的面向基底的相对侧上)上，并且布置为与陶瓷构件的侧面和第一电极和第二电极的侧面相邻。优选地，钝化层或多个钝化层的层叠体以可靠地钝化连接至第二电极的迹线的程度叠置于第二电极上。

[0095] 如上所述，本发明中钝化的特别的优点是，通过各自与单个电气元件相关的钝化

层具有隔离的区域，避免了可以由于仅单个电气元件的故障导致整个器件故障的连锁故障机制。这是因为不连续钝化层或钝化层的层叠体的至少最内层会容易受化学侵蚀，或者可以是最容易受例如来自外部环境等化学侵蚀影响的组分。通过在邻近电气元件之间的中间区域中具有不连续，可以减少或防止影响多个电气元件的化学侵蚀的传播，避免整个器件故障。隔离的故障电气元件的存在可以得到补偿(例如通过调节相邻功能性电气元件的波形)以延长器件寿命。

[0096] 在至少最内钝化层具有特别容易受化学侵蚀影响的组成的情况下，不连续的作用是特别有用的。例如，作为钝化层，至少最内的氧化铝钝化层由于其保护陶瓷材料、特别是蚀刻损坏的PZT的能力而特别有用，而氧化铝在某些环境下特别容易受化学侵蚀影响。因此，本发明可以特别有益地用于从使用氧化铝作为钝化层材料中获益，同时避免对器件寿命的不利影响，否则其会恶化。

[0097] 例如以窗口的形式在叠置于电气元件上的区域中设置的另外的不连续，或者在钝化层的层叠体在多个电气元件中的每一个上方凹入的情况下，钝化层或多个钝化层的层叠体对操作期间电气元件位移的负面影响得到减轻。

[0098] 上述一个或多个不连续区域中的每一个可以例如通过在单个步骤或在分开的步骤中蚀刻来设置。

[0099] 一个或多个电气元件中的至少之一的电极通过电迹线连接至驱动电路。可以将电迹线沉积在钝化层上，或多个钝化层的层叠体的一个钝化层上，并且电迹线例如通过钝化层或多个层中形成的通孔连接至电极。如本文中所述，可以将通孔与不连续或凹部区分开，因为通孔填充有一个或多个导电元件，同时不连续和凹部则不是。

[0100] 电迹线可以通过溅射或者通过本领域中已知的任意其它适合的方法来沉积。电迹线优选为金属迹线，例如包括金(Au)、铝(Al)、铜(Cu)、或铂(Pt)等，及其组合。在形成电迹线之前或之后，也可以沉积薄粘接层。

[0101] 在某些实施方式中，迹线本身通过多个钝化层的层叠体的至少一个钝化层来叠置，使得迹线至少部分地插入多个钝化层的层叠体的层之间，并且达到将连接至驱动电路的迹线的区域暴露的程度。

[0102] 在优选的实施方式中，电迹线至少部分地插入多个钝化层的层叠体的两个相邻的钝化层之间，其中两个相邻的钝化层不包括最内钝化层。在其它优选的实施方式中，钝化层的层叠体的最内层包括氧化铝、氧化锆、二氧化硅、五氧化二钽、硅-钽氧化物($SiTaO_x$)和/或二氧化铪，最优选氧化铝，并且其间插入有电迹线的两个相邻的钝化层不包括氧化铝，优选其中这两个层各自包含二氧化硅、氧化锆、氮化硅和/或二氧化铪，最优选二氧化硅。

[0103] 本发明的电气部件可以进一步包括配置为叠置于在基底层的第一侧上配置的一个或多个电气元件中的每一个上的连续的绝缘层或绝缘层的层叠体。应当理解，绝缘层用作将电气元件与外部环境隔离的屏障并且有助于保护电气元件免受化学侵蚀(例如根据电气部件的特定应用而免受水分或墨的影响)。提供电气部件免受外部环境影响的改进保护，并且特别地，免受化学侵蚀影响的保护可以提供附加的益处。连续绝缘层或绝缘层的层叠体还可以允许享受不连续的钝化层，或者钝化层的层叠体，而不损失免受外部环境影响的保护的优点。如上所述，在钝化层中，包括例如在相邻电气元件之间的中间区域中具有不连续区域是有利的。此类不连续区域通过降低腐蚀从一个出故障的电气元件扩展至另一个的

连锁故障的可能性来降低电气部件对连锁故障的敏感性。此外，可以在钝化层或钝化层的层叠体中，在叠置于一个或多个电气元件中的每一个上的区域中设置以窗口形式的不连续，或者钝化层或钝化层的层叠体可以在叠置于多个电气元件中的每一个上的区域中凹入。将这用作用于防止或减少一个或多个电气元件位移的抑制的手段，以便使压电/电致伸缩性能最大化。叠置于电气部件上的连续绝缘层的存在同时保护电气元件免受外部环境影响，但是也会堵塞下面的钝化层中例如微裂纹或针孔等缺陷，并且例如在将不连续设置在邻近电气元件之间的中间区域中，或者将不连续设置在一个或多个电气元件中的每一个上方的区域中的钝化层或钝化层的层叠体中的情况下，还会叠置于钝化层或钝化层的层叠体的不连续或凹入区域上。

[0104] 术语“绝缘层的层叠体”意指在厚度方向上堆叠的多个叠置的绝缘层，其中或者基于例如以各层包括不同的主要组分(例如其中主要意味着高于50体积％)的程度而具有不同的组成，和/或通过将可以是或可以不是基本上相同组成的绝缘层物理上分隔开的至少部分地插入的中间层的存在，来使相邻的绝缘层彼此不同。

[0105] 应当理解，包括至少部分地插入的中间层的单个绝缘层的厚度可以横跨电气部件在基本上垂直于厚度方向的方向上变化。还应当理解，钝化层的层叠体的单个层本身可以由例如由多轮沉积过程产生的几个叠置的子层来形成。然而，此类子层不能如以上讨论的层叠体所描述的那样基于组成来区分，并且未由任意插入的层而分隔开，从而认为是层叠体中不同的层。类似地，在仅设置单个绝缘层代替多个钝化层的层叠体的情况下，单个绝缘层也可以包括如上所述的例如由多轮沉积过程产生的几个子层。

[0106] 与绝缘层或绝缘层的层叠体有关的本文中使用的术语“连续的”意指连续延伸而没有中断的绝缘层或绝缘层的层叠体完全叠置于一个或多个电气元件上，并且与其相关的相应的钝化层配置在基底之上。在存在多个电气元件的情况下，应当理解，绝缘层也在电气元件之间的下面的中间区域之上延伸。因此，连续层一般叠置于其上配置有电气元件的基底的基本上所有侧上。

[0107] 可以通过本领域已知的任意沉积方法将绝缘层或绝缘层的层叠体沉积在一个或多个电气元件中的每一个上。优选地，绝缘层或绝缘层的层叠体将通过与用于沉积最外钝化层的方法不同的方法来沉积。这将减少存在于钝化层中的点缺陷将再生并且延伸通过绝缘层或绝缘层的层叠体的可能性。优选地，通过原子层沉积(ALD)、分子层沉积(MLD)、和溅射等来沉积绝缘层或绝缘层的层叠体。用于绝缘层的适合材料具有非常高的化学惰性。适合的材料的实例包括但不限于二氧化硅(SiO_2)、氧化锆(ZrO_2)、五氧化二钽(Ta_2O_5)、或二氧化铪(HfO_2)等，及其组合。在采用绝缘层的层叠体的情况下，各层可以由如上所述的任意一种或多种绝缘材料构成，并且各层可以通过彼此相同或不同的技术来沉积。

[0108] 绝缘层或绝缘层的层叠体优选包括二氧化硅、二氧化铪、氧化锆、五氧化二钽，及其组合的一个或多个层。在某些实施方式中，绝缘层或绝缘层的层叠体包括二氧化硅和/或五氧化二钽、氧化锆和二氧化铪的一个或多个层。在其它实施方式中，绝缘层是包括多个二氧化硅层和五氧化二钽、氧化锆或二氧化铪的一个或多个层，或者多个五氧化二钽层和/或氧化锆或二氧化铪的一个或多个层的绝缘层的层叠体。

[0109] 在优选的实施方式中，绝缘层的层叠体包括多个二氧化硅层，其中将二氧化硅层配置为与电气元件/钝化层相邻，并且其中层叠体进一步包括多个五氧化二钽层，优选其中

以大体上交替的方式将二氧化硅和五氧化二钽层配置在层叠体的厚度之上。

[0110] 对绝缘层或绝缘层的层叠体的厚度没有特别地限制，尽管通常优选较薄的层，以减少对操作期间电气元件位移的任意可能的抑制。通常，绝缘层或绝缘层的层叠体的厚度适合在10nm至50nm，优选12至30nm，更优选15至25nm的范围内。根据绝缘材料的性质和沉积技术，会需要不同的厚度值。

[0111] 绝缘层或绝缘层的层叠体优选由例如二氧化铪、五氧化二钽、氧化锆和二氧化硅等化学坚固的材料单独或以组合制成，并且优选通过原子层沉积(ALD)沉积。本发明人已经发现，二氧化硅和五氧化二钽层的组合在提供保护免受外部环境、特别是例如当电气部件与水性墨一起用于液滴喷射头时或者在存在水性污染物的情况下的水性环境的影响方面是特别有效的。

[0112] 绝缘层或绝缘层的层叠体可以完全覆盖电气部件的各电气元件，特别是钝化层或钝化层的层叠体中的任意不连续。另外，绝缘层提供用于修补(例如填充/堵塞)下面的钝化层或钝化层的层叠体的最外层中的例如微裂纹或针孔等缺陷的手段，优先地，使用ALD技术以便实现该效果。绝缘层的存在还可以给予电气部件更均匀的形貌，使得在MEMS应用中与覆盖层的接合可以更有效，并且不容易出现由于增加的形貌而加剧的例如空隙等缺陷。

[0113] 如上所述，当存在绝缘层或绝缘层的层叠体时，绝缘层或绝缘层的层叠体一般叠置于包括一个或多个电气元件的电气部件的基本上全部表面上。然而，应当理解，可以将绝缘层或绝缘层的层叠体从电气部件上已经与驱动电路建立电连接的那些区域除去。此类区域不叠置于设置在电气部件上的任意电气元件上。

[0114] 绝缘层或绝缘层的层叠体可以保护电气元件免受外部环境的影响，并且免受与化学品接触的影响，使得包括一个或多个电气元件的电气部件的制造方法可以达到更高的产量，并且可以延长电气部件的寿命。连续绝缘层和不连续钝化层的组合在延长电气部件的使用寿命方面可以是有利的。

[0115] 在第二方面中，代替不连续的钝化层或除不连续的钝化层以外，一个或多个电气元件各自还可设置有不连续的中间层，其布置为与电气元件相邻，并且至少部分地叠置于一个或多个电气元件中的每一个上，其中不连续在邻近的电气元件之间的中间区域之上。中间层可以起作用以增强下部第一电极对下层膜的粘接性和/或用作离子扩散阻挡，例如用于防止铅离子从例如PZT等铅基陶瓷材料中扩散出来并且进入基底/基础层的铅阻挡层。在其它实施方式中，设置不连续钝化层或钝化层的层叠体，和不连续中间层二者，在钝化层或钝化层的层叠体的至少最内层中的不连续至少部分地叠置于邻近的电气元件之间的中间区域之上的下面的中间层中的不连续上，并且代替或除了钝化层中的不连续以外的情况下，在电气部件的邻近的电气元件之间的至少一个中间区域中，中间层可以是不连续的。在优选的实施方式中，不连续的中间层在邻近的电气元件之间的大多数、优选全部中间区域之上是不连续的。在进一步优选的实施方式中，中间层分割为隔离的区域，其中多个电气元件中的各电气元件具有至少部分地位于其下方的分割的中间层的隔离的区域。

[0116] 在第三方面中，提供一种用于液滴喷射设备的致动器部件，其中致动器部件是根据第一方面的电气部件。

[0117] 在第四方面中，提供一种微机电系统，其包括根据第一、第二或第三方面的电气部件和附接至绝缘电气部件的覆盖层。覆盖层可以为成组或所有电气元件限定单个腔，或者

可以为各电气元件限定各自的腔。此类腔可以以液密的方式密封。覆盖层可以由本领域常见的任意材料构成，并且可以以本领域中已知的任意适合的方式附接至电气部件。覆盖层可以由硅(Si)形成，并且可以例如由硅晶片制造，同时包括腔的覆盖层所设置的特征可以使用例如，如DRIE或化学蚀刻等蚀刻工艺等任意适合的制作方法来形成。在某些情况下，覆盖层的特征的至少分组可以由例如CVD技术(例如PECVD)、或ALD等附加过程来形成。在其它情况下，特征可以使用蚀刻和/或附加过程的组合来形成。覆盖层可以通过绝缘层或绝缘层的层叠体接合至电气部件。

[0118] 绝缘层的存在可以有助于改善电气部件的形貌，使得与覆盖层的接合可以更有效并且不容易出现例如空隙等缺陷。

[0119] 在某些实施方式中，微机电器件可以进一步包括附接至绝缘电气部件并且配置为在电气部件的与覆盖层相对侧的喷嘴板。

[0120] 在第五方面中，提供一种液滴喷射头，其包括如上所述的电气部件或MEMS器件。

[0121] 在第六方面中，提供一种液滴喷射设备，其包括根据第五方面的液滴喷射头。

[0122] 液滴沉积设备在例如喷墨打印等传统打印应用，以及在3D打印和其它材料沉积或快速成型技术二者中都具有广泛的用途。

[0123] 适合用于液滴沉积设备中的致动器部件可以例如包括多个流体室，其可以配置为一排或多排，各个室设置有各自的致动器元件和喷嘴。应当理解，在该方面中，致动元件对应于上文中描述的电气元件并且可致动以使流体通过相应的喷嘴之一从多个室中喷射出。

[0124] 致动元件可以例如通过使界定致动器部件的流体室之一的壁变形来起作用。此类变形反而可以增加室中的流体压力，并且由此使流体的液滴从喷嘴喷射出。此类壁可以是膜层的形式，其可以包括例如，如金属、合金、介电材料和/或半导体材料等任意适合的材料。适合的材料的实例包括氮化硅(Si_3N_4)、氧化硅(SiO_2)、氧化铝(Al_2O_3)、二氧化铪(HfO_2)、五氧化二钽(Ta_2O_5)、氧化锆(ZrO_2)、氧化钛(TiO_2)、硅(Si)或碳化硅(SiC)。

[0125] 液滴沉积设备一般包括液滴喷射头，该液滴喷射头包括致动器部件和一个或多个附接至致动器部件的歧管部件。此类液滴喷射头可以附加地或可替代地包括例如通过由致动器部件设置的电迹线的手段而电连接至致动元件的驱动电路。此类驱动电路可以将驱动电压信号供给至致动元件，所述致动元件使液滴从选择的一组流体室中喷射出，其中选择的组随着头部接收的输入数据的变化而变化。

[0126] 为了满足各种应用的材料需求，可以通过如本文中所述的液滴喷射头沉积多种可选的流体。如喷墨打印应用中的情况那样，其中液滴喷射头可以是喷墨打印头，或者更特别地是按需滴落(drop-on-demand)的喷墨打印头的情况下，例如，液滴喷射头可以喷射可以行进至纸张或卡，或者例如织物或箔或成形品(例如罐子、瓶等)等其它接收介质的墨的液滴，以形成图像。

[0127] 可选地，可以使用流体的液滴来建造结构，例如可以将电活性流体沉积在例如电路板等接收介质上，以便能够原型制造电气器件。在其它实例中，可以将包含流体的聚合物或熔融聚合物沉积在连续的层中，以便产生物体的原型模型(如在3D打印中)。在其它应用中，液滴喷射头可以适于将包含生物或化学材料的溶液的液滴沉积在例如微阵列等接收介质上。

[0128] 适用于此类可选流体的液滴喷射头可以在构造上大体上类似于打印头，其中做出

某些调整以处理所考虑的特定流体。可以采用的液滴喷射头包括按需滴落的液滴喷射头。在此类头中，喷射液滴的图案根据提供给头的输入数据而变化。

[0129] 附图的详细描述

[0130] 现在将参考附图描述本发明，这些附图意图说明本发明，而绝不是限制性的，并且为了清楚起见，附图仅是代表性而不是按比例的。在以下全部描述中，在适当处使用相似的附图标记。

[0131] 图1(a)是根据本公开的实施方式的贯通电气部件100的一部分的截面的示意图，其中截面位置CC在图3的(c)(ii)中并且同样在图4中示出。图1示出电气部件100内两个相邻的电气元件120(i)和120(ii)的一部分，其中，部件100包括多个电气元件120(其可以配置为在基底层110上或叠置于基底层110上成排或成排的阵列)。

[0132] 在图1(a)中所示的实施方式中，用于微机电系统器件的电气部件100包括多个电气元件120，其中各电气元件包括陶瓷构件123、第一电极121和第二电极122，其中各电气元件120的这些部件以各层的堆叠体配置。层的堆叠体各自具有在厚度方向505上延伸的侧面，其中陶瓷构件123具有在厚度方向505上分隔开的第一侧127和相对的第二侧128。陶瓷构件的第一侧127面向基底层110和基底层110的第一侧111并且第一电极121布置为与陶瓷构件123的第一侧127相邻，以便插入基底层110和陶瓷构件123之间。第二电极122布置为与陶瓷构件123的第二侧128相邻；并且钝化层150或多个钝化层的层叠体150至少部分地叠置于第二电极122上，并且布置为与陶瓷构件123的侧面相邻并且分别与各电气元件120的第一电极121和第二电极122的侧面相邻。

[0133] 如图1(a)中可见的，电气元件120配置在基底层110的第一侧111之上，其中各电气元件120通过在宽度方向500上的中间区域125与邻近的电气元件120分隔开。本领域技术人员将理解，电气部件100可以包括全部通过多个中间区域125(i至n-1)分隔开的多个电气元件120(i至n)。

[0134] 电极121、122布置为与陶瓷构件123相邻，使得可以在操作期间在第一电极121和第二电极122之间通过陶瓷构件123建立电位差。存在钝化层150，其在图1(a)中所示的实例中是多个钝化层151、152和153的层叠体，尽管可以理解，在其它实施方式中，其可以是单个层。钝化层150至少部分地叠置于多个电气元件120中的每一个上，以便在多个电气元件120中的每一个的第一电极121和第二电极122之间提供电钝化。布置为与下面的电气元件120相邻的钝化层的层叠体150的最内钝化层153在宽度方向500上具有不连续区域190，其叠置于电气部件100的邻近的电气元件120(i)和120(ii)之间的中间区域125上。可以理解，在其它实施方式中，钝化层的层叠体150的全部层151-153可以在邻近的电气元件120之间的至少一个中间区域125之上各自具有重合的不连续区域190。图1(a)还示出本公开的另一个方面，其中电气部件包括中间层的层叠体140，其布置为与基底层110的第一侧111相邻。中间层的层叠体140位于基底层110和电气元件120之间。中间层的层叠体140包括连续层141和不连续中间层142。中间层142至少部分地插入电气元件120和基底层110之间，其中中间层142位于基底层110的在厚度方向505上的第一侧111之上；其中中间层142在电气部件100的邻近的电气元件120(i)和120(ii)之间的至少一个中间区域125之上具有不连续区域191。

[0135] 应当理解，取决于环境或用于电气部件100的材料的特定设计或用途，不连续区域190和191中的仅一个或另一个(分别与最内钝化层153和中间层142相关)可以以特定的实

施方式存在。取决于钝化层150和中间层142的各自设计和组成;在其它实施方式中,不连续区域190和191二者都可以存在。可以理解,不连续区域的产生取决于电气部件100的各层中使用的材料,这些材料对化学侵蚀的脆弱性,和会发生化学侵蚀的可能性(例如是否存在能够使不期望的化学品到达更脆弱的层的路径,此类路径例如可以是叠加层中的不可避免的微缺陷、裂纹和针孔)。可选地,此类路径可能因为各层在掩模和蚀刻过程期间必须暴露以产生电气部件100。

[0136] 如图1(a)中所示,不连续区域191可以在宽度方向500上比不连续区域190更宽,然而,这绝不是必需的,取决于设计和制造方法。可以理解,在某些实施方式中,不连续区域190和191可以在宽度方向500上是相似或相等的宽度,并且可以同时制造或者可以不同时制造。在图1(a)中描绘的本实施方式中,中间层142中的不连续区域191在宽度方向500上与中间区域125的宽度相同,因为二者同时形成,使得中间层142在全部中间区域125之上是不连续的,但这绝不是必需的特征,并且在其它实施方式中,中间层142在大多数但不是全部中间区域125上可以是不连续的,并且可以在制造过程中的不同阶段形成。

[0137] 在某些实施方式中,钝化层150或钝化层的层叠体150的至少最内第一钝化层153在邻近电气元件120之间的大多数中间区域125之上是不连续的,使得不连续区域190在宽度方向500上覆盖大多数中间区域125。

[0138] 应当理解,在某些实施方式中,电气部件100具有钝化层150或钝化层的层叠体150的至少最内第一钝化层153,其包括仅叠置于邻近电气元件120之间的少数中间区域125上的不连续区域(例如以一个或多个孔/开口的形式)。

[0139] 应当进一步理解,在钝化层150包括钝化层的层叠体150的某些实施方式中,钝化层的层叠体150的所有层在邻近电气元件120之间的大多数中间区域125之上可以是不连续的,使得邻近电气元件120之间的大多数中间区域具有不存在叠置于钝化层上的区域。在电气部件100包括多个钝化层的层叠体150的其它实施方式中,钝化层的层叠体150的仅最内第一钝化层153在邻近电气元件120之间的某些或所有中间区域125之上可以是不连续的,使得层叠体的一个或多个其它层叠置于电气元件120之间的中间区域125上,而层叠体的最内层、第一钝化层153则不是这样。在其它实施方式中,多个钝化层的层叠体150可以包括在宽度方向500上以不同程度不连续的层。在某些实施方式中,(参见图1(b)),在厚度方向505上最接近电气元件120的最内钝化层153可以具有在宽度方向500上最接近中间区域125的长度的最长的不连续区域190(i)。

[0140] 在某些实施方式中,电气部件100包括钝化层150,该钝化层150是布置为与陶瓷构件123和各电气元件120的第一电极121和第二电极122相邻的多个钝化层的层叠体,其中布置为与陶瓷构件123和第一电极121和第二电极122相邻的层叠体的最内钝化层153的组成与层叠体的至少一个其它层、优选层叠体的所有其它层151、152)的组成不同。同样地,中间层142可以由与钝化层150当其是多个钝化层的层叠体时的最内钝化层153相同的材料构成。例如,布置为与陶瓷构件123和第一电极121和第二电极122相邻的最内钝化层153可以包括氧化铝。附加地或替代地,中间层142可以包括氧化铝。此外,除了最内钝化层153以外,层叠体的各层中的至少一个层可以包括二氧化硅、氧化锆、二氧化铪和/或硅。

[0141] 在某些实施方式中,钝化层150可以包括附加的不连续(即除了叠置于中间区域125上的以外)。例如,钝化层150或钝化层的层叠体150的附加的不连续区域可以形成通向

各下面的电气元件120的窗口165。钝化层150中的此类窗口165有利于基本上减少或避免在操作期间钝化层对电气元件位移的任何抑制作用。

[0142] 现在考虑图1(b)，应当理解，在其它实施方式中，钝化层150可以包括至少除去钝化层的层叠体150的最外第三或最终钝化层151，以便限定凹部166，其中各单独的凹部166至少部分地叠置于多个电气元件的单独的电气元件120上。换言之，钝化层150或钝化层的层叠体150可以在厚度方向505上在背离各下面的电气元件120的一侧凹入，其中凹部166设置在叠置于多个电气元件120中的每一个上的各区域中，使得与钝化层150或钝化层的层叠体150的其它非凹入区域相比，钝化层150或钝化层的层叠体150横跨凹部166在厚度方向505上更薄。钝化层150中的此类凹部166有利于基本上减少或避免在操作期间钝化层对电气元件位移的任何抑制作用。可以理解，此类凹部166的形成会需要使用适合的蚀刻和蚀刻停止，使得将钝化层的层叠体150的其它层之一用作蚀刻停止(在所描绘的情况下，钝化层152可以是适合用作蚀刻停止的材料)。在其它实施方式中，可以在堆叠体的其它点处(例如在厚度方向505上)插入适合的蚀刻停止层，以便控制任意此类凹部166在厚度方向上的程度。

[0143] 图1(a)和图1(b)进一步示出电气部件100包括电迹线160，该电迹线160连接位于电气部件的端部处的至少一个电气元件、优选全部电气元件的第一电极121和第二电极122，以驱动电路(连接不可见)。如所示的，当设置多个钝化层的层叠体150时，电迹线可以至少部分地插入多个钝化层的层叠体150的各层之间。如图1(a)和图1(b)中所示，电迹线160至少部分地插入层叠体的两个相邻的钝化层、第一钝化层151和第二钝化层152之间。在其它实施方式中，电迹线可以插入多个钝化层的层叠体中的其它钝化层之间，但是优选两个相邻的钝化层将不包括最内钝化层、第三钝化层153。此外，在优选的实施方式中，层叠体的最内第三钝化层153包括氧化铝，并且其间插入有电迹线160的其它层151和152可以不包括氧化铝。两个层151和152可以各自替代地包括二氧化硅、氧化锆、二氧化铪和/或氮化硅。

[0144] 现在转到图1(c)，其描绘根据本公开的另一个实施方式的贯通电气部件的一部分的截面的示意图，其中在钝化层的层叠体150的最内层中存在不连续区域190，并且在电气元件之上存在凹部166的可选配置。如本领域技术人员应当理解的，使用适合地成形的掩模和蚀刻步骤可以用于除去在该特定截面上电气元件120之上的最外钝化层151和中间钝化层152的全部，同时在电迹线160之上保留这些层。可以理解，在其中电迹线160在电气元件120之上延伸以便设置与第二电极122的电连接的其它截面处，在该区域中可以改变掩模的形状，以便在电迹线160之上并且在电气元件120的适当部分之上保留最外钝化层151和中间钝化层152。在图1(c)中描绘的实施方式中，在电气元件120之上已经保留最内钝化层153，以便在第一电极121和第二电极122之间设置钝化。最内钝化层153在中间区域125中具有不连续区域190。

[0145] 现在考虑图2，其描绘比较试验设计200，其中，最内钝化层153’连续地叠置于邻近的电气元件120之间的中间区域125上，和与图1(a)中所示的实施方式不同，在钝化层中不存在以窗口165形式的附加的不连续，或者与图1(b)和图1(c)中所示的实施方式不同，凹部166叠置于电气元件120上。应当理解，如果腐蚀故障在连续的最内钝化层153’的一部分中发生，由于腐蚀将更容易能够经由连续的最内钝化层153’从电气元件120传播至其邻近的电气元件120，因此与图1中描绘的实施方式相比，该比较试验设计200将更容易连锁故障。

如图1(并且以及图3的(c)(ii))中所示,最内钝化层153分割为各自与单个的下面的电气元件120相关的隔离的区域(即非连接的岛)。这意味着如果电气元件120的阵列中的一个电气元件120经历最终导致故障的损坏,此类故障不太可能经由最内钝化层153延伸至其邻近的电气元件120。

[0146] 设置不连续区域190、191使得隔离出故障的电气元件,以避免连锁故障,在钝化层150(或多个钝化层的层叠体150的最内层)的组成或下面的中间层142的组成更容易受水分/化学侵蚀影响,然而在此类材料另外对用于电气部件100的构造可用的情况下,所述连锁故障特别普遍。例如氧化铝是此类可用于钝化层150或者可用于多个钝化层的层叠体150的最内层的材料。氧化铝同样可用于下面的中间层142的组成。如果单独的电气元件120出故障,则可以对其进行补偿(例如通过调节相邻功能性电气元件120的波形)以延长器件寿命。

[0147] 考虑图2中的比较试验设计200,与图1中描绘的实施方式相比,其在电气元件120之上在厚度方向505上具有厚得多的材料的层。这会使得全部堆叠体(电气元件120加上在厚度方向505上在其上方的钝化层150和连续绝缘层170)比图1中描绘的相应堆叠体更硬,并且在施加电场下可以对比较试验设计200中部件的变形有负面影响,同时图1(a)和图1(b)中的电气元件120将是刚度较小的堆叠体的一部分,并且因此对于给定的施加电场更容易变形。

[0148] 现在转到图3的(a),其示出俯视电气部件100的一部分的视图,示出许多堆叠体130(i-vi)(其中各堆叠体130包括在最上的不连续中间层142上部的电气元件120。堆叠体130位于下部的连续中间层141的上部(以便在图3的(a)中示出的视图中,可以看到第二电极122的上表面)。可以看到,堆叠体130配置为在宽度方向500上延伸并且在长度方向510上错开的排,这绝不是必需的特征,并且在其它设计中,可以存在堆叠体130的排或阵列的不同的配置,具有或不具有错开或者具有不同的错开图案。

[0149] 图3的(b)示出在第一钝化层153的沉积之后并且在其任意图案化之前,与图3的(a)中相同的视图。接下来,图3的(c)(i)描绘图案化阶段之后的比较试验设计200,在图案化阶段中,已经使用掩模将第一钝化层153图案化,以在一端给出蛇型形状,以便除去过剩的材料,以提供连续的第一钝化层153'。图3的(c)(ii)示出使用与图3的(c)(i)中不同的掩模来生产本公开的电气部件100的相同图案化阶段的结果,其中已经将第一钝化层153图案化,以便产生叠置于堆叠体130(i-vi)上的离散的部分、岛、或分段153(i-vi),其具有位于第一钝化层153的分段153(i-vi)之间的不连续区域190(i-iii)。应当进一步注意,图3的(c)表示两个截面AA和CC的位置,其表示图1和图2中描绘的截面的位置。

[0150] 再次考虑图1(a),钝化层150分割为隔离的区域或岛,其中多个电气元件的各电气元件120具有至少部分地叠置于其上的分割的钝化层150的隔离的区域。

[0151] 现在转到图4,其是贯穿微机电系统器件400的另一个截面的示意图,其示出总体布局。图4描绘基底层110,电气部件104在厚度方向505上位于其上。电气部件104例如可以为包括多个层的电气部件100,如图1(a)至图1(c)所示。从图4中可以看出,在微机电系统器件400中,电气部件104在截面上是细长的,使得其在长度方向510上的长度远大于其在厚度方向505上的厚度。纸外的方向是宽度方向500。图1和图2中描绘的截面的位置如图4中的截面AA/CC所示。在图6中可以更详细地描述电气部件104的示例制造过程。在制造电气部件

104之后，覆盖层103可以在许多不同的位置附接至电气部件104(覆盖层103优选附接至连续绝缘层170-在图4中未示出)。图4示出叠置于电气部件104上并且附接至电气部件104的覆盖层103。覆盖层103可以限定成组或所有电气元件120的单个腔106，或者覆盖层103配置为单独地封装电气部件104的各电气元件120，以便形成多个腔106并且叠置于钝化层150或钝化层的层叠体150上。此类腔可以以液密方式来密封。优选地，电气部件104用配置在电气部件104之上的绝缘层170或绝缘层的层叠体170绝缘，以便插入电气部件104和覆盖层103之间，优选其中绝缘层170或绝缘层的层叠体170是连续的，并且配置为叠置于除了配置在其上的多个电气元件120中的每一个以外的基本上全部基底层110上。在添加覆盖层103之后，可以从第二侧112蚀刻基底层110，例如以除去边界109之间的基底层110的所有材料。通过该去除，当处于可变形膜层的形式时，当将电场施加至致动元件120时，可以使中间层140变形。

[0152] 现在考虑图5，其是示出用于液滴喷射设备的微机电系统器件300的总体布局的截面的示意图，其中器件300可以包括包含多个电气元件120的致动器部件102。致动器部件102可以类似于图1中描绘的电气部件100。在该特定的实施方式中，液滴喷射方向605反平行于厚度方向505。流体室199位于与电气元件120相邻，以便在操作中，当横跨电气元件120施加电场时，其偏转以便在液滴喷射方向605上通过喷嘴197喷射流体。可以将例如墨等流体经由切割或蚀刻通过覆盖层103的流体端口198供给至流体室199。覆盖层103可以限定成组或全部电气元件120的单个腔106，或者可以限定用于各电气元件120的各腔106。此类腔可以以液密方式来密封，以便防止流体室199和流体端口198内的流体进入。覆盖层103可以由硅(Si)形成，并且例如可以由硅晶片制造，同时可以使用例如，如DRIE或化学蚀刻等蚀刻工艺等任意适合的制造工艺来形成包括腔的覆盖层中设置的特征。在某些情况下，覆盖层的特征的至少分组可以由例如CVD技术(例如PECVD)或ALD的附加工艺形成。在其它情况下，可以使用蚀刻和/或附加工艺的组合来形成特征。封盖晶片可以通过绝缘层或绝缘层的层叠体接合至电气部件。

[0153] 应当理解，流体端口198例如可以是供给大批流体室199的狭缝，或者可以包括多个各自供给单独的流体室199或流体室199的小子群的小孔或狭缝。在某些实施方式中，可以仅需要入口流体端口198，以将流体供给至流体室199。在其它实施方式中，器件300可以在所谓的通流模式下操作，其中通过位于流体室199的一端附近的流体端口198将流体供给至流体室199，并且经由位于流体室199的另一端附近的其它流体端口198将流体从流体室199除去。因此，在操作中，当通过供给适合的波形来适当地致动电气元件120时流体通过各单独的流体室199，其中一部分流体经由喷嘴197作为液滴喷射出。应当理解，多个电气元件120将同样与可能需要的多个流体室199、喷嘴197和流体端口198相关，并且每个流体室199可能需要一个或多个电气元件120，并且单独的流体室199根据需要可以具有一个或多个喷嘴197和流体端口198。可以将一个或多个电气部件用在液滴喷射头中，其可以单独使用或者可以与多个其它液滴喷射头一起使用，以形成液滴喷射设备的一部分。

[0154] 现在转到图6，其是根据本公开的实施方式的电气部件100的两个电气元件120(i)(ii)的示意图，示出如图1中所详细描绘的电气元件120的制造过程期间的各阶段。制造过程开始于基底层110，该基底层110包括在厚度方向505上分隔开的第一侧111和第二侧112。对基底的材料没有特别地限制。在该情况下，基底是硅晶片。

[0155] 图6的(a)示出其中在基底层110的第一侧111上形成中间层140的初始沉积阶段。中间层由在厚度方向505上沉积在彼此上的下部和上部中间层141和142形成，如图6的(b)中所示。布置为与基底层110相邻的下部中间层141例如是由硅晶片的热氧化形成的SiO_2。上部中间层142例如是由钛或氧化钛或氧化铝制成的粘接层。

[0156] 现在考虑图6的(c)，其示出沉积例如由铂(Pt)形成的并且与上部中间层142相邻布置的第一电极121之后的堆叠体。

[0157] 图6的(d)示出已经将陶瓷构件123添加在第一电极121上部上之后的堆叠体。根据以下示例方法，薄膜陶瓷构件例如是通过溶胶-凝胶沉积而沉积的铌(Nb)掺杂的PZT(PNZT)：i)将15重量％PNZT溶液(P/N/Z/T-115/2/52/48)以3500rpm旋涂在第一电极上45秒，其中以500rpm动态分配；ii)旋涂后，将单层在100℃下干燥1分钟并且在300℃下热解4分钟；和iii)使热解的层在2SLPM的O_2流下，以10℃/s的加热速率，在700℃下的快速热退火炉(RTA)中结晶1分钟。然后重复步骤i)至iii)直到薄膜达到适合的厚度，例如2μm为止。

[0158] 接下来，如图6的(e)中所示，第二电极122层叠在陶瓷构件123的上部上。第二电极例如可以是根据与第一电极相同的步骤沉积的另一铂(Pt)电极。可选地，第二电极在组成上可以与第一电极不同，例如，铱和氧化铱(Ir和IrO_2)层的组合。第一电极121、陶瓷构件123和第二电极122一起形成电气元件120。

[0159] 如图6的(f)和图6的(g)中可以看出，接下来的步骤是第二电极122和陶瓷构件123的图案化，然后是第一电极121与上部中间层142一起的图案化。通过使用氯气(Cl_2)和氩气(Ar)干蚀刻4个循环并且总共持续2分钟来进行图案化。首先将第二电极122图案化，随后将位于下部的PNZT 123和第一电极121和上部中间层142图案化。在该步骤的最后，电气部件100的顶视图对应于图3的(a)中所示的顶视图。从图6的(g)可以看出，在该步骤的最后，通过图案化产生从第一电极121的端部测量的、在相邻的电气元件120之间的中间区域125。另外，与电气元件相邻布置的上部中间层142现在是不连续的，使得也产生不连续区域191，并且在该实施方式中，在宽度方向500上具有与中间区域125相同的程度。可以理解，在可选的实施方式中，使用不同的图案化步骤，不连续区域191可以在过程中的不同阶段产生，并且然后可以在宽度方向500上具有比中间区域125小的程度。

[0160] 接下来，如图6的(h)中所描绘的，将第一钝化层153沉积在堆叠体在厚度方向505上的全部暴露表面之上，和包括不连续区域191的中间区域125之上。该实例中的钝化层153是通过原子层沉积(ALD)而沉积至厚度为约80nm的氧化铝层。可选地，氧化铝可以通过溶胶-凝胶法或本领域已知的其它技术来沉积。氧化铝对于钝化的第一层是特别优选的材料，因为其对蚀刻的例如PZT和掺杂的PZT等铅基陶瓷具有非常高的粘接性。应当注意，在该步骤的最后，电气部件的顶视图将是图3的(b)中所描绘的那样。然后，如图6的(i)中所描绘的，例如使用光刻将第一钝化层153图案化，由此形成不连续区域190，使得第一、最内钝化层153现在是不连续的(然后顶视图将如图3的(c)(ii)中所示)。应当理解，该步骤和使中间层142不连续的不连续区域191的形成可以在其它实施方式和制造过程中同时进行，在该情况下，不连续区域190和不连续区域191将在宽度方向500上具有相同的程度。接下来，如图6的(j)中所示，沉积第二钝化层152。层152例如由二氧化硅制成并且其通过等离子体增强化学气相沉积(PE-CVD)而沉积至约200nm的厚度。

[0161] 在图6的(k)中，进行金属沉积，使得填充入通孔161和162(未示出并且未描绘它们

的形成步骤)并且向下放置电迹线160,以提供与第一电极121和第二电极122二者的电连接。可以通过例如溅射铝(Al)、金(Au)、铜(Cu)、和镍(Ni)等,或其组合来形成电迹线160。

[0162] 现在转到图6的(l),将第三钝化层151沉积在堆叠体在厚度方向505上的整个暴露表面上。钝化层151例如由通过PE-CVD沉积至约500nm的厚度的二氧化硅制成。将钝化层151也沉积在具有金属迹线160的区域之上,并且整个横跨电气元件120之间的中间区域125。

[0163] 然后在电气元件120之上蚀刻钝化层151-153。如图6的(m)中所示,这可以在电气元件120之上设置钝化层151-153的完全除去,以便形成通向第二电极122的窗口165。

[0164] 在可选的实施方式中,应当理解,可以除去钝化层的层叠体150的一个或多个最外层(或者可以除去在厚度方向505上的最外层151)以便在电气元件120之上形成凹部166,如图1(b)中所示,或者在迹线不在电气元件120之上延伸的区域中暴露更多电气元件120,如图1(c)中所示。因此,与钝化层的层叠体150的其它非凹入区域相比,钝化层的层叠体150横跨凹部166在厚度方向505上更薄。换言之,钝化层150或钝化层的层叠体150可以在厚度方向505上在背离各下面的电气元件120的一侧凹入,其中凹部166设置在叠置于多个电气元件120中的每一个上的各区域中。优选地,钝化层150初始由连续钝化层的层叠体形成,并且相继蚀刻一个或多个最外钝化层,以形成凹部166。应当理解,使得一个或多个最内钝化层横跨凹部166叠置于一个或多个电气元件中的每一个上,并且将在凹部的底部暴露的第一钝化层用作除去最外的一个或多个钝化层的蚀刻停止。钝化层150中的此类凹部166对于在操作期间基本上减少钝化层对电气元件位移的抑制作用是有利的。

[0165] 在某些实施方式中,钝化层的层叠体中的凹部可以在宽度方向500上延伸,以包括一个或多个电气元件各自的整个上表面和至少部分侧面,优选全部侧面。该构造对于减少或避免在操作期间钝化层对电气元件位移的任何抑制作用是特别有利的。

[0166] 在图1(c)中描绘了示例实施方式,示出贯穿根据本公开的另一个实施方式的电气部件的一部分的截面的示意图,其中在层叠体钝化层150的最内层和电气元件之上的凹部166的可选配置中存在不连续区域190。如本领域技术人员应当理解的,可以使用适合地成形的掩模和蚀刻步骤,以除去在该特定的截面处的电气元件120之上的全部最外钝化层151和中间钝化层152,同时在电迹线160之上保留这些层。可以理解,在其它截面处,在电迹线160在电气元件120之上延伸以便设置与第二电极122的电连接的情况下,在该区域中可以改变掩模的形状,以便在电迹线160之上和在电气元件120的适当部分之上保留最外钝化层151和中间钝化层152。在图1(c)中描绘的实施方式中,将最内钝化层153保留在电气元件120之上,以便在第一电极121和第二电极122之间设置钝化。最内钝化层153可以在中间区域125中具有不连续区域190。

[0167] 在电气元件120的某些或全部上表面之上部分或整个除去钝化层150,以便设置凹部或窗口,可以使其更轻和更柔软,并且当经受上电极和下电极之间施加的电场时更容易变形。这可能意味着对于给定的电场,电气元件更容易变形,或者可以使用较低水平的电场以给出所需的变形量。

[0168] 最后,如图1所示,将连续绝缘层170可以沉积在堆叠体在厚度方向505上的整个暴露表面之上和中间区域125中的暴露表面之上。

[0169] 绝缘层170例如是通过原子层沉积在厚度方向505上沉积在彼此上部至约20nm的总厚度的二氧化硅(SiO_2)和五氧化二钽(Ta_2O_5)层的堆叠体。

[0170] 如上所述，连续绝缘层170可以覆盖与一个或多个电气元件120中的每一个相关的下面的钝化层或钝化层的层叠体中存在的任意凹部或窗口或其它不连续或孔，以及中间区域中存在的任意不连续。另外，绝缘层170可以基本上堵塞或修补下面的钝化层或钝化层的层叠体的最外层中存在的点缺陷，使得更有效地保护一个或多个电气元件120中的每一个和作为整体的电气部件100免受外部环境影响。在其它实施方式中，绝缘层170或绝缘层的层叠体170可以选自二氧化硅(SiO_2)、二氧化铪(HfO_2)、氧化锆(ZrO_2)、五氧化二钽(Ta_2O_5)，及其组合中的一个或多个层，优选其中绝缘层170包括绝缘层的层叠体，其包括多个二氧化硅层和/或多个五氧化二钽层。在某些实施方式中，绝缘层170包括绝缘层的层叠体170，其包括多个二氧化硅层，其中配置二氧化硅层以便与电气部件100相邻，并且其中层叠体进一步包括多个五氧化二钽层，优选其中二氧化硅和五氧化二钽层以大体上交替的方式配置在层叠体的厚度之上。

[0171] 在绝缘层170沉积之后，可以将覆盖层103接合至绝缘层170上的电气部件100，以便封装单独的电气元件104/102，使得多个腔106围绕电气元件104/102，如图4和图5中所示。最终，基底层110可以在与电气元件104/102相邻的区域中从其第二侧112在厚度方向505上蚀刻，以便释放中间层140，并且当将电场施加至电气元件120时，使其能够变形。

[0172] 本领域技术人员将理解，在图6中描绘的阶段之间可以存在另外的制造步骤，以便在基底层110上的其它位置产生其它部件，并且可以省略这些步骤中的某些，或者可以根据需要将其分为几个子步骤。进一步，也可以省略图6中所描绘的某些步骤，或者可以根据需要将其分为几个子步骤。最终，应当理解，尽管将基础层之上的某些层描述为单个层，但是本领域中理解的MEMs制造技术可以意味着任意或全部单个层本身由多个更薄的层构成。

[0173] 应当理解，取决于特定的应用，可以通过液滴喷射头喷射出多种流体。例如，某些头可以构造为将墨喷射到例如纸张或卡，或者例如瓷砖或成形制品(例如罐子、瓶等)等其它接收介质上。可以例如沉积墨的液滴，以便形成图像，如在喷墨打印应用(其中液滴沉积头可以称为喷墨打印头，或者在特定的实例中，按需滴落喷墨打印头)中的情况那样。

[0174] 可选地，液滴喷射头可以喷射可以用于建造结构的流体的液滴，例如可以将电活性流体沉积在例如电路板等接收介质上，以便能够原型制造电气器件。在其它实例中，可以将包含流体的聚合物或熔融聚合物沉积在连续的层中，以便产生物体的原型模型(如在3D打印中)。在其它应用中，液滴喷射头可以适于将包含生物或化学材料的溶液的液滴沉积在例如微阵列等接收介质上。适合用于此类可选流体的液滴喷射头在构造上通常与喷墨打印头相似，其中做出某些调整以处理所讨论的特定流体。

[0175] 此外，应当注意，可以配置本文中所述的液滴喷射头，以便将液滴喷射在适合的接受介质上，并且因此可以称为“液滴沉积头”。

[0176] 例如，如上所述，接受介质可以是纸张或卡、瓷砖、或成形制品(例如罐子、瓶等)，特别是具有构造为喷射墨的液滴的液滴沉积头。在另一个实例中，接受介质可以是例如具有构造为喷射电活性流体的液滴的液滴沉积头的电路板。

[0177] 尽管如此，如本文中所述的液滴喷射头配置为液滴沉积头，将液滴喷射在接受介质上绝不是必需的。在某些应用中，喷射的液滴落在何处可能相对地不重要；例如，在特定实例中，可以利用液滴喷射头，以在空气中产生喷射液滴的雾。更普遍地，在某些情况下，不论喷射的液滴是否落在接受介质上，都可以使用类似的头构造。因此，在以上本公开中使用

(在适当的情况下)更通用的术语“液滴喷射头”。

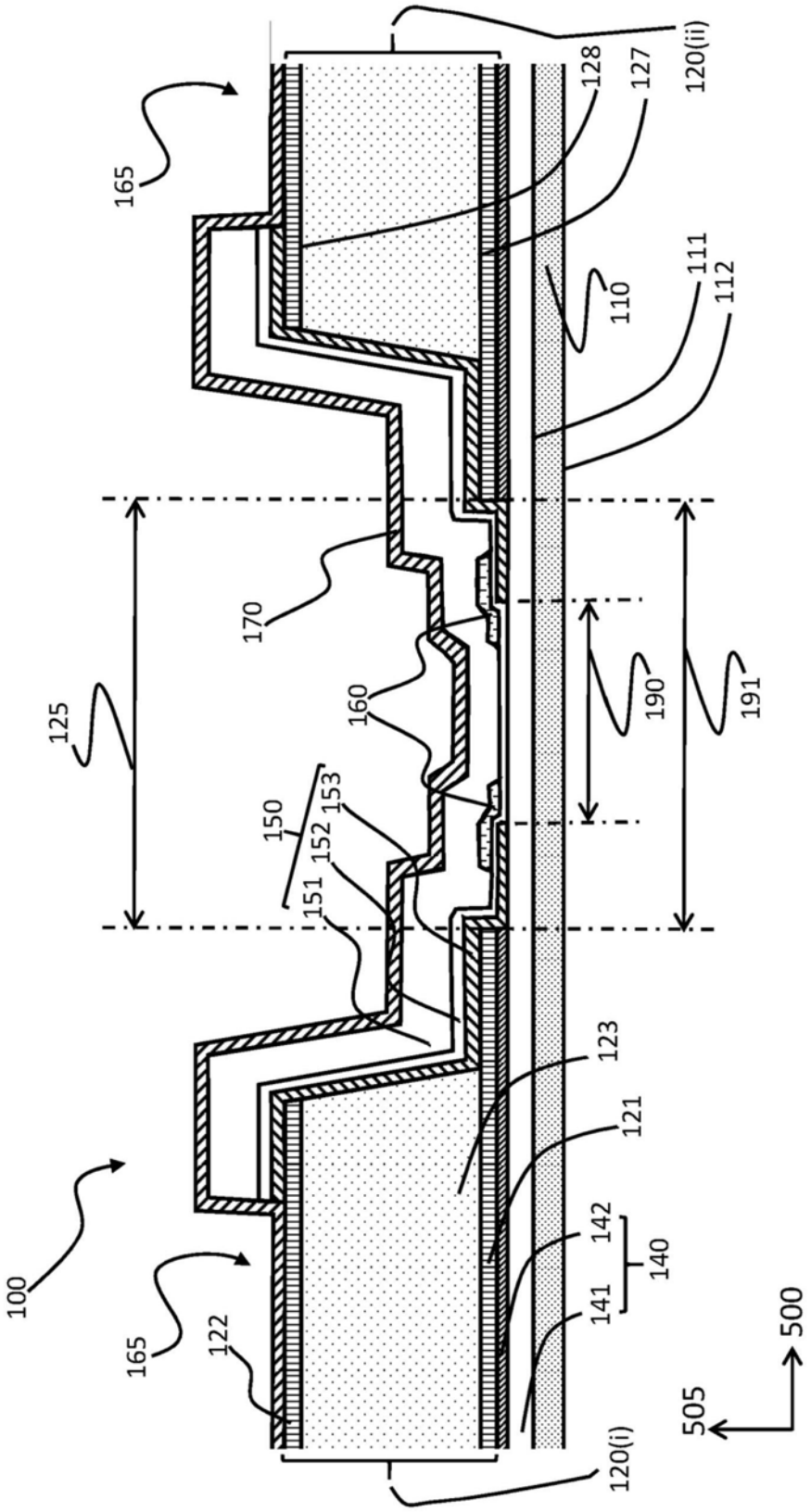

165
128
127
120(ii)
111
112
110
170
160
125
150
153
152
151
190
191
123
121
142
140
141
100
165
122
120(i)
505
500

图1(a)

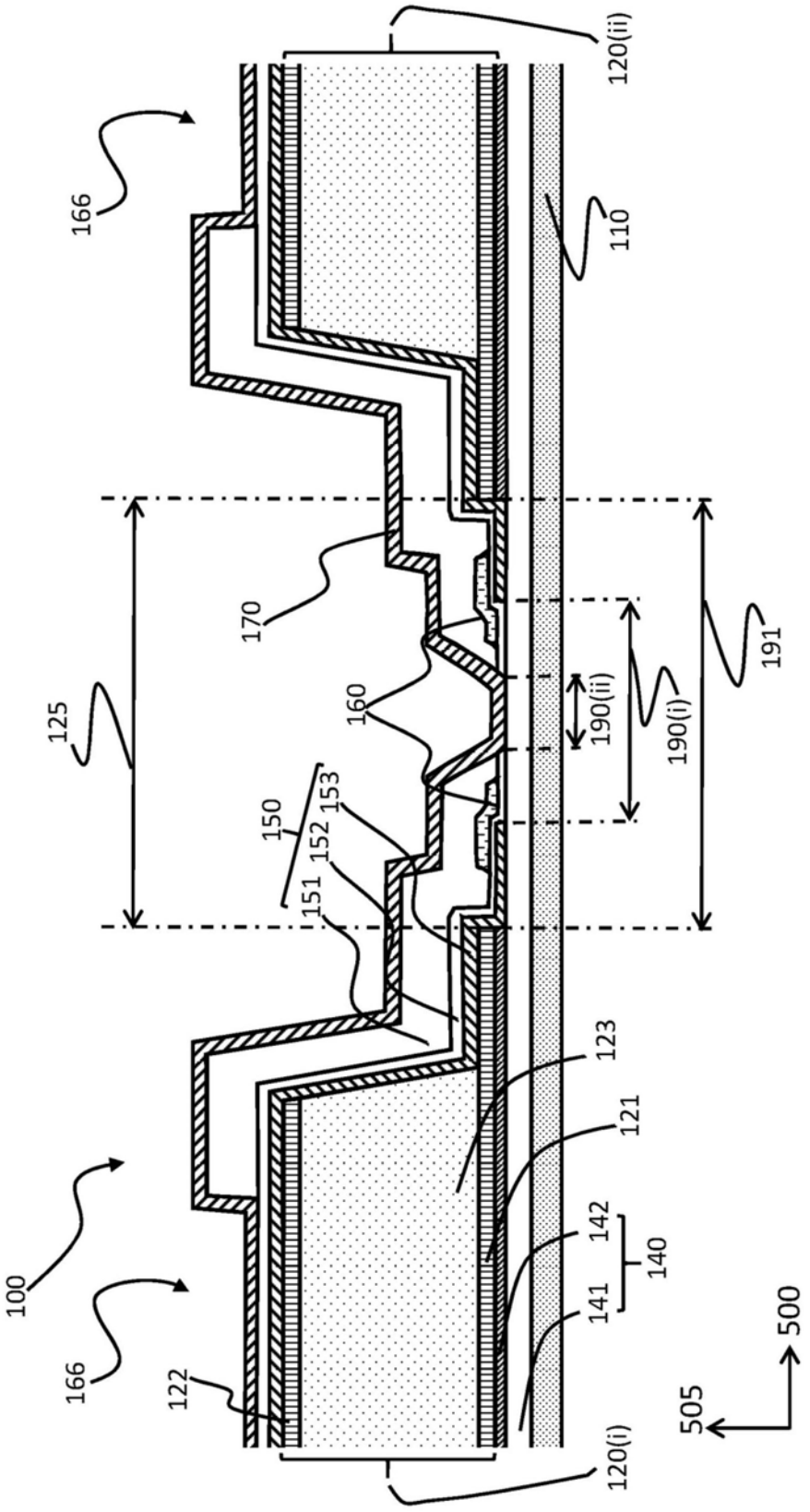

120(ii)
166
110
170
160
125
191
190(ii)
190(i)
150
153
152
151
123
121
142
140
141
100
166
122
120(i)
500
505

图1(b)

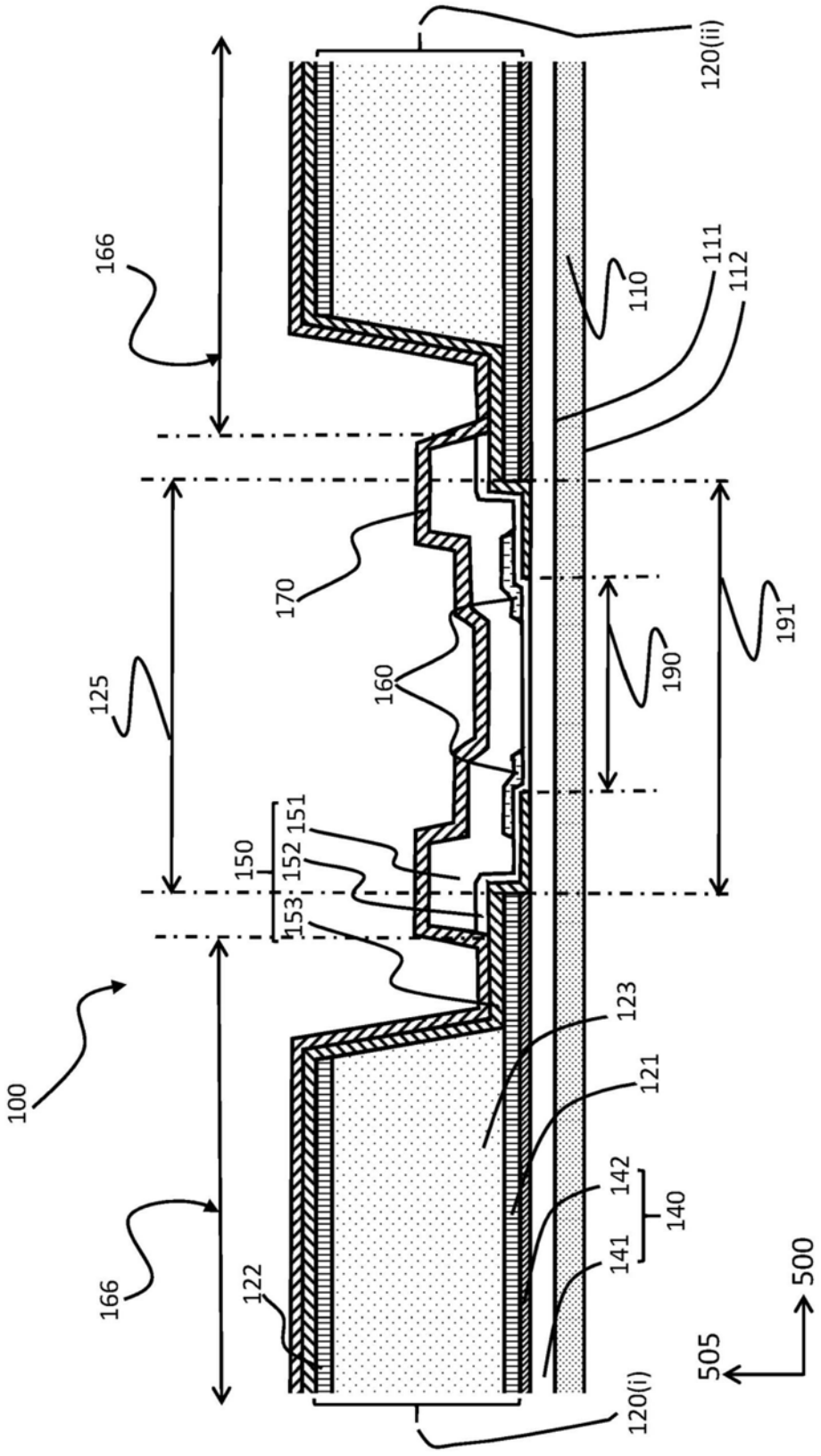

120(ii)
166
111
112
110
170
191
190
160
125
151
150
152
153
123
121
100
142
140
141
166
122
500
505
120(i)

图1(c)

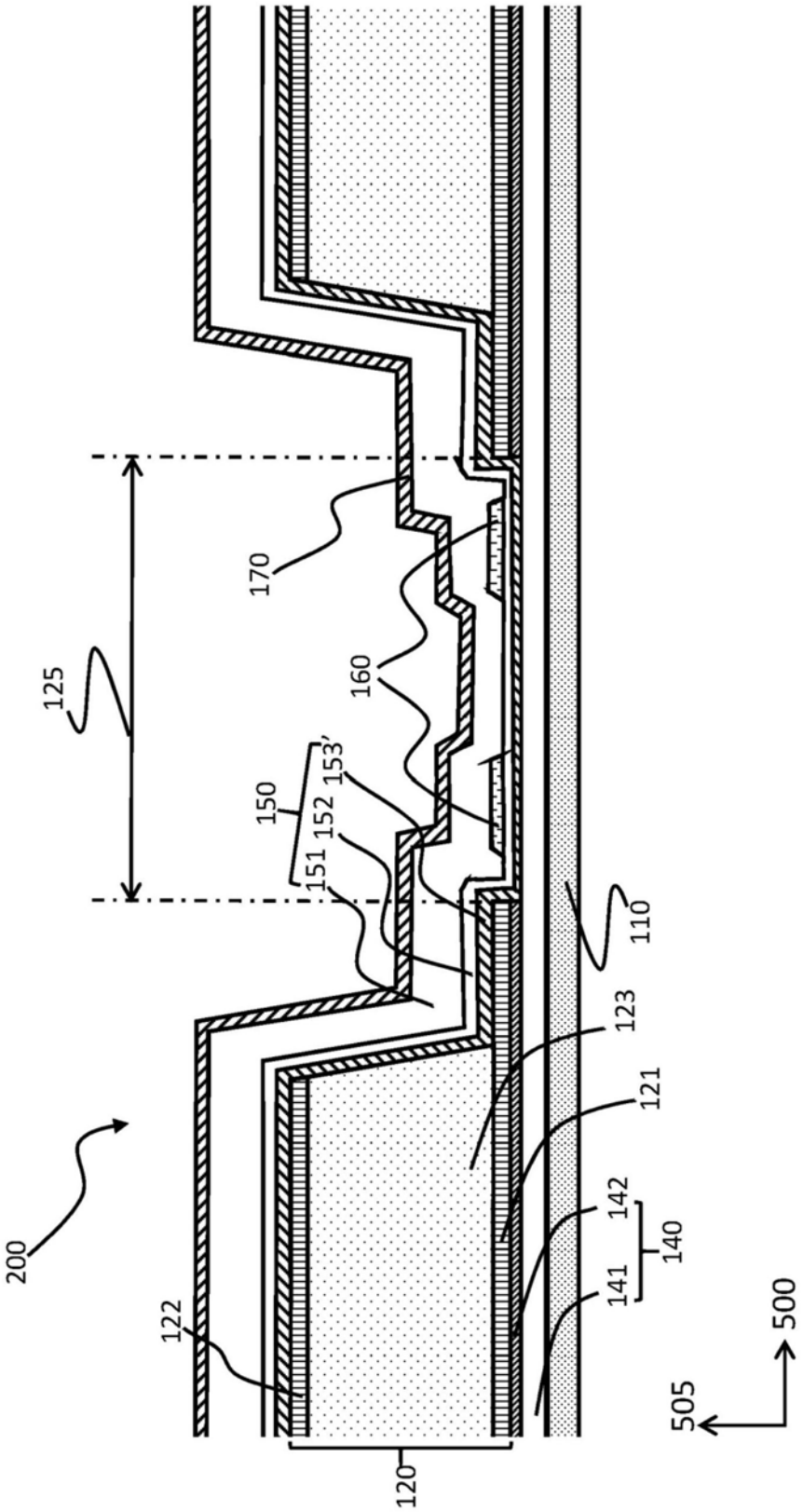

170
160
125
153'
150
152
151
110
123
121
142
140
141
200
122
120
500
505

图2

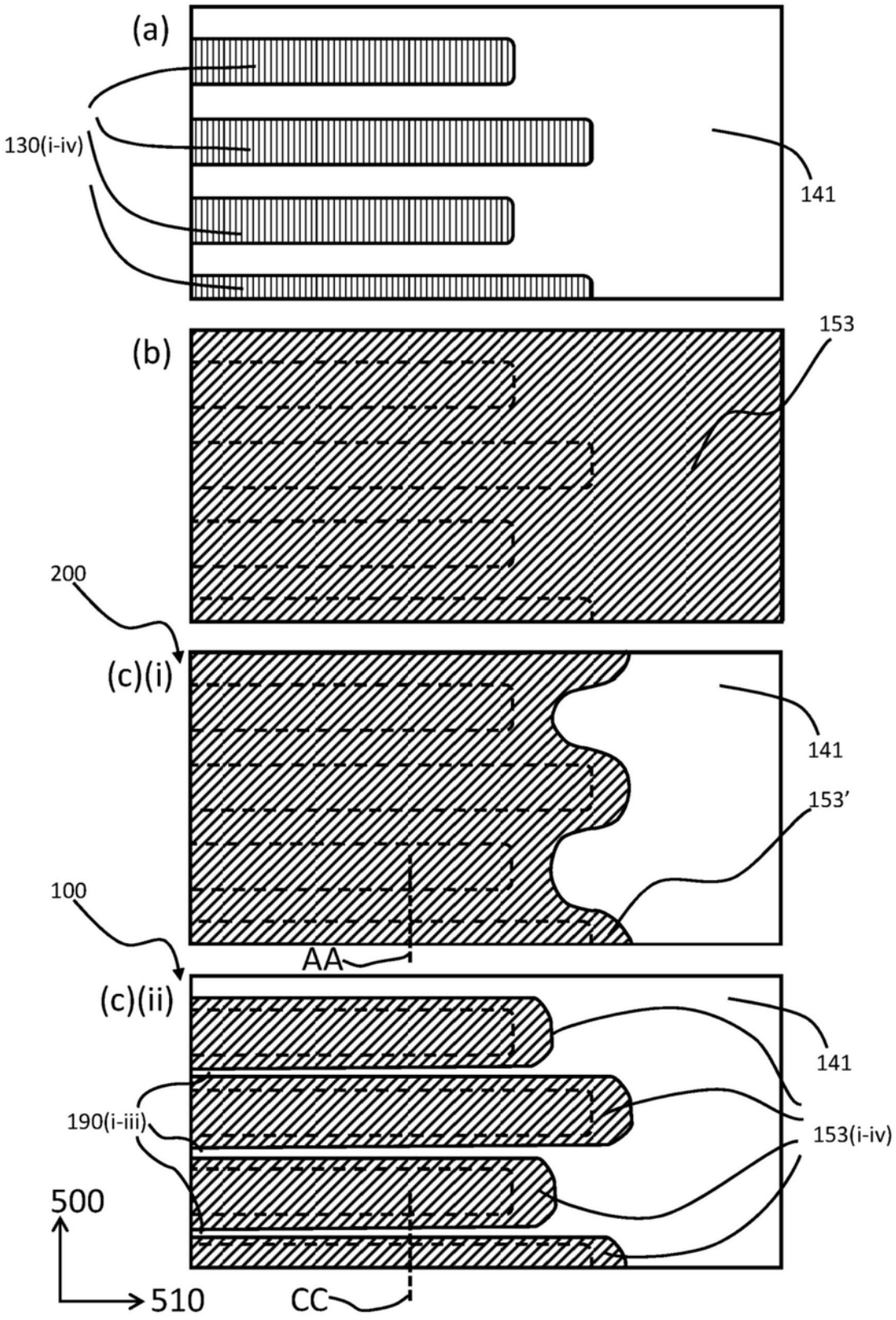

(a)
130(i-iv)
141
(b)
153
200
(c)(i)
141
153'
100
AA
(c)(ii)
141
190(i-iii)
153(i-iv)
500
510
CC

图3

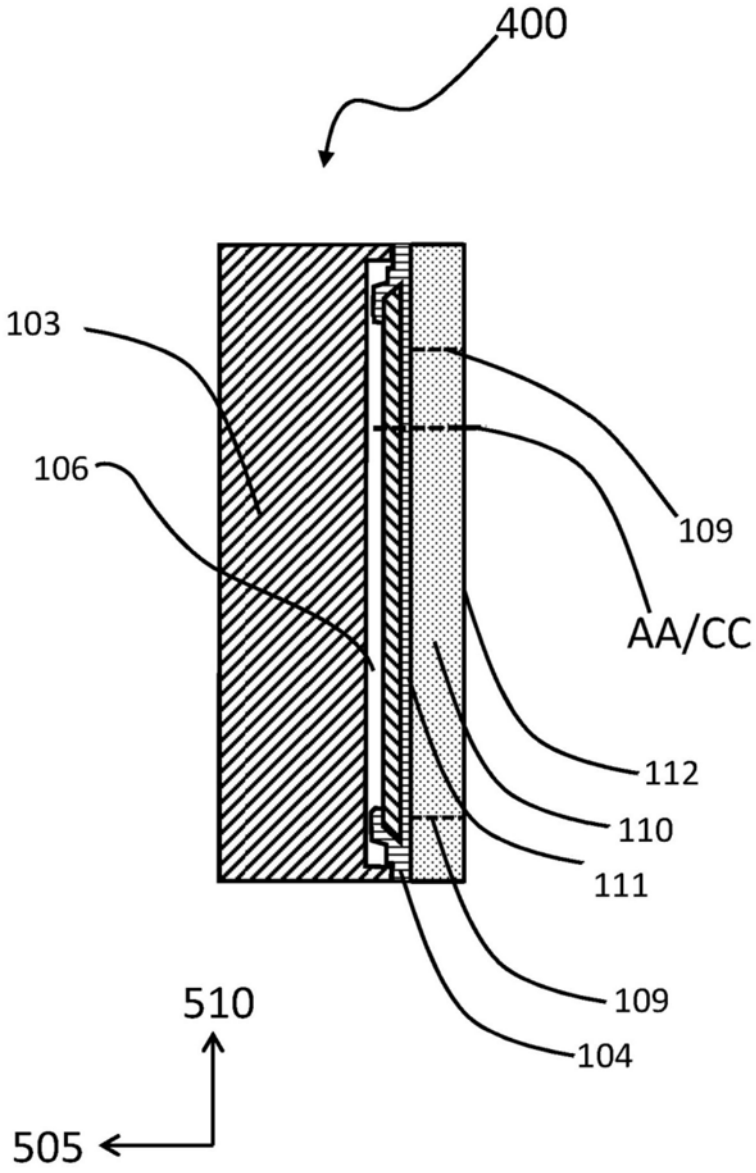


图4

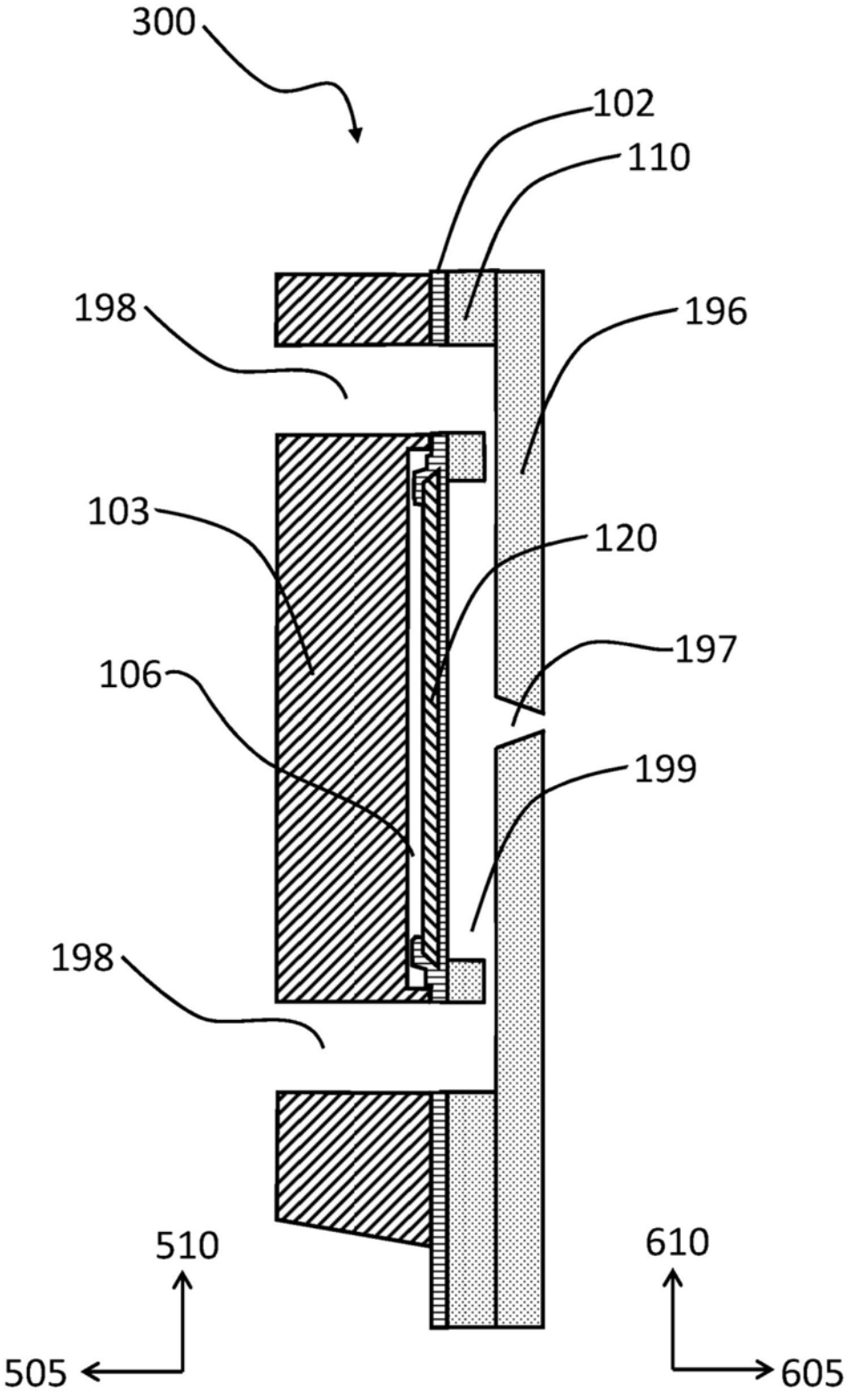


图5

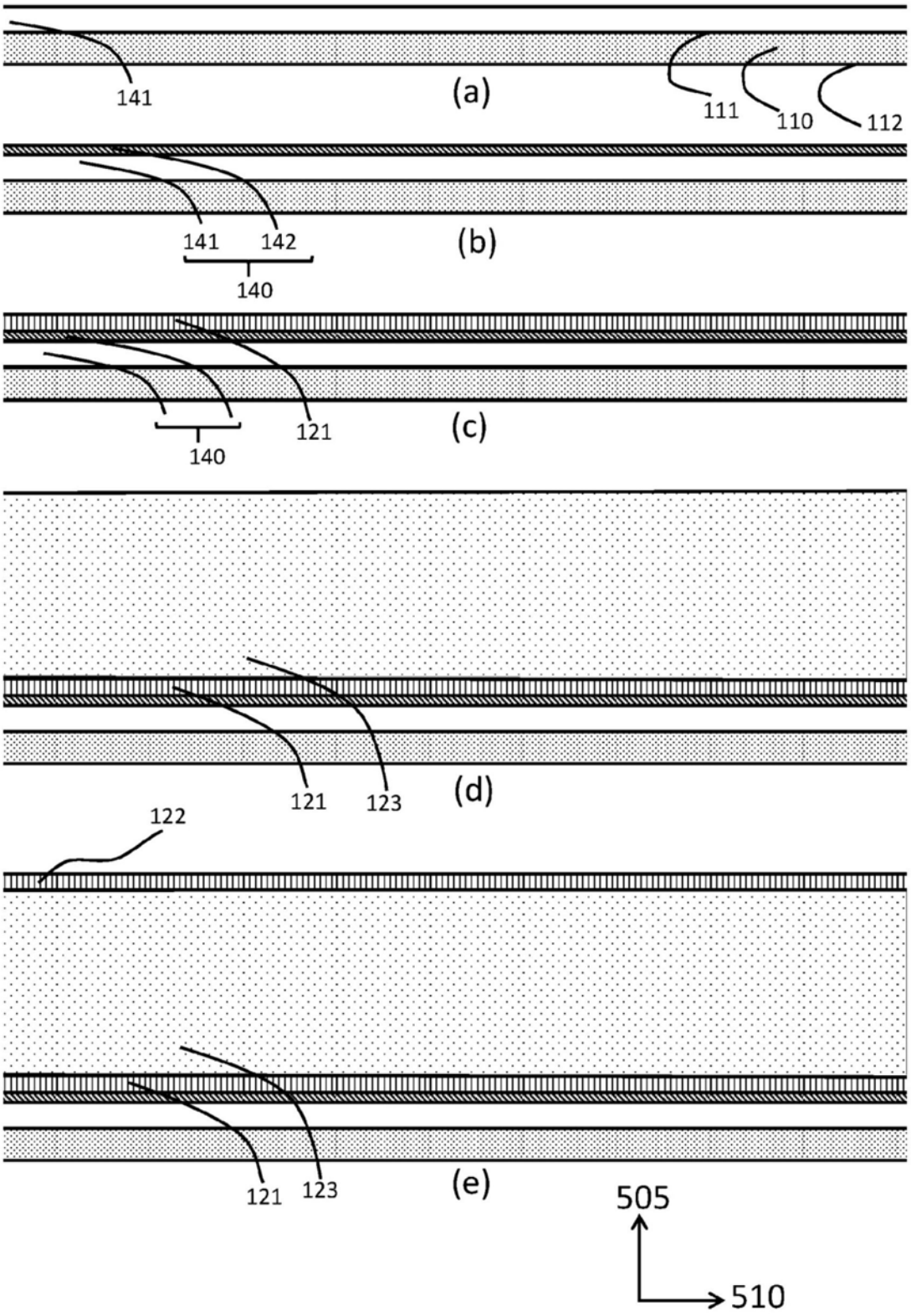

141
(a)
111
110
112
141
142
140
(b)
121
140
(c)
121
123
(d)
122
121
123
(e)
505
510

图6

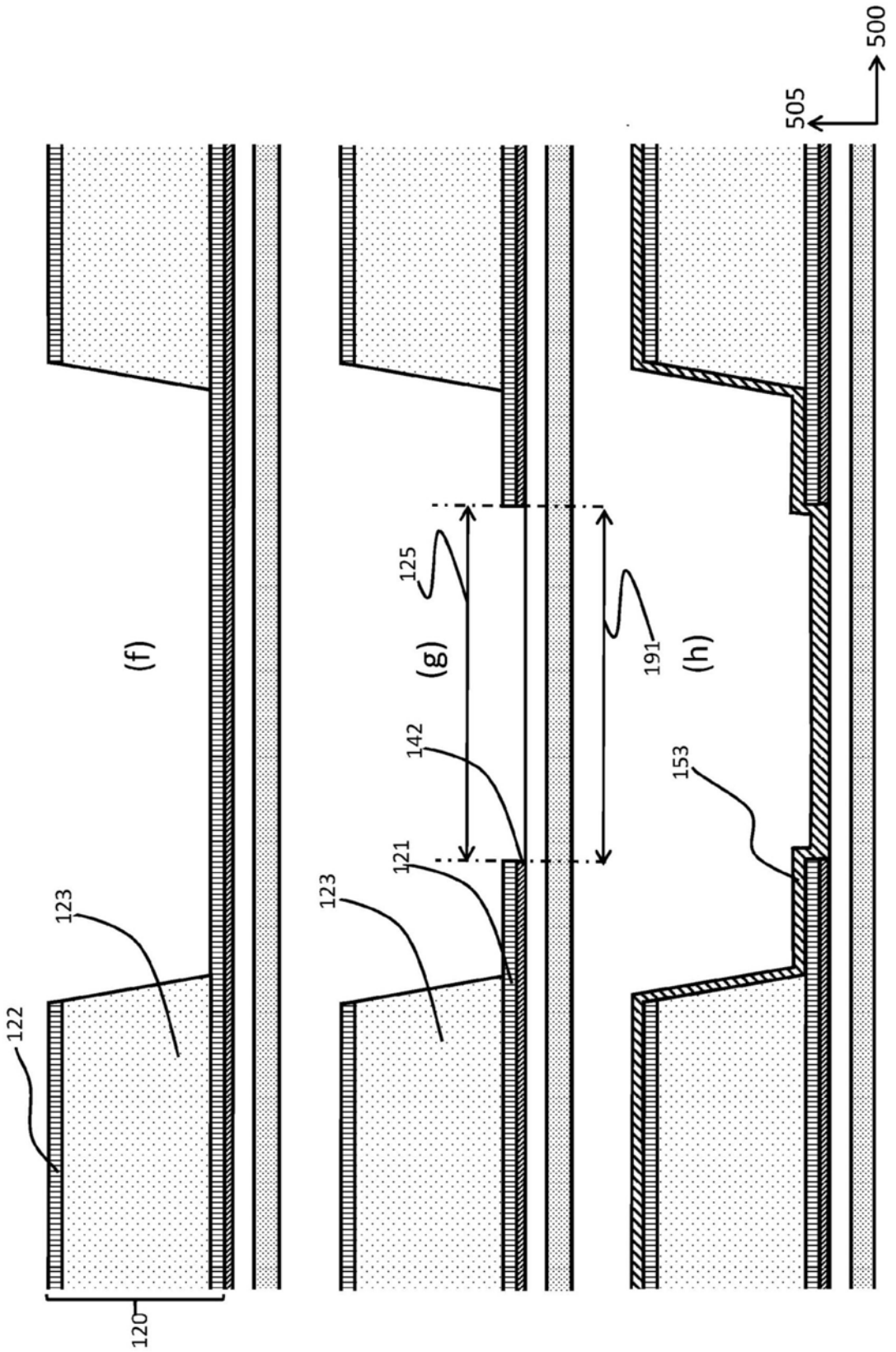


图6

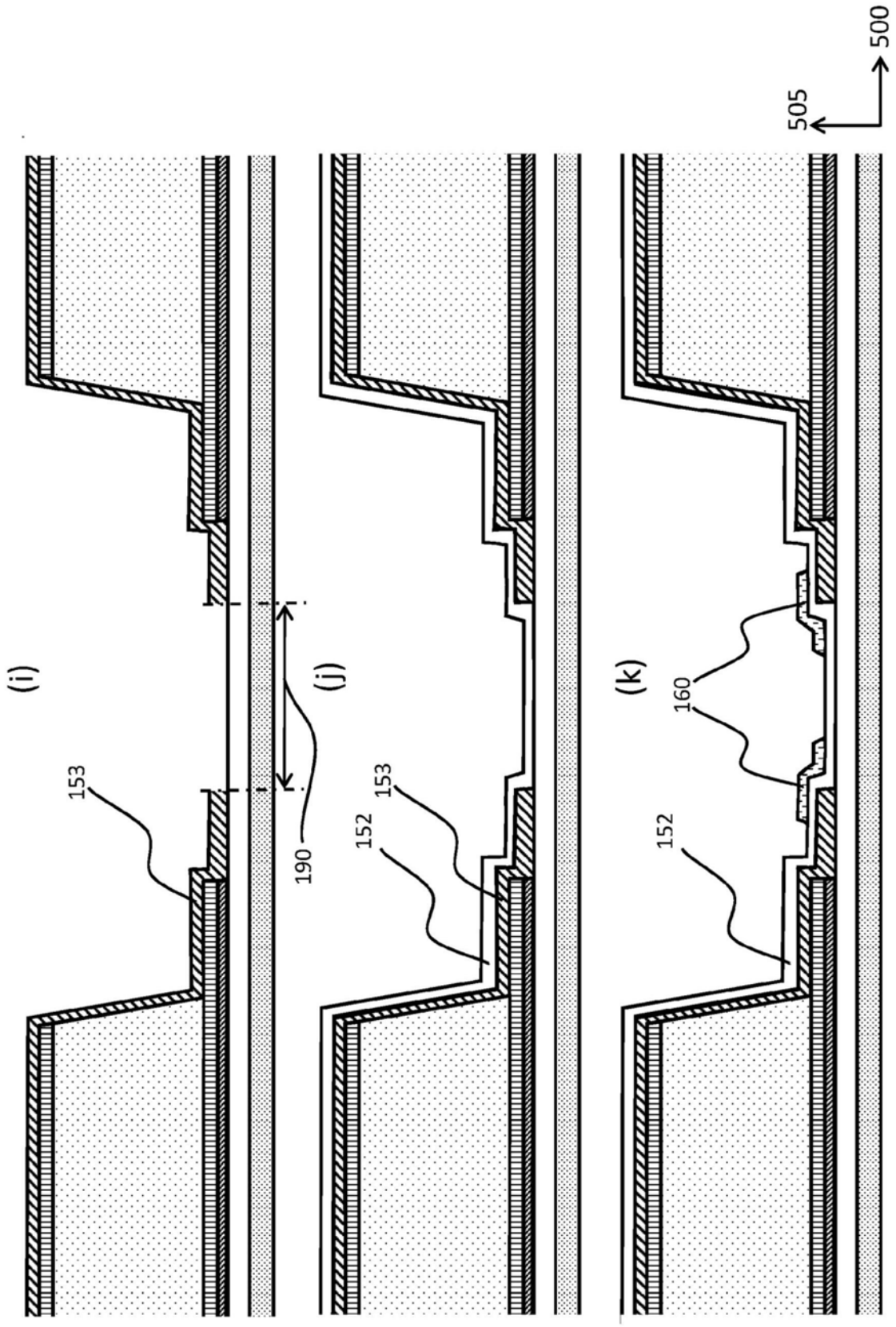


图6

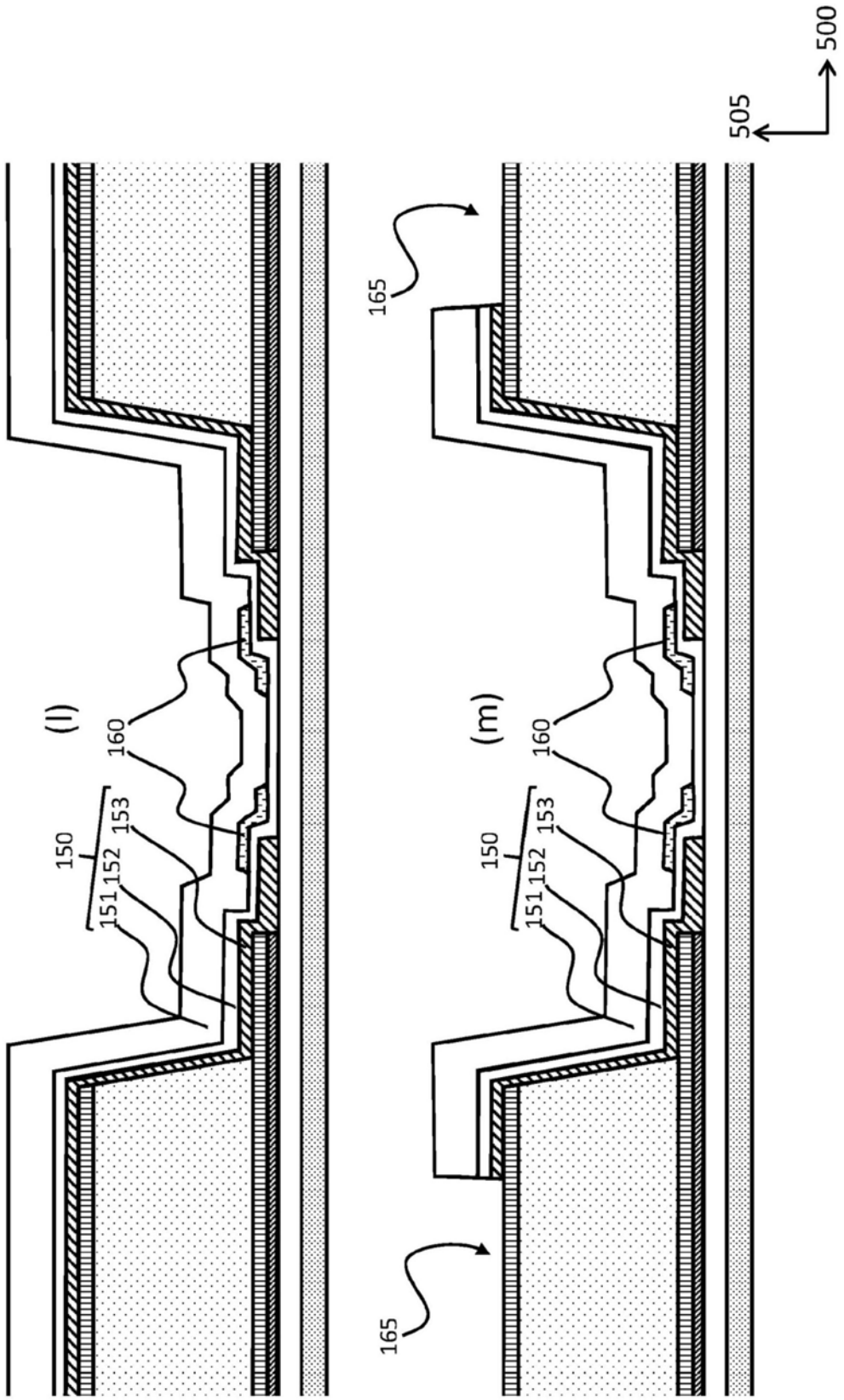


图6