

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294511

(P2005-294511A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.CI.<sup>7</sup>

H05K 9/00

H05K 1/02

F 1

H05K 9/00

H05K 9/00

H05K 1/02

テーマコード(参考)

5E321

5E338

N

審査請求 有 請求項の数 10 O L (全 12 頁)

(21) 出願番号

特願2004-107073 (P2004-107073)

(22) 出願日

平成16年3月31日 (2004.3.31)

(71) 出願人 000233491

日立電子サービス株式会社

神奈川県横浜市戸塚区品濃町504番地2

(74) 代理人 110000198

特許業務法人湘洋内外特許事務所

(72) 発明者 仲沢 菊男

神奈川県横浜市戸塚区品濃町504番地2

日立電子サービス株式会社内

(72) 発明者 熊崎 基澄

神奈川県横浜市戸塚区品濃町504番地2

日立電子サービス株式会社内

F ターム(参考) 5E321 AA14 AA17 AA32 GG01 GG09

5E338 AA01 AA02 AA16 CC06 CD24

EE13

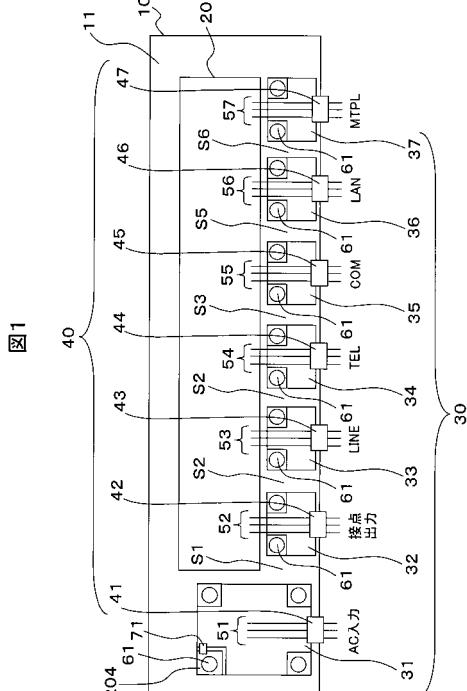
(54) 【発明の名称】コネクタ端子を有する電子回路ユニットおよび回路基板

## (57) 【要約】

【課題】 コネクタ端子部の共通フレームグランドを介して、ノイズが他の信号に、または、他の信号のフレームグランドに伝導すること防止する。

【解決手段】 回路素子群が搭載される回路基板10と、外部との接続を行うための、複数のコネクタ端子31-37と、回路基板10に設けられるフレームグランド30とを有する。フレームグランド30は、複数の分離領域31-37に分離された状態で、回路基板10の縁部に沿って配置される。そして、複数の分離領域31-37は、複数のコネクタ端子41-47に対応して、分散して配置され、分離領域31-17のうち少なくとも一部については、制限回路71を介して接地される。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

回路素子群が搭載され、電子機器の筐体に収容される電子回路ユニットにおいて、

前記回路素子群が搭載される回路基板と、

外部との接続を行うための、複数のコネクタ端子と、

前記回路基板に設けられるフレームグランドと、を有し、

前記フレームグランドは、複数の分離領域に分離された状態で、前記回路基板の縁部に沿って配置され、かつ、前記複数の分離領域は、複数のコネクタ端子に対応して、分散して配置され、

前記分離領域のうち少なくとも一部については、制限回路を介して接地されることを特徴とする電子回路ユニット。 10

**【請求項 2】**

請求項 1 に記載の電子回路ユニットにおいて、

前記制限回路は、抵抗、コンデンサ、抵抗 - コンデンサの並列接続回路、および、抵抗 - コンデンサの並列接続回路のいずれかを回路素子として有するものであることを特徴とする電子回路ユニット。

**【請求項 3】**

請求項 2 に記載の電子回路ユニットにおいて、

前記制限回路は、前記回路素子が素子基板上に形成されたものであることを特徴とする電子回路ユニット。 20

**【請求項 4】**

請求項 1、2 および 3 のいずれか一項に記載の電子回路ユニットにおいて、

前記各分離領域は、前記接地を、接地部材を介して行い、

前記制限回路は、前記制限回路を介在させて接地する分離領域において、当該分離回路と対応する接地部材とに接続されることを特徴とする電子回路ユニット。

**【請求項 5】**

請求項 1、2、3 および 4 のいずれか一項に記載の電子回路ユニットにおいて、

前記分離領域のいずれかは、前記複数のコネクタ端子のうち、2 以上のコネクタ端子に対応して配置されることを特徴とする電子回路ユニット。

**【請求項 6】**

回路素子群およびコネクタ端子を搭載するための回路基板において、

フレームグランドと、

前記フレームグランドを接地するに用いられる制限回路と、を有し、

前記フレームグランドは、複数の分離領域に分離された状態で、当該回路基板の縁部に沿って配置され、かつ、前記複数の分離領域は、複数のコネクタ端子に対応して、分散して配置され、

前記分離領域のうち少なくとも一部については、前記制限回路を介して接地されることを特徴とする回路基板。 30

**【請求項 7】**

請求項 6 に記載の回路基板において、

前記制限回路は、抵抗、コンデンサ、抵抗 - コンデンサの並列接続回路、および、抵抗 - コンデンサの並列接続回路のいずれかを回路素子として有するものであることを特徴とする回路基板。

**【請求項 8】**

請求項 7 に記載の回路基板において、

前記制限回路は、前記回路素子が素子基板上に形成されたものであることを特徴とする回路基板。

**【請求項 9】**

請求項 6、7 および 8 のいずれか一項に記載の回路基板において、

前記接地は、各分離領域対応に接地部材を介して行い、 50

前記制限回路は、前記制限回路を介在させて接地する分離領域において、当該分離回路と対応する接地部材とに接続されることを特徴とする回路基板。

【請求項 10】

請求項 6、7、8 および 9 のいずれか一項に記載の回路基板において、

前記分離領域のいずれかは、前記複数のコネクタ端子のうち、2 以上のコネクタ端子に対応して配置されることを特徴とする回路基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コネクタ端子を有する電子回路ユニットおよびそれに用いられる回路基板に 10 係り、特に、それらのノイズを低減する技術に関する。

【背景技術】

【0002】

近年、電子回路基板からの電気的なノイズを低減することが求められている。そのために、電子回路自体にノイズ対策を施した電子回路基板が提案されている。例えば、高周波ノイズを低減するものとして、パワー I C において、小信号用の接地とその他の信号用の接地とを区別するという技術が開示されている（特許文献 1）。

【0003】

また、電子回路部品の動作時に電源層とアース層との間で電圧変動が生じることにより放射されるノイズ低減を図るものとして、電源層として、第 1、第 2 の電源分離パターンと、第 1、第 2 のアース層領域とを設け、第 1 の電源分離パターンの端部と第 1 のアース分離パターンとを接続する状態でバイパスコンデンサが、また、第 2 の電源分離パターンの端部と第 2 のアース分離パターンとを接続する状態でバイパスコンデンサが設けられ、バイパスコンデンサのそれぞれが、第 1、第 2 電源分離パターンの端部に沿って略一定の間隔で配置されている構造としたものが開示されている（特許文献 2）。

【0004】

さらに、電子装置のケーブルから輻射する不要輻射ノイズを低減するものとして、フレームグランドに接地する接地板にケーブルを固定することによって接地するものが開示されている（特許文献 3）。

【0005】

【特許文献 1】特開 2002-368545 号公報

【0006】

【特許文献 2】特開平 11-87880 号公報

【特許文献 3】特開平 10-242682 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、電子機器において問題となるのは、当該機器内部でのノイズの問題に限られない。すなわち、当該電子機器から他の機器に対してノイズを伝えてしまい、他の機器にノイズの影響を与えてしまうという問題がある。この問題が生ずる原因の 1 つは、コネクタ端子を介して、ノイズが伝導すること、または、ノイズが放射されることにある。

【0008】

しかし、従来、この問題についての対策は採られていない。前述した特許文献 1 では、電子回路基板に搭載される内部回路における設置の問題を扱っている。また、特許文献 2 では、回路基板における電源層とアース層との間での電圧変動の影響を除去するという問題を扱っている。従って、いずれも、コネクタ端子を介したノイズを漏洩するための技術を示すものではない。

【0009】

一方、特許文献 3 では、ケーブルから輻射するノイズを低減するものである。しかし、ケーブルを接地板に接触させて、フレームグランドに接触させるに過ぎない。これによっ

10

20

30

40

50

ても、もちろんある程度のノイズの漏洩を防ぐことができる。

#### 【0010】

しかし、近年、外部に漏洩する電磁ノイズをできる限り低減することが求められており、この特許文献3の対策では十分ではない。もちろん、ノイズを低減させることは技術的に不可能ではない。しかし、コストをかけずにノイズを低減することは必ずしも容易ではない。

#### 【0011】

本発明は、コネクタ端子部のフレームグランドを介して、ノイズが他の信号に、または、他の信号のフレームグランドに伝導することを防止する技術を提供することを目的とする。

10

#### 【課題を解決するための手段】

#### 【0012】

本発明の第1の態様によれば、回路素子群が搭載され、電子機器の筐体に収容される電子回路ユニットにおいて、

前記回路素子群が搭載される回路基板と、

外部との接続を行うための、複数のコネクタ端子と、

前記回路基板に設けられるフレームグランドと、を有し、

前記フレームグランドは、複数の分離領域に分離された状態で、前記回路基板の縁部に沿って配置され、かつ、前記複数の分離領域は、複数のコネクタ端子に対応して、分散して配置され、

前記分離領域のうち少なくとも一部については、制限回路を介して接地されることを特徴とする電子回路ユニットが提供される。

20

#### 【0013】

また、本発明の他の態様によれば、回路素子群およびコネクタ端子を搭載するための回路基板において、

フレームグランドを有し、

前記フレームグランドは、複数の分離領域に分離された状態で、当該回路基板の縁部に沿って配置され、かつ、前記複数の分離領域は、複数のコネクタ端子に対応して、分散して配置され、

前記分離領域のうち少なくとも一部については、制限回路を介して接地されることを特徴とする回路基板が提供される。

30

#### 【発明の効果】

#### 【0014】

本発明によれば、コネクタ端子部のフレームグランドを介して、ノイズが他の信号に、または、他の信号のフレームグランドに伝導することを防止することができる。

#### 【発明を実施するための最良の形態】

#### 【0015】

以下、本発明の実施形態について図面を参照して説明する。

#### 【0016】

図1は、本発明の第1の実施形態における回路基板の構成を示す平面図である。また、図2に、図1に示す回路基板に他の回路部品等搭載して、電子回路ユニットとして、筐体に収容した状態を示す。

40

#### 【0017】

図1に示す本発明の一実施形態に係る回路基板10は、絶縁層11を有し、図2に示す筐体100に収容される。絶縁層11は、例えば、ポリイミド、ガラスエポキシ樹脂等により構成される。一般的には複数層が積層され、各層に、銅等の金属により構成される導体配線が配置される。また、回路基板10には、コネクタ端子群40が設けられる。

#### 【0018】

コネクタ端子群40には、AC入力用の電源用コネクタ端子41、接点出力用コネクタ端子42、ライン用コネクタ端子43、電話用コネクタ端子44、LAN用コネクタ端子

50

46等の複数のコネクタ端子41-47が含まれる。コネクタ端子41には、電源線51が、また、他のコネクタ端子42-47には、それぞれ信号線52-57が接続される。

#### 【0019】

回路基板10には、導体層として、1乃至複数層の電源／グランドパターン20と、フレームグランド30とが、予め定められたパターンで設けられる。また、この他に、図示していないが、信号伝送のための配線パターンが異なる絶縁層上に設けられる。この回路基板10に、図示していない各種回路素子が搭載され、また、コネクタ端子群40が配置されている。

#### 【0020】

フレームグランド30は、絶縁層11の縁部、すなわち、回路基板10が筐体100に収容された際に、コネクタ端子群30と近接する部分に、コネクタ端子群30の配列に対応して配置される。また、フレームグランド30は、スリットS1からS6を挟んで、複数の分離領域31-37に分離されて設けられる。本実施形態の場合、コネクタ端子群40を構成する各コネクタ端子41-47に対応して分散配置される。具体的には、一対一対応に設けられる。このフレームグランド30は、電源／グランドパターン20と同様の導体により、同様の製造プロセス、例えば、フォトエッチングプロセス等を経て設けることができる。また、金属等の導電性の箔を貼り付けることにより構成することもできる。

#### 【0021】

なお、分離領域31-37の全部または一部については、分離せずに設け、実装時に、スリットS1からS6を設けて分離するようにしてもよい。また、予め設けた各スリットS1-S6において、分離領域31-37の隣接する領域について、それぞれ、導電性のフィルム、導体片等の短絡部材により接続して、電気的に一体化しておく。その上で、必要に応じて短絡部材を剥離する等により除去して、スリットによる分離を有効とする構成としてもよい。

#### 【0022】

各分離領域31-37の大きさは、そもそも、グランドとして機能するために、ある程度の面積が必要である。一方、それらが配置される領域等の事情により、その大きさには制約がある。例えば、それが対応するコネクタ端子41-47の大きさ、コネクタ端子配列密度、スリットS1-S6の間隔等に応じて大きさが制限される。

#### 【0023】

各分離領域31-37は、それぞれ、制限回路71と、対応する接地部材61とを介して行われる。そのため、各分離領域31-37は、それぞれ対応する接地部材61とは導通しないよう分離されて配置される。なお、図1では、分離領域31については、回路基板20の上面側に制限回路71を接続パッド204と共に設け、他の分離領域32-37については回路基板20の下面側に、接続パッド202と共に設ける構造となっている。これは、分離領域31の面積が広く、他の分離領域32-37の面積が狭いことに基づいて、制限回路71の実装が容易に行えるように考慮したものである。ただし、本発明は、この態様に限定されるものではない。例えば、抵抗体、コンデンサ等の個別部品を、リード線を介して接続する構成とすることもできる。

#### 【0024】

制限回路71は、接地を安定に行うために設けられる。例えば、抵抗、コンデンサ、抵抗-コンデンサ直列接続回路、および、抵抗-コンデンサ並列接続回路のいずれかを回路素子として有するものが用いられる。また、制限回路71は、回路素子が素子基板上に形成されたものとすることができます。その一例を、図9(A)および(B)に示す。これらの図に示す例は、例えば、セラミック等の絶縁物により構成される素子基板701上に、抵抗素子702が形成され、さらに、その両端に対向電極703, 704が形成されている。抵抗素子702は、薄膜、厚膜等により形成することができる。

#### 【0025】

抵抗を用いる場合には、例えば、数キロから数メガの範囲のものが用いられる。このように、抵抗を介在させることにより、それが接続された分離領域における電位の安定

10

20

30

40

50

を図ることができると共に、静電気を放電することにより、帯電を防止することができる。

#### 【0026】

図9に示す例では、抵抗素子のみが設けられている。しかし、この抵抗素子に代えて、または、抵抗素子と直列に、若しくは、並列に、コンデンサを配置することもできる。

#### 【0027】

コンデンサを用いる場合には、例えば、数十 pF から数十 μF の範囲のものが用いられる。このように、コンデンサを介在させることにより、低周波ノイズを遮断することができる。

#### 【0028】

コンデンサと抵抗とを直列に接続した抵抗 - コンデンサ直列接続回路は、例えば、数から数十 の抵抗と、数十 pF 以上のコンデンサとの直列接続回路が用いられる。このように、抵抗 - コンデンサ直列接続回路を介在させることにより、当該回路の周波数特性に応じて、低周波ノイズの遮断、中周波ノイズの低減、および、高周波ノイズの通過を図ることができる。

#### 【0029】

また、コンデンサと抵抗とを並列に接続した抵抗 - コンデンサ並列接続回路は、例えば、数キロ から数メガ の範囲の抵抗と、数十 pF から数十 μF の範囲のコンデンサとが用いられる。このように、抵抗 - コンデンサ並列接続回路を介在させることにより、分離領域における電位の安定を図ることができると共に、静電気を放電すること、直流を遮断すること、および、低周波ノイズを遮断することができる。

#### 【0030】

分離領域の接地は、具体的な態様としては、導電性を有する連結部材、圧接部材等を接地部材として用いて、各分離領域31-37と筐体100（筐体100と電気的に等価な接地点を含む）とを制限回路71を介して連結することにより行う。連結部材および圧接部材としては、各分離領域31-37と筐体100とを制限回路71を介して電気的に接続できる導電性を有するものであればよい。連結部材は、回路基板10を筐体100に物理的に固定された状態で接地を行う。逆に、各分離領域31-37と筐体100とを制限回路71を介して接続する機能と、回路基板10を筐体100に物理的に固定する機能とを併有する構造とすることができる。ただし、物理的固定手段が他にある場合には、物理的に固定する機能を有しないものであってもよい。圧接部材は、弾性を有する部材を有し、弾性を有する部材を、付勢された状態で、回路基板10と筐体100との間に介在させて、回路基板10と筐体100とに密接した状態で接地を行う。連結部材および圧接部材については後述する。

#### 【0031】

なお、本実施形態の場合、各分離領域31-37について制限回路71を介して接地する構造としているが、本発明は、これに限られない。一部の分離領域については、接地部材を介して直接的に接地する構造とすることができます。すなわち、その電子回路ユニットの特性、ノイズ環境等に応じて最適な接地状態とすることができます。

#### 【0032】

各分離領域31-37に接続される制限回路71は、同一の特性のものに限られない。分離領域毎に異なる回路構成のもの、抵抗値等の回路パラメータが異なるものを選択して接続し、最適な特性を実現することができる。例えば、回路基板10を筐体100に組み込んで、性能を確認する際に、各分離領域について、制限回路71を接続したり、外したり、さらに、接続を外して短絡したりすることを行って、最適な接地状態を実現することができる。また、介在させるべき制限回路71として、回路構成の異なるもの、さらに、抵抗値、キャパシタンス等の値が異なるもの等を複数種用意しておき、ノイズが最も低減されるものを選択して接続する構成とすることができます。このような構成とすることにより、ノイズ低減を効果的に行うことができる。また、同一仕様の電子回路ユニットについて、各分離領域31-37について、接続すべき制限回路71（浮かせる場合、短絡させ

10

20

30

40

50

る場合を含む)を予め決定しておくことにより、ノイズ低減対策を、量産ラインにおいて効率よく行うことができる。

#### 【0033】

また、介在させるべき制限回路71を着脱可能に接続する構成とすることにより、電子回路ユニットの接地現場において、制限回路71を他の回路構成、他の回路パラメータのものと差し替えること、制限回路を外して、浮かせること、または、短絡することが、必要に応じて適宜行える。これにより、電子回路ユニットについて、それが接地される現場において、そのノイズ環境に合わせて最適化な接地状態とすることができます。ノイズは、現場の環境に応じて種々の発生態様となるため、標準的な設計のみでは対応しにくい場合もある。従って、現場での調整を可能としておくことにより、その場のノイズ環境に適したノイズ低減が容易に行い得る。10

#### 【0034】

分離領域31においては、接地部材61は、図1に示すように、分離領域31の面積を考慮して、分離領域の四隅に1個ずつ設けている。一方、分離領域32-37においては、対応する接地部材61は、図1に示すように、分離領域32-37のそれぞれに2箇所ずつ設けられている。なお、これは、例示であり、配置される位置および個数は、これに限られない。

#### 【0035】

次に、スリット幅について検討する。スリット幅は、低減すべきノイズの大きさに応じて定まる。例えば、VCCI(情報処理等電波自主規制協議会)のクラスB規制値では、20

#### 【0036】

150kHzから30MHzの範囲でのノイズである伝導ノイズについては、

$$\begin{aligned} \text{伝導ノイズ: } & (46 \text{ dB } \mu\text{V} \sim 67 \text{ dB } \mu\text{V}) \\ & (200 \mu\text{V}) \sim (2.2 \text{ mV}) \end{aligned}$$

となる。そして、この場合には、スリット幅、すなわち、分離領域31-37の隣接する領域間の間隔は、2から3mm程度であればよい。

#### 【0037】

また、30MHzから1GHzの範囲での電波ノイズ(放射ノイズ)については、

$$\begin{aligned} \text{電波ノイズ: } & 40 \sim 47 \text{ dB } \mu\text{V/m} \\ & (100 \mu\text{V/m}) \sim (220 \mu\text{V/m}) \end{aligned}$$

となる。そして、この場合には、スリット幅は、1から2mm程度であればよい。

#### 【0038】

一方、スリットS1-S6のそれぞれの幅は、広いほどノイズの低減性能が向上する。例えば、ノイズレベルが前述した規制値を10%程度超えるような場合、当該部位におけるスリット幅を10%広くすることにより、規制値に抑え込めるようにすることができる。

#### 【0039】

上述した回路基板は、コネクタ端子群30を取り付け、かつ、図示していない回路素子群を搭載して、筐体100に収容する。図2においては、筐体100を分離領域36において、切断した状態を示す。すなわち、分離領域36と、接地部材61と、制限回路71とが表れている。また、図2では、コネクタ端子の構造部についての図示は省略して、信号線56のみを示している。40

#### 【0040】

次に、本発明によるノイズ抑止の原理について、図3および図4を参照して説明する。図3に、フレームグランドを共通フレームグランドとした場合を示す。また、図4に、フレームグランドに、本発明を適用して複数の分離領域に分離したもの用いた場合を示す。いずれの場合も、信号グランドのP部に、局所的にノイズ電圧が発生した場合を例として説明する。なお、説明の便宜のため、図1に示す回路基板より簡単な回路構成としてある。50

(信号グランドノイズ電流が他の信号線に伝導する場合)

図3に示す共通フレームグランドを用いた回路では、信号グランド25のP部に局所的に発生したノイズ電圧が、ノイズ電流Iaとして、容量C1、C2を通って、信号ケーブル90の信号線91に伝導する。その結果、このノイズ電流に起因して、外部に放射ノイズを発生させ、EMI特性を低下させる。ここで、C1は、信号グランド25と共通フレームグランドCFGとの間の浮遊容量である。また、C2は、共通フレームグランドCFGと信号線91との間の浮遊容量である。

#### 【0041】

信号グランドのような平板導体の場合、ノイズの平行平板共振によって、強度が局部的大きくなる部分(例えば、P部)が発生する。このようなノイズは、数百メガヘルツと高周波のため、容量C1、C2を通りやすく、外部に伝導しやすい。フレームグランドが共通の場合に、このノイズがすべての信号にのる可能性がある。この場合、ほとんどすべての信号についてフィルタを入れることによって対処することも考えられるが、ノイズ対策が複雑となる。

#### 【0042】

なお、局部的ノイズとしては、他にLSIの電源電流ノイズ等が考えられる。

#### 【0043】

これに対して、本発明を適用して、フレームグランドを複数の分離領域30aから30cに分離した場合、図4に示すように、各分離領域30aと30bとの間、30bと30cとの間が、直流的には非導通となる。一方、高周波的にも、浮遊容量C3を小さくすることができるところから、ここを通るノイズ電流を小さくすることができる。その結果、ノイズが他の部分に拡散することを防止することができるため、一部の信号についてフィルタを入れるだけで対処することが可能となる。従って、ノイズ対策が非常に簡便なものとなる。

(外部信号のフレームグランドノイズ電流が他の信号のケーブルフレームグランド95または他の信号ラインに伝導する場合)

他の信号のケーブルフレームグランド95または他の信号ラインに伝導したノイズ電流Icは、伝導ノイズまたは放射ノイズとなり、EMI特性を低下させる。フレームグランドが共通の場合、このノイズがすべての信号にのる可能性がある。そのため、すべての信号についてフィルタを入れるなどの対策が必要となる。

#### 【0044】

しかし、本発明の場合、フレームグランドが複数に分離されているため、前述した理由から、ノイズ電流Icがフレームグランド30bから他のフレームグランド(例えば、30a)に流れることがなくなる。そのため、すべてのフレームグランドにノイズがのるという事態になることが避けられる。そのため、一部の信号についてのみノイズ対策をすれば足り、対策が簡便になる。

#### 【0045】

なお、以上に述べた本発明が解決しようとする課題は、フレームグランドが筐体に対して浮いている場合でも、また、筐体と接続されている場合でも、同じである。

#### 【0046】

次に、接地部材の具体例について説明する。ここでは、連結部材と圧接部材とについて説明する。もちろん、接地部材は、連結部材と圧接部材に限られるものではない。

#### 【0047】

連結部材の一例として、図6に示す形態ものを用いることができる。図6に示す連結部材601は、棒状体601aと、その両端にそれぞれねじ部601bおよび601cとを有する。棒状体601aと、ねじ部601bおよび601cとは、いずれも金属により形成される。また、棒状体601aと、ねじ部601bおよび601cとは、本実施形態では一体に形成されている。この連結部材601を、非金属材料によりその形態を形成し、その表面に金属膜をコーティングして導電性を持たせることにより構成してもよい。

#### 【0048】

10

20

30

40

50

この連結部材 601 は、ねじ部 601c を、筐体 100 の底面 101 に設けられているねじ孔 102 にねじ込み、さらに、他のねじ部 601b を、回路基板 20 に設けられている貫通孔 201 に通し、かつ、接続パッド 204 の貫通孔を通して、先端側を回路基板 20 の上面側に突出させる。このねじ部 601b の先端側にナット 601d をねじ込んで、連結部材 601 を回路基板 20 に固定する。これにより、回路基板 31 が連結部材 601 により筐体 100 に固定される。また、分離領域 31 (31 に限られないが、ここでは代表して 31 を示す) が、制限回路 71 と、接続パッド 204 とを介してナット 601d と導通する。その結果、分離領域 31、制限回路 71、接続パッド 204、ナット 601d、ねじ部 601b、棒状体 601a、ねじ部 601c、ねじ孔 102、筐体 100 の順に電流路が形成され、分離領域 31 が筐体 100 に接地されることとなる。ここでは、すべて導体による電流路が形成される。なお、図 6、図 7 に示すように、回路基板 20 の裏面側に接続パッド 202 を設ける構成としてもよい。その場合には、接続パッド 202 と分離領域 31 とを導通する手段を別途設けておく。

10

## 【0049】

連結部材としては、この他に、例えば、導電性皮膜をコーティングしたボルト、金属製のボルト、鳩目金具、リード線等の部材が挙げられる。

## 【0050】

次に、圧接部材の第 1 の例について、図 7 を参照して説明する。図 7 に示す圧接部材 603 は、頭部 603a および支持部 603b を有するボルト形状の部材と、コイルばね 603d とにより構成される。支持部 603b は、少なくともその先端側にねじ部 603c が設けられている。この圧接部材 603 は、ボルト形状部分と、コイルばね 603d とがいずれも金属により設けられている。

20

## 【0051】

この圧接部材 603 は、支持部 603b を、回路基板 20 に設けられた貫通孔 201 に通し、先端側のねじ部 603c を、筐体 100 の底面 101 に設けられたねじ孔 102 にねじ込む。その際、支持部 603b を、コイルばね 603d に通しておく。この状態で、支持部 603b のねじ部 603c がねじ孔 102 にねじ込まれると、コイルばね 603d が圧縮付勢されて、回路基板 20 に設けられた接続パッド 202 と、筐体 100 の底面 101 との間で、端部がそれぞれに圧接されることとなる。その結果、回路基板 20 が固定支持されると共に、接続パッド 202 がコイルばね 603d を介して筐体 100 に接地されることとなる。

30

## 【0052】

接続パッド 202 は、分離領域 31 と導通させておく。接続パッド 202 は、制限回路 71 を介して別の接続パッド 204 に接続される。ここで、接続パッド 204 は、ビア 03 を介して、基板表面の分離領域 31 と導通する。

## 【0053】

なお、図 7 の例では、ボルト形状の部材を、導電性を有する部材、例えば、金属により形成することによって、このボルトを介して接地することも可能となる。もちろん、ボルトとコイルばねの両者により接地することも可能である。

40

## 【0054】

次に、圧接部材の第 2 の例について、図 8 を参照して説明する。図 8 に示す圧接部材 605 は、板ばね 605a により構成される。この板ばね 605a は、例えば、導線性を有する部材、具体的には金属、さらに具体的には、燐青銅板等により構成することができる。図 8 の例では、基本的な形状として、板材を二つ折りにした形状を有する。また、その両端部に、電気的接続をより良好とするための接続部 605b および 605c が設けられている。これらの接続部 605b および 605c は、例えば、端面を切削することにより形成される。また、板ばね 605a の端部を折り返して平面部とすることにより形成することもできる。

## 【0055】

この圧接部材 605 は、回路基板 20 と筐体 100 の底面 101 との間に配置される。

50

その際、押圧付勢した状態におく。この状態により、圧接部材 605 は、板ばね 605a 7 が圧縮付勢されて、接続部 605b が回路基板 20 に設けられた接続パッド 202 と、また、接続部 605c が筐体 100 の底面 101 と、それぞれ圧接されることとなる。その結果、接続パッド 202 が、接続部 605b、板ばね 605a、および、接続部 605d を介して筐体 100 に接地されることとなる。なお、接続パッド 202 は、分離領域 31 と導通させておく。また、この例の場合には、回路基板 20 を固定する他の手段を設けておく必要がある。

#### 【0056】

接続パッド 202 は、分離領域 31 と導通させておく。この接続パッド 202 は、ビア 203 を介して接続パッド 204 と接続される。接続パッド 204 は、制限回路 71 を介して分離領域 31 に接続される。

#### 【0057】

なお、図 8 の例では、板ばね 605 を金属で形成した例を示したが、これに限られない。例えば、弾性のある絶縁材料により板ばねを形成し、その表面に導電性皮膜をコーティングする構成としてもよい。

#### 【図面の簡単な説明】

#### 【0058】

【図 1】図 1 は本発明の第 1 の実施形態に斯かる回路基板の構成を示す平面図である。

【図 2】図 2 は、第 1 の実施形態の回路基板を電子回路ユニットとして筐体に収容した状態を切断面で示す説明図である。

【図 3】図 3 は、共通フレームグランドを用いた場合におけるノイズ伝導の状態を示す説明図である。

【図 4】図 4 は、本発明の分離フレームグランドを使用した場合におけるノイズ伝導の状態を示す説明図である。

【図 5】図 5 は、本発明の他の実施形態一実施形態に係る回路基板の構成を示す平面図である。

【図 6】図 6 は、連結部材の一例の構成を示す説明図である。

【図 7】図 7 は、圧接部材の第 1 の例の構成を示す説明図である。

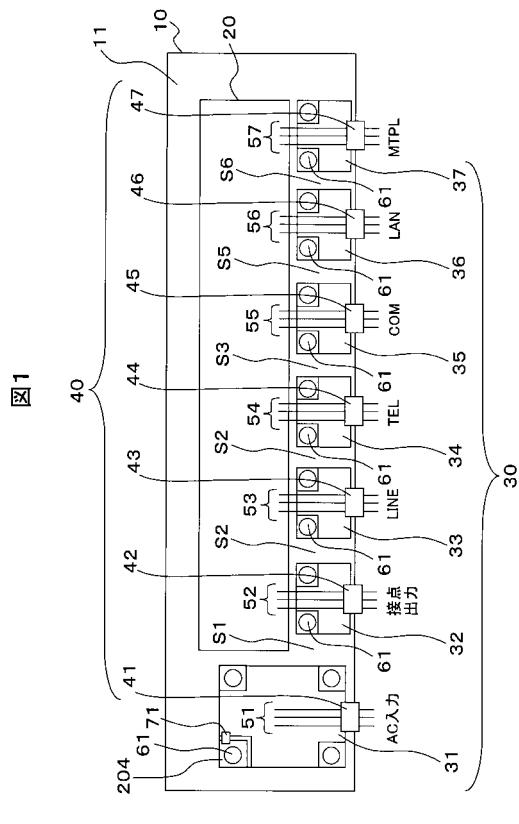
【図 8】図 8 は、圧接部材の第 1 の例の構成を示す説明図である。

#### 【符号の説明】

#### 【0059】

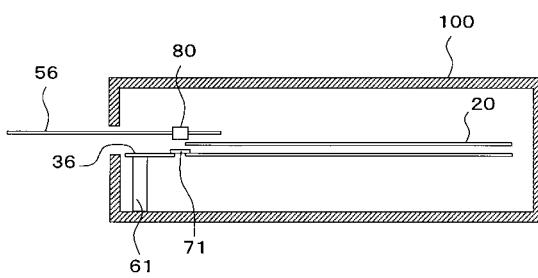
10 ... 回路基板、11 ... 絶縁層、20 ... 電源 / グランドパターン、30 ... フレームグランド、31 - 37 ... 分離領域、40 ... コネクタ端子群、41 - 47 ... コネクタ端子、51 ... 電源線、52 - 57 ... 信号線、61 ... 接地部材、601 連結部材、603, 605 ... 圧接部材、71 ... 制限回路、100 ... 筐体、201 ... 貫通孔、202、204 ... 接続パッド。

【図1】



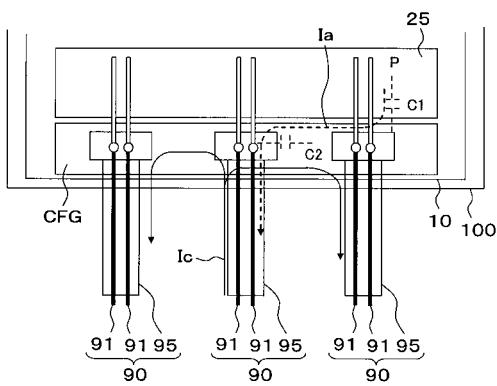
【図2】

図2



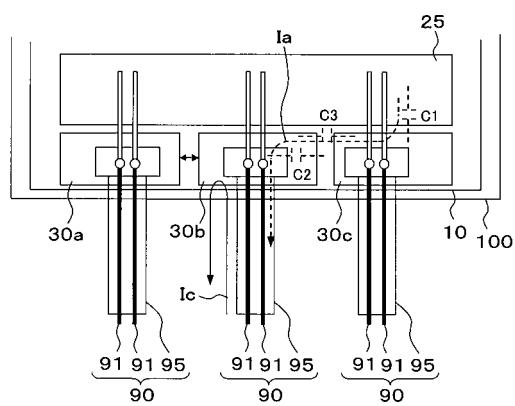
【図3】

図3

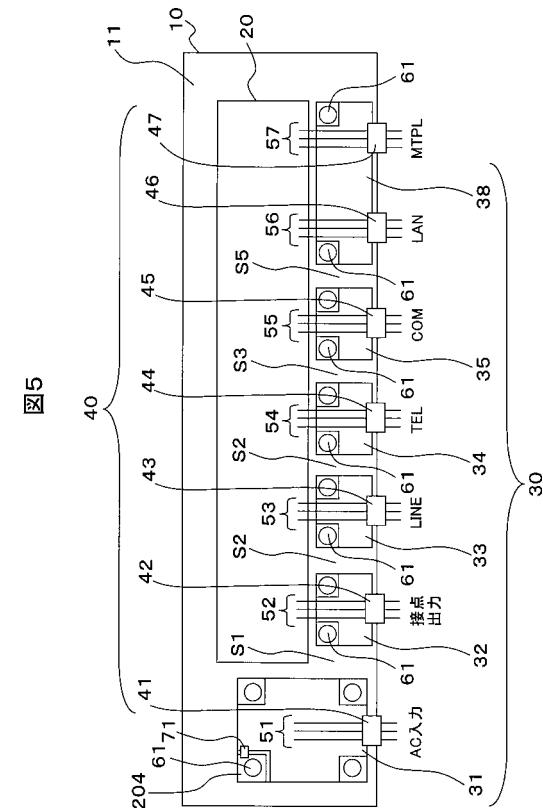


【図4】

図4

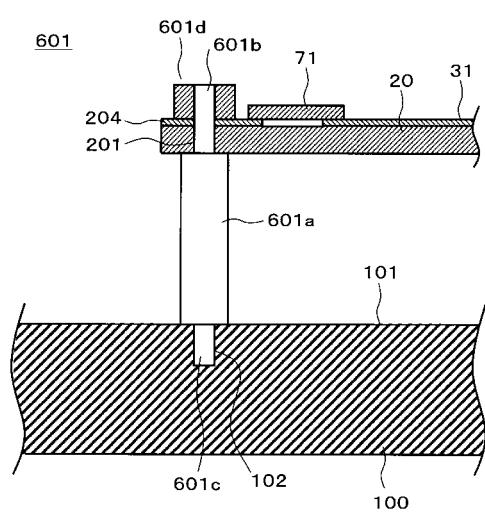


【図5】



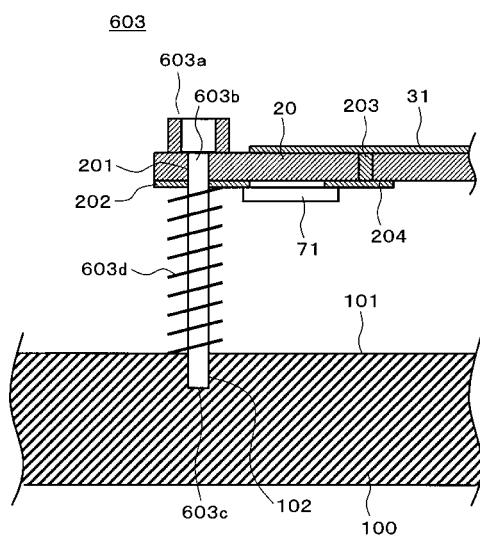
【図6】

図6



【図7】

図7



【図8】

図8

