

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 7월 21일 (21.07.2016)



(10) 국제공개번호
WO 2016/114461 A1

- (51) 국제특허분류:
G01R 29/12 (2006.01) **G01R 29/08** (2006.01)
- (21) 국제출원번호:
PCT/KR2015/007103
- (22) 국제출원일:
2015년 7월 9일 (09.07.2015)
- (25) 출원언어:
한국어
- (26) 공개언어:
한국어
- (30) 우선권정보:
10-2015-0006984 2015년 1월 14일 (14.01.2015) KR
- (71) 출원인: 서울대학교산학협력단 (SNU R&DB FOUNDATION) [KR/KR]; 151-742 서울시 관악구 관악로 1, Seoul (KR).
- (72) 발명자: 민상철 (MIN, Sang Lyul); 137-936 서울시 서초구 남부순환로 2311-12, 104 동 1802 호 (래미안 방배아트힐), Seoul (KR). 이용훈 (LEE, Yong Hun); 151-923 서울시 관악구 난곡로 30, 105 동 2003 호 (신림동, 관악산 휴먼시아 1 단지 아파트), Seoul (KR).

(74) 대리인: 특허법인 무한 (MUHANN PATENT & LAW FIRM); 135-814 서울시 강남구 학동로 3길 9, 5층 (논현동, 명림빌딩), Seoul (KR).

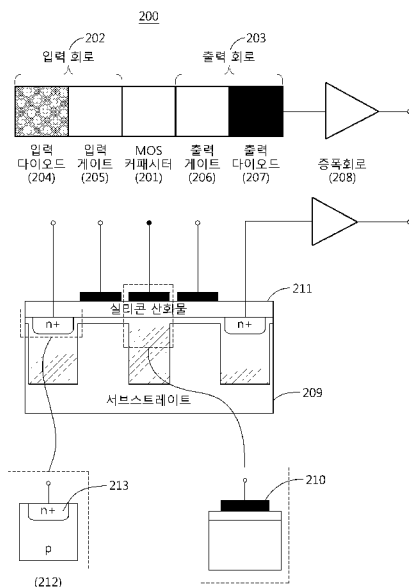
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[다음 쪽 계속]

(54) Title: DEVICE AND METHOD FOR MEASURING ELECTRIC FIELD BY USING MOS CAPACITOR

(54) 발명의 명칭 : MOS 커패시터를 이용한 전기장 측정 장치 및 방법



201 ... MOS capacitor
202 ... Input circuit
203 ... Output circuit
204 ... Input diode
205 ... Input gate
206 ... Output gate
207 ... Output diode
208 ... Amplification circuit
209 ... Substrate
211 ... Silicon oxide

(57) Abstract: One embodiment provides a technique of adjusting a gate voltage to be applied to at least one MOS capacitor and an amount of electric charges to be stored in the MOS capacitor so as to determine sensitivity of a change in the amount of electric charges stored in the MOS capacitor, and exposing the MOS capacitor to an electric field for a predetermined amount of time and then reading an electron inflow or outflow result due to the electric field so as to interpret the intensity and the direction of the electric field, thereby measuring the intensity and the direction of the electric field.

(57) 요약서: 일 실시예는 적어도 하나의 MOS 커패시터에 인가되는 게이트 전압 및 MOS 커패시터에 저장되는 전하량을 조절하여 MOS 커패시터에 저장된 전하량 변화의 민감도를 결정하고, 일정 시간 전기장에 노출시킨 후 전기장에 의한 전자의 유입 또는 유출의 결과를 판독하여 전기장의 세기 및 방향을 해석함으로써 전기장의 세기 및 방향을 측정하는 기술을 제공한다.



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, **공개:**

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,

KM, ML, MR, NE, SN, TD, TG). — 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: MOS 커패시터를 이용한 전기장 측정 장치 및 방법 기술분야

- [1] 아래 실시예들은 MOS 커패시터를 이용한 전기장 측정 장치 및 이를 이용한 전기장 측정 방법에 관한 것이다.

배경기술

- [2] 전기장(electric field)은 공간상에서 전하를 움직이는 힘이 미치는 범위와 그 분포를 기술하며 전기력(electric force)의 근원이 된다. 전기장은 특정한 위치에 모인 전하로 인해 발생하는 정전기장(static electric field)과 전자기파로 인해 발생하는 시변 전자계(time-varying electromagnetic field)로 나눌 수 있다. 정전기장은 특정한 위치에 누적된 전하량에 의해 결정되므로 전하량이 바뀌지 않는 한 바뀌지 않는 특성이 있으며, 시변 전자계는 전파의 파형에 따라 전기장의 크기가 바뀌게 되는, 시간 의존성이 있는 전기장이라는 특성이 있다. 이와 같은 차이로 인해 두 가지 전기장은 측정 방법을 달리하는데, 정전기장의 측정은 일반적으로 두 개의 전극(electrode) 사이의 전위차를 측정하는 방법을 이용하며, 시변 전자계의 측정은 안테나(antenna)에 흐르는 유도 전류를 측정하는 방법을 이용한다.
- [3] 한편, 전기 제품 및 전자 부품의 전자기 누설(electromagnetic leakage)로 인한 전자 장비의 오작동, 무선 통신 기술 발달로 인한 다양한 주파수의 사용이 인체에 미치는 영향, 인체 정전용량(body capacitance)을 이용한 동작 인식 센서(motion sensor), 외부 인자에 의한 신체 반응을 이용한 자기공명영상(magnetic resonance imaging) 또는 양전자 단층 촬영(positron emission tomography), 뇌전도(electroencephalogram) 및 심전도(electrocardiogram)와 같은 의학적 활용과 같이 다양한 전기장의 발생 및 응용으로 인해 전기장 측정 장치의 사용 빈도와 중요성이 증가하고 있다.
- [4] 하지만 정전기장과 시변 전자계는 서로 다른 측정 원리를 가지므로 그 측정 결과는 상당히 제약적일 수 있다. 예를 들면, 교류 전기 및 직류 전기를 동시에 사용하는 시스템에서는 시변 전자계에 의한 전기장과 정전기장의 합이 특정 시점에 큰 영향을 미칠 수 있지만 이와 같은 복합적 전기장의 크기는 일반적인 전기장 측정 장치를 이용하여 측정해내기 어렵다. 또한, 시변 전자계 측정에 이용되는 측정장치인 안테나는 일반적으로 그 형상에 의해 측정 대상 주파수의 대역이 고정되므로 다양한 주파수가 사용이 되는 현대의 무선 통신 환경에서는 측정 장치로서 활용도가 낮아질 수 밖에 없다.
- [5] 또한, 기존의 전기장 측정 장치는 아주 약한 전기장의 측정에 어려움이 있다. 예를 들면, 뇌파 측정의 경우에는 두개골이 전기장 차폐 효과를 갖기 때문에 외부에 방출되는 전기장의 세기는 매우 미약하다. 따라서 이와 같은 전기장을

측정하는 장치는 내부에 증폭기(amplifier)를 포함하여야 하는데, 증폭률이 클수록 증폭기에서 발생하는 잡음(noise) 역시 강해지므로 증폭률은 항상 제한되며, 여기에 신호와 잡음을 구분하는 회로가 추가적으로 필요하게 된다.

- [6] 더 나아가, 기존의 전기장 측정 장치는 일반적으로 전기장의 방향을 측정하지 못하며, 심지어 측정되는 전기장의 크기 역시 측정 장치의 위상에 따라 측정 결과가 달라지는 특성을 가진다. 예를 들면, 시변 전자계를 측정하기 위한 측정 장치에 장착된 안테나와 시변 전자계의 원인이 되는 전자기파의 위상이 일치하지 않는 경우 안테나를 따라 흐르는 유도 전류의 크기가 감소하며, 따라서 측정된 전기장의 크기는 실제보다 작게 나타난다. 때문에, 단일 센서를 이용하여 전기장을 측정하는 경우, 전기장의 세기와 방향을 정확히 측정하기 위해서는 센서의 위상을 정교하게 바꿔가며 수 차례 측정한 후 각각의 결과를 종합하여 분석하여야 하는 불편함이 있다.

발명의 상세한 설명

기술적 과제

- [7] 실시예들은 MOS 커패시터(metal-oxide-semiconductor capacitor)가 전기장에 노출될 때 MOS 커패시터에 저장된 전자 또는 정공의 일부가 유출되어 서브스트레이트에서 정공과 재결합하거나 다른 MOS 커패시터에 유입되는 현상을 이용하여 전기장의 세기와 방향을 측정하는 기술을 제공할 수 있다.
- [8] 즉, 실시예들은 전자 또는 정공의 유입/유출 정도만을 이용해 전기장을 측정하기 때문에 정전하(static charge)에 의해 형성되는 정전기장(static electric field)과 전자파에 의해 형성되는 시변 전자계(time varying electromagnetic field)의 전기장을 동일한 방법으로 측정하는 기술을 제공할 수 있다.
- [9] 또한, 실시예들은 MOS 커패시터에 인가되는 게이트 전압 및 MOS 커패시터에 저장되는 전자 또는 정공의 양에 따라 민감도를 조절할 수 있으며, 유입/유출되는 전자 또는 정공의 양이 아주 작은 경우에도 MOS 커패시터에 저장된 전하량의 변화를 감지할 수 있도록 설계되므로 아주 미미한 세기의 전기장을 측정하는 기술을 제공할 수 있다.
- [10] 또한, 실시예들은 복수의 MOS 커패시터를 이용하여 전기장의 세기와 방향을 동시에 측정하는 기술을 제공할 수 있다. 또한, 실시예들은 복수의 MOS 커패시터를 이용하여 공간상의 여러 지점에서 전기장의 세기와 방향을 동시에 측정할 수 있으며, 이러한 측정 결과를 종합하여 전기장의 분포를 시각화할 수 있는 기술을 제공할 수 있다.

과제 해결 수단

- [11] 일 측에 따른 단일 MOS 커패시터를 이용한 전기장 측정 장치는 전기장에 노출되는 MOS 커패시터 및 상기 전기장에 의해 상기 MOS 커패시터에 저장되는 정보가 변경되도록 상기 MOS 커패시터를 제어하는 제어부를 포함한다.
- [12] 이 때, 상기 MOS 커패시터에 저장되는 정보는 상기 MOS 커패시터에 저장된

전하(전자 또는 정공)의 양을 포함할 수 있으며, 상기 MOS 커패시터는 상기 MOS 커패시터의 게이트 전극에 인가되는 게이트 전압을 이용하여 상기 MOS 커패시터의 서브스트레이트 영역에 전하를 저장할 수 있다.

- [13] 또한, 상기 제어부는 상기 전기장에 의해 상기 MOS 커패시터에 저장되는 정보가 변경되도록 상기 MOS 커패시터에 인가되는 게이트 전압을 제어할 수 있다.
- [14] 또한, 상기 전기장의 세기는 상기 전기장에 노출되기 전 상기 MOS 커패시터에 기 저장된 전하량과 상기 전기장에 노출된 후 상기 MOS 커패시터에 저장된 전하량의 차이에 기초하여 계산될 수 있다.
- [15] 이 때, 상기 MOS 커패시터에 저장된 전하량이 변경되는 민감도는 상기 MOS 커패시터에 인가되는 게이트 전압 및 상기 MOS 커패시터에 기 저장된 전하량 중 적어도 하나에 기초하여 결정될 수 있다.
- [16] 한편, 상기 전기장 측정 장치는 상기 MOS 커패시터에 저장되는 전하를 공급하는 입력 회로를 더 포함할 수 있다.
- [17] 이 때, 상기 입력 회로는 상기 MOS 커패시터에 입력될 전하를 공급하는 입력 다이오드 및 상기 입력 다이오드로부터 전하의 공급을 제어하는 역할을 수행하는 입력 게이트를 포함할 수 있다.
- [18] 이 때, 상기 입력 다이오드는 PN 접합 또는 쇼트키 접합으로 구성될 수 있으며, 상기 입력 게이트는 MOS 커패시터의 형태로 구성될 수 있다.
- [19] 또한, 상기 제어부는 상기 MOS 커패시터가 상기 전기장에 노출되기 전, 초기화 정보가 전하의 형태로 상기 MOS 커패시터에 저장되도록 상기 입력회로를 제어할 수 있다.
- [20] 한편, 상기 전기장 측정 장치는 상기 MOS 커패시터에 저장된 전하를 출력하는 출력 회로를 더 포함할 수 있다.
- [21] 이 때, 상기 출력 회로는 상기 MOS 커패시터에 저장된 전하를 전기적 신호로 변환하는 출력 다이오드 및 상기 MOS 커패시터로부터 상기 출력 다이오드로 전하의 이동을 제어하는 출력 게이트를 포함할 수 있다.
- [22] 이 때, 출력 다이오드는 PN 접합 또는 쇼트키 접합으로 구성될 수 있으며, 출력 게이트는 MOS 커패시터의 형태로 구성될 수 있다.
- [23] 또한, 상기 제어부는 상기 MOS 커패시터가 상기 전기장에 노출된 후, 상기 MOS 커패시터에 저장된 전하가 전기적 신호로 출력되도록 상기 출력 회로를 제어할 수 있다.
- [24] 다른 일 측에 따른 복수의 MOS 커패시터들을 이용한 전기장 측정 장치는 복수의 MOS 커패시터들을 포함하는 측정부 및 전기장에 의해 상기 복수의 MOS 커패시터들 중 적어도 일부의 MOS 커패시터에 저장된 정보가 변경되도록 상기 측정부를 제어하는 제어부를 포함할 수 있다.
- [25] 이 때, 상기 복수의 MOS 커패시터들을 포함하는 측정부는 상기 복수의 MOS 커패시터들 중 적어도 하나 이상의 MOS 커패시터들을 전기장의 세기와 방향을

측정하는 단일 측정 단위로 사용할 수 있으며, 적어도 하나 이상의 상기 측정 단위들을 포함할 수 있다.

[26] 이 때, 상기 측정 단위는 적어도 하나의 제1 MOS 커패시터를 포함하며, 상기 제1 MOS 커패시터 주변에 배치된 제2 MOS 커패시터들을 더 포함할 수 있다.

[27] 또한 상기 측정 단위가 전기장에 노출되면, 상기 제1 MOS 커패시터에 저장된 전하는 상기 전기장에 의하여 적어도 하나의 제2 MOS 커패시터로 이동할 수 있다.

[28] 이 때, 상기 측정 단위에 의하여 측정되는 상기 전기장의 세기는 상기 제1 MOS 커패시터에서 유출되는 전하량 및 상기 제2 MOS 커패시터들에 유입되는 전하량 중 적어도 하나에 기초하여 계산될 수 있다.

[29]

[30] 또한, 상기 측정 단위에 의하여 측정되는 상기 전기장의 방향은 상기 제1 MOS 커패시터로부터 유출된 전하가 유입된 적어도 하나의 제2 MOS 커패시터의 위치 및 상기 적어도 하나의 제2 MOS 커패시터들에 유입된 전하량에 기초하여 계산될 수 있다.

[31] 또한, 상기 제어부는 상기 전기장에 의하여 상기 제1 MOS 커패시터로부터 유출되는 전하가 상기 제2 MOS 커패시터들 중 적어도 하나에 유입되도록 상기 MOS 커패시터들에 인가되는 게이트 전압을 제어할 수 있다.

[32] 이 때, 상기 제1 MOS 커패시터에 저장된 전하가 유출되는 민감도는 상기 제1 MOS 커패시터에 인가되는 게이트 전압 및 상기 제1 MOS 커패시터에 저장된 전하량 중 적어도 하나에 기초하여 결정될 수 있다.

[33] 또한, 상기 적어도 하나의 제2 MOS 커패시터에 전하가 유입되는 민감도는 상기 제2 MOS 커패시터에 인가되는 게이트 전압 및 상기 제2 MOS 커패시터들에 저장된 전하량 중 적어도 하나에 기초하여 결정될 수 있다.

[34] 또한, 상기 복수의 MOS 커패시터들을 포함하는 측정부는 상기 복수의 측정 단위들로 구성될 수 있으며, 상기 복수의 측정 단위들을 이용하여 복수의 지점에서 동시에 전기장을 측정할 수 있다.

[35] 한편, 상기 전기장 측정 장치는 상기 제1 MOS 커패시터 및 상기 제2 MOS 커패시터들에 저장되는 전하를 공급하는 적어도 하나의 입력 회로를 더 포함할 수 있다.

[36] 이 때, 상기 입력 회로는 상기 제1 MOS 커패시터 및 상기 제2 MOS 커패시터들에 입력될 전하를 공급하는 입력 다이오드 및 상기 입력 다이오드로부터 전하의 공급을 제어하기 위한 입력 게이트를 포함할 수 있다.

[37] 또한, 상기 입력 다이오드는 PN 접합 또는 쇼트키 접합으로 구성될 수 있으며, 상기 입력 게이트는 MOS 커패시터의 형태로 구성될 수 있다.

[38] 또한, 상기 제어부는 상기 제1 MOS 커패시터 및 상기 제2 MOS 커패시터들이 상기 전기장에 노출되기 전, 초기화 정보가 전하의 형태로 상기 제1 MOS 커패시터 및 상기 제2 MOS 커패시터들에 저장되도록 상기 입력 회로를 제어할

수 있다.

- [39] 또한, 상기 제어부는 입력 회로를 통하여 입력된 전하가 상기 제1 MOS 커패시터로 이동되도록 상기 입력회로와 상기 제1 MOS 커패시터 사이에 인접한 MOS 커패시터들의 게이트 전압들을 순차적으로 제어할 수 있다.
- [40] 또한, 상기 제어부는 입력 회로를 통하여 입력된 전하가 상기 제2 MOS 커패시터들 중 어느 하나로 이동되도록 상기 입력회로와 상기 어느 하나의 제2 MOS 커패시터 사이에 인접한 MOS 커패시터들의 게이트 전압들을 순차적으로 제어할 수 있다.
- [41] 또한, 상기 입력 회로는 상기 입력 회로를 통하여 입력된 전하를 상기 제1 MOS 커패시터 또는 상기 제2 MOS 커패시터들 중 어느 하나로 이동시키기 전, 입력된 전하를 임시로 저장하는 입력 레지스터를 더 포함할 수 있으며, 이 때, 상기 입력 레지스터는 MOS 커패시터의 형태로 구성될 수 있다.
- [42] 또한, 상기 제어부는 상기 입력 회로를 통하여 입력된 전하가 상기 제1 MOS 커패시터 또는 상기 제2 MOS 커패시터들 중 어느 하나로 이동되기 전, 상기 입력 레지스터에 저장되도록 상기 입력 회로 및 입력 레지스터에 인가되는 게이트 전압을 순차적으로 제어할 수 있다.
- [43] 또한, 상기 제어부는 상기 입력 레지스터에 저장된 전하가 상기 제1 MOS 커패시터 또는 상기 제2 MOS 커패시터들 중 어느 하나로 이동되도록 상기 입력 레지스터 및 상기 MOS 커패시터들에 인가되는 게이트 전압을 순차적으로 제어할 수 있다.
- [44] 한편, 상기 전기장 측정 장치는 상기 MOS 커패시터들에 저장된 전하를 출력하는 출력 회로를 더 포함할 수 있다.
- [45] 이 때, 상기 출력 회로는 상기 MOS 커패시터들에 저장된 전하를 전기적 신호로 변환하는 출력 다이오드 및 상기 MOS 커패시터로부터 상기 출력 다이오드로 전하의 이동을 제어하는 출력 게이트를 포함할 수 있다.
- [46] 또한, 상기 출력 다이오드는 PN 접합 또는 쇼트키 접합으로 구성될 수 있으며, 상기 출력 게이트는 MOS 커패시터의 형태로 구성될 수 있다.
- [47] 또한, 상기 제어부는 상기 MOS 커패시터가 상기 전기장에 노출된 후 상기 MOS 커패시터에 저장된 전하가 전기적 신호로 출력되도록 상기 출력 회로를 제어할 수 있다.
- [48] 또한, 상기 제어부는 상기 제1 MOS 커패시터에 저장된 전하가 출력 회로로 이동되도록, 상기 제1 MOS 커패시터와 상기 출력 회로 사이에 인접한 MOS 커패시터들의 게이트 전압들을 순차적으로 제어할 수 있다.
- [49] 또한, 상기 제어부는 상기 제1 MOS 커패시터에 저장된 전하가 출력 회로로 이동되도록, 상기 적어도 하나의 제2 MOS 커패시터와 상기 출력 회로 사이에 인접한 MOS 커패시터들의 게이트 전압들을 순차적으로 제어할 수 있다.
- [50] 또한, 상기 출력 회로는 상기 제1 MOS 커패시터 또는 상기 제2 MOS 커패시터들 중 적어도 하나에 저장된 전하가 상기 출력 회로를 통하여 출력되기

전, 출력될 전하를 임시로 저장하는 적어도 하나의 출력 레지스터를 더 포함할 수 있으며, 이 때, 상기 출력 레지스터는 MOS 커패시터의 형태로 구성될 수 있다.

[51] 또한, 상기 제어부는 상기 제1 MOS 커패시터 또는 상기 제2 MOS 커패시터들 중 적어도 하나에 저장된 전하가 상기 출력 회로로 이동되기 전, 상기 출력 레지스터에 저장되도록 상기 MOS 커패시터들 및 상기 출력 레지스터에 인가되는 게이트 전압을 순차적으로 제어할 수 있다.

[52] 또한, 상기 제어부는 상기 출력 레지스터에 저장된 전하가 상기 출력 회로로 이동되도록 상기 출력 레지스터 및 상기 출력 회로에 인가되는 게이트 전압을 순차적으로 제어할 수 있다.

[53] 한편, 상기 측정부는 반도체 물질로 구성된 서브스트레이트, 상기 서브스트레이트 위에 적층된 절연체, 및 상기 절연체 위에 적층된 게이트 전극들을 포함할 수 있다.

[54] 이 때, 상기 게이트 전극들은 상기 절연체 위에 1차원적 또는 2차원적으로 배열될 수 있다.

[55] 또한, 상기 게이트 전극들 중 적어도 일부는 나머지 게이트 전극들과 상이한 형태를 가질 수 있다.

[56] 또한, 상기 게이트 전극들은 전기적으로 상기 제어부에 연결되며, 상기 제어부는 상기 게이트 전극들에 인가되는 게이트 전압들을 제어함으로써, 상기 서브스트레이트 표면에 분포되는 전기적 위치에너지를 제어할 수 있다.

[57] 또한, 상기 게이트 전극들 중 일부는 미리 정해진 수의 페이즈 회선들 중 어느 하나에 연결될 수 있으며, 상기 제어부는 동일한 페이즈 회선에 연결된 복수의 게이트 전극들에 동일한 게이트 전압을 동시에 인가할 수 있다.

[58] 다른 일 측에 따른 MOS 커패시터를 이용한 전기장 측정 방법은 전기장 측정 장치에 포함된 적어도 하나의 MOS 커패시터가 전기장에 노출되기 전, 상기 적어도 하나의 MOS 커패시터에 제1 정보를 저장함으로써 전기장 측정 장치를 초기화하는 단계, 상기 전기장을 측정하기 위하여, 상기 제1 정보가 저장된 상기 적어도 하나의 MOS 커패시터를 제어하는 단계, 상기 적어도 하나의 MOS 커패시터가 상기 전기장에 노출된 후, 상기 적어도 하나의 MOS 커패시터에 저장된 제2 정보를 수신하는 단계; 및 상기 제1 정보 및 상기 제2 정보에 기초하여 상기 전기장의 세기와 관련된 정보 및 상기 전기장의 방향과 관련된 정보 중 적어도 하나를 획득하는 단계를 포함할 수 있다.

[59] 이 때, 상기 제1 정보는 초기화 정보로, 예를 들어 상기 적어도 하나의 MOS 커패시터를 초기화하기 위하여 상기 적어도 하나의 MOS 커패시터에 저장되는 전하량을 포함할 수 있다.

[60] 또한, 상기 제2 정보는 상기 적어도 하나의 MOS 커패시터가 상기 전기장에 노출된 후, 상기 MOS 커패시터에 저장된 전하량을 포함할 수 있다.

[61] 또한, 상기 초기화하는 단계는 상기 적어도 하나의 MOS 커패시터에 저장되는 전하가 상기 전기장에 의하여 유출되거나, 상기 유출된 전하가 적어도 하나의

다른 MOS 커패시터에 유입되는 민감도를 고려하여 상기 제1 정보 및 상기 MOS 커패시터들에 인가될 게이트 전압을 결정할 수 있다.

- [62] 또한, 상기 초기화하는 단계는 상기 적어도 하나의 MOS 커패시터가 전기장에 노출될 노출 시간, 및 상기 적어도 하나의 MOS 커패시터가 전기장에 노출될 노출 횟수를 설정하는 단계를 더 포함할 수 있다.
- [63] 한편, 상기 측정하는 단계는 상기 초기화하는 단계에서 상기 MOS 커패시터들에 입력된 초기화 정보가 전기장에 의해 변경되도록 상기 MOS 커패시터들의 게이트 전압을 제어할 수 있다.
- [64] 상기 전기장 측정 방법은 상기 초기화하는 단계에서 설정된 노출 시간 및 노출 횟수에 기초하여, 전기장 측정의 종료 조건이 만족되는지 여부를 판단하는 단계를 더 포함할 수 있다.
- [65] 또한, 상기 판단하는 단계에서 상기 종료 조건이 만족된다고 판단되는 경우, 상기 MOS 커패시터에 저장된 정보가 변경되지 않도록 상기 MOS 커패시터들에 인가되는 게이트 전압을 제어할 수 있다.
- [66] 한편, 상기 전기장 측정 장치는 상기 MOS 커패시터를 전기장으로부터 차폐시키는 차폐 장치를 더 포함할 수 있으며, 상기 판단하는 단계에서 상기 종료 조건이 만족된다고 판단되는 경우, 상기 MOS 커패시터가 전기장으로부터 차폐되도록 상기 차폐 장치를 제어할 수 있다.
- [67] 또한, 상기 획득하는 단계는 상기 제1 정보, 상기 제2 정보, 및 상기 적어도 하나의 MOS 커패시터에 인가되는 게이트 전압에 기초하여, 상기 전기장의 세기를 계산하는 단계 및 상기 제1 정보 및 상기 제2 정보에 기초하여, 상기 전기장의 방향을 계산하는 단계 중 적어도 하나를 포함할 수 있다.
- [68] 또한, 상기 전기장 측정 방법은 상기 초기화하는 단계에서 설정된 전기장 노출 횟수와 실제 노출 횟수를 비교하는 단계; 및 비교 결과 상기 실제 노출 횟수가 상기 설정된 노출 횟수에 미달된다고 판단되는 경우 상기 초기화하는 단계, 및 상기 제어하는 단계를 반복하여 수행하는 단계를 더 포함할 수 있다.
- [69] 또 다른 일 측에 따른 전기장 측정 방법은 전기장에 노출되기 전 적어도 하나의 MOS 커패시터에 저장된 제1 정보를 수신하는 단계; 상기 전기장에 노출된 후, 상기 적어도 하나의 MOS 커패시터에 저장된 제2 정보를 수신하는 단계; 및 상기 제1 정보 및 상기 제2 정보에 기초하여, 상기 전기장의 세기와 관련된 정보 및 상기 전기장의 방향과 관련된 정보 중 적어도 하나를 획득하는 단계를 포함한다.
- [70] 여기서, 상기 제1 정보는 상기 적어도 하나의 MOS 커패시터가 초기화된 후, 상기 적어도 하나의 MOS 커패시터에 저장된 전하량을 포함할 수 있다.
- [71] 상기 전기장에 노출됨으로써 상기 적어도 하나의 MOS 커패시터에 저장된 전하 중 적어도 일부가 유출되고, 상기 제2 정보는 상기 전기장에 노출된 후 상기 적어도 하나의 MOS 커패시터에 남은 전하량을 포함할 수 있다.
- [72] 상기 획득하는 단계는 상기 제1 정보, 상기 제2 정보, 및 상기 적어도 하나의 MOS 커패시터에 인가되는 게이트 전압에 기초하여, 상기 전기장의 세기를

계산하는 단계; 및 상기 제1 정보 및 상기 제2 정보에 기초하여, 상기 전기장의 방향을 계산하는 단계 중 적어도 하나를 포함할 수 있다.

도면의 간단한 설명

- [73] 도 1은 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치를 나타내는 블록도.
 - [74] 도 2a 내지 도 2c는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치에 포함된 측정부의 기본 구조를 나타내는 도면
 - [75] 도 3a 내지 도 3f는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치의 전기장 측정 원리를 설명하기 위한 도면
 - [76] 도 4a 내지 도 4b는 일 실시예에 따른 전기장 측정 장치의 측정부를 MOS 커패시터를 이용하여 구현하는 방법을 설명하기 위한 도면
 - [77] 도 5는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치의 입력 회로를 설명하기 위한 도면
 - [78] 도 6은 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치의 출력 회로를 설명하기 위한 도면
 - [79] 도 7은 일 실시예에 따른 전기장 측정장치에 포함된 제어부의 구성에 대해 설명하기 위한 도면
 - [80] 도 8a 내지 도 8b는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 방법을 나타내는 동작 흐름도
 - [81] 도 9a 내지 도 9e는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 방법에 포함되는 복수의 단계별 측정부의 전하량 변화 및 출력 전압의 형태를 설명하기 위한 도면
- 발명의 실시를 위한 최선의 형태**
- [82] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.
 - [83] 도 1은 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치를 나타내는 블록도이다. 도 1을 참조하면, 일 실시예에 따른 전기장 측정 장치(100)는 측정부(110)와 제어부(120)를 포함한다.
 - [84] 측정부(110)는 적어도 하나의 MOS 커패시터를 포함할 수 있으며, 적어도 하나의 MOS 커패시터를 이용하여 정보를 저장한다. 여기서, 측정부(110)에 저장되는 정보는 MOS 커패시터에 저장되는 전하량을 포함하며, 이는 전자를 통해 나타나는 음전하, 정공을 통해 나타나는 양전하 및 이들의 조합일 수 있다.
 - [85] 또한, 측정부(110)는 제어부(120)로부터 전송되는 초기화 정보를 측정부(110)에 포함된 적어도 하나의 MOS 커패시터에 저장한다. 이를 위해, 전기장 측정 장치(100)는 제어부(120)로부터 전송되는 초기화 정보를 MOS 커패시터에 저장될 전하량으로 변환하기 위한 회로를 포함할 수 있다.
 - [86] 한편, 측정부(110)에 저장된 정보는 측정부(110)에 방사되는 전기장에 의하여 변경될 수 있다. 예를 들어, 측정부(110)에 포함된 적어도 하나의 MOS

커패시터에 저장된 전하는 전기장에 의해 유출될 수 있다. 또한, 전기장에 의하여 유출된 전하는 다른 적어도 하나의 MOS 커패시터에 유입될 수 있다. 이 때, MOS 커패시터에 저장된 전하가 전기장에 의해 유출되는 민감도는 MOS 커패시터에 인가되는 게이트 전압의 크기 및 MOS 커패시터에 저장된 전하량에 의존할 수 있다.

- [87] 또한, 측정부(110)는 전기장에 노출된 후의 측정 결과를 제어부(120)에 전송한다. 이를 위해, 전기장 측정 장치(100)는 측정부(110)에 포함된 MOS 커패시터에 저장된 전하량을 전압 또는 전류와 같은 전기적 신호로 변환하기 위한 회로를 포함할 수 있다.
- [88] 일 실시예에 따른 전기장 측정 장치(100)는 측정부(110)가 전기장에 노출되기 전 측정부(110)에 입력한 초기화 정보와 측정부(110)가 전기장에 노출된 후 측정부(110)로부터 출력된 측정 결과를 비교함으로써, 전기장의 세기 및 방향을 측정할 수 있다.
- [89] 일 실시예에 따른 전기장 측정 장치(100)는 MOS 커패시터에 저장된 전하량의 변화만을 이용해 전기장의 세기 및 방향을 측정하기 때문에 전기장의 형태에 상관없이 전기장의 종합적인 영향을 측정할 수 있다. 예를 들어, 전기장 측정 장치(100)는 정전하에 의한 정전기장과 전자기파에 의해 형성되는 시변 전자계에 의한 전하의 유입/유출 효과를 모두 측정할 수 있다. 특히 시변 전자계의 경우에 있어서, 일 실시예에 따른 전기장 측정 장치(100)는 안테나의 물리적 특성에 의해 측정 가능한 주파수 대역이 결정되는 일반적인 전기장 측정 장치와는 달리, 모든 주파수 대역에서 발생하는 전기장의 분포를 MOS 커패시터의 전하량 변화만으로 판단할 수 있다.
- [90] 한편, 제어부(120)는 전기장 측정을 위하여 측정부(110)를 제어할 수 있다. 제어부(120)는 외부로부터 입력 받은 이네이블(enable) 신호에 따라 측정부(110)가 전기장을 측정하거나 측정하지 않도록 제어할 수 있으며, 외부로부터 V_{DD} 와 V_{SS} 를 입력 받아 측정부(110)에 포함된 적어도 하나의 MOS 커패시터에 인가될 게이트(gate) 전압을 생성할 수 있다. 또한, 제어부(120)는 외부로부터 입력되는 I/O 신호를 이용하여 측정부(110)에 전송될 제어 신호 및 초기화 정보를 생성할 수 있으며, 측정부(110)로부터 출력된 측정 결과를 I/O 신호를 통해 외부로 출력할 수 있다.
- [91]
- [92] 도 2a 내지 도 2c는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치에 포함된 측정부의 기본 구조를 나타내는 도면이다.
- [93] 도 2a는 일 실시예에 따른 단일 MOS 커패시터를 이용한 전기장 측정 장치의 측정부(200)를 설명하기 위한 도면이다. 도 2a를 참조하면, 단일 MOS 커패시터를 이용한 전기장 측정 장치의 측정부(200)는 반도체 물질로 이루어진 서브스트레이트(209)상에 배치된 MOS 커패시터(201)로 구성되며, 이 때 MOS 커패시터(201)에 초기화 정보를 입력하기 위한 입력 회로(202)와 전기장에

노출된 후 측정 결과를 출력하기 위한 출력 회로(203)를 포함할 수 있다.

- [94] 일 실시예에 따른 측정부(200)의 서브스트레이트(209)는 일반적으로 실리콘(silicon)을 이용하여 구성되며, 갈륨 비소(gallium-arsenide), 또는 게르마늄(germanium)과 같은 반도체 물질 역시 서브스트레이트 구성에 사용될 수 있다. 또한 서브스트레이트(209)는 전자를 다수 캐리어(majority carrier)로 이용하는 N형 반도체이거나, 정공을 다수 캐리어로 이용하는 P형 반도체, 또는 이들의 조합일 수 있다. 일반적으로 서브스트레이트는 P형 반도체로 제작되므로, 후술할 측정부(200)에 대한 설명은 P형 반도체로 제작된 서브스트레이트를 예로 설명할 것이다. 그러나, 다른 실시예에 따른 측정부의 경우 N형 반도체로 제작된 서브스트레이트를 이용하거나, P형 반도체 내에 N형 반도체를 조합하여 구현될 수 있으며, 이러한 경우에도 위의 실시예에 적용된 물리적 구조와 측정 원리를 그대로 적용할 수 있다.
- [95] MOS 커패시터(201)는 전술한 서브스트레이트(209) 위에 적층된 실리콘 산화물(silicon oxide)(211)과 게이트 전극(gate electrode)(210)으로 구성된다. 게이트 전극(210)은 알루미늄이나 텅스텐과 같은 금속 물질이나 고농도로 이온 주입된 다결정 실리콘(polysilicon) 등의 물질로 이루어질 수 있으며, 실리콘 산화물은 비슷한 물리적 특성을 지닌 질화 규소(silicon nitride) 등의 절연체로 대체 가능하다. MOS 커패시터(201)는 게이트 전극(210)에 인가된 게이트 전압을 이용하여 서브스트레이트(209) 영역에 전하를 저장한다. 게이트 전압에 의해 게이트 전극(210) 방향으로 이동한 전하는 서브스트레이트(209) 표면에 적층된 실리콘 산화물(211)에 의해 더 이상 이동하지 못하고 서브스트레이트(209) 표면에 갇히게 된다. 이 때, MOS 커패시터(201)에 저장 가능한 최대 전하량은 게이트 전극(210)에 인가되는 게이트 전압의 크기에 비례하며, MOS 커패시터(201)에 저장되는 전하의 종류는 서브스트레이트(209)를 구성하는 반도체 물질의 종류와 게이트 전극(210)에 인가되는 전압의 극성에 따라 전자 또는 정공이 될 수 있다.
- [96] 일 실시예에 따른 측정부(200)의 경우 P형 반도체를 서브스트레이트(209)로 사용함을 가정하여 설명되며, 이 경우 MOS 커패시터에 저장하는 전하량은 음전하, 즉 전자의 개수에 의해 결정된다. 따라서, 후술할 MOS 커패시터에 저장되는 전하는 MOS 커패시터에 저장되는 전자와 같은 의미를 지닌다. 한편, 다른 실시예에 따른 N형 반도체 물질을 서브스트레이트로 사용하는 측정부의 경우, MOS 커패시터에 저장되는 전하량은 양전하, 즉 정공의 개수에 의해 결정된다.
- [97] 일 실시예에 따른 전기장 측정 장치는 MOS 커패시터(201)에 저장된 전하량의 변화를 이용하여 전기장의 세기를 측정할 수 있다. 도 2a를 참고하면, 단일 MOS 커패시터(201)를 이용한 전기장 측정 장치는 MOS 커패시터(201)의 게이트 전극(210)에 인가되는 게이트 전압을 이용하여 MOS 커패시터(201)의 서브스트레이트(209) 영역에 전자를 저장할 수 있는 한편, 외부로부터 방사되는

전기장에 의한 전자의 유입/유출을 가능하게 할 수 있다. 예를 들어, MOS 커패시터(201)에 10V의 게이트 전압이 인가되면 MOS 커패시터(201) 아래의 전기적 위치 에너지가 감소하여 서브스트레이트(209) 내의 전기적 위치 에너지의 분포가 변화한다. 이와 같이 전기적 위치 에너지가 낮아진 영역은 전하를 저장하는 데에 사용될 수 있다. 만약, MOS 커패시터(201)에 미리 입력된 전하가 존재한다고 가정하면, 전기장에 의해 MOS 커패시터(201)에 저장된 전하의 일부가 유출될 수 있다. 이 때, MOS 커패시터(201)에서 유출되는 전하량은 전기장의 세기에 의존한다. 이와 같이, MOS 커패시터(201)의 전하량 변화로부터 전기장의 세기를 측정할 수 있다.

- [98] 입력 회로(202)는 입력된 전기적 신호를 MOS 커패시터(201)에 저장할 수 있도록 전하의 형태로 변환하는 회로이다. 입력 회로(201)는 적어도 하나의 입력 다이오드(input diode)(204)와 적어도 하나의 입력 게이트(input gate)(205)를 포함할 수 있다. 도 2a에서 입력 회로(202)의 입력 다이오드(204)는 PN 접합(212)으로 이루어지며, MOS 커패시터(201)에 전자를 공급하는 역할을 한다. 여기서 PN 접합(212)은 P형 반도체 물질로 구성된 서브스트레이트(209) 위에 N형 반도체(213)를 접합한 형태를 말한다.
- [99] 입력 게이트(205)는 MOS 커패시터의 형태로 구성되며, 입력 다이오드(204)를 통해 MOS 커패시터(201)에 공급되는 전자의 양을 제어하는 역할을 한다. 입력 회로의 자세한 구성 및 동작 원리에 대한 설명은 도 5를 참조하여 후술한다.
- [100] 출력 회로(203)는 MOS 커패시터(201)에 저장된 전하를 전기적 신호로 변환하는 회로이다. 출력 회로(203)는 출력 다이오드(output diode)(207)와 출력 게이트(output gate)(206)를 포함할 수 있으며, 출력 다이오드(207)로부터의 출력 신호를 증폭하기 위한 증폭 회로(208)를 포함할 수 있다. 출력 다이오드(207)는 입력 다이오드(204)와 마찬가지로 PN 접합(212)으로 이루어지며, MOS 커패시터(201)에 저장된 전자를 전압 등의 전기적 신호로 출력하는 역할을 한다. 출력 게이트(206)는 입력 게이트(204)와 마찬가지로 MOS 커패시터의 형태로 구성되며, MOS 커패시터(201)에서 출력 다이오드(207)로의 전자의 이동을 제어하는 역할을 한다. 출력 회로의 자세한 구성 및 동작 원리에 대한 설명은 도 6을 참조하여 후술한다.
- [101] 한편, 다른 실시예에 따른 전기장 측정 장치는 N형 반도체 물질을 서브스트레이트로 사용하여 측정부를 구성할 수 있다. 이 경우 PN 접합은 서브스트레이트에 접합된 P형 반도체 물질로 구성되며, 외부로부터 측정부에 포함된 MOS 커패시터에 정공을 공급하거나, 측정부에 포함된 MOS 커패시터에 저장된 정공을 외부로 출력하는 역할로 사용된다.
- [102] 또한, 다른 실시예에 따른 전기장 측정 장치의 입력 회로(202) 및 출력 회로(203)는 입력 다이오드(204) 및 출력 다이오드(207)를 PN 접합(212) 대신 쇼트키 접합(Schottky junction)이라 불리는 금속-반도체(metal-semiconductor) 접합으로 구성할 수 있다. 이 경우에도 입력 회로(203) 및 출력 회로(204)의 구성

및 동작 원리는 PN 접합(212)을 이용한 전기장 측정 장치와 동일하게 유지된다. 따라서, 이후의 내용에서 PN 접합으로 서술된 부분을 모두 쇼트키 접합으로 대체하더라도 PN 접합을 이용한 것과 동일한 결과를 얻을 수 있다.

[103] 또한, 입력 회로(202)와 출력 회로(203)는 PN 접합과 MOS 커패시터라는 구조를 공히 사용하므로 두 회로를 통합하여 하나의 입출력 회로로 구성할 수 있다. 이 경우에도 입력 회로(203) 및 출력 회로(204)의 동작 원리 및 이를 이용한 전기장 측정 방법은 동일하게 유지된다.

[104]

[105] 도 2b는 일 실시예에 따른 복수의 MOS 커패시터를 이용한 전기장 측정 장치의 측정부(220)를 설명하기 위한 도면이다. 도 2b를 참조하면, 일 실시예에 따른 1차원상에서 전기장의 세기와 방향을 측정하는 측정 장치의 측정부(220)는 반도체 물질로 이루어진 서브스트레이트상에 배치된 적어도 하나의 MOS 커패시터로 구성된 검출 영역(221)을 포함하며, 검출 영역(221) 내에 포함된 적어도 하나의 MOS 커패시터에 전하를 입력하기 위한 입력 회로(222)와 출력 회로(223)를 포함할 수 있다.

[106] 일 실시예에 따른 측정부(220)의 검출 영역(221)은 적어도 하나 이상의 MOS 커패시터를 서브스트레이트상에 배치하여 구성된다. 도 2b를 참고하면, 일 실시예에 따른 측정부(220)의 검출 영역(221)은 MOS 커패시터 A로부터 MOS 커패시터 I까지 9개의 MOS 커패시터들을 일렬로 배치하여 전기장의 세기와 방향을 1차원상에서 측정할 수 있도록 구성된다. 이렇게 1차원적으로 배치된 MOS 커패시터들에 게이트 전압을 인가하면 서브스트레이트 표면에서 전기적 위치 에너지의 분포가 변화하는데, 이를 이용하여 MOS 커패시터에 전자를 저장할 수 있는 한편, 외부로부터 방사되는 전기장에 의한 전자의 유입/유출을 가능하게 할 수 있다. 이 때, 검출 영역(221)의 MOS 커패시터에 게이트 전압을 인가하는 회로는 각각의 MOS 커패시터에 개별적으로 게이트 전압을 인가할 수 있도록 설계되거나, 또는 복수의 MOS 커패시터에 동시에 게이트 전압이 인가되도록 설계될 수 있다.

[107] 도 2b를 참고하면, 측정부(220)의 검출 영역(221)에 포함된 복수의 MOS 커패시터는 각각 3개의 페이즈 회선(230) 중 어느 하나에 연결될 수 있으며, 이들 페이즈 회선(230)에 인가된 전압은 페이즈 회선(230)을 공유하는 복수의 MOS 커패시터들에 동시에 인가된다. 예를 들어, Φ_2 회선에 10V의 전압이 인가되면 Φ_2 에 연결된 MOS 커패시터 B(232), MOS 커패시터 E(231) 및 MOS 커패시터 H(233)에 10V의 게이트 전압이 인가된다. 이에 따라 서브스트레이트 내의 전기적 위치 에너지의 분포가 변경된다. 이 중, MOS 커패시터 E(231)에 미리 입력된 전하가 존재한다고 가정하면, 검출 영역(221)에 방사되는 전기장에 의해 MOS 커패시터 E(231)에 저장된 전하의 일부가 유출된다. 유출된 전하는 MOS 커패시터 B(232) 또는 MOS 커패시터 H(233)로 유입될 수 있다. 이 때, MOS 커패시터 E(231)에서 유출되는 전하량은 검출 영역(221) 내의 MOS 커패시터

E(231)가 차지하는 위치에서 전기장의 세기에 의존하며, 유출된 전자가 유입되는 MOS 커패시터의 방향은 마찬가지로 검출 영역(221)에서 MOS 커패시터 E(231)가 차지하는 위치에서의 전기장의 방향에 의존한다. 이와 같이, 검출 영역(221) 내 MOS 커패시터들의 전하량 변화로부터 전기장의 세기 및 방향을 측정할 수 있다.

- [108] 한편, 일 실시예에 따른 1차원상에서 전기장을 측정하는 전기장 측정 장치는 도 2a를 통해 설명한 단일 MOS 커패시터로 구성된 전기장 측정 장치와 마찬가지로 MOS 커패시터들에 전하를 공급하기 위한 입력 회로(222) 및 출력 회로(223)를 포함할 수 있다. 1차원상에서 전기장을 측정하는 전기장 측정 장치의 입력 회로(222)는 단일 MOS 커패시터를 이용한 전기장 측정 장치의 입력 회로(202)와 마찬가지로 입력 다이오드(224) 및 입력 게이트(225)를 포함할 수 있다. 또한, 1차원상에서 전기장을 측정하는 전기장 측정 장치의 출력 회로(223)는 단일 MOS 커패시터를 이용한 전기장 측정 장치의 출력 회로(203)와 마찬가지로 출력 다이오드(228) 및 출력 게이트(227)를 포함할 수 있다. 입력 회로 및 출력 회로의 자세한 구성 및 동작 원리에 대한 설명은 도 5 내지 도 6을 참조하여 후술한다.

[109]

- [110] 도 2c는 일 실시예에 따른 2차원상에서 전기장의 세기와 방향을 측정하기 위한 전기장 측정 장치의 측정부의 기본 구조를 설명하기 위한 도면이다. 도 2c를 참고하면, 2차원상에서 전기장의 세기와 방향을 측정하기 위한 측정 장치의 측정부(240)는 1차원상에서 전기장의 세기와 방향을 측정하는 측정부(220)와 마찬가지로 2차원상에 배치된 복수의 MOS 커패시터들을 포함하며, MOS 커패시터들에 인가되는 게이트 전압을 통해 서브스트레이트 표면의 전기적 위치 에너지 분포를 변화시킨다. 이를 이용하여 MOS 커패시터에 전자를 저장하는 한편, 외부로부터 방사되는 전기장에 의한 전자의 유입/유출을 가능하게 할 수 있다.

- [111] 또한, 2차원상의 전기장을 측정하는 전기장 측정 장치는 검출 영역(245) 내의 MOS 커패시터들에 전하를 입력하고 출력하기 위한 입력 회로(241) 및 출력 회로(246)를 포함할 수 있다. 2차원상에서 전기장을 측정하는 측정부(240)의 입력 회로(221)는 1차원상에서 전기장을 측정하는 측정부(220)의 입력 회로(222)와 마찬가지로 입력 다이오드(242) 및 입력 게이트(243)를 포함할 수 있으며, 검출 영역(245)을 구성하는 복수의 MOS 커패시터에 입력될 초기화 정보를 임시로 저장하는 입력 레지스터(244)를 포함할 수 있다. 이 때, 입력 레지스터(244)는 복수의 MOS 커패시터를 포함하며, 연속적으로 입력되는 초기화 정보를 전하량의 형태로 저장하였다가 이를 검출 영역(245)으로 전송한다.

- [112] 또한, 2차원상에서 전기장을 측정하는 측정부(240)의 출력 회로(246)는 1차원상에서 전기장을 측정하는 측정부(220)의 출력 회로(223)와 마찬가지로 출력 다이오드(247), 출력 게이트(248) 및 증폭 회로(249)를 포함할 수 있으며,

검출 영역(245)을 구성하는 복수의 MOS 커패시터로부터 출력되는 측정 결과를 임시로 저장하는 출력 레지스터(250)를 포함할 수 있다. 이 때, 출력 레지스터(250)는 복수의 MOS 커패시터를 포함하며, 연속적으로 출력되는 측정 결과를 전하량의 형태로 저장하며, 저장된 전하는 출력 다이오드(247)와 증폭 회로(249)를 거쳐 외부로 출력한다.

[113]

[114] 도 3a 내지 도 3f는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치의 전기장 측정 원리를 설명하기 위한 도면이다.

[115] 도 3a는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치에 포함된 적어도 하나의 MOS 커패시터의 동작 원리를 설명하기 위한 도면이다.

[116] 도 (300)과 같이 MOS 커패시터의 게이트 전극에 양(+)의 전압이 인가되면 서브스트레이트상의 정공은 게이트 전극으로부터 반대편으로 이동한다. 또한, 이상적인 P형 반도체 내에는 자유전자가 존재하지 않으므로 양(+)의 전압에 의해 끌려오는 전자는 존재하지 않을 것이다. 따라서, 게이트 전극 주변과 인접한 서브스트레이트 영역에는 정공과 전자가 존재하지 않는 공핍 영역(depletion region)(306)이 형성된다.

[117] 한편, 도 (300)에서와 같이 MOS 커패시터에 인가된 게이트 전압은 서브스트레이트 표면의 전기적 위치에너지 분포를 도 (301)과 같이 변화시킨다. 여기서 위치에너지란 임의의 물체를 끌어당기는 힘에 대한 상대적인 위치를 말하며, 끌어당기는 힘이 강할수록 위치에너지는 낮아진다. MOS 커패시터에서 전자를 끌어당기는 힘은 게이트 전압에 의한 전기력이며, 게이트 전압이 높아질수록 전기력은 커지게 된다. 따라서 게이트 전압이 높아질수록 전기적 위치에너지는 낮아지는데, 다른 서브스트레이트 영역의 위치에너지 관점에서 볼 때, MOS 커패시터의 게이트 전압에 의해 전기적 위치에너지가 낮아진 서브스트레이트 영역은 일종의 웅덩이와 같은 형태를 갖게 된다. 이와 같이, 다른 영역에 비해 상대적으로 낮은 위치 에너지를 지닌 영역을 포텐셜 우물(potential well)(307)이라고 한다.

[118] 일반적으로 높은 에너지 상태에 있는 물체 또는 물질은 낮은 에너지 상태로 이동하려는 성질이 있다. 마찬가지로, 높은 에너지 상태에 있는 포텐셜 우물 밖의 전자는 낮은 에너지 상태인 포텐셜 우물 안으로 이동하려고 할 것이고, 반대로 낮은 에너지 상태인 포텐셜 우물 안의 전자는 포텐셜 우물 밖의 에너지 상태가 되기 위한 여분의 에너지를 얻지 못하는 한, 포텐셜 우물 밖으로 이동할 수 없다.

[119] 한편, 포텐셜 우물(307)은 주위의 높은 위치에너지를 가진 영역으로 둘러 쌓여있다고 볼 수 있으며, 이를 개념적으로 포텐셜 벽(potential wall)(308)이라 할 수 있다. 이 때, 포텐셜 벽(308)의 높이는 포텐셜 우물(307)의 깊이와 동일하며, 포텐셜 우물의 위치에너지와 포텐셜 우물 밖의 위치에너지의 차이와 같다. 따라서 낮은 에너지 상태인 포텐셜 우물 안의 전자가 포텐셜 우물 밖으로

이동하기 위해서 가져야 하는 에너지의 크기는 포텐셜 벽(potential wall)의 높이와 같다.

- [120] 도 (300)에서와 같이 양(+)의 게이트 전압 V_G 를 통해 MOS 커패시터에 저장할 수 있는 최대 전하량은 $Q_{\max} = C_{\text{ox}} V_G$ (C_{ox} : MOS 커패시터의 커패시턴스)로 나타낼 수 있으며, 이 때 저장된 전하가 가지는 에너지는 $E_{\max} = Q_{\max} V_G$ 와 같다. 따라서 포텐셜 우물의 깊이는 $W_{\text{well}} = Q_{\max} V_G$ 이라 할 수 있다. 한편, 도 (300)에서는 MOS 커패시터 내 저장된 자유전자는 존재하지 않으므로 도 (301)의 포텐셜 우물은 비어있는 상태가 된다. 이 때의 포텐셜 벽의 높이는 포텐셜 우물의 깊이와 동일한 $h_{\text{wall}} = Q_{\max} V_G$ 이다. 이와 같은 상태에서, 만약 서브스트레이트 영역에 자유전자가 존재할 경우 게이트 전압에 의해 형성된 빈 포텐셜 우물(307)에 쉽게 저장될 수 있다.

- [121] 한편, 도 (302)와 같이 공핍 영역(309)에 자유 전자가 유입되는 경우, 이 전자들은 양(+)의 게이트 전압에 의해 서브스트레이트 표면에 끌려온다. 이 때, 게이트 전극 아래의 서브스트레이트 영역은 정공에 의한 양전하를 띠는 다른 서브스트레이트 영역과 달리 전자에 의한 음전하를 띠게 되며, 따라서 이러한 영역을 반전층(inversion layer)(310)이라 부른다. 형성된 반전층에 모인 음전하가 게이트 전압을 상쇄하므로 공핍 영역(309)의 깊이는 도 (300)의 반전층이 존재하기 전의 공핍 영역(306)의 깊이보다 얕아진다.

- [122] 도 (303)은 도 (302)와 같이 공핍 영역(309) 내에 반전층(310)이 형성된 MOS 커패시터의 전기적 위치 에너지 분포를 설명하기 위한 도면이다. 도 (302)에서 반전층(310)을 형성한 전하량(311)을 Q_1 이라고 하면, 포텐셜 벽의 높이는 반전층의 전하량에 의한 에너지 $Q_1 V_G$ 만큼 낮아진 $h_{\text{wall}} = (Q_{\max} - Q_1) V_G$ 가 된다. 따라서 포텐셜 우물에 저장된 전자(311)가 h_{wall} 보다 더 큰 에너지를 얻게 되면 포텐셜 벽을 넘어 포텐셜 우물로부터 유출될 수 있다. 예를 들어, 도 (302)의 MOS 커패시터에 E 의 크기를 가진 전기장이 인가되면, 전기장에 의한 전기력의 작용에 의해 MOS 커패시터에 저장된 전자의 운동 에너지가 증가한다. 이 때, 증가하는 운동 에너지의 크기가 포텐셜 벽의 높이인 $(Q_{\max} - Q_1) V_G$ 이상으로 증가하는 경우, MOS 커패시터에 저장된 전자의 일부가 포텐셜 우물 밖으로 유출될 수 있다.

- [123] 도 (304)는 도 (302)와 같이 형성된 반전층(310)에 더 많은 자유 전자의 유입에 따른 반전층(313)과 공핍 영역(312)의 변화를 설명하기 위한 도면이다. 도 (304)에서 공핍 영역(312) 내에 형성된 반전층(313)은 도 (302)에서 형성된 반전층(310)보다 더 많은 전자가 모여 있으므로 더 큰 음전하를 띠게 된다. 더 큰 음전하는 더 큰 게이트 전압의 상쇄를 일으키므로, 공핍 영역(312)의 깊이는 도 (302)에서의 공핍 영역(309)의 깊이보다 더욱 얕아진다. 한편, 이 상태를 도 (305)와 같이 포텐셜 우물에 다수의 전하 Q_2 (314)가 유입된 상태로 표현할 수 있다. MOS 커패시터의 전하량 Q_2 가 최대 전하량 $Q_{\max}$ 에 가까워지면 포텐셜 벽의 높이는 현저히 낮아지며, MOS 커패시터에 저장된 전하를 속박하는 힘은 매우

약해진다. 따라서, 얇은 깊이의 포텐셜 우물에 저장된 전하는 약한 힘만으로도 쉽게 유출될 수 있다.

- [124] 이와 같이, MOS 커패시터에 인가되는 게이트 전압에 의한 공핍 영역의 형성과 유입되는 전자에 의한 반전층 형성, MOS 커패시터의 전하량에 따른 전자의 유입/유출 민감도 변화와 같은 특성들은 포텐셜 우물이라는 물리적 개념을 통해 설명 가능하다. 일 실시예에 따른 전기장 측정장치는 이러한 특성들을 이용, 서브스트레이트 표면에 포텐셜 우물을 적절하게 배치하고, 이러한 포텐셜 우물에 저장된 전하량을 조절함으로써 전기장 측정장치에 방사되는 전기장의 세기와 방향을 측정할 수 있다. 이 때, 임의의 형태로 배치되는 포텐셜 우물의 형성을 위한 복수의 MOS 커패시터의 배치는 게이트 전극의 물리적 형상, 복수의 MOS 커패시터 각각에 인가되는 게이트 전압의 크기 및, 도 4a를 통해 후술할 전하 전송(charge transfer) 동작을 위한 게이트 전압 제어 방법 등의 차이에 따라 서로 다를 수 있으므로, 우선적으로 전기장의 세기 및 방향 측정을 위한 포텐셜 우물의 배치와 측정 방법을 도 3b 내지 도 3f를 통해 설명한 후, 서브스트레이트 내 포텐셜 우물의 배치를 위한 MOS 커패시터의 배열 방법을 도 4a 내지 도 4b를 통해 설명한다.

[125]

- [126] 도 3b는 1차원상에서 전기장의 세기와 방향을 측정하기 위한 포텐셜 우물의 배치를 설명하기 위한 도면이다. 일 실시예에 따른 전기장 측정 장치의 측정부는 일렬로 배치한 포텐셜 우물과 여기에 주입되는 전하를 이용하여 1차원상의 전기장의 세기와 방향을 측정할 수 있다. 예를 들어, 일 실시예에 따른 전기장 측정 장치의 측정부는 도 (320)과 같이 세 개의 포텐셜 우물로 구성될 수 있다. 각각의 포텐셜 우물은 게이트 전압 V_0 에 의해 형성됨을 가정하면, 포텐셜 우물의 깊이는 $Q_{\max}V_0$ 로 모두 동일하다. 측정부 중앙에 위치한 포텐셜 우물 2(322)에 초기화 전하량인 Q_0 이 입력 회로를 통해 입력됨을 가정하면, 포텐셜 우물 2(322)에서 포텐셜 벽의 높이는 $(Q_{\max} - Q_0)V_0$ 가 된다. 한편 도 3a를 통해 전술한 바와 같이, 포텐셜 벽의 높이는 전하 유출의 민감도를 결정하므로, V_0 및 Q_0 의 크기는 전기장에 대한 민감도를 고려하여 설정될 수 있다.

- [127] 포텐셜 우물 2(322)를 중심으로 서로 대칭되는 위치에 포텐셜 우물 1(321)과 포텐셜 우물 3(323)이 배치된다. 이 때, 도 (324)와 같이 -x 방향으로 인가되는 전기장이 $(Q_{\max} - Q_0)V_0$ 이상의 에너지를 공급하는 경우, 포텐셜 우물 2(322)에 저장된 전자는 포텐셜 우물 2(322)로부터 유출되어 전기장의 반대 방향인 +x 방향으로 이동하게 되며, 이들 전체 또는 일부는 낮은 전기적 위치에너지를 지닌 포텐셜 우물 3(323)에 저장될 수 있다. 이 때, 유출된 전하량을 ΔQ 라고 하면, 전기장에 노출된 후 포텐셜 우물 2(322)의 전하량은 $(Q_0 - \Delta Q)$ 가 되며, 유출된 전하가 모두 포텐셜 우물 3(323)에 유입됨을 가정하면 포텐셜 우물 3(323)의 전하량은 ΔQ 가 된다. 이 때, ΔQ 의 크기는 전기장에 의해 전달된 에너지의 크기에 비례하므로 전기장의 세기는 ΔQ 로부터 계산해낼 수 있다. 또한 유출된

전하의 이동 방향은 전기장의 반대 방향이므로, 전기장의 방향은 포텐셜 우물 2(322)로부터 포텐셜 우물 3(323)의 반대 방향인 -x 방향이 된다.

[128] 한편, 전기장 측정 장치가 매우 강한 전기장에 노출될 경우, 포텐셜 우물 2(322)로부터 유출되어 포텐셜 우물 1(321) 또는 포텐셜 우물 3(323)에 유입된 전자가 동일한 원리로 포텐셜 우물 1(321) 또는 포텐셜 우물 3(323)으로부터 다시 유출될 수 있으며, 이로 인해 정확한 전기장의 세기와 방향의 측정이 어려울 수 있다. 도 3c를 참고하면, 이와 같은 유입된 전자의 재유출 현상을 막기 위해 도 (325)와 같이 도 (320)에서 설명한 포텐셜 우물의 배치에 추가로 하나 이상의 빈 포텐셜 우물(328)과 같이 좌우 양쪽에 배치하여 중앙의 포텐셜 우물(326) 주위의 빈 포텐셜 우물(327)에 유입된 전자가 다시 유출될 때 이를 외곽의 포텐셜 우물(328)이 다시 유입할 수 있도록 측정부를 구성할 수 있다.

[129] 보다 근본적으로, 빈 포텐셜 우물에 유입된 전자의 재유출 현상은 빈 포텐셜 우물의 전자를 속박하는 힘이 유입된 전자를 속박하기에 충분히 강하지 못하기 때문에 발생한다. 따라서, 도 (329)와 같이 빈 포텐셜 우물(331)의 깊이를 더 깊게 설정함으로써 더욱 강하게 전자를 속박할 수 있다. 이 경우, 중앙의 포텐셜 우물(330)에 저장된 모든 전하가 빈 포텐셜 우물(331)에 옮겨간다 하더라도 여전히 전자의 이동을 막을 수준의 포텐셜 벽의 높이를 보장할 수 있다. 이와 같은 서로 다른 깊이의 포텐셜 우물의 형성은 도 3a를 통해 전술한 바와 같이 각각의 MOS 커패시터에 인가되는 게이트 전압을 조절함으로써 쉽게 구현할 수 있다.

[130]

[131] 도 3d는 전기장의 세기와 방향을 2차원상에서 측정하기 위한 포텐셜 우물의 배치를 설명하기 위한 도면이다. 일 실시예에 따른 전기장의 세기와 방향을 2차원상에서 측정하기 위한 전기장 측정 장치는 도 3b를 통해 전술한 1차원상에서 전기장의 세기와 방향을 측정하기 위한 포텐셜 우물의 배치를 병렬로 배열하는 방법으로 설계될 수 있다.

[132] 도 (332)를 참조하면, 일 실시예에 따른 전기장 측정 장치의 측정부 내에 9개의 포텐셜 우물이 도 (320)의 포텐셜 우물의 배치를 3열로 배열한 형태로 배치된다. 중앙의 포텐셜 우물(333)에는 도 3b를 통해 전술한 1차원상에서 전기장의 세기와 방향을 측정하는 포텐셜 우물의 배치 방법과 같이 전기장에 대한 민감도를 고려하여 적절한 전하량을 갖도록 초기 전하가 입력된다. 또한, 중앙의 포텐셜 우물(333)을 둘러싼 주변의 포텐셜 우물들(334)은 1차원상의 전기장의 세기와 방향을 측정하는 포텐셜 우물의 배치 방법에서와 동일하게 중앙의 포텐셜 우물(333)로부터 유출되는 전자가 유입되도록 비어있는 상태로 설정된다.

[133] 일 실시예에 따른 전기장 측정 장치는 중앙의 포텐셜 우물(333)로부터 주변의 포텐셜 우물들(334)의 상대적인 위치 및 전기장에 노출된 후 각 포텐셜 우물의 전하량 변화를 이용하여 2차원상의 전기장의 세기 및 방향을 측정한다. 2차원상의 전기장의 세기와 방향을 측정하는 전기장 측정장치에서 중앙의

포텐셜 우물(333)로부터 주변 포텐셜 우물들(334)의 상대적인 위치는 직교 좌표계 상의 방향 벡터로 표현될 수 있으며, 주변 포텐셜 우물들(334)에 유입된 전하량은 벡터의 크기로 표현될 수 있다. 이를 이용하면, 각 포텐셜 우물들의 방향에 대한 전기장의 세기를 직교 좌표계 상의 벡터로 표현할 수 있으며, 이들 벡터들을 종합하면 전기장의 세기와 방향을 나타내는 하나의 벡터를 얻을 수 있다. 2차원상의 전기장의 세기와 방향을 측정하는 보다 자세한 방법은 도 3e를 통해 후술한다.

[134]

[135] 도 3e는 2차원상에서 전기장의 세기와 방향을 측정하기 위한 측정부의 포텐셜 우물 배치를 이용하여 전기장의 세기와 방향을 측정하는 방법을 설명하는 도면이다.

[136] 도 (340)은 도 (332)를 통해 전술한 2차원상에서 전기장의 세기와 방향을 측정하기 위한 측정부의 포텐셜 우물 배치를 나타내는 도면이다. 도 (340)의 포텐셜 우물들의 위치는 도 (341)과 같이 직교 좌표계 상의 좌표로 표현할 수 있다.

[137] 도 (342)는 전기장에 노출되기 전 각각의 포텐셜 우물에 저장된 전하량을 나타내는 도면이다. 전기장에 노출되기 전, 측정부의 중앙에 위치한 포텐셜 우물 E에 전기장 노출에 따른 민감도를 고려한 적절한 크기의 전하가 주입된다. 예를 들어, 도 (342)의 경우 포텐셜 우물 E에 10fC의 음전하가 주입된다. 또한, 포텐셜 우물 E를 제외한 다른 포텐셜 우물은 빈 포텐셜 우물로 설정된다. 이 상태에서 외부로부터 전기장이 방사되면 포텐셜 우물 E에 저장된 전하의 일부가 유출되어 다른 포텐셜 우물에 유입될 수 있으며, 이에 따라 측정부의 포텐셜 우물에 저장된 전하량의 분포가 달라질 수 있다. 예를 들어, 도 (343)과 같이 포텐셜 우물 E에 저장된 전하의 일부가 유출됨으로써 포텐셜 우물 E의 전하량이 감소하는 한편, 포텐셜 우물 E로부터 유출된 전하가 포텐셜 우물 B, C, F에 유입됨으로써 이들 포텐셜 우물의 전하량이 증가하는 형태로 전하량의 분포가 달라질 수 있다.

[138] 측정부의 전하량 분포의 변화 및 포텐셜 우물의 상대적인 위치를 이용하면 중앙의 포텐셜 우물로부터 각 포텐셜 우물의 방향에 대한 전기장의 크기를 계산할 수 있으며, 이를 도 (344)와 같이 직교 좌표계 상에 벡터로 표현할 수 있다. 각각의 전기장 성분 벡터를 $\vec{E}_B, \vec{E}_C, \vec{E}_F$ 라 하면, 이들을 모두 더한 $\vec{E}_{TOT}$ 가

측정부에 방사된 전기장의 세기와 방향을 나타내는 벡터임을 알 수 있다. 이와 같은 방법으로 일 실시예에 따른 전기장 측정 장치는 2차원상의 전기장의 세기와 방향을 측정할 수 있다.

[139]

[140] 도 3f는 2차원상에 분포한 전기장을 시각화하는 전기장 측정 장치의 측정부의 작동 방법을 설명하는 도면이다.

[141] 도 3b 내지 도 3e를 통해 전술한 1차원 또는 2차원상의 전기장을 측정하는

측정부는 2차원상에 분포한 전기장을 시각화하는 전기장 측정 장치의 측정부를 구현하기 위한 측정 단위로서 사용 가능하다. 또한, 복수의 전기장 측정 단위를 공간상에 배치하면, 각각의 측정 단위가 배치된 위치에서 전기장의 세기와 방향에 대한 정보를 얻을 수 있으며, 이를 종합하면 2차원 공간 안에서 전기장이 분포한 형태를 시각화할 수 있다.

[142] 도 3f를 참고하면, 일 실시예에 따른 전기장 측정 장치의 측정부(345)는 도 3d 내지 도 3e를 통해 전술한 2차원상에서 전기장의 세기와 방향을 측정하기 위한 측정 장치의 측정부를 측정 단위로 사용한다. 이 때, 전기장 측정 장치의 측정부(345)를 구성하는 측정 단위(346)들은 각각의 위치에서 전기장의 세기와 방향을 측정한다. 예를 들면, 일 실시예에 따른 측정부(345)가 양전하(347)에 의한 정전기장에 노출되면, 측정부(345) 내의 각 측정 단위(346)들은 각각의 위치에서 전기장의 세기와 방향을 측정한다. 각각의 측정 단위(346)들에서 측정된 결과를 종합하면 도 (348)과 같이 2차원상의 전기장의 분포를 시각화할 수 있다.

[143]

[144] 도 4a 내지 도 4b는 일 실시예에 따른 전기장 측정 장치의 측정부를 MOS 커패시터를 이용하여 구현하는 방법을 설명하기 위한 도면이다.

[145] 도 4a 내지 도 4b를 통해 전기장의 세기 및 방향 측정을 위한 포텐셜 우물의 배치를 MOS 커패시터를 이용하여 구현하는 방법 및 측정부의 MOS 커패시터들 사이에 이루어지는 전하 전송 동작에 대해 설명한다.

[146] 도 3b 내지 도 3f를 통해 서술한 1차원 또는 2차원상에 전기장 측정을 위한 포텐셜 우물의 배치는 1차원 또는 2차원 공간상에 배열된 복수의 MOS 커패시터들을 통해 구현될 수 있다. MOS 커패시터에 인가되는 게이트 전압은 서브스트레이트 표면의 전기적 위치에너지를 변화시키므로, 적절하게 배열된 MOS 커패시터들에 서로 다른 게이트 전압을 인가함으로써 도 3b 내지 도 3f를 통해 서술한 전기장 측정을 위한 포텐셜 우물의 배치를 구현할 수 있다. 이 때, 도 2a 내지 도 2b를 통해 전술한 바와 같이, MOS 커패시터의 배열을 통해 구성된 측정부의 입력 회로와 출력 회로는 측정부의 맨 처음과 맨 마지막에 위치하므로 임의의 MOS 커패시터에 직접 전하를 입력한다거나 임의의 MOS 커패시터로부터 직접 전하를 출력하는 동작을 수행하는 것은 불가능하다. 따라서, 측정부에 형성된 임의의 포텐셜 우물에 전하를 입력하거나 출력하기 위해서는 인접한 MOS 커패시터 간 전하를 순차적으로 이동시키는 전하 전송(charge transfer) 동작을 수행하여야 한다.

[147] 이와 같이, 일 실시예에 따른 전기장 측정 장치의 측정부는 복수의 MOS 커패시터에 인가되는 서로 다른 게이트 전압을 이용하여 포텐셜 우물의 배치를 구현할 수 있어야 하는 한편, 인접한 MOS 커패시터 간 전하 전송 동작을 수행할 수 있도록 구현되어야 한다. 이러한 일 실시예에 따른 전기장 측정 장치의 측정부는 전하결합소자(charge-coupled device; CCD)의 형태를 이용하여 구현될

수 있다.

[148] 도 4a를 참고하면, 도 3b를 통해 전술한 도 (320)과 같은 포텐셜 우물의 배치를 이용한 전기장 측정 장치는 3-페이즈(phase) 선형 전하결합소자의 형태를 이용하여 구현될 수 있다. 3-페이즈 선형 전하결합소자는 1차원상에 배열된 MOS 커패시터 및 3개의 페이즈 회선을 포함하며, 각각의 페이즈 회선에는 복수의 MOS 커패시터가 연결된다. 이 때, 전기장 측정을 위한 포텐셜 우물의 배치 및 MOS 커패시터 간 전하 전송 동작을 위한 게이트 전압은 각각의 페이즈 회선을 통해 인가된다.

[149] 도 (400)을 참조하면, 일 실시예에 따른 측정부는 9개의 MOS 커패시터를 포함하는 3-페이즈 전하결합소자로 설계될 수 있다. 각각의 MOS 커패시터는 순차적으로 페이즈 1($\Phi 1$), 페이즈 2($\Phi 2$) 및 페이즈 3($\Phi 3$) 회선에 연결되어 있으므로, 이들 페이즈 회선(401)을 통해 MOS 커패시터에 게이트 전압을 인가할 수 있다. 도 (400)을 참조하면, $\Phi 1$ 회선에는 MOS 커패시터 A, MOS 커패시터 D 및 MOS 커패시터 G가 연결되어 있으며 $\Phi 2$ 회선에는 MOS 커패시터 B, MOS 커패시터 E 및 MOS 커패시터 H가 연결되어 있다. 또한, $\Phi 3$ 회선에는 MOS 커패시터 C, MOS 커패시터 F 및 MOS 커패시터 I가 연결되어 있다. 이와 같이 측정부를 구성하는 MOS 커패시터들은 각각 정해진 페이즈 회선(401)에 연결되므로, 이들 페이즈 회선(401)을 통해 각각의 MOS 커패시터에 게이트 전압을 인가할 수 있다. 예를 들면, $\Phi 1$ 회선에 전압을 인가하면 MOS 커패시터 A, MOS 커패시터 D 및 MOS 커패시터 G에 게이트 전압이 인가된다.

[150] 일 실시예에 따른 측정부는 페이즈 회선(401)에 인가되는 전압을 이용하여 전기장 측정을 위한 포텐셜 우물을 형성할 수 있다. 예를 들면, 도 (400)과 같이 $\Phi 2$ 회선에 10V의 전압을 인가하고 $\Phi 1$ 및 $\Phi 3$ 회선을 0V로 설정하면 도 (320)과 동일한 형태의 포텐셜 우물이 서브스트레이트 표면에 형성된다.

[151] 도 (402)는 일 실시예에 따른 측정부에서 전하 전송 동작을 수행하는 방법을 시간 순서대로 나타낸 것이다. T_1 에서 $\Phi 1$ 회선에 10V의 전압이 인가된다. 이에 따라 MOS 커패시터 A에 포텐셜 우물이 형성된다. 이 때, MOS 커패시터 A는 임의의 전하량을 저장하고 있음을 가정한다. T_2 에서 $\Phi 1$ 회선과 함께 $\Phi 2$ 회선에 10V가 인가되면 포텐셜 우물은 MOS 커패시터 A와 MOS 커패시터 B에 걸쳐 확장되며, MOS 커패시터 A에 저장된 전하의 일부가 MOS 커패시터 B에 옮겨진다. T_3 에서 $\Phi 1$ 회선의 전압이 0V로 설정되면 T_2 에서 MOS 커패시터 A에 저장되었던 전하는 MOS 커패시터 B로 모두 이동한다. 동일한 방법으로, $\Phi 2$ 와 $\Phi 3$ 의 전압을 제어함으로써 MOS 커패시터 B의 전하를 MOS 커패시터 C로 이동시킬 수 있으며, $\Phi 3$ 와 $\Phi 1$ 의 전압을 제어함으로써 MOS 커패시터 C의 전하를 MOS 커패시터 D로 이동시킬 수 있다. 나머지 MOS 커패시터에서도 동일한 방법을 이용하여 전하 전송 동작을 수행할 수 있다.

[152] 한편, 도 3d에서 전술한 바와 같이, 2차원상에서 전기장의 세기와 방향을 측정하기 위한 측정부의 구조는 1차원상에서 전기장의 세기와 방향을 측정하기

위한 측정부의 구조를 이용하여 구성할 수 있다. 도 4b를 참조하면, 2차원상에서 전기장의 세기와 방향을 측정하기 위한 측정부(403)는 도 4a를 통해 전술한 1차원상에서 전기장의 세기와 방향을 측정하기 위한 측정부(404)를 구성하는 MOS 커패시터의 배열을 3열로 배치하는 형태로 설계될 수 있다. 이 때, 1열과 3열의 포텐셜 우물은 모두 빈 포텐셜 우물로 설정함으로써 2열 중앙의 MOS 커패시터에서 유출된 전자가 유입될 수 있도록 한다.

[153] 이 때, 도 (403)과 같이 동일한 크기의 MOS 커패시터를 사용하여 측정부를 구현하는 경우, 측정부 중앙의 MOS 커패시터에서 유출되는 전자가 유입되어야 하는 빈 포텐셜 우물 사이의 간격이 포텐셜 우물의 크기에 비해 클 수 있다. 이로 인해 측정부 중앙에서 유출된 전자가 빈 포텐셜 우물에 유입되지 않고 포텐셜 벽 위의 평탄한 에너지 분포를 따라 이동할 수 있는 가능성이 높아지며, 결과적으로 전기장의 방향 측정 오차를 현저히 높일 수 있다.

[154] 이와 같은 오차는 물리적으로 상이한 형태의 MOS 커패시터를 사용하여 측정부를 구성함으로써 감소시킬 수 있다. 도 (405)를 참조하면, 측정부를 구성하는 MOS 커패시터는 전기장 측정을 위한 포텐셜 우물이 형성되는 MOS 커패시터들(406)과, 전하 전송 동작 및 포텐셜 벽 형성을 위해 사용되는 MOS 커패시터들(407)로 나눌 수 있다. 전술한 오차 요인은 포텐셜 우물의 크기에 비해 포텐셜 우물 사이의 간격이 넓은 데에 기인하므로, 전하 전송 동작을 위해 사용되는 MOS 커패시터(407)보다 큰 크기의 MOS 커패시터(406)를 포텐셜 우물을 형성하는 데에 사용함으로써 전기장으로 인해 유출된 전하를 유입할 확률을 높일 수 있다.

[155]

[156] 도 5는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치의 입력 회로를 설명하기 위한 도면이다.

[157] 도 5를 참조하면, 전압의 형태로 제공되는 입력 신호를 전하량의 형태로 검출 영역(505)의 MOS 커패시터에 저장하는 입력 회로(500)는, 입력 회로(500)에 전자를 공급하는 입력 다이오드(input diode)(501)와 두 개의 입력 게이트(input gate)(502)로 구성될 수 있다.

[158] 입력 회로(500)는 소스(source)와 드레인(drain)을 갖는 MOSFET (metal-oxide-semiconductor field effect transistor) 트랜지스터와 유사한 방식으로 동작한다. 입력 다이오드(501)는 MOSFET 트랜지스터의 소스(source)와 유사하게 입력 회로(500)에 전자를 공급하는 역할을 하며, 입력된 전자는 적절한 크기로 설정된 V_{G1} 을 통해 입력 게이트 1(503)의 서브스트레이트 영역에 형성된 채널을 따라 MOSFET 트랜지스터의 드레인(drain) 역할을 하는 입력 게이트 2(504)로 이동하여 입력 게이트 2(504)의 서브스트레이트 영역에 저장된다. 일 실시예에 따른 전기장 측정 장치의 측정부에 제공되는 초기화 정보는 측정부에 포함된 입력 회로(500)의 입력 신호로 이용되며, 이 때 입력 신호는 입력 게이트 2(504)에 인가된다. 한편, 입력 게이트 2(504)에 저장되는 전하량은 입력 신호의

크기인 V_{G2} 와 입력 게이트 1(503)에 인가되는 전압 V_{G1} 의 차이에 의존한다.

- [159] 도 (506) 내지 도 (509)는 T_0 부터 T_3 까지 시간 흐름에 따른 입력 회로 내의 전기적 위치 에너지와 전하의 분포를 나타내는 도면이며, 도 (510)은 입력 회로의 각 구성 단위인 입력 다이오드(501), 입력 게이트 1(503) 및 입력 게이트 2(504)에 인가되는 전압을 시간 흐름에 따라 나타내는 그래프이다. 도 (506) 내지 도 (510)을 이용하여 시간 흐름에 따른 입력 회로(500)의 동작을 보다 자세히 서술하면, T_0 (506)에서 V_D 는 15V로 설정되며, V_{G2} 는 10V로 설정된다. V_{G1} 은 2V로 설정되어 입력 다이오드(501)와 입력 게이트 2(504) 사이에 채널이 형성되지만 입력 다이오드(501)의 전압 V_D 가 V_{G2} 보다 높은 상태이므로 전자의 입력은 아직 일어나지 않는다. T_1 (507)에서 V_D 가 5V로 설정되면 입력 다이오드(501)로부터 공급되는 전자가 입력 게이트 1(503)의 채널을 통과하여 낮은 전기적 위치 에너지를 가진 입력 게이트 2(504)로 이동한다. T_2 (508)에서 V_D 는 다시 15V로 설정되며, 입력 회로(500) 내에 저장된 전자의 일부가 다시 입력 다이오드(501)를 통해 빠져나간다. 이 때, 입력 게이트 2(504)에 저장된 전자는 V_{G1} 과 V_{G2} 간 전위차에 의해 형성된 포텐셜 우물에 갇히게 된다. 마지막으로, T_3 (509)에서 검출 영역(505)의 페이즈 1 게이트(511)에 10V의 전압이 인가되어 입력 게이트 2(504)에 저장된 전자가 검출 영역(505)의 맨 앞에 위치한 MOS 커패시터에 이동하게 된다.

- [160] MOS 커패시터를 이용한 전기장 측정 장치는 전기장에 노출되기 전·후의 전하량을 바탕으로 전기장의 세기를 측정하므로, 전기장 측정 장치에 포함된 입력 회로(500)는 MOS 커패시터에 입력될 전자의 양을 정확하게 제어하도록 설계되어야 한다. 일 실시예에 따른 입력 회로(500)는 입력 게이트 2(504)와 입력 게이트 1(503)의 인가되는 전압의 차이에 의해서만 MOS 커패시터에 입력될 전자의 양이 결정되므로, MOS 커패시터에 저장될 전자의 양을 정확하게 제어할 수 있다.

- [161] 또한, 일 실시예에 따른 입력 회로(500)의 구성은 다양한 형태로 변형될 수 있다. 다른 실시예에 따른 입력 회로(201)는 입력 게이트(502)를 하나만 포함하며, 입력 게이트 2(504)를 검출 영역(201)의 MOS 커패시터로 대신할 수 있다. 또 다른 실시예에 따른 입력 회로(201)는 입력 신호를 입력 게이트(502)에 인가하는 대신 입력 다이오드(501)에 인가하도록 변형될 수 있다. 이와 같은 입력 회로는 해당 분야에서 통상의 지식이 있는 자라면 상기 기재된 내용으로부터 용이하게 변형할 수 있음이 자명하다.

[162]

- [163] 도 6은 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 장치에 포함된 측정부의 출력 회로를 설명하기 위한 도면이다.

- [164] 도 6을 참조하면, 검출 영역(606)에 저장된 전하량을 전압의 형태로 출력하는 출력 회로(600)는 MOS 커패시터에 저장된 전하량을 전압의 형태로 변환하는 하나의 출력 다이오드(output diode)(601), 검출 영역(606)에서 출력

다이오드(601)로의 전자의 이동을 제어하는 하나의 출력 게이트(output gate)(602) 및 출력 다이오드(601)를 통해 출력된 전압의 크기를 증폭하는 역할을 하는 증폭 회로(603)를 포함한다. 한편, 증폭 회로(603)는 출력 전압(V_{OUT})을 기준 전압(V_{REF})으로 초기화하는 리셋 스위치(604) 및 출력 다이오드(601)로부터의 출력 전압을 증폭하는 역할을 하는 MOS 증폭기(605)를 포함할 수 있다.

- [165] 시간 흐름에 따른 출력 회로의 동작을 살펴보면, T_0 (607)에서 검출 영역(606)의 맨 마지막 MOS 커패시터에 출력될 전하가 옮겨진다. 출력 게이트(602) 전압 V_{OG} 는 0V로 설정되어 출력 다이오드(601)로의 전하의 이동은 일어나지 않는다.
- [166] T_1 (608)에서, 출력 전압(V_{OUT})을 기준 전압(V_{REF})으로 초기화하기 위해 리셋 스위치(604)에 10V의 전압이 펄스 형태로 인가된다. 보다 구체적으로 V_{OUT} 의 초기화 과정을 살펴보면, 펄스 신호 입력에 따라 출력 다이오드(601)에 저장된 여분의 음전하가 출력 회로(600) 외부로 빠져나간다. 이에 따라 리셋 스위치(604)와 출력 다이오드(601) 사이의 회로가 양전하로 대전되어 MOS 증폭기(605)에 양의 전압이 인가되도록 한다. 따라서 MOS 증폭기(605)에는 MOS 증폭기(605) 양 단의 전압 V_{DD} 와 접지전압 사이의 전위차에 의한 전류가 흐르게 되며, 이 전류의 크기에 따라 출력 회로의 출력 전압이 결정되는데, 이 때의 전압을 기준 전압이라고 한다. 한편, 출력 회로의 기준 전압은 출력 회로의 구성에 따라 달라질 수 있으며, 본 실시예에서는 기준 전압을 8V로 가정하였다.
- [167] T_2 (609)에서, V_{OG} 가 10V로 설정되며, 이에 따라 검출 영역(606)에 저장된 전하가 출력 다이오드(601)로 이동한다. 출력 다이오드(601)를 통해 출력된 음전하는 MOS 증폭기(605)에 인가되는 전압을 낮추며, 이로 인해 V_{OUT} 은 기준 전압보다 낮은 값이 출력된다. 도 (611)을 통해 이를 보다 자세히 설명하면, T_1 에서 기준 전압(V_{REF})인 8V가 출력되던 출력 회로(600)는, T_2 에서 출력 다이오드(601)을 통해 출력된 음전하로 인한 전압강하에 의해 2V의 전압을 출력한다.
- [168] 마지막으로 T_3 (610)에서는 출력 게이트(602)가 폐쇄되고 출력 동작이 종료된다. 이 때, 출력 전압은 T_1 (608)에서 이루어지는 기준 전압으로의 초기화 전까지 2V로 유지된다.
- [169] 한편, 출력 회로(600)의 구성은 다양한 형태로 변형될 수 있다. 일 예로, 다른 실시예에 따른 출력 회로(600)는 복수의 증폭 회로(603)를 포함할 수 있으며, 이 경우 출력 전압을 단계적으로 증폭함으로써 증폭 시 발생 가능한 잡음을 최소화할 수 있다. 또한, 다른 실시예에 따른 출력 회로(600)는 출력 다이오드(601) 대신 부동 게이트 트랜지스터(floating gate transistor)와 유사하게 두 개의 게이트 전극이 서로 층을 이룬 형태의 MOS 커패시터로 구성될 수 있다. 이 형태의 출력 회로는 MOS 커패시터에 저장된 전하를 외부로 출력하는 대신 도 3a를 통해 기술한 MOS 커패시터의 반전층에 의해 형성된 전압 강하를 부동 게이트를 이용하여 측정함으로써 MOS 커패시터에 저장된 전하의 양을 측정할 수 있다. 이와 같은 출력 회로의 변형은 해당 분야에서 통상의 지식이 있는 자라면 상기

기재된 내용으로부터 용이하게 변형할 수 있음이 자명하다.

[170]

[171] 도 7은 일 실시예에 따른 전기장 측정장치에 포함된 제어부의 구성에 대해 설명하기 위한 도면이다.

[172] 도 7은 참조하면, 일 실시예에 따른 전기장 측정 장치의 제어부(700)는 컨트롤러(701), 신호 변환/수집기(702), 및 게이트 전압 공급기(703)를 포함한다.

[173] 컨트롤러(701)는 외부로부터 입력되는 이네이블(Enable) 신호에 따라 측정부(704)가 전기장을 측정하거나 측정하지 않도록 제어할 수 있다. 또한 컨트롤러(701)는 외부로부터 입력되는 I/O 신호를 이용하여 제어부(700)와 측정부(704)의 구성 요소들을 제어하기 위한 제어 신호 및 측정부(704)에 입력될 초기화 정보를 생성한다. 이 때, 컨트롤러(701)가 제공하는 제어 신호는 도 5를 통해 전술한 입력 회로(500)의 입력 게이트 1(503)에 제공되는 게이트 전압 V_{GI} , 도 6을 통해 전술한 출력 회로(600)의 출력 게이트(602)에 인가되는 게이트 전압 V_{OG} , 신호 변환/수집기(702)의 측정 결과 수집 및 전송을 제어하기 위한 제어 신호 및, 도 8a 내지 도 8b를 통해 후술할 전기장 측정 단계에 따라 측정부에 인가될 게이트 전압의 형태를 결정하기 위한 게이트 전압 공급기(703)의 제어 신호를 포함할 수 있다.

[174] 또한, 컨트롤러(701)는 외부로부터 측정부(704)에 입력될 초기화 정보를 직접 입력 받거나, 외부로부터 측정할 전기장에 대한 민감도를 입력 받아 이를 바탕으로 측정부(704)에 입력될 초기화 정보를 결정할 수 있다.

[175] 또한, 컨트롤러(701)는 전기장 측정이 완료된 이후 측정부(704)의 출력 회로(707)로부터 출력된 측정 결과를 신호 변환/수집기(702)를 통해 전송 받는다. 전송 받은 측정 결과는 I/O 신호를 이용하여 다시 외부로 출력될 수 있다.

[176] 또한, 컨트롤러(701)는 전기장 측정을 위해 입력된 정보가 측정부(704) 내에 저장 및 변경될 수 있도록 게이트 전압 공급기(703)를 제어한다.

[177] 신호 변환/수집기(702)는 측정부(704)에서 전압의 형태로 출력된 측정 결과를 디지털 신호로 변환하며, 이를 컨트롤러(701)로부터 전송받은 제어 신호에 따라 컨트롤러(701)에 전송한다.

[178] 게이트 전압 공급기(703)는 외부로부터 입력받은 V_{DD} 와 V_{SS} 를 이용하여 다양한 크기의 출력 전압을 생성하는 장치로, 예를 들어 에너지 저장 장치인 축전기를 이용하여 입력 전압보다 더 높거나 더 낮은 출력 전압을 생성하는 직류-직류 변환 장치 등을 포함할 수 있다.

[179] 일 실시예에 따른 게이트 전압 공급기(703)는 컨트롤러(701)로부터 전송받은 제어 신호에 따라 측정부(704)를 제어하기 위한 게이트 전압을 생성할 수 있다. 게이트 전압 공급기(703)가 생성하는 게이트 전압은 전하의 전송을 위한 제어 클럭 및 전기장 측정을 위해 제공되는 직류 전압을 포함할 수 있다. 이 때, 도 3a를 통해 전술한 바와 같이 전기장 측정을 위해 검출 영역(705)에 제공되는 직류 전압의 크기는 MOS 커패시터가 전기장에 노출되어 전하를 유출 또는

유입하는 민감도를 조절하기 위해 적절한 크기로 조절되어야 한다. 이를 위해, 게이트 전압 공급기(703)는 컨트롤러(701)로부터 전송 받은 제어 신호에 따라 측정부(704)의 검출 영역(705)에 제공될 게이트 전압의 크기를 조절할 수 있다.

[180] 또한, 도 2c를 통해 전술한 2차원상의 전기장을 측정하는 전기장 측정 장치(240)의 경우 MOS 커패시터에 정보를 입력하기 위한 입력 레지스터(244)와 MOS 커패시터에 저장된 정보를 출력하기 위한 출력 레지스터(250)를 포함하며, 이들 역시 검출 영역(705)에서와 마찬가지로 저장된 전하의 이동을 위한 제어 클럭을 필요로 한다. 따라서 2차원상의 전기장을 측정하는 전기장 측정 장치의 게이트 전압 공급기(703)는 검출 영역(705)뿐만 아니라 입력 회로(706)와 출력 회로(707)에도 제어 클럭 전송을 위한 게이트 전압을 제공할 수 있어야 한다. 이를 위해, 게이트 전압 공급기(703)는 컨트롤러(701)로부터 전송 받은 제어 신호에 따라 입력 회로(706), 검출 영역(705) 및 출력 회로(707)에 각각 제어 클럭을 제공할 수 있다.

[181] 한편, 전기장 측정 장치에 포함된 제어부(700)의 구조는 다양한 형태로 변형될 수 있다. 다른 실시예에 따른 전기장 측정 장치에 포함된 게이트 전압 공급기(703)는 V_{DD} 및 V_{SS} 로부터 측정부(704)를 제어하기 위한 다양한 크기의 게이트 전압을 생성하여 컨트롤러(701)에 제공할 수 있으며, 컨트롤러(701)는 이들 전압을 측정부(704)에 제공할 게이트 전압 및 제어 클럭을 생성하는데 사용할 수 있다. 또 다른 실시예에 따른 전기장 측정장치에 포함된 컨트롤러(701)는 입력 회로(706)에 제공할 초기화 정보를 신호 변환/수집기(702)에 디지털 신호의 형태로 전송하고, 신호 변환/수집기(702)는 전송받은 디지털 신호를 이용하여 입력 회로(706)에 전송할 적절한 크기의 전압을 초기화 정보로 전송하는 구조로 설계될 수 있다.

[182]

[183] 도 8a 내지 도 8b는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 방법을 나타내는 동작 흐름도이다.

[184] 도 8a를 참조하면, 일 실시예에 따른 전기장 측정 방법은 초기화 단계, 전기장 검출 단계 및 전기장의 세기/방향 정보 획득 단계를 포함한다.

[185] 초기화 단계(801)는 초기화 신호의 수신에 반응하여 측정부를 초기화한다. 보다 구체적으로, 초기화 단계(801)는 측정부가 전기장에 노출될 때 측정부에 포함된 MOS 커패시터로부터 전자가 유출되거나 유출된 전자가 유입되는 민감도를 고려하여 측정부에 제공할 초기화 정보를 결정한다. 결정된 초기화 정보를 이용하여 전기장 측정 장치의 MOS 커패시터에 정해진 양의 전하가 입력되며, 입력된 전하는 전기장 측정을 위해 미리 정해진 적절한 위치의 MOS 커패시터에 이동된다. 또한 초기화 단계(801)는 측정부 내에 전기장 측정을 위한 포텐셜 우물이 형성될 수 있도록 측정부에 인가되는 게이트 전압을 조절하며, 측정부에서 출력되는 출력 전압을 기준 전압으로 초기화한다.

[186] 한편, 초기화 단계(801)는 측정부가 전기장에 노출될 시간을 설정하는 단계를

포함할 수 있다. 일 실시예에 따르면, 초기화 단계(801)는 사용자로부터 노출 시간을 입력 받을 수 있다. 다른 실시예에 따르면, 노출 시간은 전기장 측정 장치가 설계될 때 미리 결정될 수 있다.

[187] 전기장 검출 단계(802)는 전기장 측정 장치의 측정부를 전기장에 노출시킨다. 이 때, 전기장 검출 단계(802)는 초기화 단계(801)에서 입력된 초기화 정보가 전기장에 의해 변경되도록 측정부의 게이트 전압을 제어할 수 있다.

[188] 측정 종료 조건 만족 판단 단계(803)는 측정 종료 조건 만족 여부를 판단한다. 일 실시예에 따르면, 단계 (803)은 초기화 단계(801)에서 미리 설정된 노출 시간의 경과 여부를 판단한다. 또한 단계(803)은 미리 설정된 노출 시간 경과 시, 측정부에 저장된 정보가 전기장에 의해 추가로 변화되지 않도록 측정부의 게이트 전압을 제어할 수 있다.

[189] 한편, 일 실시예에 따른 전기장 측정 장치는 측정부에 저장된 정보가 변화되지 않도록 측정부의 게이트 전압을 제어하는 대신, 측정부를 전기적으로 차폐시킬 수 있는 별도의 기계 장치를 포함할 수 있다. 이 경우, 단계(803)은 미리 설정된 노출 시간 경과 시, 측정부에 저장된 정보가 전기장에 의해 변화되지 않도록 전술한 기계 장치를 제어할 수 있다.

[190] 단계(803)에 의해 전기장 검출 작업이 완료되었다고 판단되면, 전기장의 세기/방향 정보 획득 단계(804)는 측정부에 저장된 측정 결과를 기초로 전기장의 세기와 관련된 정보 및 전기장의 방향과 관련된 정보를 얻을 수 있다. 예를 들어, 측정부로부터 전송되는 측정 결과는 도 6을 통해 전술한 출력 회로의 출력 전압의 크기로 표현되는데, 이는 제어부 내의 신호 변환/수집부에서 디지털 신호로 변환될 수 있다. 또한, 이렇게 변환된 디지털 신호는 미리 설계된 프로그램 등에 입력되어 전기장의 세기와 방향을 계산하는 데 이용될 수 있다.

[191]

[192] 한편, 일 실시예에 따른 전기장 측정장치는 도 8a를 통해 전술한 측정 방법을 반복적으로 수행함으로써 시간 흐름에 따른 전기장의 변화를 측정할 수 있는 기술을 제공한다. 도 8b를 참조하면, 일 실시예에 따른 시간 흐름에 따른 전기장의 변화를 측정하는 전기장 측정장치는 노출시간/노출횟수 설정단계(811), 측정부 초기화 단계(812), 전기장 측정 단계(813), 노출시간 초과여부 판단 단계(814), 전기장 세기/방향 정보 획득 단계(815), 노출횟수 초과여부 판단 단계(816)으로 구성된다.

[193] 노출시간 및 노출횟수 설정 단계(811)에서는 전기장 측정 장치를 1회 당 노출시킬 시간 및 반복적으로 노출할 횟수를 설정함으로써 시간 흐름에 따른 전기장의 변화를 측정할 전체 시간을 설정할 수 있다.

[194] 측정부 초기화 단계(812), 전기장 측정 단계(813), 노출시간 초과여부 판단 단계(814) 및 전기장의 세기/방향 정보 획득 단계(815)를 거쳐 전기장이 측정되면 측정 결과는 바로 제어부에 전송되거나 측정부의 임시 저장 공간에 저장되었다가 미리 정해진 시점에 제어부로 전송될 수 있다. 예를 들면,

측정부는 측정 결과를 측정부 내의 복수의 임시 저장 공간에 저장하였다가 저장 공간이 가득 차게 되면 모든 측정 결과를 한번에 제어부로 전송하도록 설계될 수 있다.

- [195] 1회 측정이 완료된 이후 노출횟수 초과여부 판단 단계(816)에서 미리 설정된 노출 횟수를 초과하였는지를 확인하여 노출 횟수를 초과하지 않은 경우 측정부 초기화 단계(812)로 돌아가 다시 전기장을 측정한다. 반복적인 전기장 측정이 끝나고 노출 횟수를 초과하였다고 판단하면 전기장 측정을 종료한다.
- [196]
- [197] 도 9a 내지 도 9e는 일 실시예에 따른 MOS 커패시터를 이용한 전기장 측정 방법에 포함되는 단계별 측정부의 전하량 변화 및 출력 전압의 형태를 설명하기 위한 도면이다.
- [198] 도 8a의 측정부 초기화 단계(801)는 도 9a를 통해 후술할 측정부에 전하 입력 및 출력 전압 초기화 단계(900)와 도 9b에서 후술할 포텐셜 우물 형성 단계(910)를 포함할 수 있다.
- [199] 도 9a를 참조하면, 시간 T_1 에서 전하 입력 및 출력 전압 초기화 단계(900)가 수행된다. 전하 입력 및 출력 전압 초기화 단계(900)에서 측정부의 입력 회로(901)는 제어부로부터 입력되는 초기화 정보를 전하량으로 환산하여 지정된 MOS 커패시터에 저장한다. 이 때, 입력 회로(901)를 통해 초기화 정보를 전하량으로 환산하는 방법은 도 5를 통해 전술한 방법을 이용할 수 있다. 먼저, 입력 게이트 1(903)의 게이트 전압(V_{G1})이 2V로 설정되며, 이로 인해 입력 다이오드(902)와 입력 게이트 2(904) 사이에 채널이 형성된다. 검출 영역에 인가되는 게이트 전압의 크기는 10V라 가정할 때, 검출 영역의 MOS 커패시터에는 10V에 비례하는 깊이의 포텐셜 우물이 형성된다. 한편, 입력 회로를 통해 주입되는 전하량은 입력 게이트 2(904)와 입력 게이트 1(903) 간 게이트 전압의 차이인 $V_{G2} - V_{G1}$ 에 비례하는데, 입력 게이트 1(903)의 게이트 전압 V_{G1} 이 2V로 미리 설정되어 있으므로, 입력 게이트 2(904)의 게이트 전압 V_{G2} 를 V_{G1} 보다 10V가 큰 12V로 설정함으로써 검출 영역의 게이트 전압 10V에 의해 저장할 수 있는 최대한의 전하량을 입력 게이트 2(904)에 유입시킬 수 있다.
- [200] 이와 같이 입력 게이트 1(903)과 입력 게이트 2(904)의 게이트 전압을 설정한 후, 입력 다이오드(902)의 전압 V_D 를 입력 게이트 2(904)의 전압 12V보다 작은 크기의 전압, 예를 들면 5V로 설정하면 입력 다이오드(902)로부터 입력 게이트 2(904)로 전자가 입력된다. 도 (900)을 통해 도시하지는 않았지만, 도 5에서 설명한 바와 같이 전자의 입력이 끝난 이후 V_D 를 다시 V_{G2} 보다 높은 전압, 예를 들면 15V로 설정하면 입력 게이트 2(904)의 포텐셜 우물에 저장될 수 있는 전하량 이상의 전자는 다시 입력 다이오드(902)를 통해 빠져나간다. 이와 같은 과정을 거쳐 측정부에 입력되는 전하량을 조절할 수 있다.
- [201] 한편, 도 6을 통해 전술한 바와 같이, 출력 회로(905)의 리셋 스위치(906)에 양(+)의 전압, 예를 들면 도 (900)에서와 같이 5V의 전압을 인가하면 출력 회로에

V_{DD} 가 인가되면서 출력 전압(V_{OUT})이 기준 전압(V_{REF})으로 설정된다. 이 때, 기준 전압은 출력 회로(905)의 특성에 따라 미리 정해진다. 예를 들면, 도 (900)의 출력 회로(905)에서 기준 전압을 8V라 가정하면, 시간 T_1 에서 리셋 스위치(906)에 인가된 전압에 의해 출력 전압이 초기화되므로, 따라서 시간 T_1 에서 출력 전압은 도 (907)과 같이 8V가 된다.

- [202] 도 9b를 참조하면, 시간 T_2 에 포텐셜 우물 형성 단계(910)가 수행된다. 포텐셜 우물 형성 단계(910)는 전하 입력 및 출력 전압 초기화 단계(900)에서 입력된 전하를 전기장 측정을 위해 미리 지정된 MOS 커패시터에 이동시킨다. 또한, 전기장에 의한 전자의 유입과 유출이 일어날 수 있도록 검출 영역에 포함된 복수의 MOS 커패시터에 적절한 크기의 게이트 전압을 인가한다.
- [203] 도 (910)을 참조하면, 전하 입력 및 출력 전압 초기화 단계(900)를 통해 측정부에 입력된 전자는 도 4a를 통해 전술한 전하 전송 동작을 통해 MOS 커패시터 E에 형성된 포텐셜 우물 2(913)로 전송된다. 이 때, 페이즈 2 회선(915)에 인가된 10V의 전압으로 인해 MOS 커패시터 B와 MOS 커패시터 H에도 각각 포텐셜 우물 3(914)과 포텐셜 우물 1(912)이 형성된다. 한편, 도 (916)을 참고하면 출력 회로는 아직 전하의 출력이 이루어지지 않았기 때문에 기준 전압이 출력되는 상태로 유지된다. 따라서 시간 T_2 에서 출력 전압은 여전히 8V이다.
- [204] 이어서 도 8a의 전기장 측정 단계(802)가 수행되며, 이 때 측정부에 포함된 복수의 MOS 커패시터의 전하 분포는 전기장의 세기 및 전기장의 방향에 따라 변경될 수 있다. 도 9c를 참조하면, 시간 T_3 에 전기장 측정 단계(920)가 수행된다. 전기장 측정 단계(920)에서 전자가 저장된 MOS 커패시터가 전기장에 노출되면 포텐셜 우물 2에 저장된 전자의 일부가 유출되어 주변의 빈 포텐셜 우물로 이동한다. 예를 들어, 도 (920)에서는 전기장의 영향으로 인해 포텐셜 우물 2(922)에 저장된 전하의 일부가 유출되며, 이에 따라 포텐셜 우물 2(922)에 저장된 전하량이 감소한다. 한편, 포텐셜 우물 2(922)에서 유출된 전하는 전기장 방향의 반대 방향으로 이동하여 포텐셜 우물 1(921)에 유입되며, 따라서 포텐셜 우물 1(921)의 전하량이 증가한다.
- [205] 마지막으로 도 8a의 전기장의 세기/방향 정보 획득 단계(804)에서는 출력된 측정 결과를 초기화 단계(801)에서 입력한 초기화 정보와 비교하여 전기장의 세기와 관련된 정보 및 전기장의 방향과 관련된 정보를 계산할 수 있다.
- [206] 도 9d 내지 9e를 참조하면, 시간 T_4 , T_5 및 T_6 에서 전기장의 세기/방향 정보 획득 단계가 수행된다. 도 (930)을 참조하면, 각 포텐셜 우물에 저장된 전하는 검출 영역의 맨 마지막 MOS 커패시터인 MOS 커패시터 I로 이동한다. 이동된 전하는 출력 회로(931)를 통해 외부로 출력되면서 출력 전압을 강하시킨다. 도 (932)를 참조하면, 맨 먼저 포텐셜 우물 1의 전하가 출력되면서 ΔV_1 만큼의 전압 강하(933)를 일으킨다. 예를 들어, 도 (932)의 시간 T_4 에서 출력 전압(V_{OUT})은 6V이므로, 따라서 ΔV_1 는 2V가 된다.

- [207] 도 (940)을 참조하면, 포텐셜 우물 1에 저장된 전하의 출력이 완료된 후 출력 회로는 다시 기준 전압으로 초기화(943)된다. 계속해서 포텐셜 우물 2의 전하가 출력되면서 ΔV_2 만큼의 전압강하(944)를 일으킨다. 예를 들어, 도 (942)의 시간 T_5 에서 포텐셜 우물 2의 출력 전압(V_{OUT})(944)은 3V이므로, 따라서 ΔV_2 는 5V가 된다. 마지막으로 포텐셜 우물 3의 전하가 출력된다. 도 9c를 통해 전술한 전기장 측정 단계에서 포텐셜 우물 3에 유입된 전자는 없다고 가정하였으므로 포텐셜 우물 3의 전하량은 0이다. 이에 따라 시간 T_6 에서 포텐셜 우물 3의 출력 전압(V_{OUT})(945)은 변화 없이 그대로 8V로 유지되며, 따라서 ΔV_3 는 0V가 된다.
- [208] 이상에서 전압의 형태로 출력된 전기장 측정 결과들은 제어부로 전송되며, 제어부에서는 측정 결과를 기초로 전기장의 세기와 방향을 판단한다. 예를 들어, 측정부로부터 전송되는 측정 결과는 도 6을 통해 전술한 출력 회로의 출력 전압의 크기로 표현되는데, 이는 제어부 내의 신호 변환/수집부에서 디지털 신호로 변환된다. 이렇게 변환된 디지털 신호는 미리 설계된 프로그램 등에 입력되어 전기장의 세기와 방향을 계산하는 데 이용될 수 있다.
- [209]
- [210] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [211] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상

장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

- [212] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [213] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

- [청구항 1] 전기장을 측정하는 전기장 측정 장치에 있어서, 전기장에 노출되는 MOS 커패시터; 및 상기 전기장에 의해 상기 MOS 커패시터에 저장되는 정보가 변경되도록 상기 MOS 커패시터를 제어하는 제어부를 포함하는 전기장 측정 장치.
- [청구항 2] 제1항에 있어서, 상기 MOS 커패시터에 저장되는 정보는 상기 MOS 커패시터에 저장된 전하량을 포함하는 전기장 측정 장치.
- [청구항 3] 제1항에 있어서, 상기 MOS 커패시터는 상기 MOS 커패시터의 게이트 전극에 인가되는 게이트 전압을 이용하여 상기 MOS 커패시터의 서브스트레이트 영역에 전하를 저장하는 전기장 측정 장치.
- [청구항 4] 제1항에 있어서, 상기 제어부는 상기 전기장에 의해 상기 MOS 커패시터에 저장되는 정보가 변경되도록 상기 MOS 커패시터에 인가되는 게이트 전압을 제어하는 전기장 측정 장치.
- [청구항 5] 제1항에 있어서, 상기 전기장의 세기는 상기 전기장에 노출되기 전 상기 MOS 커패시터에 기 저장된 전하량과, 상기 전기장에 노출된 후 상기 MOS 커패시터에 저장된 전하량의 차이에 기초하여 계산되는 전기장 측정 장치.
- [청구항 6] 제5항에 있어서, 상기 MOS 커패시터에 저장된 전하량이 변경되는 민감도는 상기 MOS 커패시터에 인가되는 게이트 전압 및 상기 MOS 커패시터에 기 저장된 전하량 중 적어도 하나에 기초하여 결정되는 전기장 측정 장치.
- [청구항 7] 제1항에 있어서, 상기 전기장 측정 장치는 상기 MOS 커패시터에 저장되는 전하를 공급하는 입력 회로를 더 포함하는 전기장 측정 장치.
- [청구항 8] 제7항에 있어서, 상기 입력 회로는 상기 MOS 커패시터에 입력될 전하를 공급하는 입력 다이오드; 및 상기 입력 다이오드로부터 전하의 공급을 제어하기 위한 입력 게이트를 포함하는 전기장 측정 장치.
- [청구항 9] 제8항에 있어서, 상기 입력 다이오드는 PN 접합의 형태 또는 쇼트키 접합의 형태로 구성되는 전기장 측정 장치.
- [청구항 10] 제8항에 있어서, 상기 입력 게이트는 MOS 커패시터의 형태로 구성되는 전기장 측정 장치.
- [청구항 11] 제7항에 있어서, 상기 제어부는 상기 MOS 커패시터가 상기 전기장에 노출되기 전, 초기화 정보가 전하의 형태로 상기 MOS 커패시터에 저장되도록 상기 입력 회로를 제어하는 전기장 측정 장치.
- [청구항 12] 제1항에 있어서, 상기 전기장 측정 장치는 상기 MOS 커패시터에 저장된 전하를 출력하는 출력 회로를 더 포함하는 전기장 측정 장치.
- [청구항 13] 제12항에 있어서, 상기 출력 회로는 상기 MOS 커패시터에 저장된 전하를 전기적 신호로 변환하는 출력 다이오드; 및 상기 MOS 커패시터로부터

- 상기 출력 다이오드로 전하의 이동을 제어하는 출력 게이트를 포함하는 전기장 측정 장치.
- [청구항 14] 제13항에 있어서, 상기 출력 다이오드는 PN 접합의 형태 또는 쇼트키 접합의 형태로 구성되는 전기장 측정 장치.
- [청구항 15] 제13항에 있어서, 상기 출력 게이트는 MOS 커패시터의 형태로 구성되는 전기장 측정 장치.
- [청구항 16] 제12항에 있어서, 상기 제어부는 상기 MOS 커패시터가 상기 전기장에 노출된 후, 상기 MOS 커패시터에 저장된 전하가 전기적 신호로 출력되도록 상기 출력 회로를 제어하는 전기장 측정 장치.
- [청구항 17] 전기장을 측정하는 전기장 측정 장치에 있어서, 복수의 MOS 커패시터들을 포함하는 측정부; 및 전기장에 의해 상기 복수의 MOS 커패시터들 중 적어도 일부의 MOS 커패시터에 저장된 정보가 변경되도록 상기 측정부를 제어하는 제어부를 포함하는 전기장 측정 장치.
- [청구항 18] 제17항에 있어서, 상기 측정부는 상기 복수의 MOS 커패시터들 중 적어도 하나의 MOS 커패시터를 측정 단위로 이용하는 전기장 측정 장치.
- [청구항 19] 제18항에 있어서, 상기 측정 단위는 적어도 하나의 제1 MOS 커패시터를 포함하거나, 상기 제1 MOS 커패시터 및 상기 제1 MOS 커패시터 주변에 배치된 제2 MOS 커패시터들을 포함하는 전기장 측정 장치.
- [청구항 20] 제18항에 있어서, 상기 측정 단위가 전기장에 노출되면, 상기 측정 단위에 포함된 제1 MOS 커패시터에 저장된 전하는 상기 전기장에 의하여 상기 제1 MOS 커패시터 주변에 배치된 적어도 하나의 제2 MOS 커패시터로 이동하는 전기장 측정 장치.
- [청구항 21] 제18항에 있어서, 상기 측정 단위에 의하여 측정되는 전기장의 세기는 상기 측정 단위에 포함된 제1 MOS 커패시터에서 유출된 전하량; 및 상기 제1 MOS 커패시터 주변에 배치된 적어도 하나의 제2 MOS 커패시터에 유입된 전하량 중 적어도 하나에 기초하여 계산되는 전기장 측정 장치.
- [청구항 22] 제18항에 있어서, 상기 측정 단위에 의하여 측정되는 상기 전기장의 방향은 상기 측정 단위에 포함된 제1 MOS 커패시터의 주변에 배치된 복수의 제2 커패시터들 중, 상기 제1 MOS 커패시터로부터 유출된 전하가 유입된 적어도 하나의 제2 MOS 커패시터의 위치, 및 상기 적어도 하나의 제2 MOS 커패시터에 유입된 전하량에 기초하여 계산되는 전기장 측정 장치.
- [청구항 23] 제17항에 있어서, 상기 제어부는 상기 전기장에 의하여 상기 측정부에 포함된 제1 MOS 커패시터로부터 유출되는 전하가 상기 제1 MOS 커패시터의 주변에 배치된 제2 MOS 커패시터들 중 적어도 하나에 유입되도록 상기 MOS 커패시터들에 인가되는 게이트 전압들을

- 제어하는 전기장 측정 장치.
- [청구항 24] 제23항에 있어서, 상기 제1 MOS 커패시터에 저장된 전하가 유출되는 민감도는 상기 제1 MOS 커패시터에 인가되는 게이트 전압 및 상기 제1 MOS 커패시터에 저장된 전하량 중 적어도 하나에 기초하여 결정되는 전기장 측정 장치.
- [청구항 25] 제23항에 있어서, 상기 적어도 하나의 제2 MOS 커패시터에 전하가 유입되는 민감도는 상기 제2 MOS 커패시터에 인가되는 게이트 전압 및 상기 제2 MOS 커패시터에 저장된 전하량 중 적어도 하나에 기초하여 결정되는 전기장 측정 장치.
- [청구항 26] 제17항에 있어서, 상기 측정부는 상기 복수의 측정 단위들-상기 복수의 측정 단위들 각각은 상기 복수의 MOS 커패시터들 중 적어도 하나로 구성됨-을 이용하여 복수의 위치에서 동시에 전기장을 측정하는 전기장 측정 장치
- [청구항 27] 제17항에 있어서, 상기 전기장 측정 장치는 상기 측정부에 포함된 제1 MOS 커패시터 및 상기 제1 MOS 커패시터 주변에 배치된 제2 MOS 커패시터들에 저장되는 전하를 공급하는 적어도 하나의 입력 회로,를 더 포함하는 전기장 측정 장치.
- [청구항 28] 제27항에 있어서, 상기 입력 회로는 상기 제1 MOS 커패시터 및 제2 MOS 커패시터들에 입력될 전하를 공급하는 입력 다이오드; 및 상기 입력 다이오드로부터 전하의 공급을 제어하기 위한 입력 게이트,를 포함하는 전기장 측정 장치.
- [청구항 29] 제28항에 있어서, 상기 입력 다이오드는, PN 접합의 형태 또는 쇼트키 접합의 형태로 구성되는 전기장 측정 장치.
- [청구항 30] 제28항에 있어서, 상기 입력 게이트는, MOS 커패시터의 형태로 구성되는 전기장 측정 장치.
- [청구항 31] 제27항에 있어서, 상기 제어부는 상기 제1 MOS 커패시터 및 상기 제2 MOS 커패시터들이 상기 전기장에 노출되기 전, 초기화 정보가 전하의 형태로 상기 제1 MOS 커패시터 및 상기 제2 MOS 커패시터들에 저장되도록 상기 입력 회로를 제어하는 전기장 측정 장치.
- [청구항 32] 제27항에 있어서, 상기 제어부는 상기 입력 회로를 통하여 입력된 전하가 상기 제1 MOS 커패시터로 이동되도록, 상기 입력 회로와 상기 제1 MOS 커패시터 사이에 인접한 MOS 커패시터들의 게이트 전압들을 순차적으로 제어하는 전기장 측정 장치.
- [청구항 33] 제27항에 있어서, 상기 제어부는 상기 입력 회로를 통하여 입력된 전하가 상기 제2 MOS 커패시터들 중 어느 하나로 이동되도록, 상기 입력 회로와 상기 어느 하나의 제2 MOS 커패시터 사이에 인접한 MOS 커패시터들의 게이트 전압들을 순차적으로 제어하는 전기장 측정 장치.
- [청구항 34] 제27항에 있어서, 상기 입력 회로는, 상기 입력 회로를 통하여 입력된

- 전하를 상기 제1 MOS 커패시터 또는 상기 제2 MOS 커패시터들 중 어느 하나로 이동시키기 전, 입력된 전하를 임시로 저장하는 입력 레지스터를 더 포함하는 전기장 측정 장치
- [청구항 35] 제34항에 있어서, 상기 입력 레지스터는, MOS 커패시터의 형태로 구성되는 전기장 측정 장치
- [청구항 36] 제34항에 있어서, 상기 제어부는 상기 입력 회로를 통하여 입력된 전하가, 상기 제1 MOS 커패시터 또는 상기 제2 MOS 커패시터들 중 어느 하나로 이동되기 전, 상기 입력 레지스터에 저장되도록 상기 입력 회로 및 입력 레지스터에 인가되는 게이트 전압을 순차적으로 제어하는 전기장 측정 장치
- [청구항 37] 제34항에 있어서, 상기 제어부는 상기 입력 레지스터에 저장된 전하가 상기 제1 MOS 커패시터 또는 상기 제2 MOS 커패시터들 중 어느 하나로 이동되도록 상기 입력 레지스터 및 상기 MOS 커패시터들에 인가되는 게이트 전압을 순차적으로 제어하는 전기장 측정 장치
- [청구항 38] 제17항에 있어서, 상기 전기장 측정 장치는 상기 MOS 커패시터들에 저장된 전하를 출력하는 적어도 하나의 출력 회로를 더 포함하는 전기장 측정 장치.
- [청구항 39] 제38항에 있어서, 상기 출력 회로는 상기 MOS 커패시터에 저장된 전하를 전기적 신호로 변환하는 출력 다이오드; 및 상기 MOS 커패시터로부터 상기 출력 다이오드로 전하의 이동을 제어하는 출력 게이트를 포함하는 전기장 측정 장치.
- [청구항 40] 제39항에 있어서, 상기 출력 다이오드는 PN 접합의 형태 또는 쇼트키 접합의 형태로 구성되는 전기장 측정 장치.
- [청구항 41] 제39항에 있어서, 상기 출력 게이트는 MOS 커패시터의 형태로 구성되는 전기장 측정 장치.
- [청구항 42] 제38항에 있어서, 상기 제어부는 상기 MOS 커패시터가 상기 전기장에 노출된 후, 상기 MOS 커패시터에 저장된 전하가 전기적 신호로 출력되도록 상기 출력 회로를 제어하는 전기장 측정 장치.
- [청구항 43] 제38항에 있어서, 상기 제어부는 상기 제1 MOS 커패시터에 저장된 전하가 출력 회로로 이동되도록, 상기 제1 MOS 커패시터와 상기 출력 회로 사이에 인접한 MOS 커패시터들의 게이트 전압들을 순차적으로 제어하는 전기장 측정 장치.
- [청구항 44] 제38항에 있어서, 상기 제어부는 상기 MOS 커패시터들 중 적어도 하나에 저장된 전하가 출력 회로로 이동되도록, 상기 적어도 하나의 MOS 커패시터와 상기 출력 회로 사이에 인접한 MOS 커패시터들의 게이트 전압들을 순차적으로 제어하는 전기장 측정 장치.
- [청구항 45] 제38항에 있어서, 상기 출력 회로는, 상기 MOS 커패시터들 중 적어도 하나에 저장된 전하가 상기 출력 회로를 통하여 출력되기 전, 출력될

- 전하를 임시로 저장하는 적어도 하나의 출력 레지스터를 더 포함하는 전기장 측정 장치
- [청구항 46] 제45항에 있어서, 상기 출력 레지스터는, MOS 커패시터의 형태로 구성되는 전기장 측정 장치
- [청구항 47] 제45항에 있어서, 상기 제어부는 상기 MOS 커패시터들 중 적어도 하나에 저장된 전하가, 상기 출력 회로로 이동되기 전, 상기 출력 레지스터에 저장되도록 상기 MOS 커패시터들 및 상기 출력 레지스터에 인가되는 게이트 전압을 순차적으로 제어하는 전기장 측정 장치
- [청구항 48] 제45항에 있어서, 상기 제어부는 상기 출력 레지스터에 저장된 전하가 상기 출력 회로로 이동되도록, 상기 출력 레지스터 및 상기 출력 회로에 인가되는 게이트 전압을 순차적으로 제어하는 전기장 측정 장치
- [청구항 49] 제17항에 있어서, 상기 측정부는 반도체 물질로 구성된 서브스트레이트; 상기 서브스트레이트 위에 적층된 절연체; 및 상기 절연체 위에 적층된 게이트 전극들을 포함하는 전기장 측정 장치.
- [청구항 50] 제49항에 있어서, 상기 게이트 전극들은 상기 절연체 위에 1차원적 또는 2차원적으로 배열되는 전기장 측정 장치.
- [청구항 51] 제49항에 있어서, 상기 게이트 전극들 중 적어도 일부는 나머지 게이트 전극들과 상이한 형태를 가지는 전기장 측정 장치.
- [청구항 52] 제49항에 있어서, 상기 게이트 전극들은 전기적으로 상기 제어부에 연결되며, 상기 제어부는 상기 게이트 전극들에 인가되는 게이트 전압들을 제어함으로써 상기 서브스트레이트 표면에 분포되는 전기적 위치에너지를 제어하는 전기장 측정 장치.
- [청구항 53] 제52항에 있어서, 상기 게이트 전극들 중 일부는 미리 정해진 수의 페이즈 회선들 중 어느 하나에 연결되는 전기장 측정 장치.
- [청구항 54] 제53항에 있어서, 상기 제어부는 동일한 페이즈 회선에 연결된 복수의 게이트 전극들에 동일한 게이트 전압을 인가하는 전기장 측정 장치.
- [청구항 55] MOS 커패시터를 이용한 전기장 측정 방법에 있어서 전기장 측정 장치에 포함된 적어도 하나의 MOS 커패시터가 전기장에 노출되기 전, 상기 적어도 하나의 MOS 커패시터에 제1 정보를 저장함으로써 상기 전기장 측정 장치를 초기화하는 단계; 상기 전기장을 측정하기 위하여, 상기 제1 정보가 저장된 상기 적어도 하나의 MOS 커패시터를 제어하는 단계; 상기 적어도 하나의 MOS 커패시터가 상기 전기장에 노출된 후, 상기 적어도 하나의 MOS 커패시터에 저장된 제2 정보를 수신하는 단계; 및 상기 제1 정보 및 상기 제2 정보에 기초하여 상기 전기장의 세기와 관련된 정보 및 상기 전기장의 방향과 관련된 정보 중 적어도 하나를 획득하는 단계;를 포함하는 전기장 측정 방법.
- [청구항 56] 제55항에 있어서, 상기 제1 정보는 상기 적어도 하나의 MOS 커패시터를 초기화하기 위하여, 상기 적어도 하나의 MOS 커패시터에 저장되는

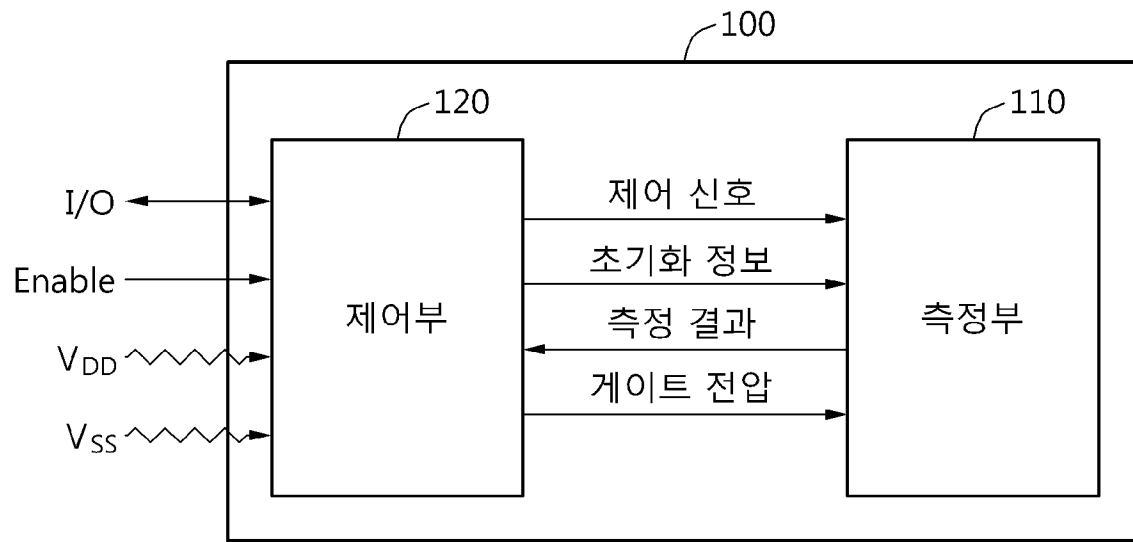
전하량을 포함하는 전기장 측정 방법.

- [청구항 57] 제55항에 있어서, 상기 초기화하는 단계는상기 적어도 하나의 MOS 커패시터에 저장되는 전하가 상기 전기장에 의하여 유출되는 민감도; 및 상기 유출된 전하가 적어도 하나의 다른 MOS 커패시터에 유입되는 민감도 중 적어도 하나를 고려하여 상기 제1 정보를 결정하는 단계를 포함하는 전기장 측정 방법.
- [청구항 58] 제55항에 있어서, 상기 초기화하는 단계는상기 적어도 하나의 MOS 커패시터에 저장될 전하가 상기 전기장에 의하여 유출되는 민감도; 및 상기 유출된 전하가 다른 적어도 하나의 MOS 커패시터에 유입되는 민감도 중 적어도 하나를 고려하여 상기 MOS 커패시터들에 인가될 게이트 전압을 결정하는 단계를 포함하는 전기장 측정 방법.
- [청구항 59] 제55항에 있어서, 상기 초기화하는 단계는상기 적어도 하나의 MOS 커패시터가 전기장에 노출될 노출 시간; 및상기 적어도 하나의 MOS 커패시터가 전기장에 노출될 노출 횟수를 설정하는 단계를 포함하는 전기장 측정 방법.
- [청구항 60] 제55항에 있어서,상기 제어하는 단계는상기 제1 정보가 상기 전기장에 의해 변경되도록 상기 MOS 커패시터들의 게이트 전압을 제어하는 단계를 포함하는 전기장 측정 방법.
- [청구항 61] 제55항에 있어서,상기 초기화하는 단계에서 설정된 노출 시간 및 노출 횟수에 기초하여, 전기장 측정의 종료 조건이 만족되는지 여부를 판단하는 단계를 더 포함하는 전기장 측정 방법.
- [청구항 62] 제61항에 있어서,상기 판단하는 단계에서 상기 종료 조건이 만족된다고 판단되는 경우, 상기 MOS 커패시터에 저장된 정보가 변경되지 않도록 상기 MOS 커패시터들에 인가되는 게이트 전압을 제어하는 단계를 더 포함하는 전기장 측정 방법
- [청구항 63] 제61항에 있어서,상기 전기장 측정 장치는 상기 MOS 커패시터를 전기장으로부터 차폐시키는 차폐 장치를 더 포함하고,상기 판단하는 단계에서 상기 종료 조건이 만족된다고 판단되는 경우, 상기 MOS 커패시터가 전기장으로부터 차폐되도록 상기 차폐 장치를 제어하는 단계를 더 포함하는 전기장 측정 방법
- [청구항 64] 제55항에 있어서,상기 획득하는 단계는상기 제1 정보, 상기 제2 정보, 및 상기 적어도 하나의 MOS 커패시터에 인가되는 게이트 전압에 기초하여, 상기 전기장의 세기를 계산하는 단계; 및상기 제1 정보 및 상기 제2 정보에 기초하여, 상기 전기장의 방향을 계산하는 단계중 적어도 하나를 포함하는 전기장 측정 방법.
- [청구항 65] 제55항에 있어서,상기 초기화하는 단계에서 설정된 전기장 노출 횟수와 실제 노출 횟수를 비교하는 단계; 및비교 결과 상기 실제 노출 횟수가 상기 설정된 노출 횟수에 미달된다고 판단되는 경우, 상기 초기화하는

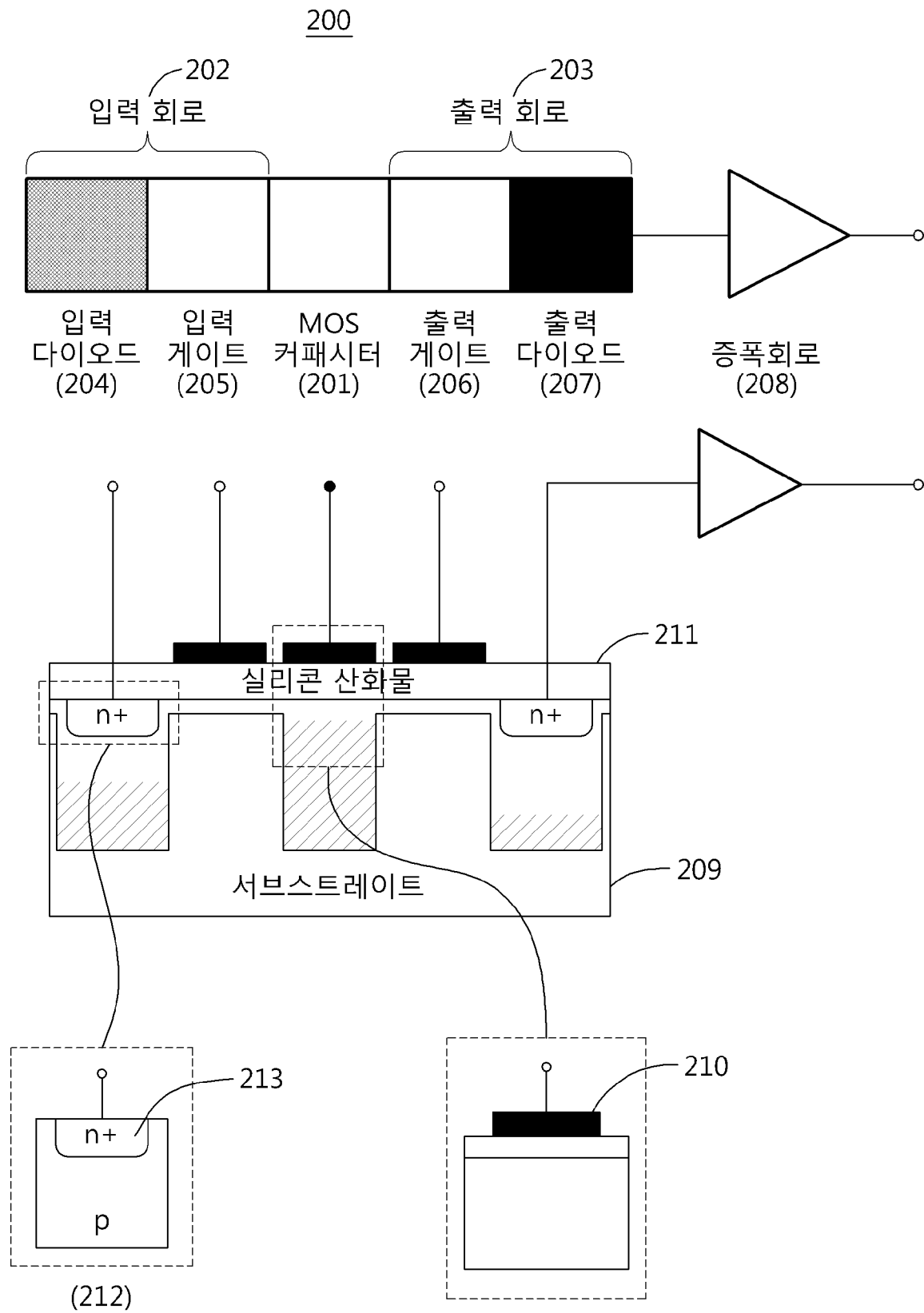
단계 및 상기 제어하는 단계를 반복하여 수행하는 단계를 더 포함하는 전기장 측정 방법.

[청구항 66] 제55항 내지 제65항 중에서 어느 하나의 항의 방법을 실행시키기 위한 프로그램이 기록된 컴퓨터 판독 가능한 기록 매체.

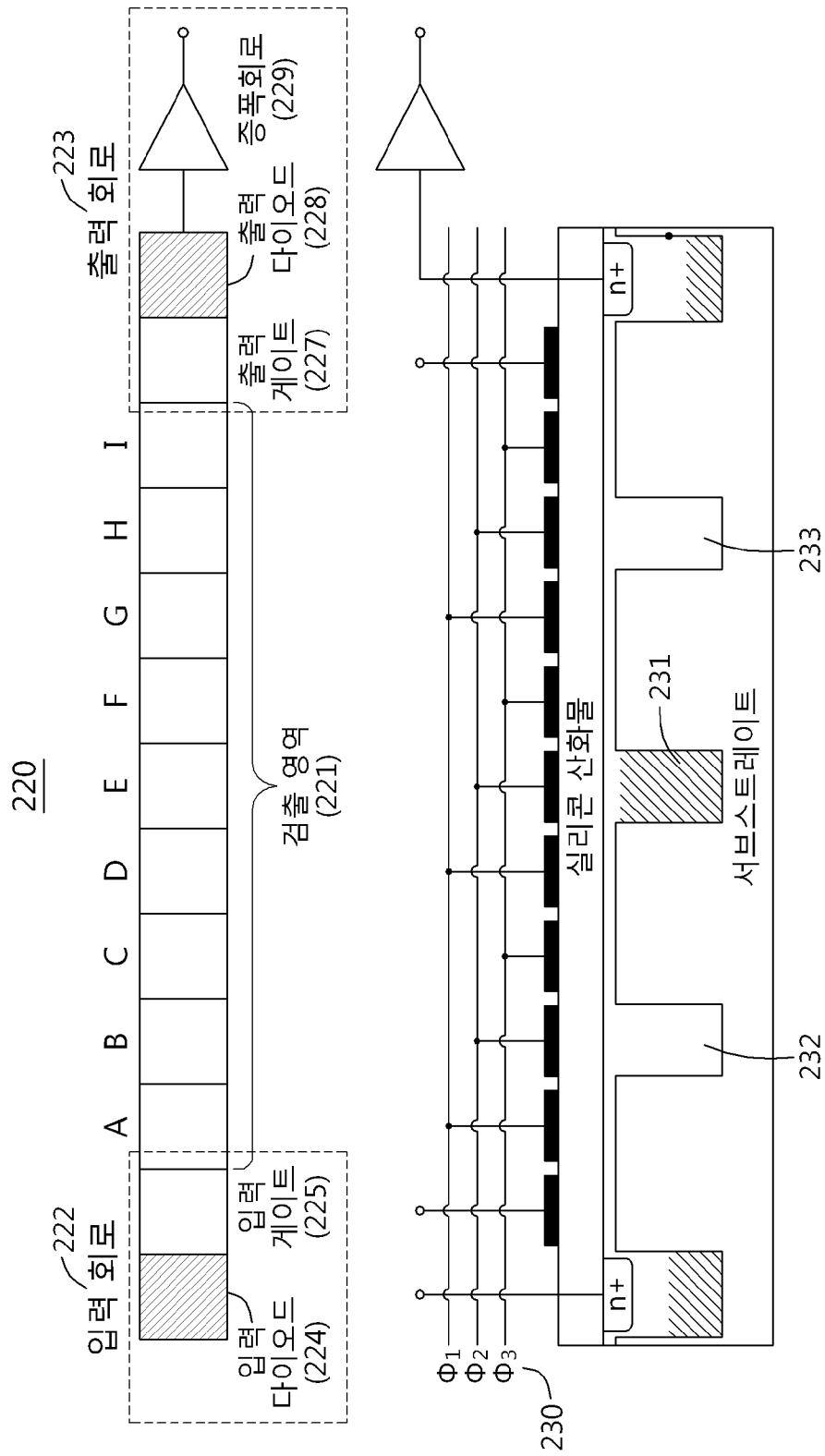
[도1]



[도2a]

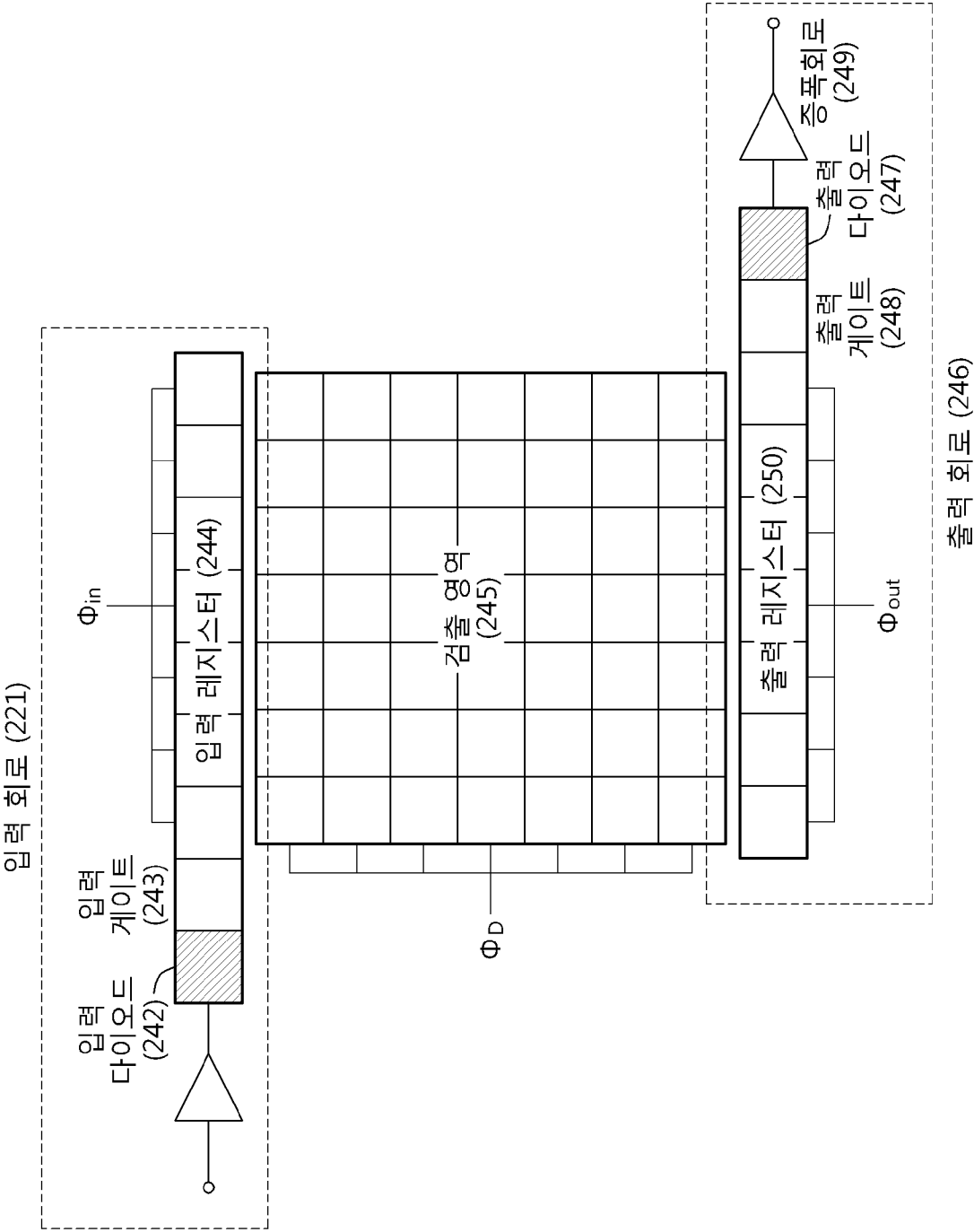


[도2b]

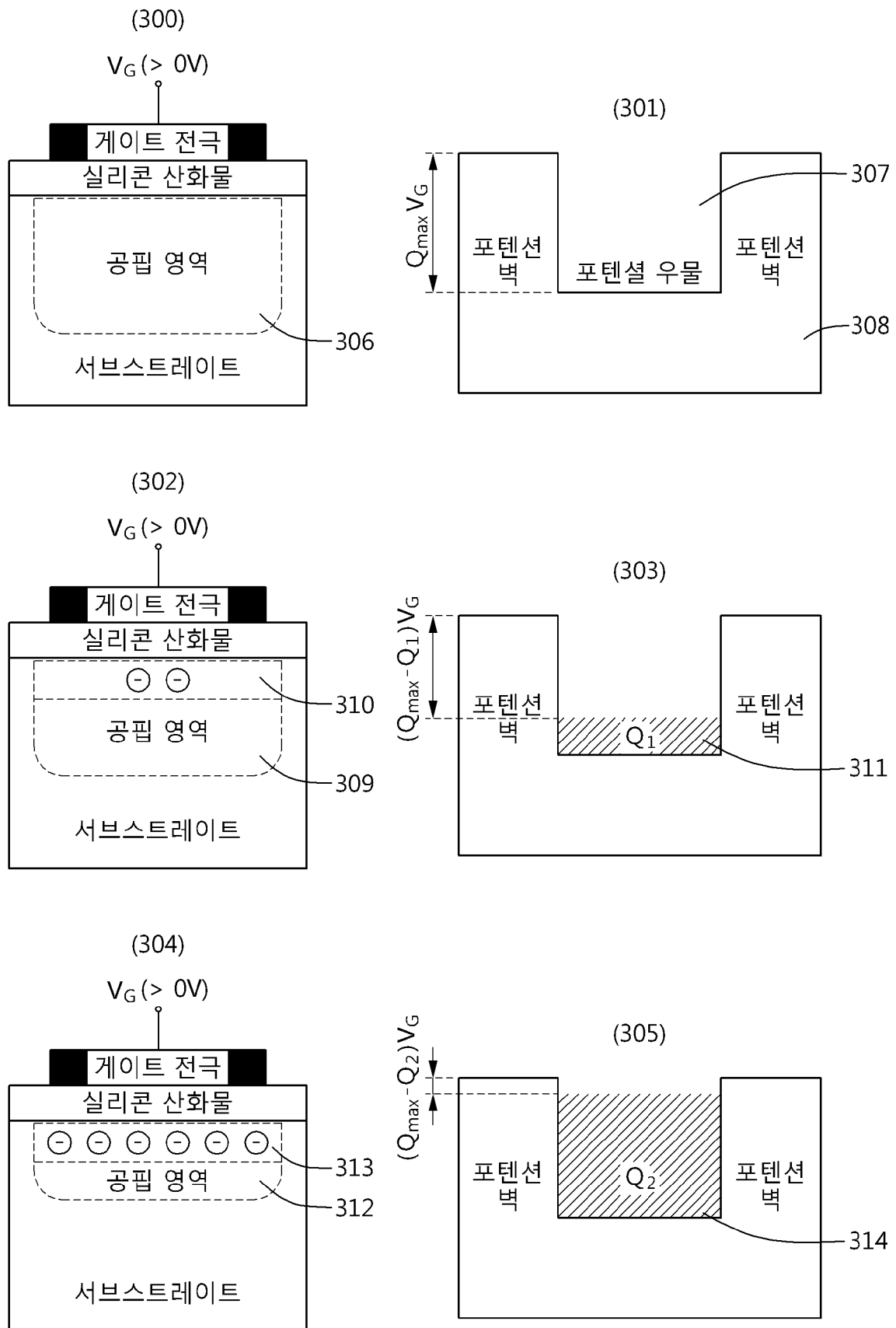


[도2c]

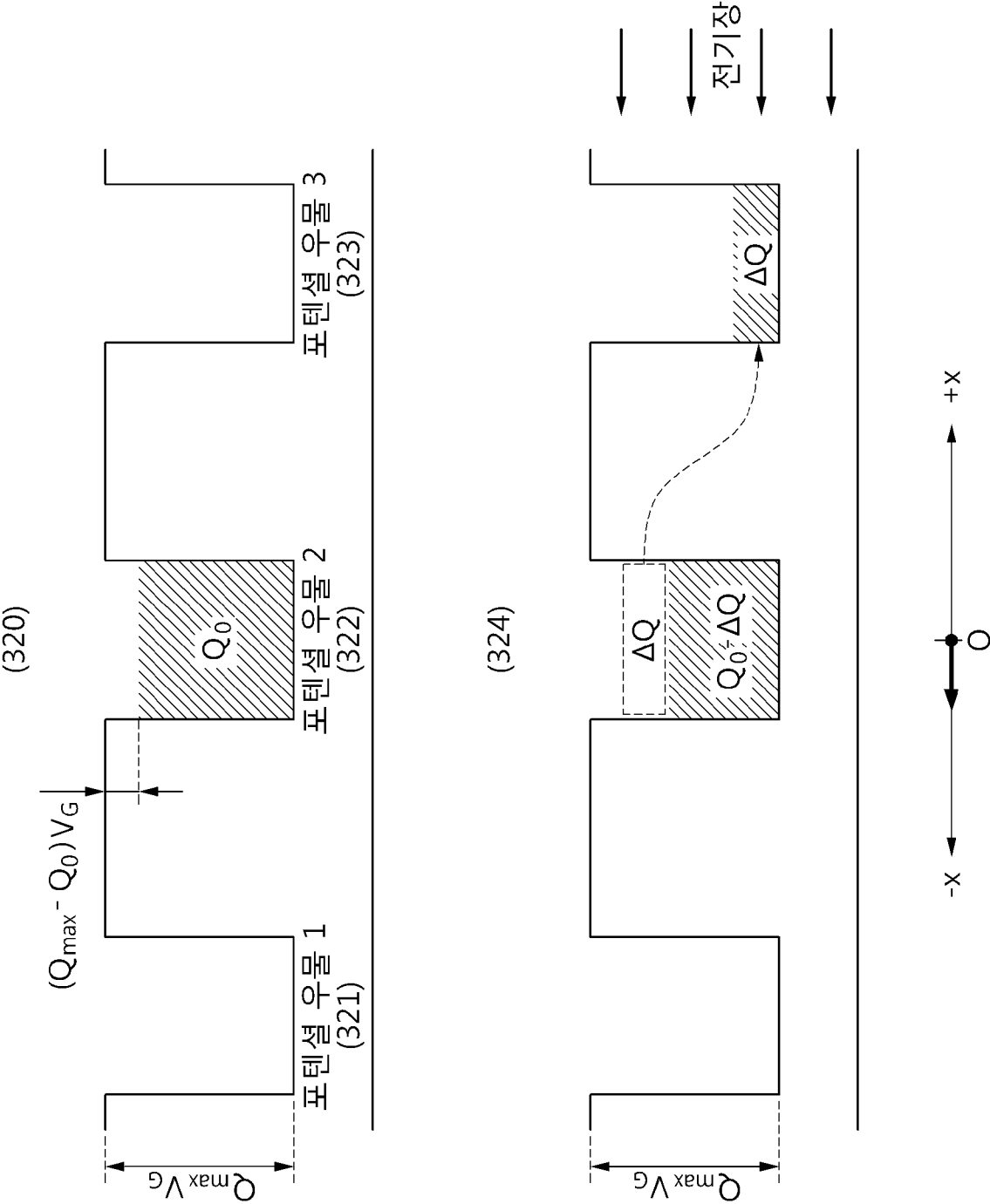
240



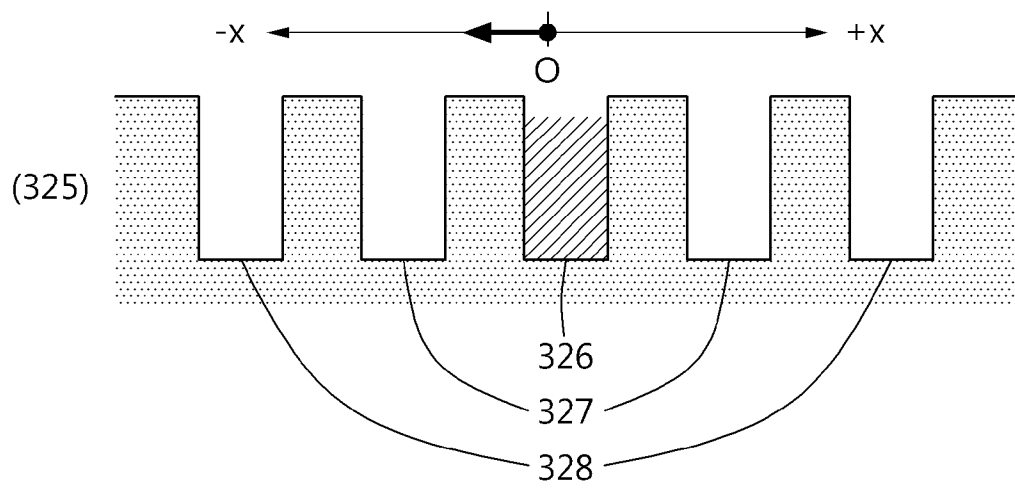
[도3a]



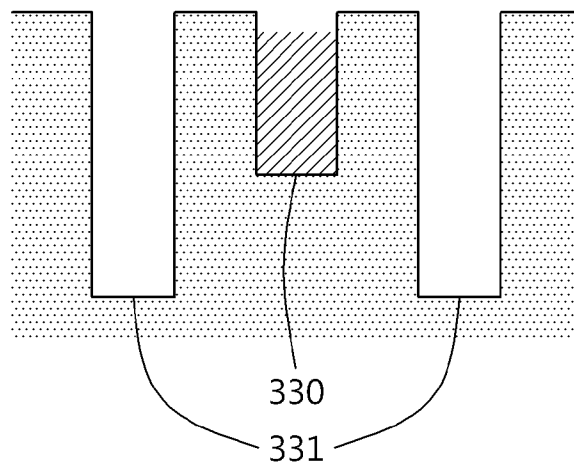
[도3b]



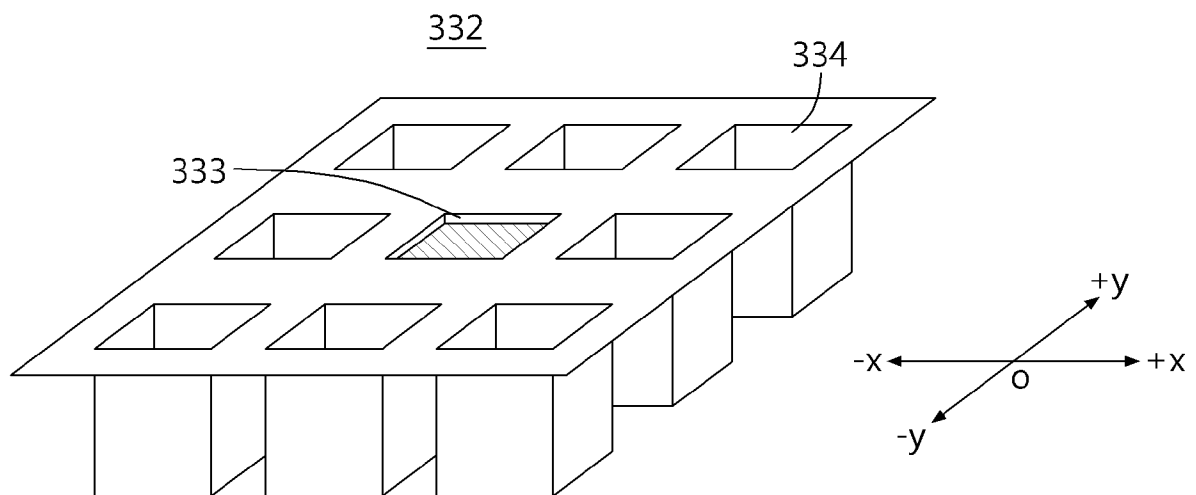
[도3c]



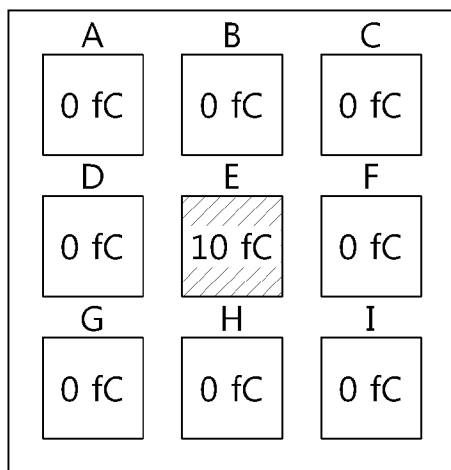
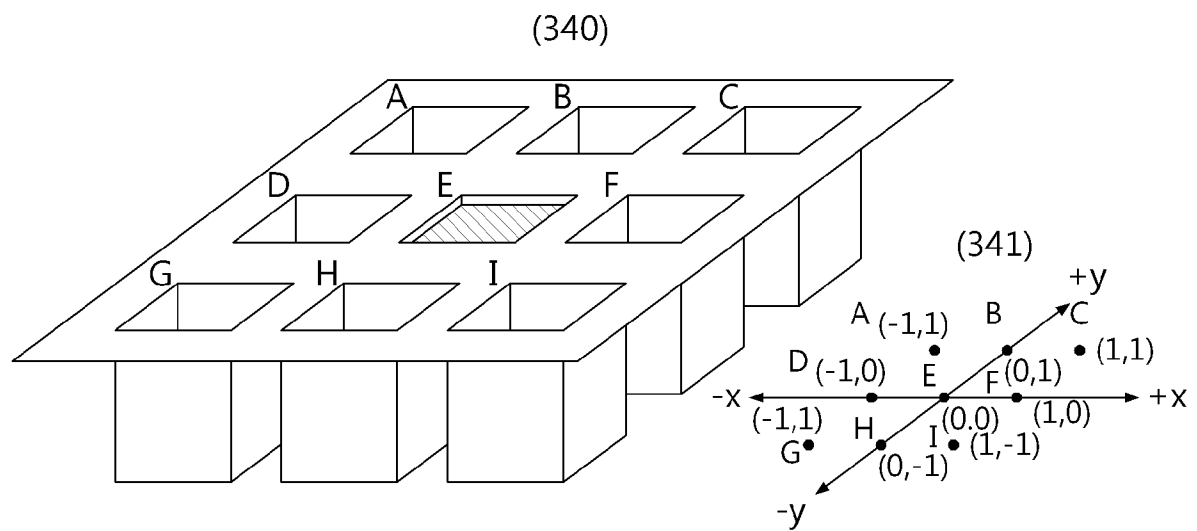
(329)



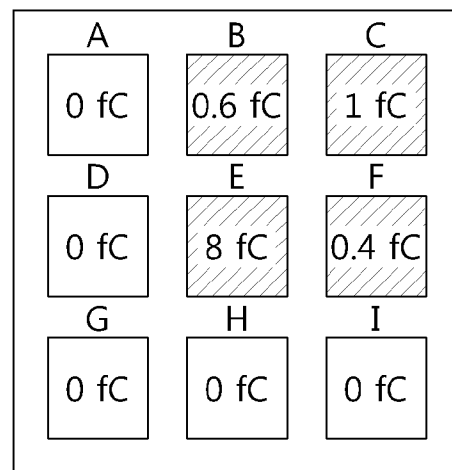
[도3d]



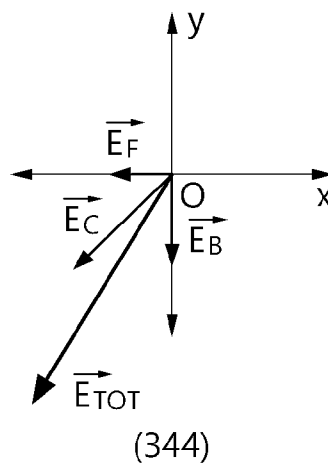
[도3e]



(342)

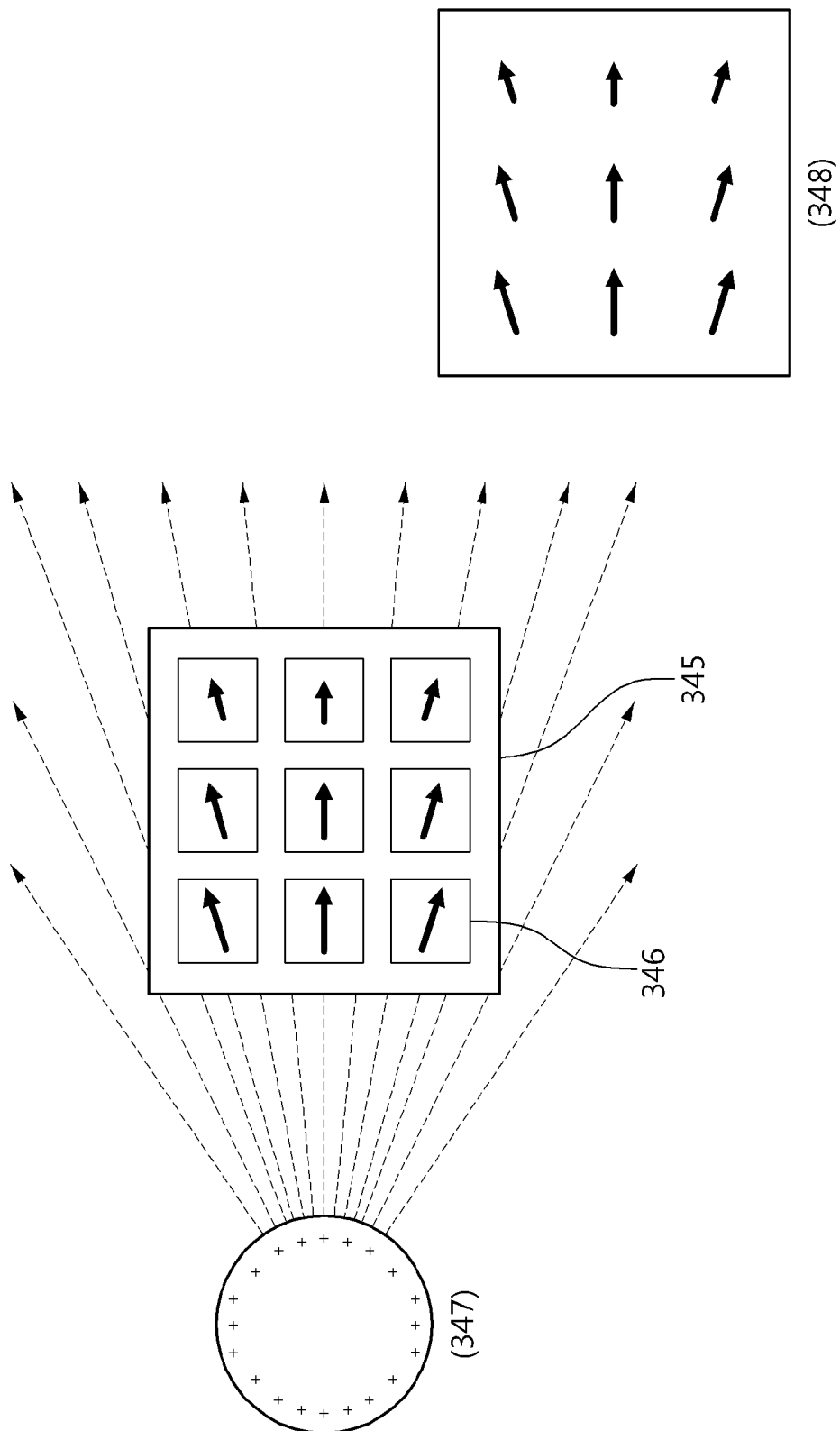


(343)

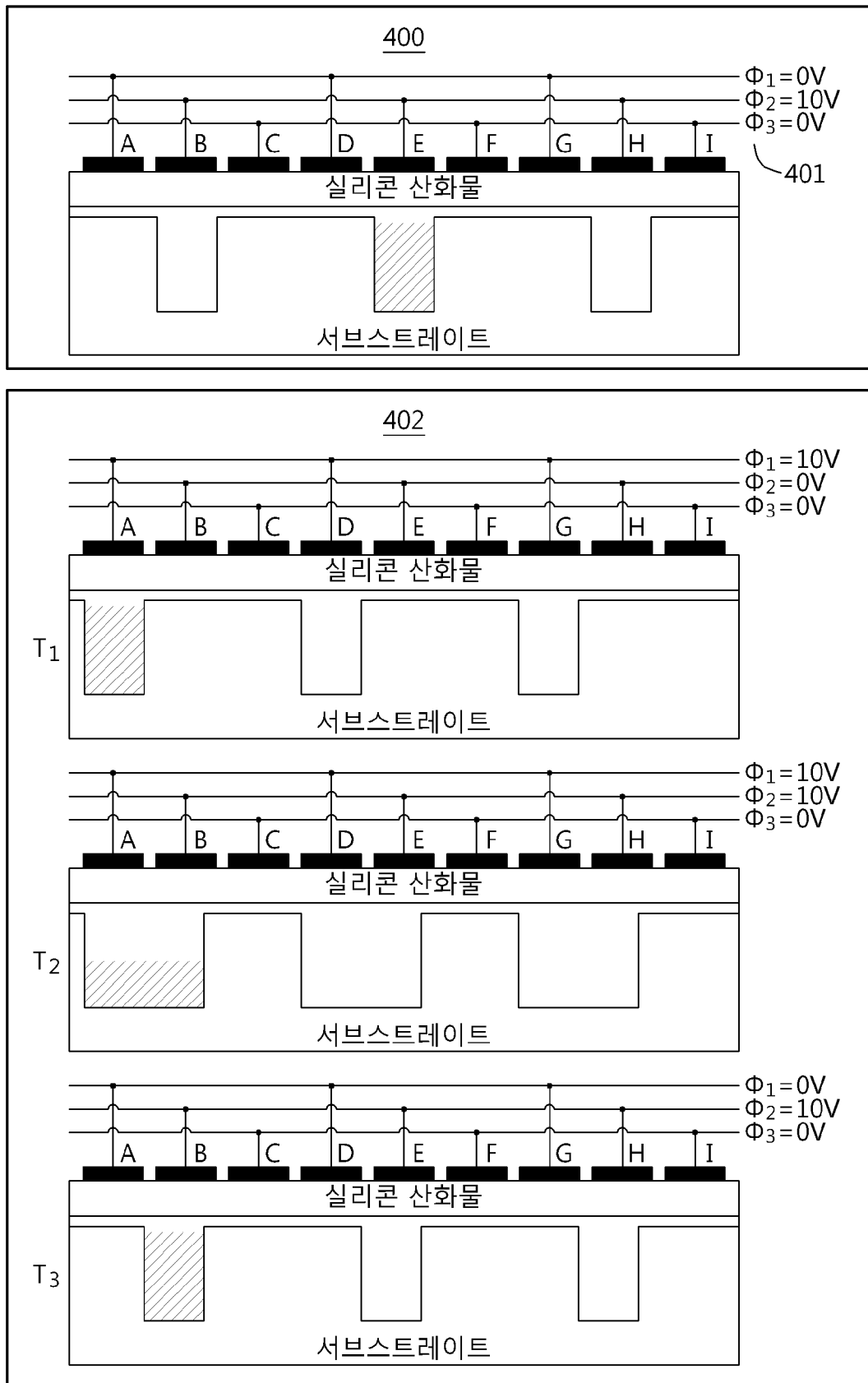


(344)

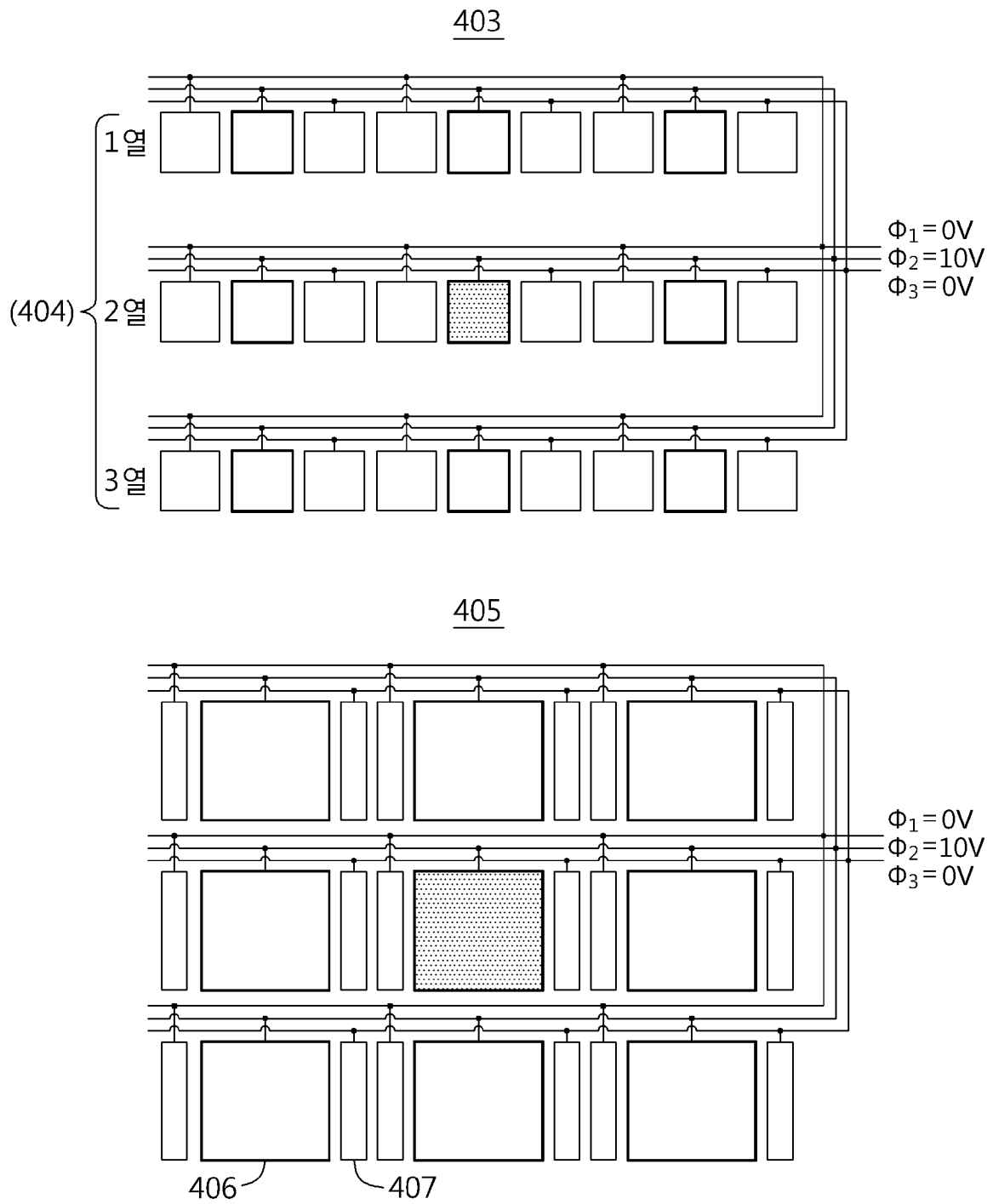
[도3f]



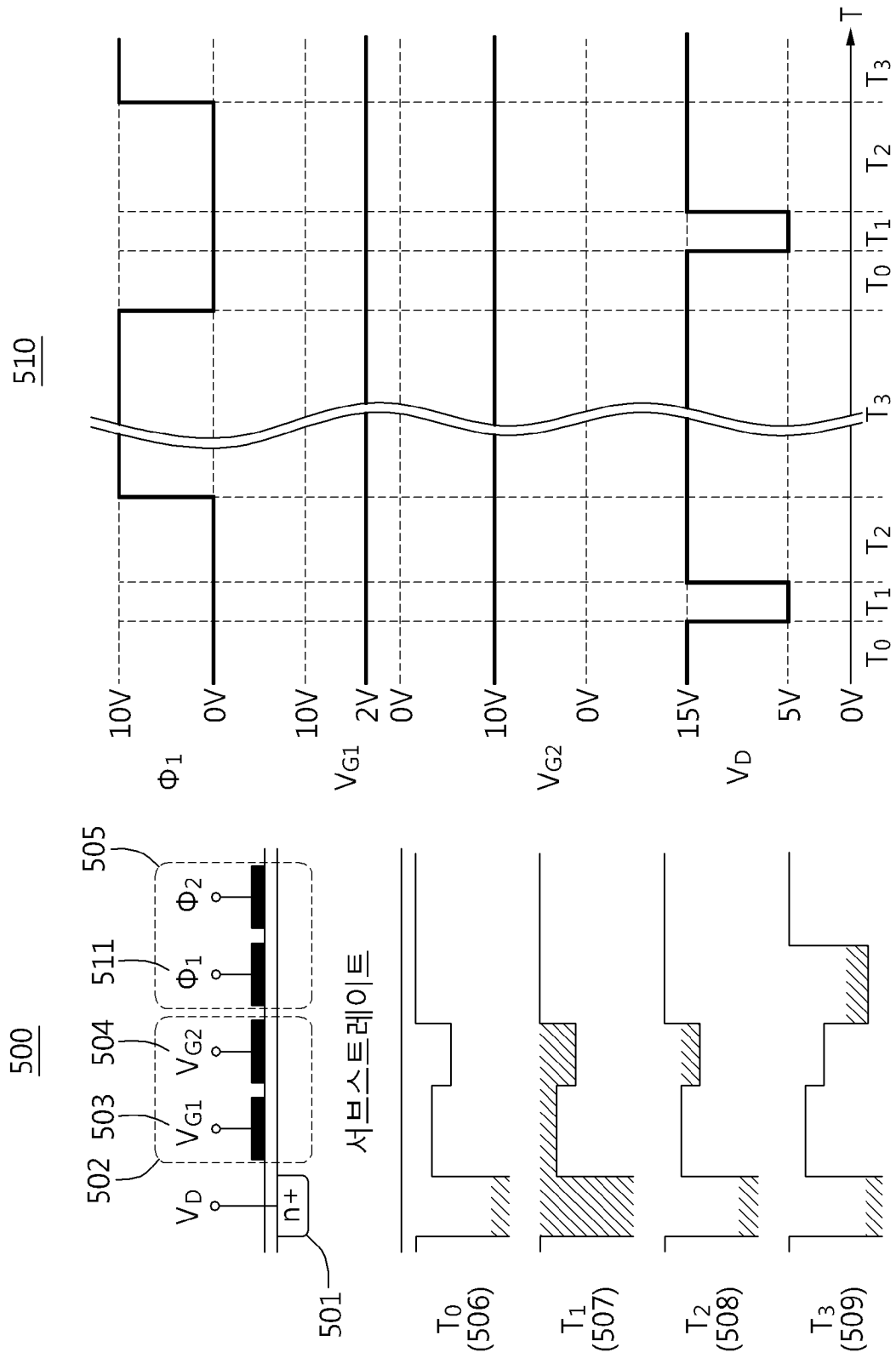
[도4a]



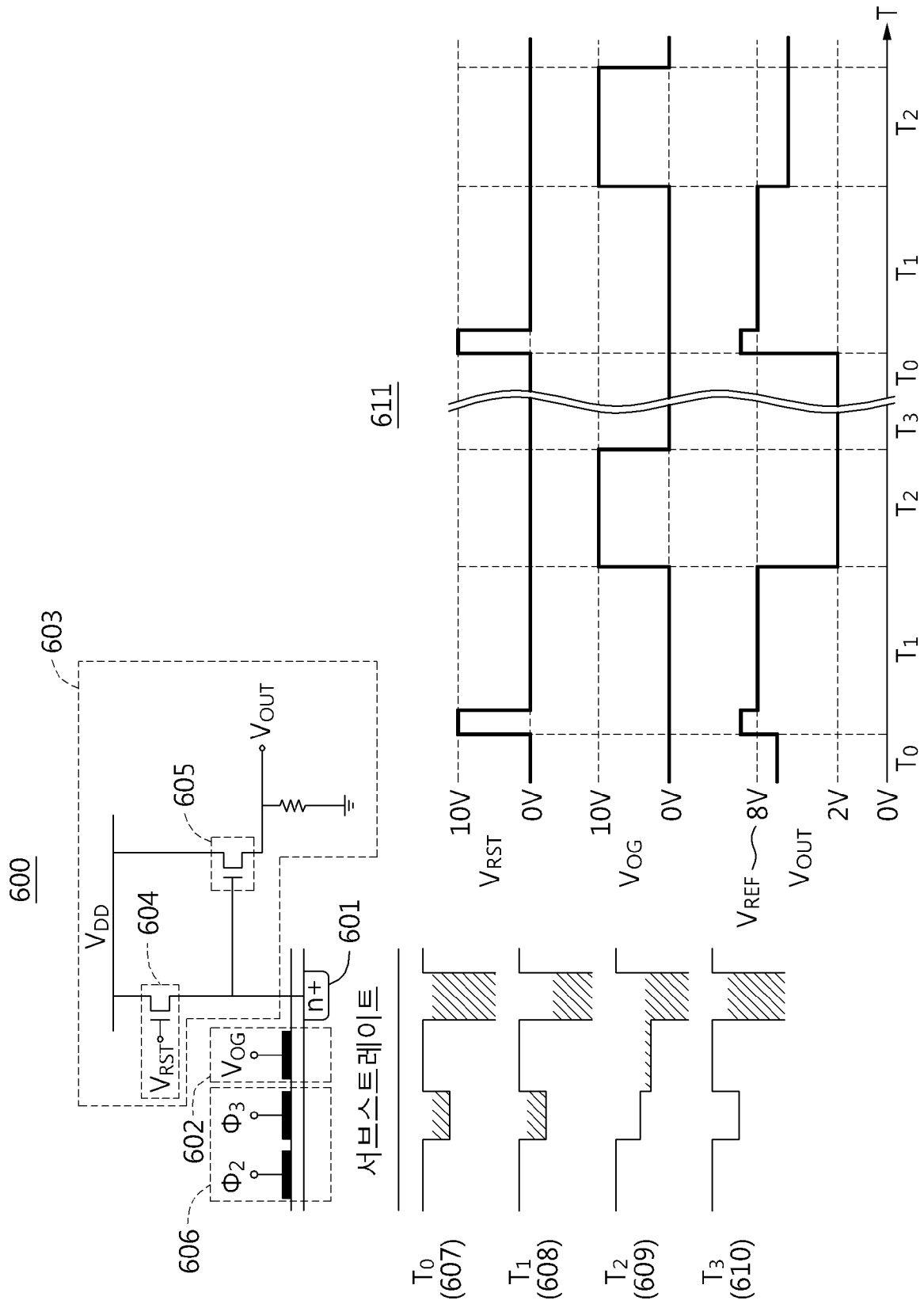
[도4b]



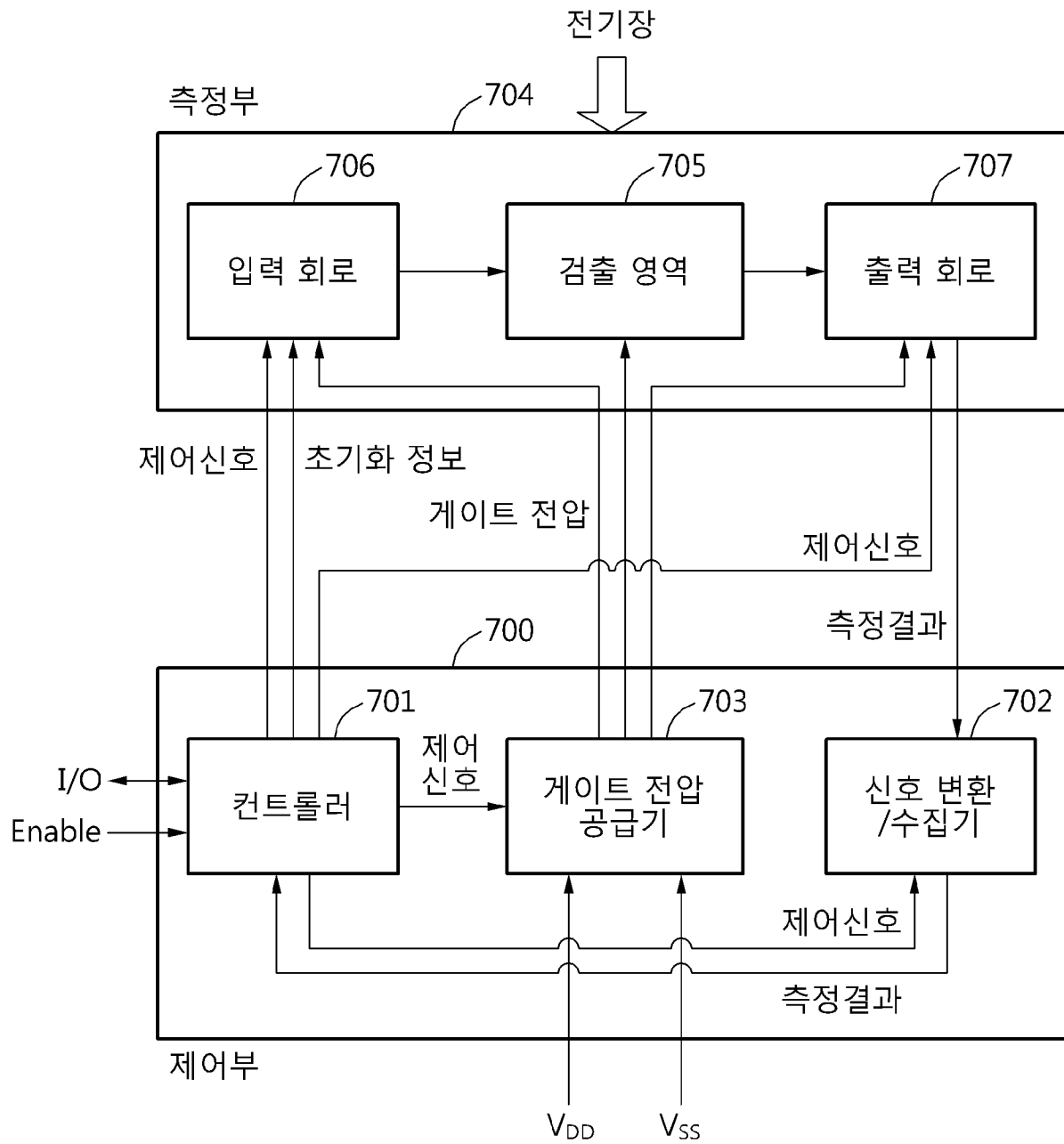
[도5]



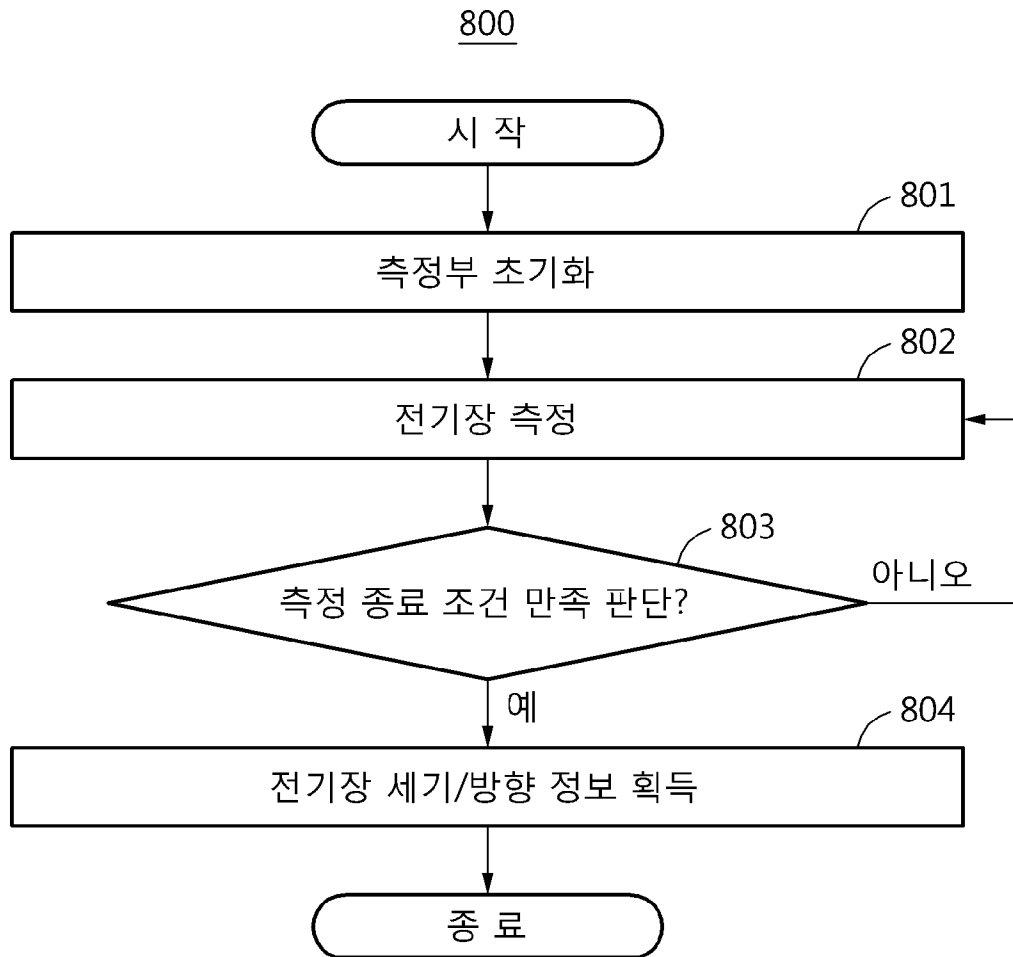
[도6]



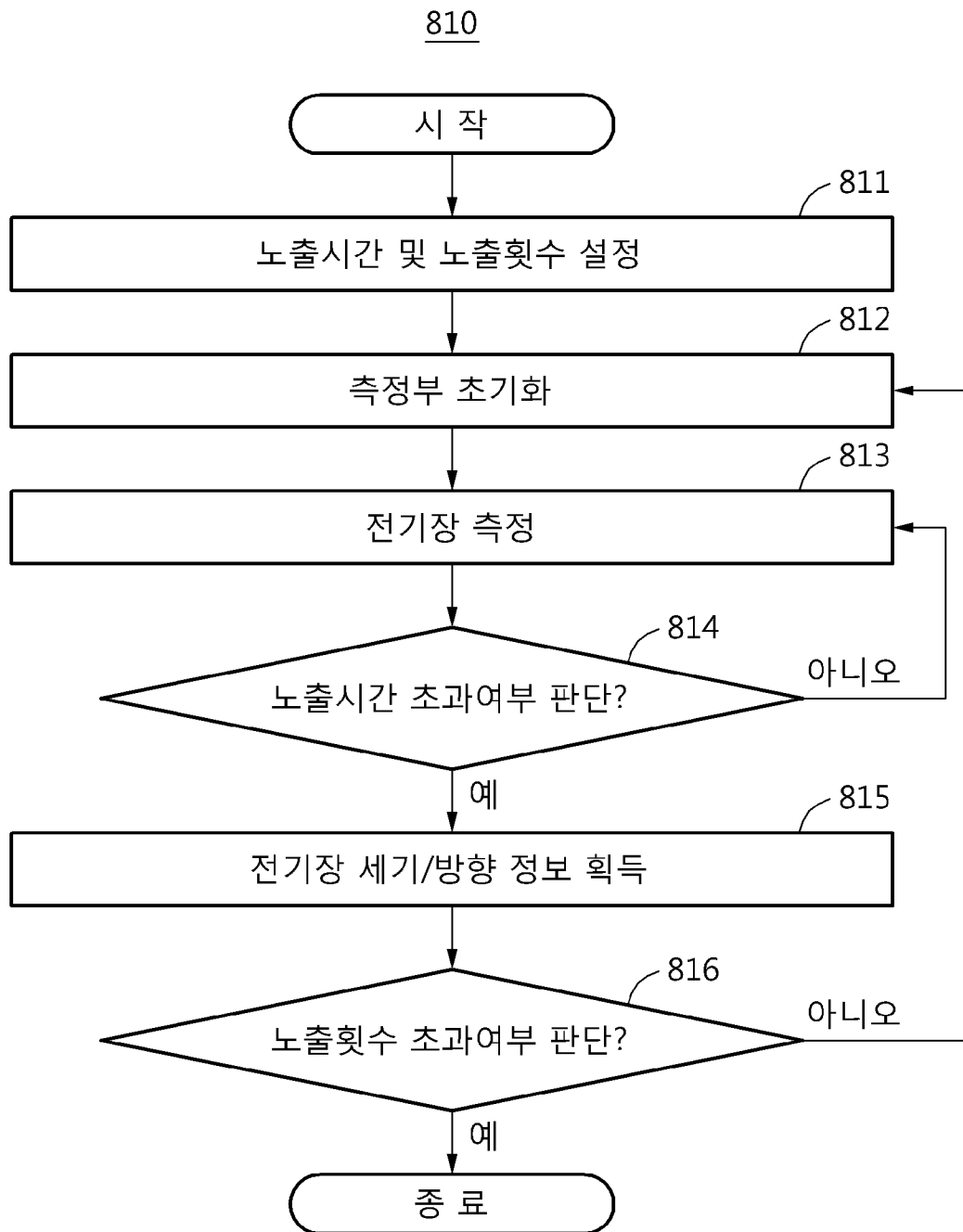
[도7]



[도8a]

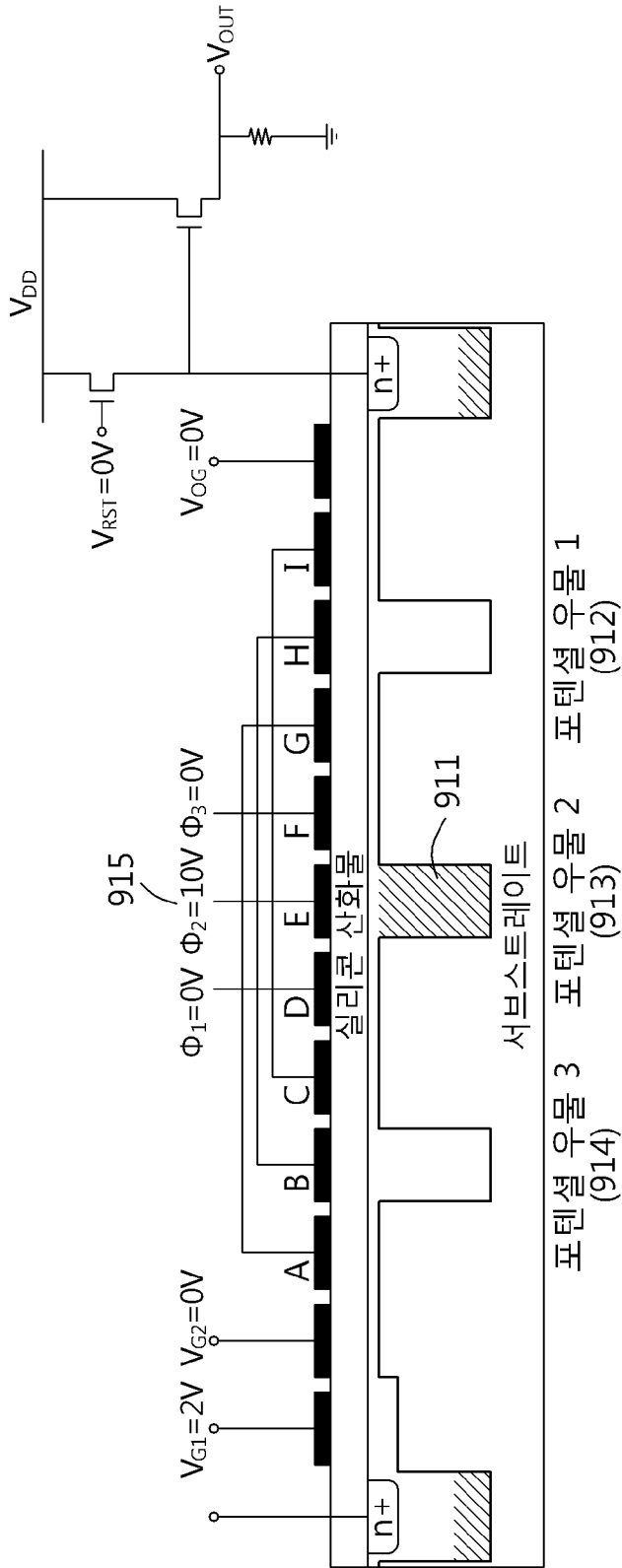


[도8b]

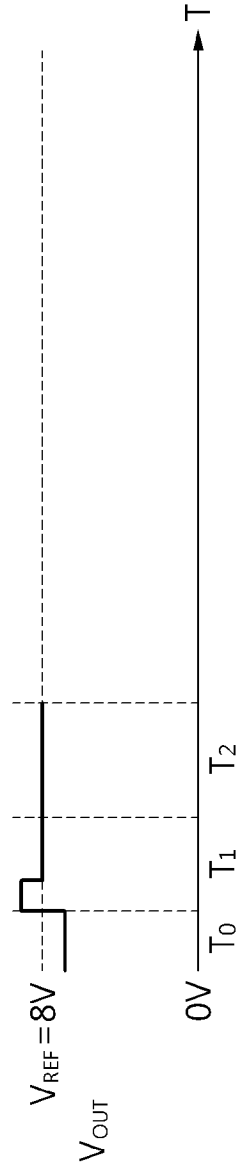


[도9b]

T₂: 초기화 단계(포텐셜 우물 형성) 910

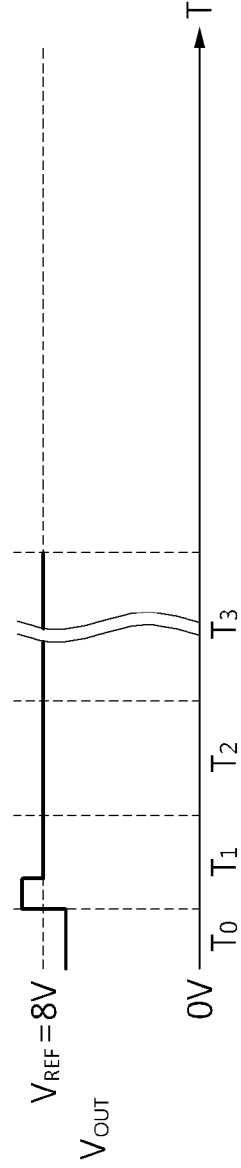
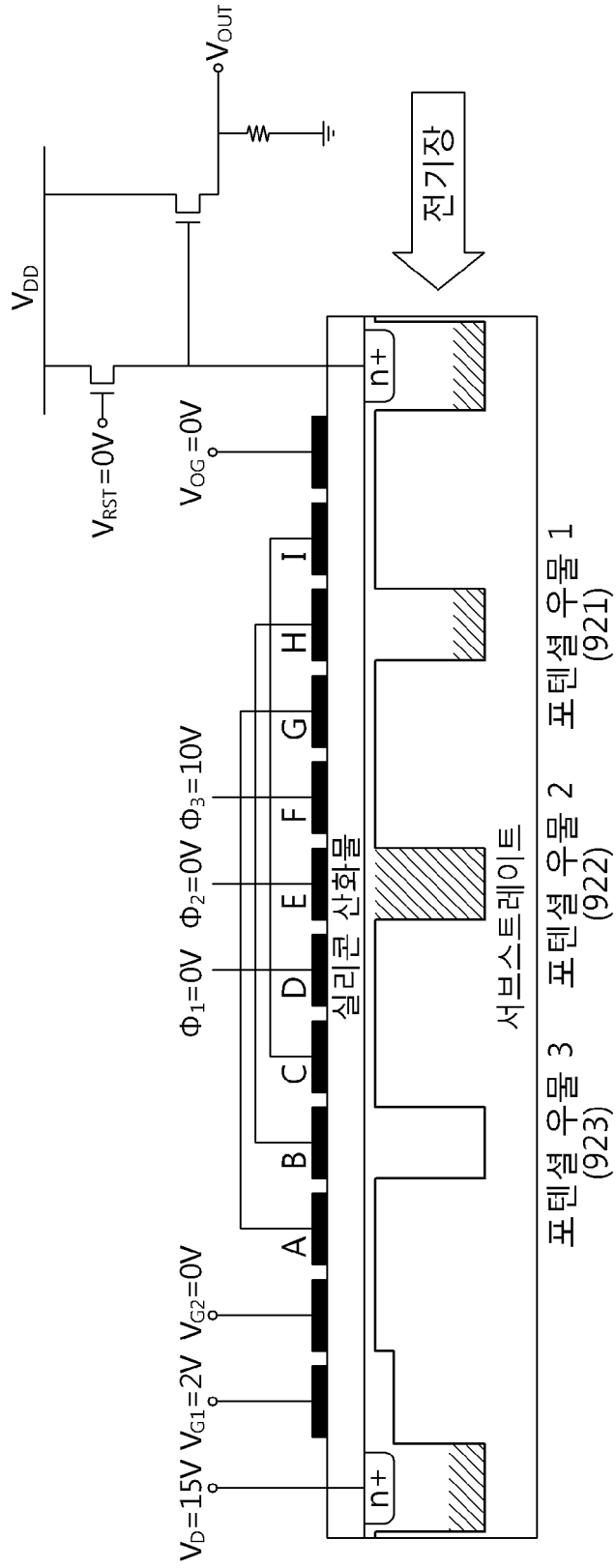


907

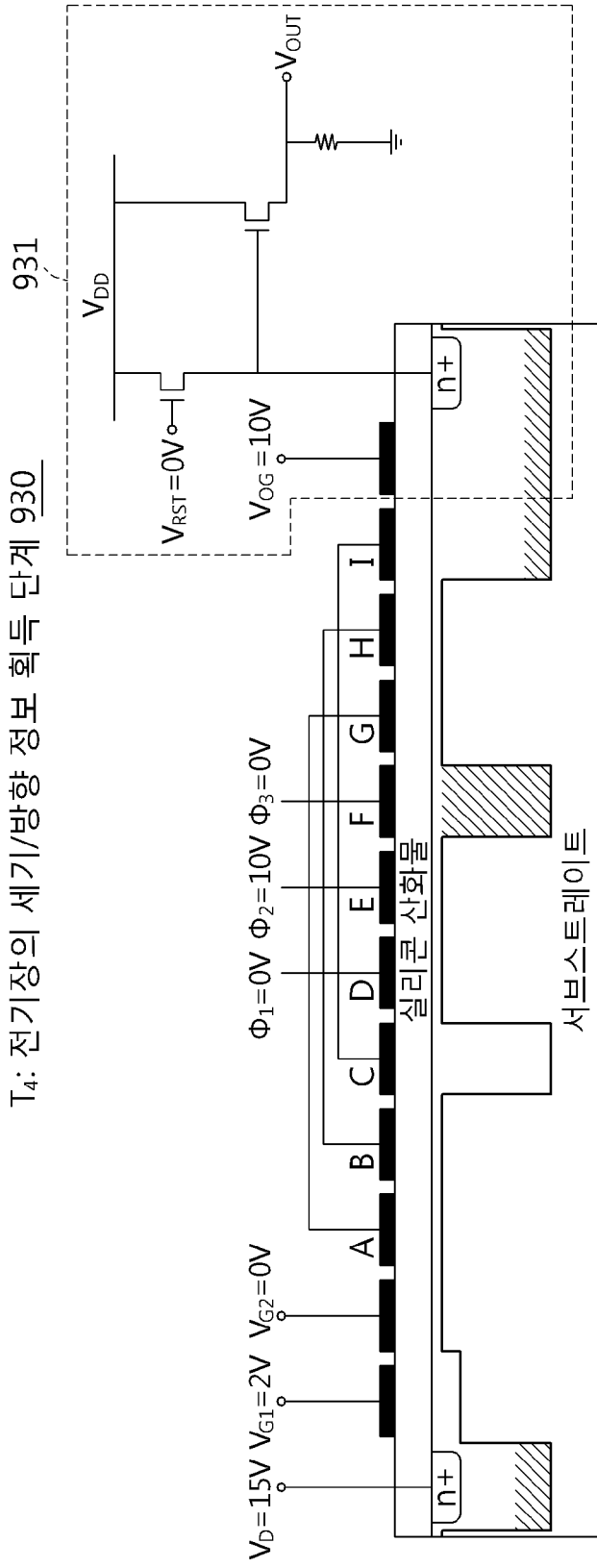


[도9c]

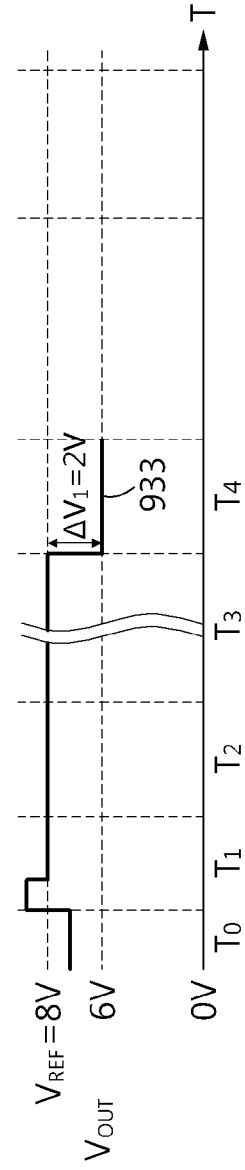
T₃ : 전기장 측정 단계 (920)



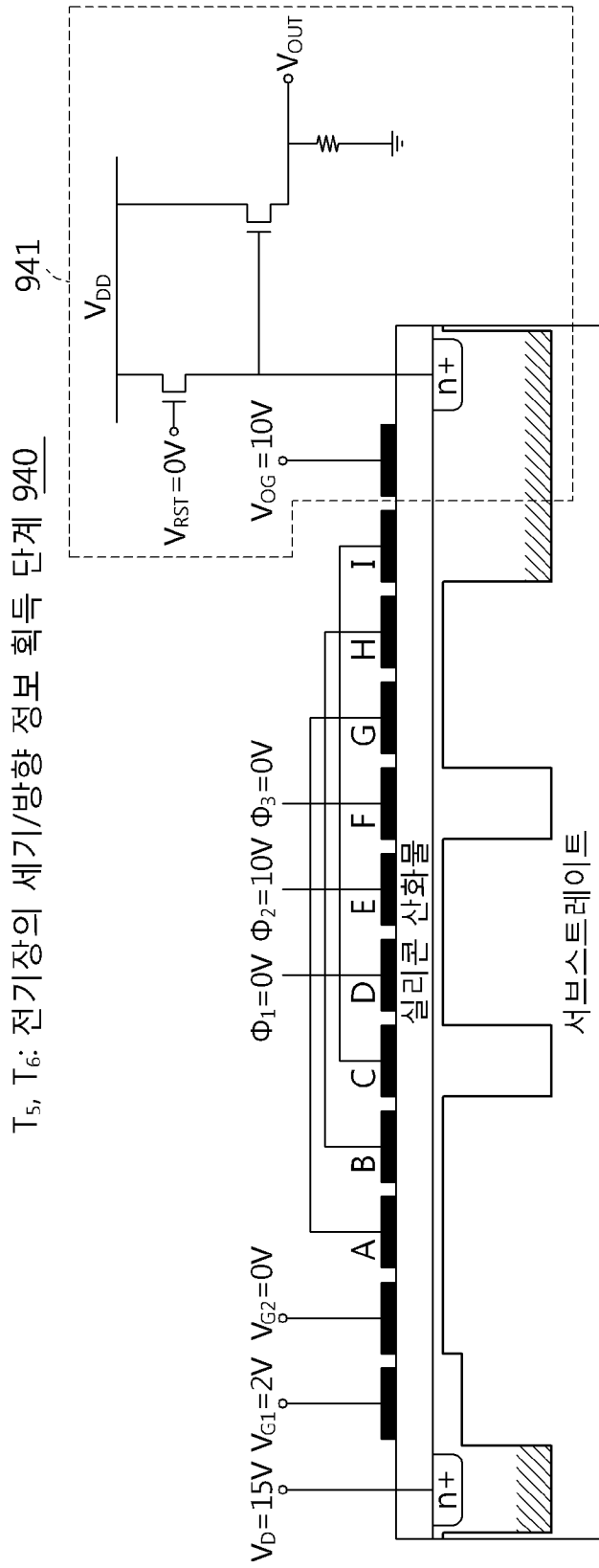
[도9d]

T₄: 전기장의 세기/방향 정보 획득 단계 930

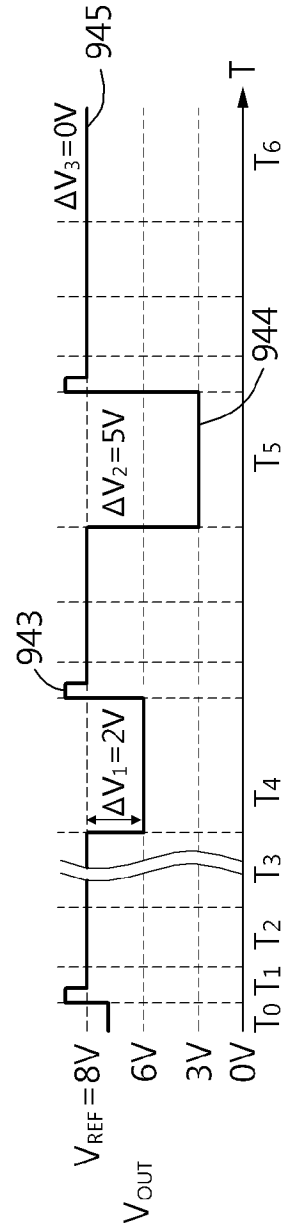
932



[도9e]



전기장의 세기/방향 정보 획득 단계 942



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/007103**A. CLASSIFICATION OF SUBJECT MATTER****G01R 29/12(2006.01)i, G01R 29/08(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R 29/12; G06F 17/50; G01R 27/26; H01L 31/0352; H01L 21/66; G06F 15/46; G01C 3/08; G01R 29/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: MOS, capacitor, electric field, measurement

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 09-129694 A (MATSUSHITA ELECTRON CORP.) 16 May 1997 See abstract, paragraph [0054], claim 1 and figure 15.	1-66
Y	US 4866645 A (LISH) 12 September 1989 See abstract, claim 1 and figures 1-2.	1-66
A	US 2014-0288898 A1 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) 25 September 2014 See abstract, claims 1-19 and figures 1-8.	1-66
A	US 2012-0194799 A1 (KAMIYAMA et al.) 02 August 2012 See abstract and figures 1-4C.	1-66
A	JP 2005-216993 A (SHIN ETSU HANDOTAI CO., LTD.) 11 August 2005 See figures 1-9.	1-66

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 SEPTEMBER 2015 (24.09.2015)

Date of mailing of the international search report

25 SEPTEMBER 2015 (25.09.2015)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/007103

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 09-129694A	16/05/1997	JP 3292807 B2	17/06/2002
US 04866645 A	12/09/1989	EP 0322071 A3 JP 01-237754 A KR 10-1989-0010751 A	14/03/1990 22/09/1989 10/08/1989
US 2014-0288898 A1	25/09/2014	JP 2014-187296 A	02/10/2014
US 2012-0194799 A1	02/08/2012	DE 112010003984 T5 JP 2011-080874 A JP 5274424 B2 US 8947646 B2 WO 2011-043252 A1	17/01/2013 21/04/2011 28/08/2013 03/02/2015 14/04/2011
JP 2005-216993 A	11/08/2005	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G01R 29/12(2006.01)i, G01R 29/08(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G01R 29/12; G06F 17/50; G01R 27/26; H01L 31/0352; H01L 21/66; G06F 15/46; G01C 3/08; G01R 29/08

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: MOS, 커패시터, 전기장, 측정

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 09-129694 A (MATSUSHITA ELECTRON CORP.) 1997.05.16 요약, 단락 [0054], 청구항 1 및 도면 15 참조.	1-66
Y	US 4866645 A (LISH) 1989.09.12 요약, 청구항 1 및 도면 1-2 참조.	1-66
A	US 2014-0288898 A1 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) 2014.09.25 요약, 청구항 1-19 및 도면 1-8 참조.	1-66
A	US 2012-0194799 A1 (KAMIYAMA et al.) 2012.08.02 요약 및 도면 1-4C 참조.	1-66
A	JP 2005-216993 A (SHIN ETSU HANDOTAI CO., LTD.) 2005.08.11 도면 1-9 참조.	1-66

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2015년 09월 24일 (24.09.2015)

국제조사보고서 발송일

2015년 09월 25일 (25.09.2015)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

강성철

전화번호 +82-42-481-8405



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 09-129694A	1997/05/16	JP 3292807 B2	2002/06/17
US 04866645 A	1989/09/12	EP 0322071 A3	1990/03/14
		JP 01-237754 A	1989/09/22
		KR 10-1989-0010751 A	1989/08/10
US 2014-0288898 A1	2014/09/25	JP 2014-187296 A	2014/10/02
US 2012-0194799 A1	2012/08/02	DE 112010003984 T5	2013/01/17
		JP 2011-080874 A	2011/04/21
		JP 5274424 B2	2013/08/28
		US 8947646 B2	2015/02/03
		WO 2011-043252 A1	2011/04/14
JP 2005-216993 A	2005/08/11	없음	