

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/12 (2006.01)

H01L 29/786 (2006.01)

H01L 21/84 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510097641.4

[43] 公开日 2006 年 3 月 1 日

[11] 公开号 CN 1741277A

[22] 申请日 2005.8.29

[21] 申请号 200510097641.4

[30] 优先权

[32] 2004.8.27 [33] JP [31] 248181/04

[71] 申请人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 一法师隆志 岩松俊明 前川繁登

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 浦柏明 叶恺东

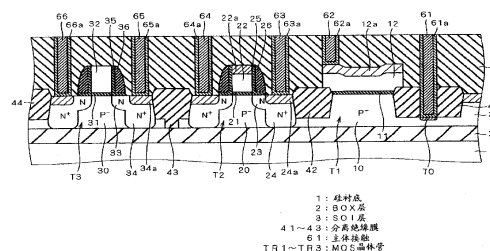
权利要求书 3 页 说明书 20 页 附图 34 页

[54] 发明名称

半导体装置及其制造方法

[57] 摘要

本发明的课题是：在具有主体接触的 SOI 器件中，使主体接触和主体区之间具有所要的电阻值，并且，抑制该电阻值的离散。在 SOI 层(3)中与接触(61)连接的部分(即，元件分离绝缘膜(41)下面)，不形成杂质浓度高的 P⁺ 区，而使 SOI 层(3)与主体接触(61)实现肖特基结。此外，在主体接触(61)的表面形成势垒金属(61a)，在主体接触(61)和 SOI 层(3)之间形成由势垒金属(61a)和 SOI 层(3)起反应形成的硅化物(70)。



1. 一种半导体装置，其特征在于：

具有：配设在绝缘体层上的半导体层、在上述半导体层上形成的
5 半导体元件和连接在上述半导体层上以便连接到上述半导体元件的主
体区上的主体接触，

上述主体接触和上述半导体层的连接经由肖特基结实现。

2. 权利要求 1 记载的半导体装置，其特征在于：

在上述半导体层中，在与上述主体接触的连接部分附近，局部形
成杂质浓度与其周围不同的区域。

10 3. 权利要求 1 记载的半导体装置，其特征在于：

上述半导体元件的形成区域由在上述半导体层的上部形成的分离
绝缘膜规定，

上述主体接触和上述半导体层的连接通过上述主体接触贯通上述
分离绝缘膜而到达该分离绝缘膜下面的上述半导体层来实现。

15 4. 权利要求 3 记载的半导体装置，其特征在于：

上述主体接触还贯通上述分离绝缘膜下面的上述半导体层而到达
上述绝缘体层。

5. 权利要求 1 至权利要求 4 的任一项记载的半导体装置，其特
征在于：

20 在上述主体接触和上述半导体层的连接部分形成有硅化物，
上述肖特基结在上述硅化物和上述半导体层之间形成。

6. 权利要求 5 记载的半导体装置，其特征在于：

上述主体接触的表面具有势垒金属，

上述硅化物是上述势垒金属和上述半导体层反应形成的。

25 7. 权利要求 5 记载的半导体装置，其特征在于：

上述硅化物一直到达上述绝缘体层。

8. 一种半导体装置，其特征在于：

具有：配设在绝缘体层上的半导体层、在上述半导体层上形成的
半导体元件和连接在上述半导体层上以便连接到上述半导体元件的主
30 体区上的主体接触，

在上述主体接触和上述半导体层的连接部分形成有硅化物，
上述硅化物一直到达上述绝缘体层。

9. 权利要求 8 记载的半导体装置, 其特征在于:

上述主体接触的表面具有势垒金属,

上述硅化物是上述势垒金属和上述半导体层反应形成的。

10. 权利要求 8 记载的半导体装置, 其特征在于:

5 在上述半导体层中, 在上述硅化物的附近, 局部形成杂质浓度与其周围不同的区域。

11. 权利要求 8 到权利要求 10 的任一项记载的半导体装置, 其特征在于:

10 上述半导体元件的形成区域由在上述半导体层的上部形成的分离绝缘膜规定,

上述主体接触和上述半导体层的连接通过上述主体接触贯通上述分离绝缘膜而到达该分离绝缘膜下面的上述半导体层来实现。

12. 一种半导体装置, 其特征在于:

15 具有: 配设在绝缘体层上的半导体层、在上述半导体层上形成的半导体元件和连接在上述半导体层上以便连接到上述半导体元件的主体区上的主体接触,

上述主体接触由多晶硅形成。

13. 权利要求 12 记载的半导体装置, 其特征在于:

20 连接到上述半导体元件上的上述主体接触之外的接触由金属形成。

14. 一种半导体装置的制造方法, 其特征在于, 具有:

(a) 在配设于绝缘体层上的半导体层上形成规定的半导体元件的工序;

(b) 形成覆盖上述半导体元件上的层间绝缘膜的工序;

25 (c) 在上述层间绝缘膜上, 以到达上述半导体层的方式形成连接到上述半导体元件的主体区上的主体接触用的接触孔的工序; 以及

(d) 在上述接触孔内露出的上述半导体层上形成直到上述绝缘体层的硅化物的工序。

15. 权利要求 14 记载的半导体装置的制造方法, 其特征在于:

30 在上述工序 (d) 之前进行 (e) 向上述接触孔内露出的上述半导体层注入离子的工序。

16. 一种半导体装置的制造方法, 其特征在于, 具有:

(a) 在配设于绝缘体层上的半导体层的上部形成规定元件形成区的分离绝缘膜的工序;

(b) 在上述半导体层的元件形成区形成规定的半导体元件的工序;

5 (c) 在上述分离绝缘膜上形成到达该分离绝缘膜下面的上述半导体层的开口的工序;

(d) 在上述开口内露出的上述半导体层上形成直到上述绝缘体层的硅化物的工序;

(e) 形成将上述半导体元件覆盖的层间绝缘膜的工序; 以及

10 (f) 在上述层间绝缘膜上形成连接到上述硅化物上的接触的工序。

17. 权利要求 16 记载的半导体装置的制造方法, 其特征在于:

在上述工序 (d) 之前进行 (e) 向上述开口内露出的上述半导体层注入离子的工序。

15

半导体装置及其制造方法

技术领域

- 5 本发明涉及半导体装置及其制造方法，特别涉及具有连接在半导体元件主体区上的接触的半导体装置。

背景技术

- 公知有一种使用了 SOI 衬底的半导体装置(以下称为“SOI 器件”),
10 该 SOI 衬底通过在配设于硅衬底上的氧化膜层 (BOX (Buried Oxide: 埋入氧化物) 层) 上形成硅层 (SOI (Silicon On Insulator: 绝缘体硅) 层) 而成。SOI 器件可以减小寄生电容、降低功耗和使工作高速化, 广泛地应用在通信用 LSI 或便携式设备等中。

- 通常, 作为使 SOI 器件工作高速化的手段, 必需要布线和接触的低电阻化技术。作为这样的低电阻化技术, 一般使用在晶体管的栅布
15 线上部或源漏区上部等、SOI 器件和接触的连接部分形成硅和金属的化合物层 (硅化物层) 的方法。例如, 像下述的专利文献 1 那样, 利用溅射等将 Ti (钛) 和 Co (钴) 等金属层堆积在形成于 SOI 层上的源漏区上部和由多晶硅形成的栅极上部, 并通过进行热处理形成硅化物层。
20

- 此外, 公知有在 SOI 器件上形成电连接在其主体区上的接触 (主体接触 (body contact)) 并通过控制该主体区的电位来实现器件的工作稳定化和高速化的技术。例如, 公知有经主体接触将 MOS 晶体管的栅极连接在主体区上的 DTMOS (Dynamic Threshold Voltage
25 Metal-Oxide-Silicon: 动态临限电压金属氧化物硅) 晶体管 (例如专利文献 2)。

【专利文献 1】特开平 6-204334 号公报 (图 83-84)

【专利文献 2】特开 2001-77368 号公报

- 在具有主体接触的 SOI 器件中, 因容易从主体接触向主体区流入
30 漏电流, 故希望在主体接触和主体区之间具有一定大小的电阻值, 以抑制该漏电流并降低功耗。但是, 若该电阻值离散, 则存在器件的电特性离散的问题。

发明内容

本发明是为了解决上述问题而提出的，第 1 目的是：在具有主体接触的 SOI 器件中，使主体接触和主体区之间具有所要的电阻值，第 2 目的是：抑制该电阻值的离散。

本发明第 1 方面的半导体装置具有：配设在绝缘体层上的半导体层、在上述半导体层上形成的半导体元件和连接在上述半导体层上以便连接到上述半导体元件的主体区上的主体接触，上述主体接触和上述半导体层的连接通过肖特基结实现。

10 本发明第 2 方面的半导体装置具有：配设在绝缘体层上的半导体层、在上述半导体层上形成的半导体元件和连接在上述半导体层上以便连接到上述半导体元件的主体区上的主体接触，在上述主体接触和上述半导体层的连接部分形成硅化物，上述硅化物一直到达上述绝缘体层。

15 本发明第 3 方面的半导体装置具有：配设在绝缘体层上的半导体层、在上述半导体层上形成的半导体元件和连接在上述半导体层上以便连接到上述半导体元件的主体区上的主体接触，上述主体接触由多晶硅形成。

本发明第 4 方面的半导体装置的制造方法具有：(a) 在配设于绝缘体层上的半导体层上形成规定的半导体元件的工序；(b) 形成覆盖上述半导体元件上的层间绝缘膜的工序；(c) 在上述层间绝缘膜上，以直到上述半导体层的方式，形成连接到上述半导体元件的主体区上的主体接触用的接触孔的工序；(d) 在上述接触孔内露出的上述半导体层上形成直到上述绝缘体层的硅化物的工序。

25 本发明第 5 方面的半导体装置的制造方法具有：(a) 在配设于绝缘体层上的半导体层的上部形成规定元件形成区的分离绝缘膜的工序；(b) 在上述半导体层的元件形成区形成规定的半导体元件的工序；(c) 在上述分离绝缘膜上形成到达该分离绝缘膜下面的上述半导体层的开口的工序；(d) 在上述开口内露出的上述半导体层上形成直到上述绝缘体层的硅化物的工序；(e) 形成将上述半导体元件覆盖的层间绝缘膜的工序；(f) 在上述层间绝缘膜上形成连接到上述硅化物上的接触的工序。

根据本发明第 1 方面的半导体装置，因主体接触和半导体层的连接经由肖特基结实现，故主体接触和半导体层之间的连接电阻比现有构造要高。因此，能够限制通过主体接触流入半导体元件的主体区的漏电流，可以降低半导体装置的功耗。

5 根据本发明第 2 方面的半导体装置，因在主体接触和半导体层的连接部分形成的硅化物一直到绝缘体层，故该硅化物的形成深度一定，可以抑制硅化物和半导体层的接触面积的离散。结果，可以抑制主体接触和半导体层的连接电阻的离散，可以抑制半导体元件的电特性的离散。

10 根据本发明第 3 方面的半导体装置，因主体接触由多晶硅形成，故主体接触和半导体层之间的连接电阻比现有构造要高。因此，能够限制通过主体接触流入半导体元件的主体区的漏电流，可以降低半导体装置的功耗。

15 根据本发明第 4 方面的半导体装置的制造方法，因在接触孔内露出的半导体层上形成直到绝缘体层的硅化物，故该硅化物的形成深度一定，可以抑制硅化物和半导体层的接触面积的离散。结果，可以抑制主体接触和半导体层的连接电阻的离散，可以抑制半导体元件的电特性的离散。

20 根据本发明第 5 方面的半导体装置的制造方法，因在分离绝缘膜上形成到达该分离绝缘膜下面的半导体层的开口，并在该开口内露出的半导体层上形成直到绝缘体层的硅化物，故该硅化物的形成深度一定，可以抑制硅化物和半导体层的接触面积的离散。结果，可以抑制主体接触和半导体层的连接电阻的离散，可以抑制半导体元件的电特性的离散。

25

附图说明

图 1 是表示实施方式 1 的半导体装置的结构图。

图 2 是表示实施方式 1 的半导体装置的制造工序的图。

图 3 是表示实施方式 1 的半导体装置的制造工序的图。

30 图 4 是表示实施方式 1 的半导体装置的制造工序的图。

图 5 是表示实施方式 1 的半导体装置的制造工序的图。

图 6 是表示实施方式 1 的半导体装置的制造工序的图。

图 7 是表示实施方式 1 的半导体装置的制造工序的图。

图 8 是表示实施方式 1 的半导体装置的制造工序的图。

图 9 是表示实施方式 2 的半导体装置的结构图。

图 10 是表示实施方式 2 的变形例的图。

5 图 11 是表示实施方式 2 的变形例的图。

图 12 是表示实施方式 3 的半导体装置的结构图。

图 13 是表示实施方式 3 的半导体装置的制造工序的图。

图 14 是表示实施方式 4 的半导体装置的结构图。

图 15 是表示实施方式 4 的变形例的图。

10 图 16 是表示实施方式 4 的变形例的图。

图 17 是表示实施方式 5 的半导体装置的结构图。

图 18 是表示实施方式 5 的半导体装置的结构图。

图 19 是表示实施方式 5 的半导体装置的结构图。

图 20 是表示实施方式 6 的半导体装置的结构图。

15 图 21 是表示实施方式 6 的半导体装置的制造工序的图。

图 22 是表示实施方式 6 的半导体装置的制造工序的图。

图 23 是表示实施方式 6 的变形例的图。

图 24 是表示实施方式 6 的变形例的半导体装置的制造工序的图。

图 25 是表示实施方式 7 的半导体装置的制造工序的图。

20 图 26 是表示实施方式 7 的半导体装置的制造工序的图。

图 27 是表示实施方式 7 的半导体装置的结构图。

图 28 是表示实施方式 8 的半导体装置的结构图。

图 29 是表示实施方式 8 的半导体装置的制造工序的图。

图 30 是表示实施方式 9 的半导体装置的制造工序的图。

25 图 31 是表示实施方式 9 的半导体装置的制造工序的图。

图 32 是表示实施方式 10 的半导体装置的结构图。

图 33 是一般的 SRAM 单元的电路图。

图 34 是实施方式 11 的 SRAM 单元的顶视图。

图 35 是实施方式 11 的 SRAM 单元的剖面图。

30 图 36 是实施方式 11 的 SRAM 单元的等效电路图。

具体实施方式

<实施方式 1>

图 1 是表示本发明实施方式 1 的半导体装置的结构图。该半导体装置是在由硅衬底 1、该硅衬底 1 上的埋入氧化膜层 2 (以下称“BOX 层 2”) 和该 BOX 层 2 上的 P⁻型硅层 (以下称“SOI 层 3”) 构成的 SOI 衬底上形成的 SOI 器件。

在 SOI 层 3 的上部形成元件分离绝缘膜 41~44, 在由它们规定的活性区 (元件形成区) 上分别形成作为半导体元件的 MOS 晶体管 T1~T3。即, MOS 晶体管 T1 在元件分离绝缘膜 41 和元件分离绝缘膜 42 之间形成, MOS 晶体管 T2 在元件分离绝缘膜 42 和元件分离绝缘膜 43 之间形成, MOS 晶体管 T3 在元件分离绝缘膜 43 和元件分离绝缘膜 44 之间形成。这里, 元件分离绝缘膜 41、42、44 的底部到不了 BOX 层 2, 称作“部分分离”, 元件分离绝缘膜 43 的底部到达 BOX 层 2, 称作“完全分离”。

如图 1 所示, MOS 晶体管 T1 具有栅绝缘膜 11 和在上部形成了硅化物 12a 的栅极 12。MOS 晶体管 T2 具有栅绝缘膜 21、栅极 22、源漏区 24 和连接到该源漏区 24 上的 LDD (Lightly Doped Drain: 轻掺杂漏) 区 23。在栅极 22 和源漏区 24 的上部分别形成硅化物 22a 和硅化物 24a。此外, 在栅极 22 的侧面形成 CVD (Chemical Vapor Deposition: 化学汽相淀积) 氧化膜 25 和侧壁 26。再有, 在图 1 中, 因 MOS 晶体管 T1 示出栅宽度方向的剖面, 故其源漏区或 LDD 区未图示, 但具有和 MOS 晶体管 T2 一样的结构。

MOS 晶体管 T3 具有栅绝缘膜 31、栅极 32、LDD 区 33 和源漏区 34。在源漏区 34 的上部形成硅化物 34a, 在栅绝缘膜 31 的侧面形成 CVD 氧化膜 35 和侧壁 36。MOS 晶体管 T3 具有和 MOS 晶体管 T2 大致一样的结构, 但在本实施方式中, 如图 1 所示, 栅极 32 的上部没有硅化物。在这一点上和 MOS 晶体管 T2 不同。

再有, 图 1 的符号 10、20、30 分别表示 MOS 晶体管 T1、T2、T3 的栅极下面的 P⁻区即主体区。

形成层间绝缘膜 5, 以便将这些 MOS 晶体管 T1~T3 覆盖, 在该层间绝缘膜 5 内形成接触 61~66。在接触 61~66 的表面分别设置势垒金属 61a~66a。

在接触 61~66 中, 接触 61 是将 MOS 晶体管 T1 的主体区 10 和 MOS

晶体管 T2 的主体区 20 电连接的所谓“主体接触”。该主体接触 61 贯通作为部分分离的元件分离绝缘膜 41, 与其下的 SOI 层 3 连接。在主体接触 61 和 SOI 层 3 的连接部分, 势垒金属 61a 和 SOI 层 3 反应, 形成硅化物 70。

5 如图 1 所示, 元件分离绝缘膜 41 下面的 SOI 层 3 和 MOS 晶体管 T1 的主体区 10 连在一起, 且是同一导电类型 (P 型), 所以, 两者相互电连接。此外, 因元件分离绝缘膜 42 是部分分离, 故 MOS 晶体管 T1 的主体区 10 和 MOS 晶体管 T2 的主体区 20 通过元件分离绝缘膜 42 下面的 P⁻区 (图 1 未图示) 电连接。因此, 与元件分离绝缘膜 41 下面
10 的 SOI 层 3 连接的主体接触 61 成为与 MOS 晶体管 T1 的主体区 10 和 MOS 晶体管 T2 的主体区 20 双方电连接。

 在现有的半导体装置中, 在 P 型的 SOI 层中与主体接触的连接部分形成杂质浓度高的 P⁺区 (杂质浓度: $10^{20} \sim 10^{21} \text{cm}^{-3}$), 使主体接触和 SOI 层进行欧姆接合。例如, 在 $0.12 \mu\text{m}$ 直径的主体接触中, 与 SOI
15 层的连接电阻每一个主体接触是几十 Ω 左右。

 与此对应, 在本实施方式中, 在 SOI 层 3 中与主体接触 61 的连接部分 (即元件分离绝缘膜 41 的下面) 不形成 P⁺区, 而使 SOI 层 3 与主体接触 61 进行肖特基结。具体地说, 若 SOI 层 3 的杂质浓度是 $10^{18} \sim 10^{20} \text{cm}^{-3}$ 左右, 则 SOI 层 3 与主体接触 61 进行肖特基结, 其连接电阻
20 变高, 例如, 在 $0.12 \mu\text{m}$ 直径的主体接触中, 每一个主体接触升高至几百 $\text{k}\Omega \sim$ 几 $\text{M}\Omega$ 。

 因主体接触 61 和 SOI 层 3 是肖特基结, 两者间的连接电阻变高, 所以, 能够限制从主体接触 61 流入主体区 10 和主体区 20 的漏电流, 可以降低半导体装置的功耗。此外, 通过对 SOI 层 3 的杂质浓度在 $10^{18} \sim 10^{20} \text{cm}^{-3}$ 左右的范围内进行适当调整, 可以将主体接触 61 和 SOI 层 3
25 的连接电阻设定为所要的值。

 再有, 如图 1 所示, 在本实施方式中, 在主体接触 61 的表面形成势垒金属 61a, 在主体接触 61 和 SOI 层 3 之间形成势垒金属 61a 和 SOI 层 3 反应后的硅化物 70。因此, 严格地说, 上述肖特基结在主体
30 接触 61 表面的硅化物 70 和 SOI 层 3 之间形成。主体接触 61 和 SOI 层 3 的连接经由硅化物 70, 由此成为稳定的连接, 可以得到抑制连接电阻的离散的效果。

此外，因以贯通元件分离绝缘膜 41 的方式形成主体接触 61，故主体接触 61 的形成区包含在元件分离绝缘膜 41 的形成区内。因此，不必另外设置主体接触 61 的形成区，可以使半导体装置的形成面积缩小。

5 图 2~图 8 是表示图 1 的半导体装置的制造工序的图。下面，参照这些图说明本实施方式的半导体装置的制造方法。

首先，准备在硅衬底 1 上配设有 BOX 层 2 和 SOI 层 3 的 SOI 衬底。该 SOI 衬底可以利用 SIMOX (Separation by IMplanted OXygen: 注氧隔离) 法、晶片贴合法或其他任何技术形成。通常，SOI 层 3 的膜厚是 50~200nm 左右，BOX 层 2 的膜厚是 100~400nm 左右。

接着，在 SOI 层 3 上形成包含 MOS 晶体管 T1~T3 的电路。在本发明中，MOS 晶体管 T1~T3 的形成可以用一般的方法，例如，进行下面的工序。

首先，在 SOI 层 3 的元件分离区形成元件分离绝缘膜 41~44，接着，进行用来决定各晶体管的阈值电压的沟道注入。在 SOI 层 3 的上面形成氧化硅膜，并在其上堆积多晶硅，再通过图形化形成栅绝缘膜 11、21、31 和栅极 12、22、32。通过将栅极 12、22、32 作为掩模的离子注入，形成 LDD 区 23、33 (MOS 晶体管 T1 的 LDD 区未图示)。接着，利用 CVD 法，在栅极 12、22、32 的侧面和 SOI 层 3 的上面堆积氧化硅膜，然后，堆积氮化硅膜再通过蚀刻形成 CVD 氧化膜 25、35 和侧壁 26、36 (图 2) (栅绝缘膜 11 侧面的 CVD 氧化膜和侧壁未图示)。

然后，转到使 MOS 晶体管 T1~T3 的规定部分硅化物化的工序，但是在此之前，用称作硅化物保护膜的绝缘膜将不必硅化物化的区域 (这里，是 MOS 晶体管 T3 的栅极 32) 覆盖。即，利用 CVD 法等在整个 SOI 衬底整个面上堆积氧化硅膜 51a，在栅极 32 的上方形形成抗蚀剂图案 52 (图 3)。将该抗蚀剂图案 52 作为掩模对氧化硅膜 51a 进行蚀刻，由此，在栅绝缘膜 31 上形成硅化物保护膜 51 (图 4)。

接下来，在 MOS 晶体管 T1~T3 上堆积用来进行硅化物化的规定的金属 (例如，3~20nm 左右的 Co)，进行热处理 (300~800℃下几秒至几分钟左右) 后使该金属与硅反应。这时，因在未被硅化物保护膜 51 覆盖的栅极 12、22 和源漏区 24、34 上直接堆积金属，故在各自的上部形成硅化物 12a、22a、24a、34a。另一方面，在用硅化物保

护膜 51 覆盖的栅极 32 上隔着硅化物保护膜 51 堆积金属, 所以, 其上部没有被硅化物化 (图 5)。再有, 作为这里形成的硅化物的例子, 可以举出 Ti 硅化物、Co 硅化物、Ni 硅化物、Pt 硅化物等。

5 接下来, 堆积氧化硅膜使其将 MOS 晶体管 T1~T3 覆盖, 形成层间绝缘膜 5, 并在其上形成将接触 61~66 的形成区开口的抗蚀剂图案 53 (图 6) (因硅化物保护膜 51 和层间绝缘膜 5 成为一体, 故后面省略其图示)。接着, 将该抗蚀剂图案 53 作为掩模对层间绝缘膜 5 进行蚀刻, 由此, 在层间绝缘膜 5 上形成接触孔。进而, 为了形成主体接
10 触 61, 对元件分离绝缘膜 41 进行蚀刻, 使接触孔一直到 SOI 层 3 (图 7)。

接下来, 堆积 Ti 或 Ti/TiN 等势垒金属材料 6a, 进而, 堆积钨等金属接触材料 6, 将各接触孔填埋 (图 8)。这时, 在主体接触 61 用的接触孔内, 势垒金属材料 6a 和元件分离绝缘膜 41 下面的 SOI 层 3 反应, 形成硅化物 70。例如, 当势垒金属材料 6a 是 Ti 或 Ti/TiN 时,
15 硅化物 70 就是 TiSi_2 。

接下来, 通过除去层间绝缘膜 5 上面剩余的金属接触材料 6 和势垒金属材料 6a, 形成接触 61~66。通过以上工序, 可以得到图 1 所示的半导体装置。

<实施方式 2>

20 图 9 是表示实施方式 2 的半导体装置的结构图。在该图中, 对和图 1 所示相同的要素标上同一符号并省略其说明。

在上述实施方式 1 中, 主体接触 61 构成为贯通元件分离绝缘膜 41 而到达其下面的 SOI 层 3。与此相对, 在本实施方式中, 如图 9 所示, 使主体接触 67 连接到元件分离绝缘膜 41 和元件分离绝缘膜 45 之间的 SOI 层 3 的上面。即, 在实施方式 1 中, 形成元件分离绝缘膜 41 而 SOI 层 3 变薄的部分上使主体接触 61 连接, 而在本实施方式中, 使主体接触 67 连接在 SOI 层 3 的厚的部分上。此外, 在主体接触 67 的表面形成势垒金属 67a, 在主体接触 67 和 SOI 层 3 的连接部分形成和源漏区 24、34 上部的硅化物 24a、34a 同样的硅化物 71。
25

30 因元件分离绝缘膜 41 是部分分离, 故元件分离绝缘膜 41 和元件分离绝缘膜 45 之间的厚的 SOI 层 3 通过元件分离绝缘膜 41 下面的薄的 SOI 层 3 与 MOS 晶体管 T1 的主体区 10 电连接。此外, 和实施方式

1 一样, MOS 晶体管 T1 的主体区 10 与 MOS 晶体管 T2 的主体区 20 电连接。即, 在本实施方式中, 主体接触 67 也与主体区 10 和主体区 20 双方电连接。

5 在本实施方式中, 在 SOI 层 3 中与主体接触 67 连接的部分不形成 P⁺ 区, 使 SOI 层 3 和主体接触 67 进行肖特基结。由此, SOI 层 3 和主体接触 67 之间的连接电阻, 例如对于 0.12 μm 直径的主体接点, 每一个是几百 kΩ ~ 几 MΩ。

10 因此, 和实施方式 1 一样, 能够限制从主体接触 67 流入主体区 10 和主体区 20 的漏电流, 可以降低半导体装置的功耗。此外, 通过适当调整 SOI 层 3 的杂质浓度, 可以将主体接触 67 和 SOI 层 3 的连接电阻设定为所要的值。

再有, 因在主体接触 67 和 SOI 层 3 的连接部分形成硅化物 71, 故严格地说, 上述肖特基结在硅化物 71 和 SOI 层 3 之间形成。主体接触 67 和 SOI 层 3 的连接经由硅化物 71, 由此能够实现稳定的连接, 得到抑制连接电阻离散的效果。

20 此外, 在本实施方式中, 不贯通元件分离绝缘膜地使主体接触 67 连接在 SOI 层 3 的厚的部分, 所以, 不必只将用来形成主体接触 67 的接触孔形成得很深。即, 用于主体接触 67 的接触孔也可以和其他接触 63 ~ 66 的接触孔是同样的深度。因此, 具有制造工序比实施方式 1 更容易的优点。

25 图 10 是表示实施方式 2 的变形例的图。在图 9 的例子中, 在 SOI 层 3 中与主体接触 67 的连接部分形成硅化物 34a、与 34a 同样的硅化物 71, 但如图 10 所示, 也可以不设置它们。这时, 在主体接触 67 和 SOI 层 3 的连接部分, 形成由主体接触 67 的表面的势垒金属 67a 和 SOI 层 3 起反应而得到的硅化物 72。很明显, 即使这样构成也可以得到和上述同样的效果。

30 再有, 如图 10 所示, 为了在 SOI 层 3 和主体接触 67 的连接部分上不形成硅化物 71, 可以在制造过程中, 在该连接部分上设置硅化物保护膜。即, 在栅极 32 的上部形成硅化物保护膜 51 的工序 (实施方式 1 中图 3 和图 4 所示的工序) 中, 可以在元件分离绝缘膜 41 和元件分离绝缘膜 45 之间的 SOI 层 3 上也设置硅化物保护膜 51。由此, 即使经过硅化物 12a、24a、34a 的形成工序, 元件分离绝缘膜 41 和

元件分离绝缘膜 45 之间的 SOI 层 3 的上部也不会被硅化物化(图 11)。

<实施方式 3>

图 12 是表示实施方式 3 的半导体装置的结构图。在该图中，对和图 1 所示相同的要素标上同一符号并省略其说明。

5 在本实施方式中，在 SOI 层 3 中与主体接触 61 的连接部分附近（即硅化物 70 附近）局部形成杂质浓度比其周围低的区域。即，图 12 所示的区域 73 的杂质浓度比其周围的 P^- 区低，变成高阻状态。下面，为方便说明，将杂质浓度比周围的 P^- 区低的 P^- 区称作“ $P^-(-)$ 区”。

10 因不形成 SOI 层 3 中与主体接触 61 的连接部分的 P^+ 区，故 SOI 层 3 与主体接触 61 是肖特基结。此外，因在 SOI 层 3 中与主体接触 61 的连接部分附近设置 $P^-(-)$ 区 73，故 SOI 层 3 与主体接触 61 之间的连接电阻进一步提高。因此，能够进一步限制从主体接触 61 流入主体区 10 和主体区 20 的漏电流，可以降低半导体装置的功耗。此外，通过适当调整 $P^-(-)$ 区 73 的杂质浓度，可以将主体接触 61 和 SOI
15 层 3 的连接电阻设定为所要的值。与调整 SOI 层 3 整体的杂质浓度的情况相比，可以进行自由度较高的调整。

再有， $P^-(-)$ 区 73 的形成只要在接触孔的形成工序（实施方式 1 的图 7 的工序）之后进行即可。即，在形成用于接触 61~66 的接触孔之后，如图 13 所示，重新形成只在用于主体接触 61 的接触孔
20 上方开口的抗蚀剂图案 54，将其作为掩模，注入与 SOI 层 3 的导电类型相反的 N 型杂质（例如 P 离子或 As 离子）（所谓“反掺杂”），这样，可以在用于主体接触 61 的接触孔内形成 $P^-(-)$ 区 73。这时的注入量，例如是 $10^{13}\text{cm}^{-2} \sim 10^{15}\text{cm}^{-2}$ 左右。

<实施方式 4>

25 例如，在实施方式 1 中，主体接触 61 和 SOI 层 3 之间的连接电阻依赖于硅化物 70 和 SOI 层 3 的接触面积。因为硅化物 70 通过势垒金属 61a 和 SOI 层 3 起反应而形成，所以，控制该形成的深度有困难。当硅化物 70 的形成深度离散时，上述接触面积也离散，结果，主体接触 61 和 SOI 层 3 的连接电阻也产生离散。

30 图 14 是表示实施方式 4 的半导体装置的结构图。在该图中，对和图 1 所示相同的要素标上同一符号并省略其说明。

在本实施方式中，如图 14 所示，在实施方式 1 的半导体装置中，

贯通 SOI 层 3 直到 BOX 层 2 来形成主体接触 61。除此之外的结构和实施方式 1 一样。

当形成直到 BOX 层 2 的主体接触 61 时，在主体接触 61 的侧面形成的硅化物 70 也到达 BOX 层 2。因此，硅化物 70 的形成深度一定，
5 可以抑制硅化物 70 和 SOI 层 3 的接触面积的离散。结果，可以抑制主体接触 61 和 SOI 层 3 的连接电阻的离散，可以抑制半导体元件的电特性的离散。再有，在本实施方式中，硅化物 70 和 SOI 层 3 的接触面积依赖于元件分离绝缘膜 41 下面的 SOI 层 3 的厚度。换言之，依赖于元件分离绝缘膜 41 的形成深度，但元件分离绝缘膜 41 的形成
10 深度比硅化物的形成深度容易控制，精度高，所以不会有大的问题。

此外，为了形成到达 BOX 层 2 的主体接触 61，在接触孔的形成工序（实施方式 1 的图 7 的工序）中，只要使主体接触 61 用的接触孔贯通 SOI 层 3 而到达 BOX 层 2 那样来形成即可。

图 15 是表示实施方式 4 的变形例的图。在该变形例中，将实施方式 3 用于实施方式 4，在 SOI 层 3 中与主体接触 61 的连接部分附近（即硅化物 70 附近）局部形成杂质浓度比其周围低的 P^- （-）区 73，由此，SOI 层 3 与主体接触 61 之间的连接电阻可以进一步提高，可以抑制从主体接触 61 流入主体区 10 和主体区 20 的漏电流。此外，通过适当调整 P^- （-）区 73 的杂质浓度，可以将主体接触 61 和 SOI 层
15 3 的连接电阻设定为所要的值。

P^- （-）区 73 的形成可以在接触孔的形成工序之后，如实施方式 3 的图 13 所示，重新形成只在用于主体接触 61 的接触孔上方开口的抗蚀剂图案 54，将其作为掩模，注入例如 $10^{13}\text{cm}^{-2} \sim 10^{15}\text{cm}^{-2}$ 左右的 N 型杂质。其中，在实施方式 4 中，因用于主体接触 61 的接触孔到达 BOX
20 层 2，故 SOI 层 3 不是该接触孔的底，而从侧面露出。因此，上述杂质的注入最好从斜方向进行，以便可以有效地将杂质注入到接触孔的侧面的 SOI 层 3 中。

此外，图 16 是表示实施方式 4 的另一个变形例的图。在上述图 15 中，取代 P^- （-）区 73，而形成杂质浓度比其周围高的 P^- 区（以下称作 P^- （+）区）74。
30

在本实施方式中，因主体接触 61 的底面与 BOX 层 2 相接，故硅化物 70 和 SOI 层 3 只在主体接触 61 的侧面接触。此外，因主体接触

61 与元件分离绝缘膜 41 下面的薄的 SOI 层 3 连接,故硅化物 70 和 SOI 层 3 接触的面积变小。因此,当元件分离绝缘膜 41 下面的 SOI 层 3 的厚度非常薄时,主体接触 61 和 SOI 层 3 的连接电阻高于必要值,产生主体区 10、20 的电位难以控制的问题。这时,如图 16 所示,若在主体接触 61 与 SOI 层 3 的连接部分附近局部形成杂质浓度比其周围高的 P^- 区(以下称作 $P^-(+)$ 区)74,可以降低 SOI 层 3 与主体接触 61 之间的连接电阻,从而,可以解决上述问题。

再有, $P^-(+)$ 区 74 的形成只要使用和上面说明的图 15 的 $P^-(-)$ 区 73 的形成同样的方法进行即可。其中,这时注入的杂质必须是例如 B 离子或 BF_2 离子等 P 型杂质(例如,剂量为 $10^{13}cm^{-2} \sim 10^{15}cm^{-2}$ 左右)。

<实施方式 5>

图 17 是表示实施方式 5 的半导体装置的结构图。在该图中,对和图 1 所示相同的要素标上同一符号并省略其说明。

在本实施方式中,在实施方式 1 的半导体装置中,形成在主体接触 61 和 SOI 层 3 的连接部分形成的硅化物 70 使其一直到达如图 17 所示的 SOI 层 3 下面的 BOX 层 2。除此之外的结构和实施方式 1 一样。

硅化物 70 是主体接触 61 的表面的势垒金属 61a 与 SOI 层 3 起反应而形成的。当形成该硅化物 70 使其一直到达 BOX 层 2 时,和实施方式 4 同样,因硅化物 70 的形成深度一定,故可以抑制主体接触 61 和 SOI 层 3 的连接电阻的离散,可以抑制半导体元件的电特性的离散。再有,本实施方式也和实施方式 4 一样,虽然硅化物 70 和 SOI 层 3 的接触面积依赖于元件分离绝缘膜 41 的形成深度,但元件分离绝缘膜 41 的形成深度比硅化物的形成深度容易控制,精度高,所以不会有大的问题。

为了形成硅化物 70 使其到达 BOX 层 2,在势垒金属材料 6a 向接触孔内的堆积工序(实施方式 1 的图 8 的工序)中,为了使 SOI 层 3 直到其底部都硅化物化,有必要堆积足够多的势垒金属材料 6a。例如,若势垒金属材料 6a 是 Ti,SOI 层 3 的厚度是 20nm,只要堆积 5~50nm 的该势垒金属材料 6a 即可。接着在势垒金属材料 6a 堆积之后,进行用来实现硅化物化的热处理(300~800℃下几秒至几分钟左右)。利用该热处理促进势垒金属材料 6a 与 SOI 层 3 的反应,使 SOI 层 3 直

到其底部都硅化物化。结果，形成直到 BOX 层 2 的硅化物 70。

图 18 是表示实施方式 5 的变形例的图。将实施方式 3 用于实施方式 5，在 SOI 层 3 中与主体接触 61 的连接部分附近（即硅化物 70 附近）局部形成杂质浓度比其周围低的 $P^-(-)$ 区 73。由此，SOI 层 3 与主体接触 61 之间的连接电阻可以进一步提高，可以抑制从主体接触 61 流入主体区 10 和主体区 20 的漏电流。此外，通过适当调整 $P^-(-)$ 区 73 的杂质浓度，可以将主体接触 61 和 SOI 层 3 的连接电阻设定为所要的值。

$P^-(-)$ 区 73 的形成可以在接触孔的形成工序之后，如实施方式 3 的图 13 所示，重新形成只在用于主体接触 61 的接触孔上方开口的抗蚀剂图案 54，将其作为掩模，注入 N 型杂质。由此，在用于主体接触 61 的接触孔内形成 $P^-(-)$ 区 73。这时注入的杂质通过用于上述硅化物化的热处理或其后的其他热处理扩散，所以，如图 18 所示， $P^-(-)$ 区 73 最终扩散到硅化物 70 的周围。

此外，图 19 是表示实施方式 5 的另一个变形例的图。在上述图 18 中，取代 $P^-(-)$ 区 73，而形成杂质浓度比其周围高的 $P^-(+)$ 区 74。

在本实施方式中，因硅化物 70 的底面到达 BOX 层 2，故只有其侧面与 SOI 层 3 接触。此外，因为硅化物 70 在元件分离绝缘膜 41 下面的薄的 SOI 层 3 上形成，故硅化物 70 的与 SOI 层 3 接触的侧面的面积小。因此，当元件分离绝缘膜 41 下面的 SOI 层 3 的厚度非常薄时，主体接触 61 和 SOI 层 3 的连接电阻高于必要值，产生主体区 10、20 的电位难以控制的问题。这时，如图 19 所示，若在硅化物 70 附近局部形成杂质浓度比其周围高的 $P^-(+)$ 区 74，可以降低 SOI 层 3 与主体接触 61 之间的连接电阻，从而，可以解决上述问题。此外，通过适当调整 $P^-(+)$ 区 74 的杂质浓度，可以将主体接触 61 和 SOI 层 3 的连接电阻设定为所要的值。

再有， $P^-(+)$ 区 74 的形成只要使用和上面说明的图 18 的 $P^-(-)$ 区 73 的形成同样的方法进行即可。其中，这时注入的杂质必须是例如 B 离子或 BF_2 离子等 P 型杂质。

<实施方式 6>

图 20 是表示实施方式 6 的半导体装置的结构图。在该图中，

对和图 1 所示相同的要素标上同一符号并省略其说明。

在本实施方式中, 和实施方式 5 一样, 在主体接触 61 和 SOI 层 3 连接的部分形成硅化物 80 一直到达 BOX 层 2。其中, 该硅化物 80 不是由势垒金属 61a 与 SOI 层 3 反应后形成的, 而是使用硅化物 12a、22a、24a、34a 相同的工序形成的。

当形成该硅化物 80 使其一直到达 BOX 层 2 时, 和实施方式 5 同样, 因硅化物 80 的形成深度一定, 故可以抑制主体接触 61 和 SOI 层 3 的连接电阻的离散, 可以抑制半导体元件的电特性的离散。再有, 本实施方式也和实施方式 4 一样, 虽然硅化物 80 和 SOI 层 3 的接触面积依赖于元件分离绝缘膜 41 的形成深度, 但元件分离绝缘膜 41 的形成深度比硅化物的形成深度容易控制, 精度高, 所以不会有大的问题。

下面, 说明本实施方式的半导体元件装置的制造方法。首先, 和实施方式 1 一样, 在 SOI 层 3 上形成元件分离绝缘膜 41~44 和 MOS 晶体管 T1~T3 (图 2), 在栅极 32 的上部形成硅化物保护膜 51 (图 3、图 4)。

接下来, 如图 21 所示, 形成对主体接触 61 的形成区开口的抗蚀剂图案 55, 将该抗蚀剂图案 55 作为掩模, 利用 HF 处理等对元件分离绝缘膜 41 进行蚀刻, 由此, 在元件分离绝缘膜 41 上形成到达 SOI 层 3 的开口。接着除去抗蚀剂图案 55, 堆积用来全面实现硅化物化的规定的金属。这时, 在元件分离绝缘膜 41 形成的开口内也堆积该金属。接着, 通过进行热处理使该金属与硅反应, 在栅极 12、22 和源漏区 24、34 上形成硅化物 12a、22a、24a、34a, 同时, 在元件分离绝缘膜 41 的开口内 (即元件分离绝缘膜 41 下面的 SOI 层 3) 上形成硅化物 80。这时, 因形成硅化物 24a、34a 的区域 (MOS 晶体管 T1~T3 的形成区) 的 SOI 层 3 厚, 故该硅化物 24a、34a 只在 SOI 层 3 的上部形成而达不到 BOX 层 2。与此相反, 硅化物 80 因在元件分离绝缘膜 41 下面的薄的 SOI 层 3 上形成, 故其底部一直到达 BOX 层 2 的底部 (图 22)。

然后, 形成层间绝缘膜 5, 再在该层间绝缘膜 5 上形成接触 61~66 用的接触孔。这时, 由于形成接触 61, 故接触孔形成为一直到达元件分离绝缘膜 41 的开口内的硅化物 80。接着, 用势垒金属材料 and 金属接触材料将各接触孔填埋, 通过除去剩余的金属接触材料和势垒金属材料形成接触 61~66, 由此, 形成图 20 的半导体装置。

图 23 是表示实施方式 6 的变形例的图。将实施方式 3 用于实施方式 6, 在 SOI 层 3 中与主体接触 61 的连接部分附近 (即硅化物 80 附近) 局部形成杂质浓度比其周围低的 $P^- (-)$ 区 82。由此, SOI 层 3 与主体接触 61 之间的连接电阻可以进一步提高, 可以抑制从主体接触 61 流入主体区 10 和主体区 20 的漏电流。此外, 通过适当调整 $P^- (-)$ 区 82 的杂质浓度, 可以将主体接触 61 和 SOI 层 3 的连接电阻设定为所要的值。

$P^- (-)$ 区 82 的形成可以接在元件分离绝缘膜 41 形成开口的工序 (图 21 所示的工序) 之后, 将抗蚀剂图案 55 作为掩模, 注入 N 型杂质 (图 24)。由此, 在元件分离绝缘膜 41 的开口内形成 $P^- (-)$ 区 82。这时注入的杂质通过用于上述硅化物化的热处理或其后的其他热处理扩散, 所以, 如图 23 所示, $P^- (-)$ 区 82 最终扩散到硅化物 80 的周围。此外, 上述 N 型杂质的注入也可以刚好在抗蚀剂图案 55 形成之后 (在元件分离绝缘膜 41 上形成开口之前) 进行。

此外, 虽然未图示, 但也可以在上述图 23 中, 取代 $P^- (-)$ 区 82, 而形成杂质浓度比其周围高的 $P^- (+)$ 区。和图 19 所示的实施方式 5 的变形例一样, 当元件分离绝缘膜 41 下面的 SOI 层 3 的厚度非常薄时, 可以避免主体接触 61 和 SOI 层 3 的连接电阻高于必要值的问题。此外, 通过适当调整该 $P^- (+)$ 区的杂质浓度, 可以将主体接触 61 和 SOI 层 3 的连接电阻设定为所要的值。该 $P^- (+)$ 区的形成只要在图 24 说明的杂质注入工序中注入 P 型杂质即可。

<实施方式 7>

图 25 是表示实施方式 7 的半导体装置的制造工序的图。实施方式 7 的半导体装置的结构因和实施方式 6 (图 20) 一样, 故省略其说明。

本实施方式在实施方式 6 的半导体装置的制造工序中, 接在对元件分离绝缘膜 41 开口的工序 (图 22 所示的工序) 之后, 将抗蚀剂图案 55 作为掩模, 注入 10^{15}cm^{-2} 左右的 Ne 离子、Ar 离子等惰性离子或 Si 离子、C 离子、N 离子、O 离子、F 离子等。由此, 对形成硅化物 80 的部分的 SOI 层 3 造成损害而使结晶缺陷产生 (图 25)。

因产生结晶缺陷的硅容易硅化物化, 故在以后的硅化物 12a、22a、24a、34a、80 的形成工序中, 能够使硅化物 80 的底部确实地到达 BOX

层 2。

本实施方式例如可以适用于实施方式 2 (图 9)。即, 在主体接触 67 和 SOI 层 3 的连接部分的硅化物 71 形成之前, 如图 26 所示, 形成对形成该硅化物 71 的区域 (元件分离绝缘膜 41 和元件分离绝缘膜 45 之间的厚的 SOI 层 3) 开口了的抗蚀剂图案 56, 将其作为掩模, 注入 10^{15}cm^{-2} 左右的 Si 离子、C 离子、N 离子、O 离子、F 离子或 Ne 离子、Ar 离子等惰性离子。由此, 对形成硅化物 71 的部分的 SOI 层 3 造成损害而使结晶缺陷产生。

因产生结晶缺陷的硅容易硅化物化, 在同时形成的硅化物 12a、22a、24a、34a、80 中, 只有硅化物 80 的形成深度深。结果, 可以使硅化物 71 的底部到达如 27 所示的 BOX 层 2。由此, 因硅化物 71 的形成深度一定, 故可以抑制主体接触 67 和 SOI 层 3 的连接电阻的离散, 可以抑制半导体元件的电特性的离散。

此外, 若使用本实施方式, 通过改变用来对 SOI 层造成损害的离子注入时的掩模 (上述抗蚀剂图案 56) 图案, 可以有选择地只对与多个主体接触中的特定的主体接触连接的部分造成损害。由此, 可以加深与该特定的主体接触连接的硅化物的形成深度。即, 可以同时形成具有互不相同的连接电阻的主体接触, 可以简化半导体装置的制造工序。

20 <实施方式 8>

图 28 是表示实施方式 8 的半导体装置的结构图。在该图中, 对和图 1 所示相同的要素标上同一符号并省略其说明。

本实施方式在实施方式 1 的半导体装置中, 在接触 61~66 中, 不用金属而使用包含杂质 (例如 10^{22}cm^{-3} 左右) 的多晶硅形成主体接触 61 (接触 62~66 用金属形成)。除此之外的结构, 和实施方式 1 一样。

多晶硅的接触与用钨等金属形成的接触相比, 电阻值高。因此, 能够限制通过主体接触 61 流入主体区 10 和主体区 20 的漏电流, 可以降低半导体装置的功耗。此外, 通过适当调整构成主体接触 61 的多晶硅中包含的杂质浓度, 可以将其电阻设定为所要的值。此外, 因主体接触 61 和 SOI 层 3 的原材料都是硅, 故两者之间可以稳定地连接。因此, 可以抑制主体接触 61 和 SOI 层 3 的连接电阻的离散。

此外，因接触 62~66 是由金属形成的，故其连接电阻不会增加，半导体装置的工作速度特性不会变差。

为了只使主体接触 61 用多晶硅形成，只要分别使用不同的工序形成主体接触 61 和除此之外的接触 62~66 即可。例如，在形成接触 62~66 之前，如图 29 所示，在层间绝缘膜 5 上只形成用于主体接触 61 的接触孔，堆积多晶硅膜 6b 将该接触孔填埋，除去剩下的多晶硅膜 6b，形成主体接触 61。然后，若另外形成接触 62~66，则如图 28 所示，形成只有主体接触 61 是用多晶硅形成的半导体装置。

在图 28 中，像实施方式 1 那样，表示了主体接触 61 贯通元件分离绝缘膜 41 与其下面的薄的 SOI 层 3 连接的结构，但也可以适用例如像实施方式 2 那样，主体接触 61 与元件分离绝缘膜 41 和元件分离绝缘膜 45 之间的厚的 SOI 层 3 连接的结构。图 30 示出了该结构。因主体接触 61 是多晶硅，故不必在与 SOI 层 3 连接的部分形成硅化物，变成和图 10 所示的实施方式 2 的变形例相同的结构。即，在图 30 的半导体装置的形成过程中，如图 11 所示那样，主体接触 61 在元件分离绝缘膜 41 和元件分离绝缘膜 45 之间的 SOI 层 3 的上面也设置硅化物保护膜 51，而该部分不进行硅化物化。

<实施方式 9>

在上面的实施方式中，示出了在贯通元件分离绝缘膜 41 再与其下的 SOI 层 3 连接的主体接触 61 以及与元件分离绝缘膜 41 和元件分离绝缘膜 45 之间的 SOI 层 3 连接的主体接触 67 中只形成其中一方的例子，但也可以如图 31 那样，双方都形成。此外，也可以在 1 个半导体装置上组合具备上述实施方式 1~8 的主体接触中的 2 个或 2 个以上。例如，图 31 就是组合实施方式 1 的主体接触 61 和实施方式 2 的主体接触 67 的例子。

<实施方式 10>

作为使用了主体接触的半导体元件，已知的有经由主体接触使 MOS 晶体管的栅极与主体区电连接的 DTMOS (Dynamic Threshold Voltage Metal-Oxide-Silicon) 晶体管。在上面的实施方式中，通过电连接与 MOS 晶体管 T1 的栅极 12 连接的接触 62 和主体接触 61、67，可以将本发明适用于 DTMOS。

图 32 是表示实施方式 10 的半导体装置的结构图。当将本发明

适用于 DTMOS 时,可以使与栅极 12 连接的接触 62 和与元件分离绝缘膜 41 下面的 SOI 层 3 连接的主体接触 61 一体形成。即,如图 32 所示,可以配设主体接触 61,使其也与栅极 12 连接,主体接触 61 也起接触 62 的作用。可以减少形成接触的个数,有利于半导体装置的高集成化。

<实施方式 11>

实施方式 11 将本发明应适用于 SRAM(Static Random Access Memory: 静态随机存取存储器)。

图 33 是一般的 SRAM 单元的电路图。如该图所示,该 SRAM 单元由 6 个晶体管 Q1~Q6 构成。作为驱动用 NMOS 晶体管的驱动晶体管 Q1、Q2 和作为负载用的 PMOS 晶体管的负载晶体管 Q3、Q4 构成一对反相器。这些反相器相互连接构成触发器电路。接着,由该触发器电路和作为数据传送用的 NMOS 晶体管的存取晶体管 Q5、Q6 构成 1 个 SRAM 单元。字线 WL 与存取晶体管 Q5、Q6 的栅极连接,位线 BL 和 BL 分别与存取晶体管 Q5、Q6 的源极/漏极连接。

图 34 是实施方式 11 的 SRAM 单元的顶视图。该 SRAM 单元形成在形成于 SOI 层上的第 1P 阱区、N 阱区和第 2P 阱区。在这些 P 阱区和 N 阱区上形成由元件分离绝缘膜 114 规定的活性区 121~124。在第 1P 阱区内的活性区 121 形成驱动晶体管 Q1 和存取晶体管 Q5。在第 2P 阱区内的活性区 122 形成驱动晶体管 Q2 和存取晶体管 Q6。在 N 阱区内的活性区 123、124 分别形成负载晶体管 Q3 和 Q4。

在活性区 121~124 上形成栅极 131~134。栅极 131 作为驱动晶体管 Q1 和负载晶体管 Q3 的栅极起作用,栅极 132 作为驱动晶体管 Q2 和负载晶体管 Q4 的栅极起作用,栅极 133、134 分别作为存取晶体管 Q5、Q6 的栅极起作用。通过图 34 那样的布局,因各活性区 121~124 和各栅极 131~134 的形状简单,故适合缩小 SRAM 单元的形成面积。

驱动晶体管 Q1、Q2 的源极区分别经接触 135、136 与接地(GND)线连接。负载晶体管 Q3、Q4 的源极区分别经接触 137、138 与电源(Vdd)线连接。

栅极 131 上的接触 139 也到达负载晶体管 Q4 的漏极区,并经上层布线(未图示)与驱动晶体管 Q2 的漏极区上的接触 140 连接。同样,栅极 132 上的接触 141 也到达负载晶体管 Q3 的漏极区,并经上

层布线（未图示）与驱动晶体管 Q1 的漏极区上的接触 142 连接。

存取晶体管 Q5 的源极/漏极区的一方与驱动晶体管 Q1 的漏极区连接，另一方经接触 143 与位线连接。同样，存取晶体管 Q6 的源极/漏极区的一方与驱动晶体管 Q2 的漏极区连接，另一方经接触 144 与位线连接。

栅极 133、134 分别经接触 145、146 与字线连接。通过上述构成可以得到图 33 所示的 SRAM 单元的电路结构。

在本实施方式中，将本发明适用于驱动晶体管 Q1、Q2 和存取晶体管 Q5、Q6。图 35 是实施方式 11 的 SRAM 单元的剖面图，相当于沿图 34 的 A-A 线的剖面，示出驱动晶体管 Q1 和存取晶体管 Q5 的剖面。再有，为简单起见，省略了对驱动晶体管 Q2 和存取晶体管 Q6 的说明，他们和驱动晶体管 Q1 及存取晶体管 Q5 具有同样的结构。

如图 35 所示，该 SRAM 单元在由硅衬底 111、BOX 层 112、SOI 层 113 构成的 SOI 衬底上形成。由在 SOI 层 113 的上部形成的元件分离绝缘膜 114 规定活性区 121。在活性区 121 的上面形成栅氧化膜 115，栅极 131、133 在其上形成。在多晶硅的栅极 131、133 的上部分别形成硅化物层 131a、133a。

形成层间绝缘膜 150，使其将驱动晶体管 Q1 和存取晶体管 Q5 覆盖。层间绝缘膜 150 内形成的接触 145 在表面具有势垒金属 145，并与上层的字线（未图示）连接。该接触 145 与栅极 133 连接，并且，贯通元件分离绝缘膜 114，还与其下的 SOI 层 113 连接。即，接触 145 具有和实施方式 10（图 32）的主体接触 61 同样的结构。此外，在 SOI 层 113 中与接触 145 的连接部分，与势垒金属 145a 起反应，形成硅化物 151。

在活性区 121 中，栅极 131 下的 P⁻型区是驱动晶体管 Q1 的主体区，栅极 133 下的 P⁻型区是存取晶体管 Q5 的主体区。如图 35 所示，因元件分离绝缘膜 114 是未达到 BOX 层 112 的部分分离，故驱动晶体管 Q1 的主体区和存取晶体管 Q5 的主体区经元件分离绝缘膜 114 下面的 SOI 层 113 相互电连接。

因此，接触 145 与栅极 133 连接，并且，还与存取晶体管 Q5 的主体区及驱动晶体管 Q1 的主体区双方电连接。存取晶体管 Q5 是栅极和主体区电连接的 DTMOS。

根据按照该结构，在字线电位变高的 SRAM 单元驱动时，驱动晶体管 Q1 和存取晶体管 Q5 的主体区的电位（主体电位）也变高。由此，驱动晶体管 Q1 和存取晶体管 Q5 的工作阈值电压降低，可以提高电流驱动能力。从而，可以提高 SRAM 单元的工作速度性能。此外，在字线的电位为 0V 的 SRAM 单元的待命期时，因驱动晶体管 Q1 和存取晶体管 Q5 的主体电位固定在 0V，故可以提高该 SRAM 单元的软件容错能力，可以得到可靠性高的 SRAM。

但是，当对 SRAM 单元的存取晶体管适用 DT MOS 时，当字线电位上升存取晶体管变成 ON 状态时，则在主体区和源漏间的 PN 结加正向偏置，通过主体接触向该部分流入漏电流。因此，在现有的使用了 DT MOS 的 SRAM 中功耗大幅度增加。

在本实施方式中，对主体接触 145 适用上述实施方式 1。即，使该接触 145 和 SOI 层 113 成为肖特基结。由此，字线与驱动晶体管 Q1 以及存取晶体管 Q5 的主体区之间的电阻变高。即，与在字线与驱动晶体管 Q1 和存取晶体管 Q5 的主体区之间插入电阻的情况等效，该 SRAM 的等效电路如图 36 所示。因此，当存取晶体管处于 ON 状态时，保持因连接电阻（图 36 所示的电阻 R）产生的某种程度的电压，可以相应地抑制加在主体区和源漏之间的 PN 结上的电压。结果，可以抑制通过接触 145 流过上述 PN 结的漏电流，可以减轻功耗增大的问题。

此外，经过硅化物 151 使接触 145 和 SOI 层 113 连接，由此，可以实现稳定的连接，可以抑制连接电阻的离散。因此，还可以得到抑制每一个 SRAM 单元的电特性的离散的效果。

再有，在本实施方式中，示出了对 SRAM 的主体接触 145 适用实施方式 1 的例子，但也可以适用实施方式 2~10。由此，也可以提高字线与驱动晶体管 Q1 和存取晶体管 Q5 的主体区之间的电阻，可以抑制漏电流。此外，这时，若在接触 145 和 SOI 层 113 的连接部分形成硅化物，则可以抑制连接电阻的离散，可以抑制每一个 SRAM 单元的电特性的离散。

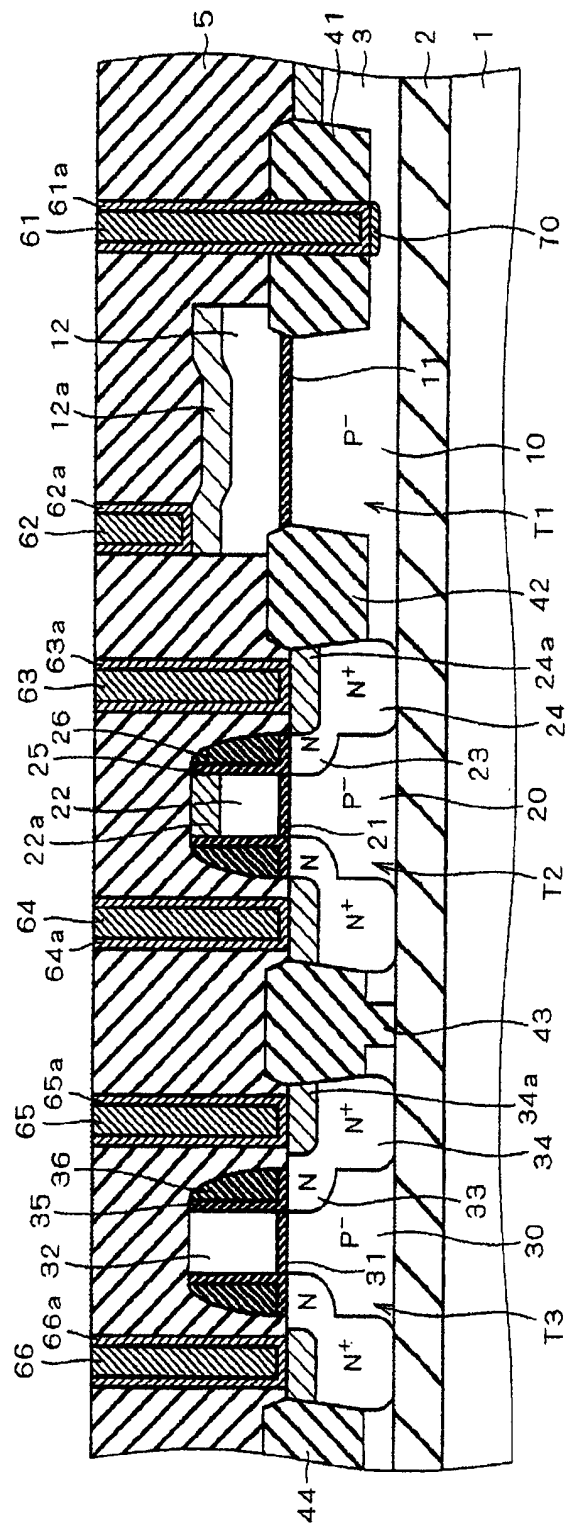


图 1

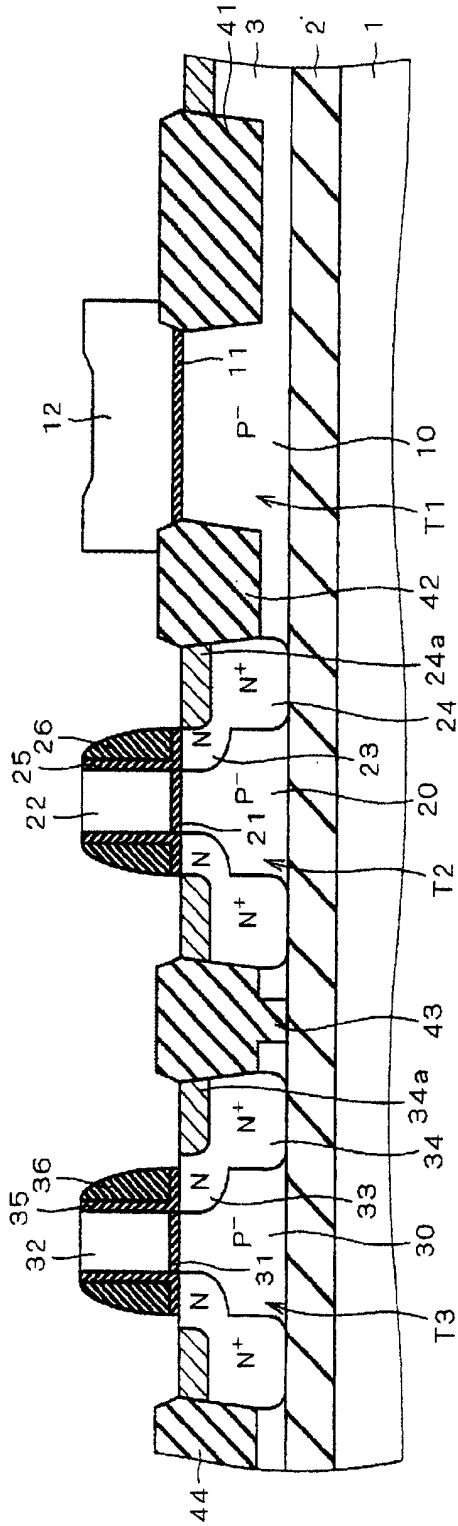


图 2

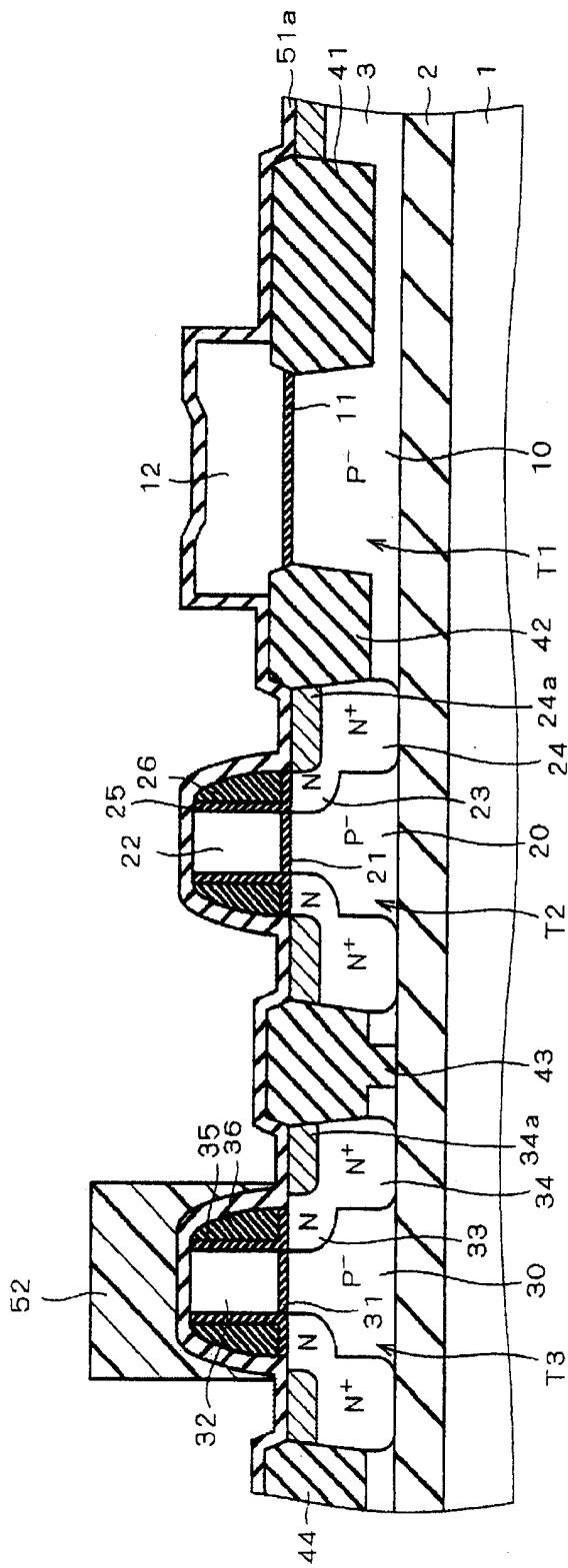
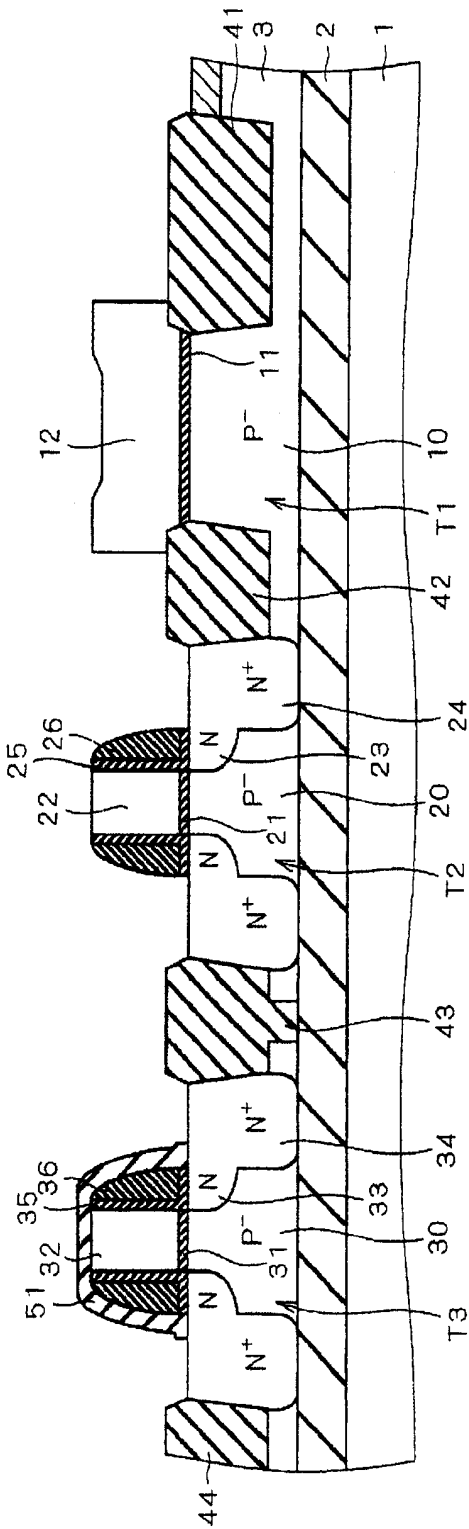


图 3



51: 硅化物保护膜

图 4

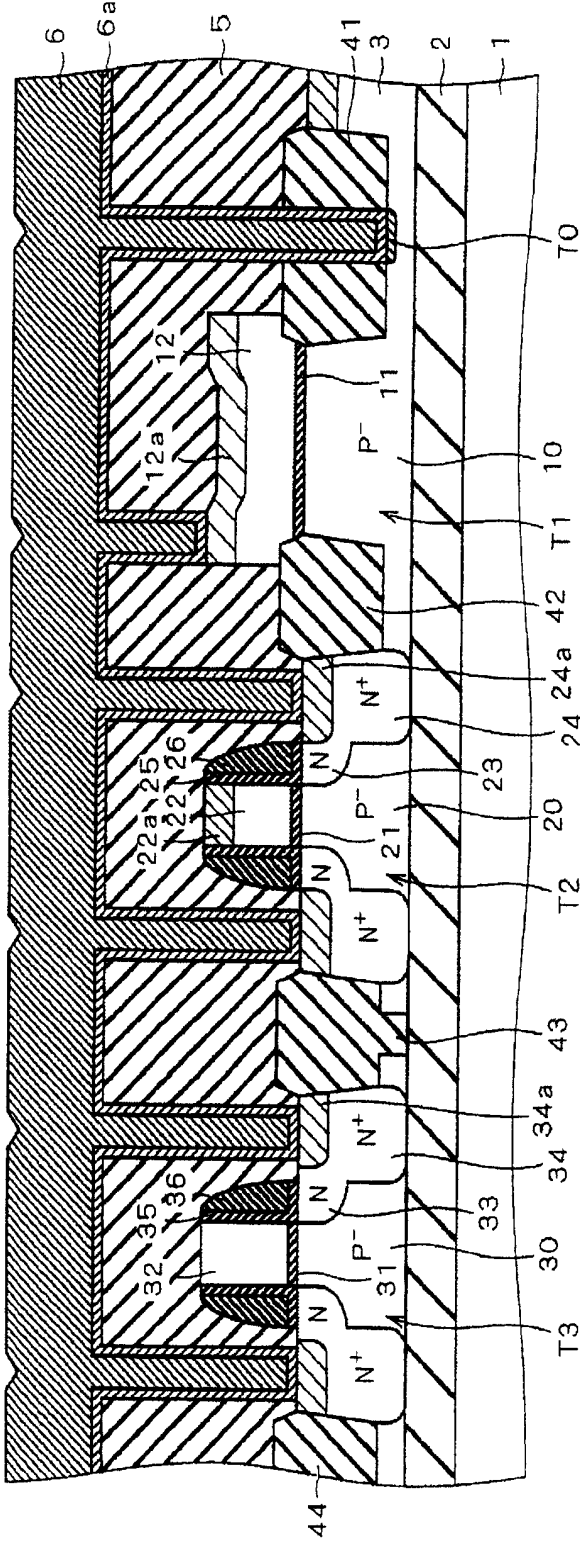


图 8

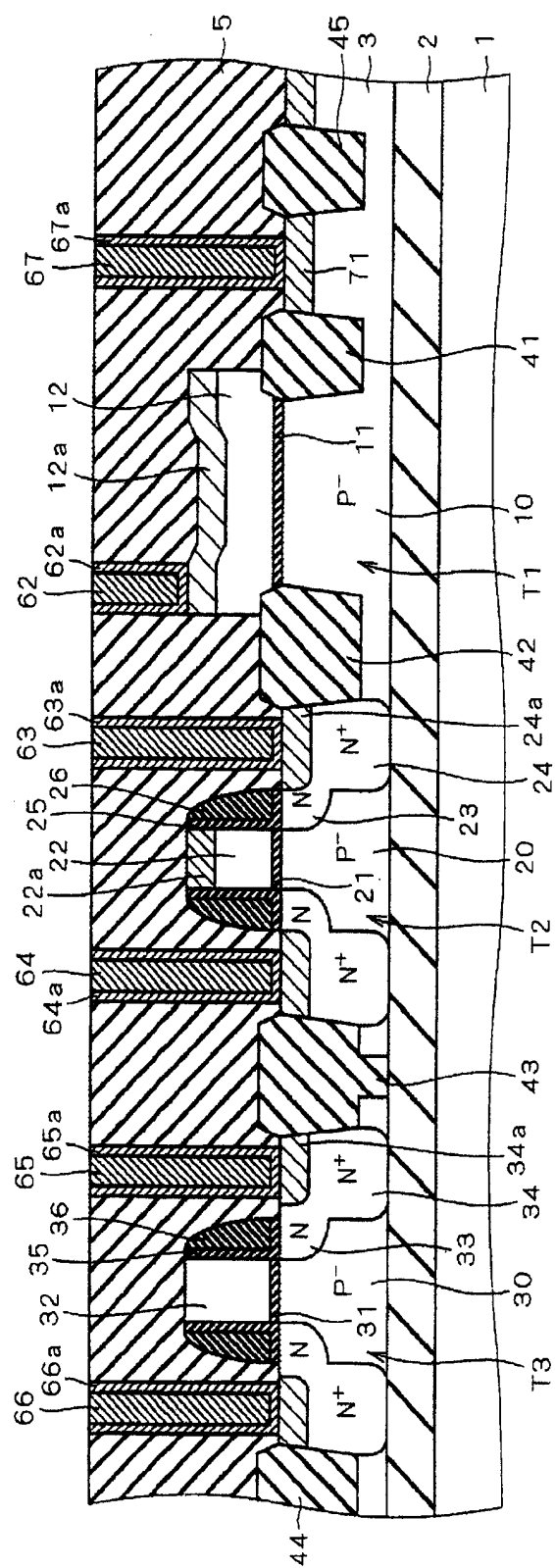


图 9

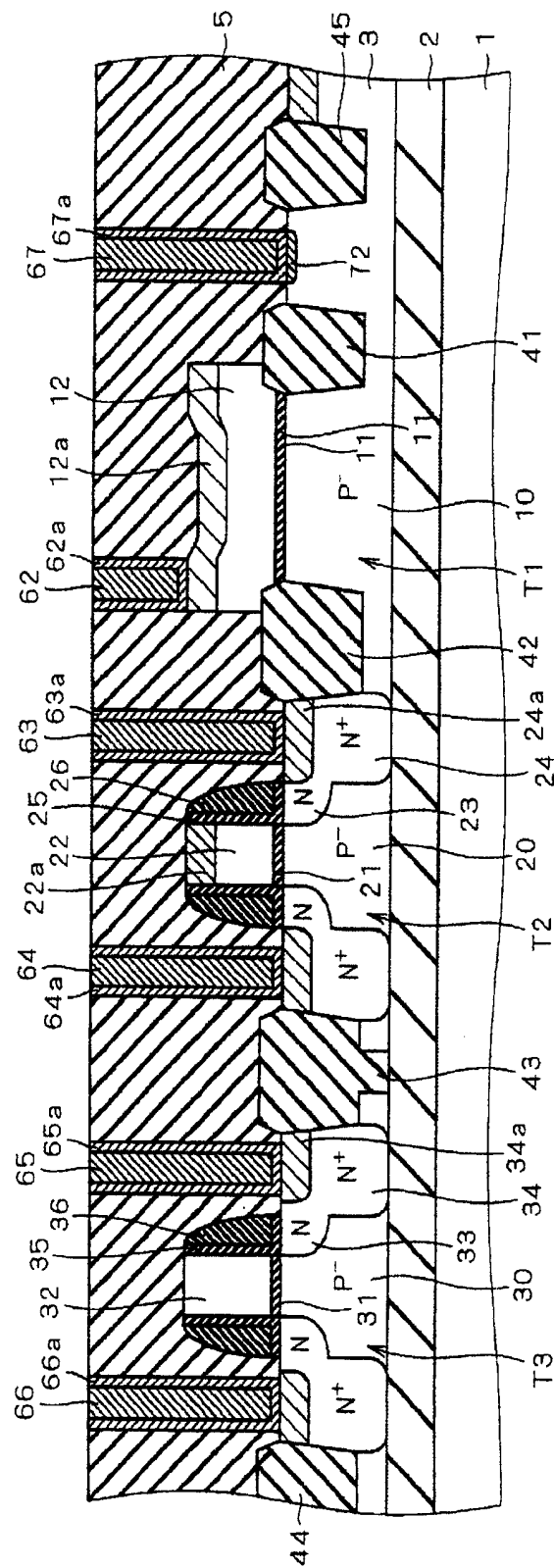


图 10

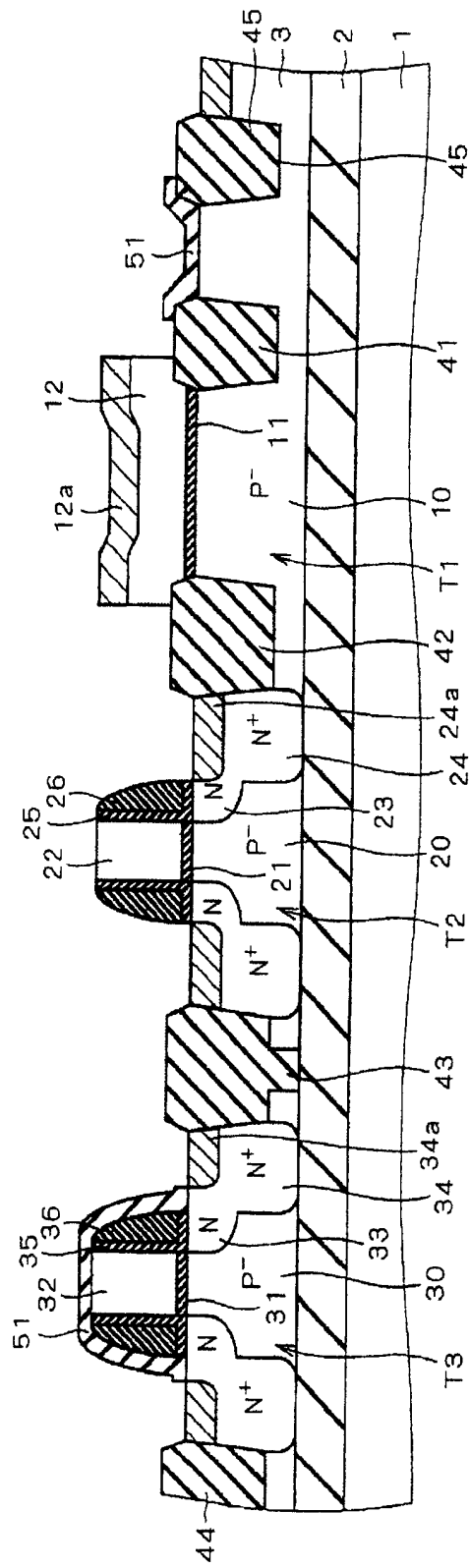


图 11

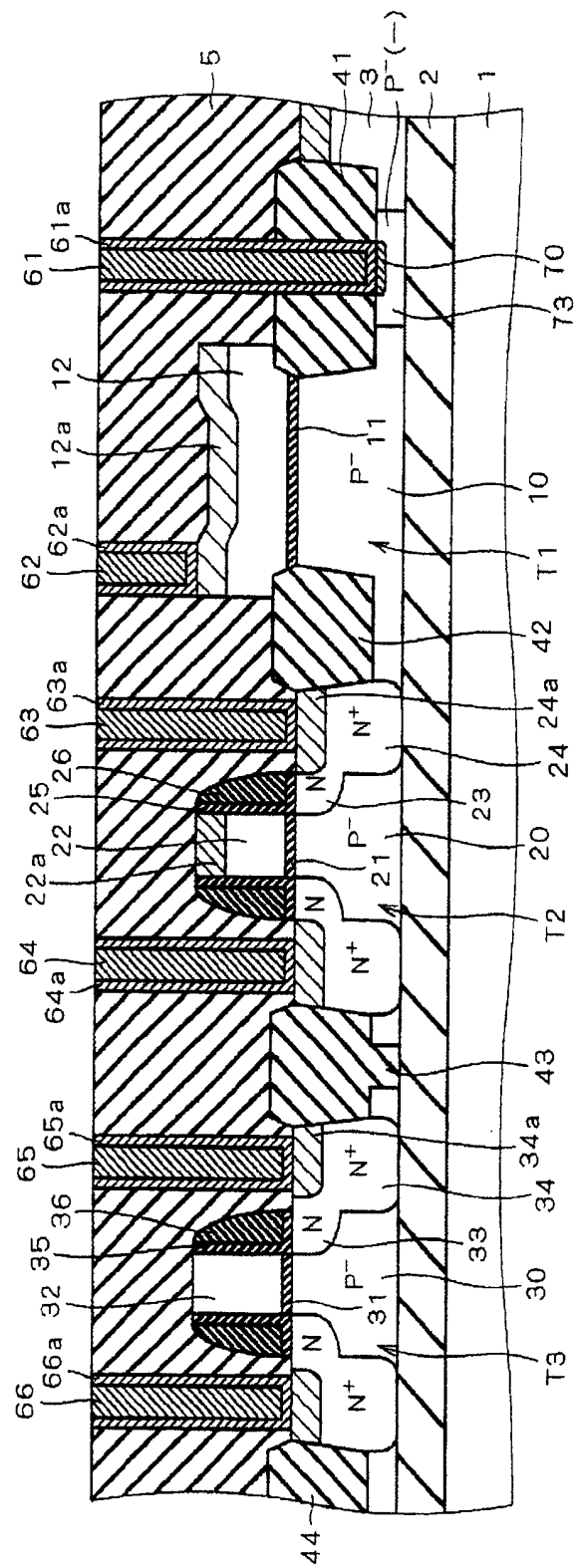


图 12

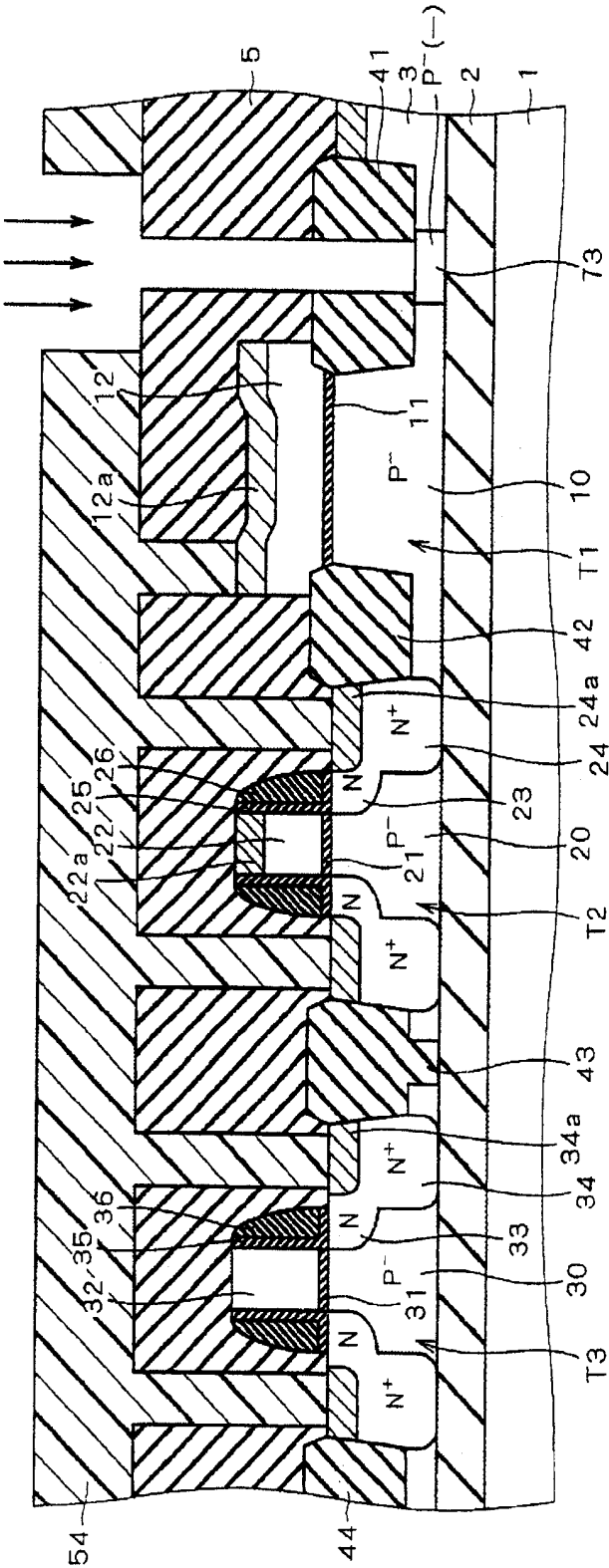


图 13

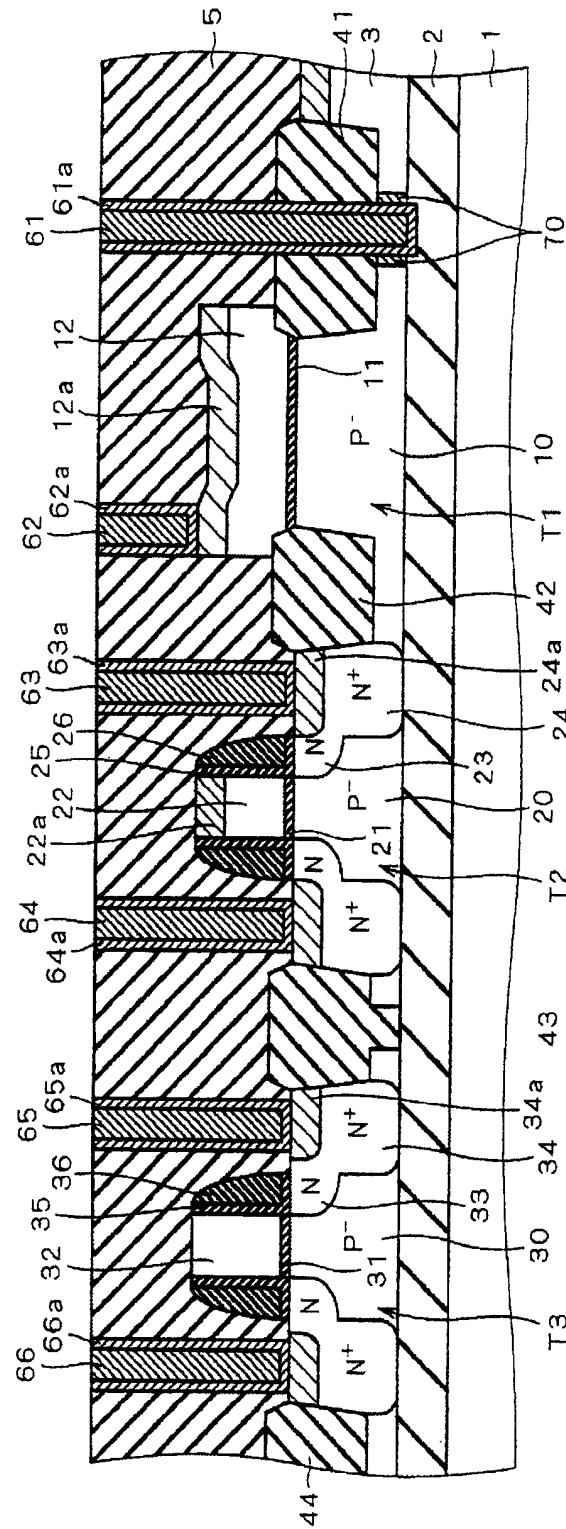


图 14

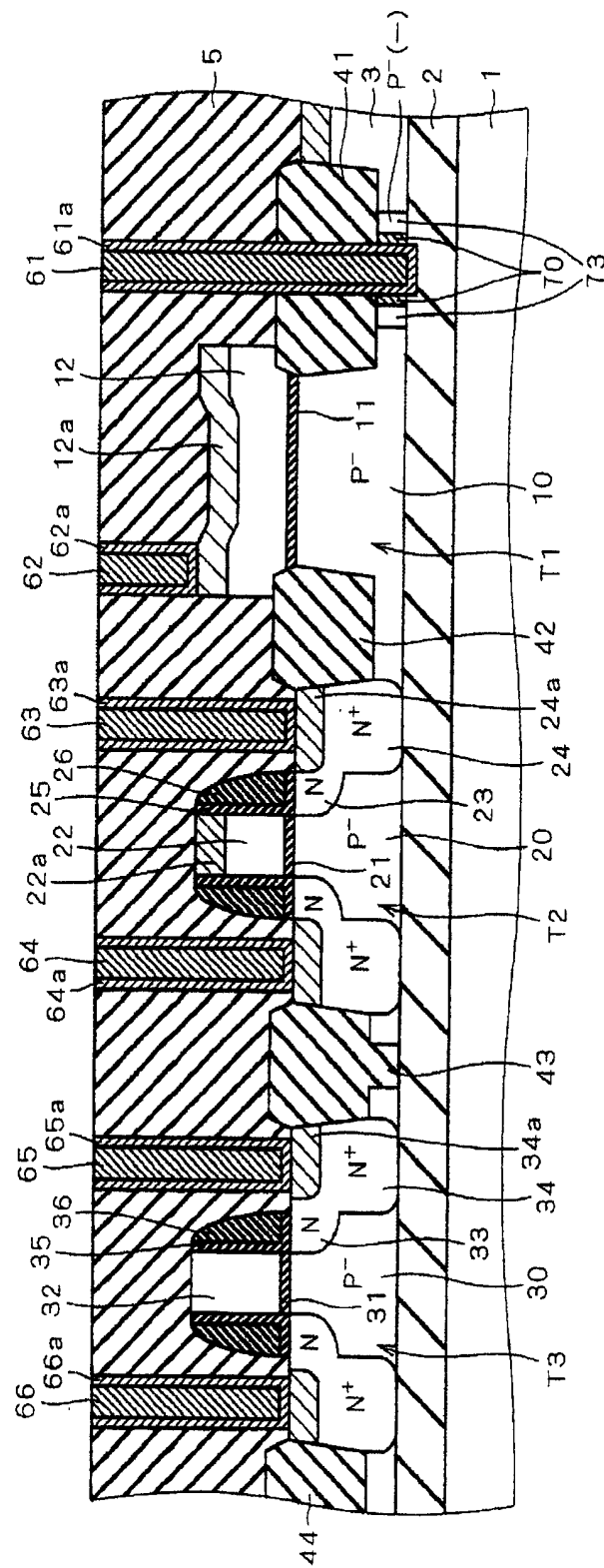


图 15

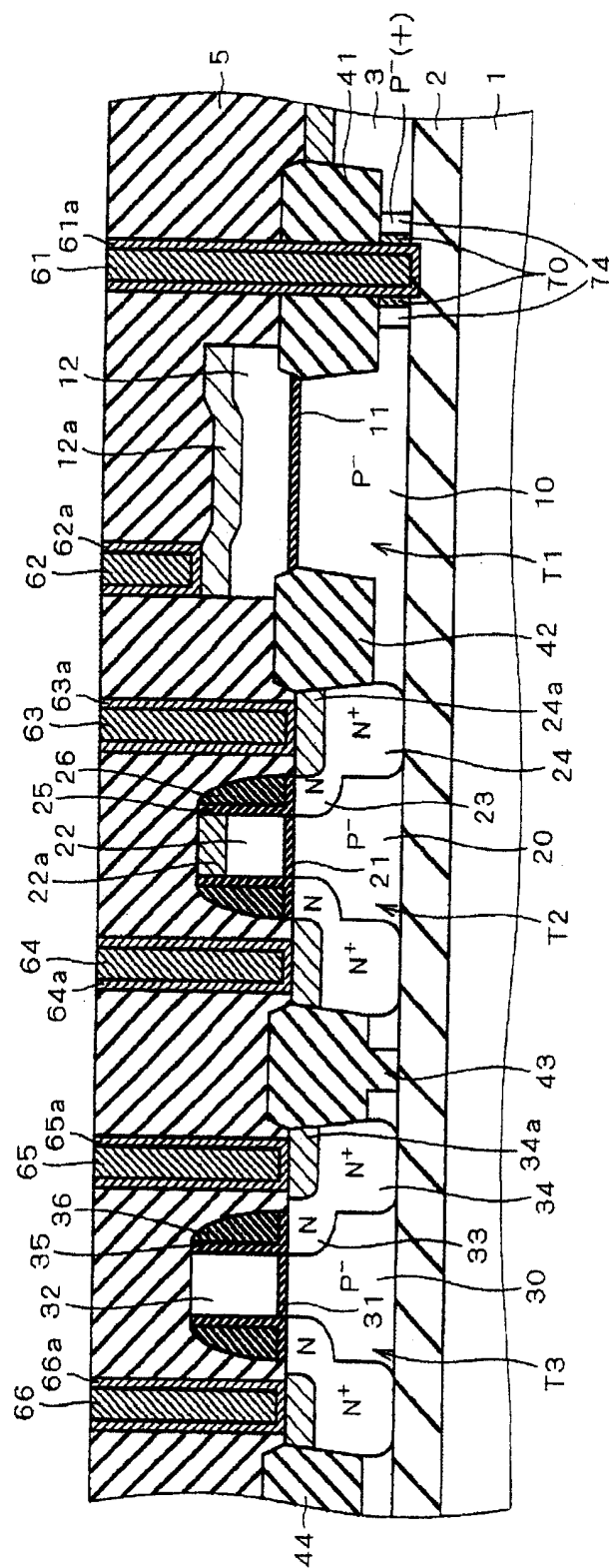


图 16

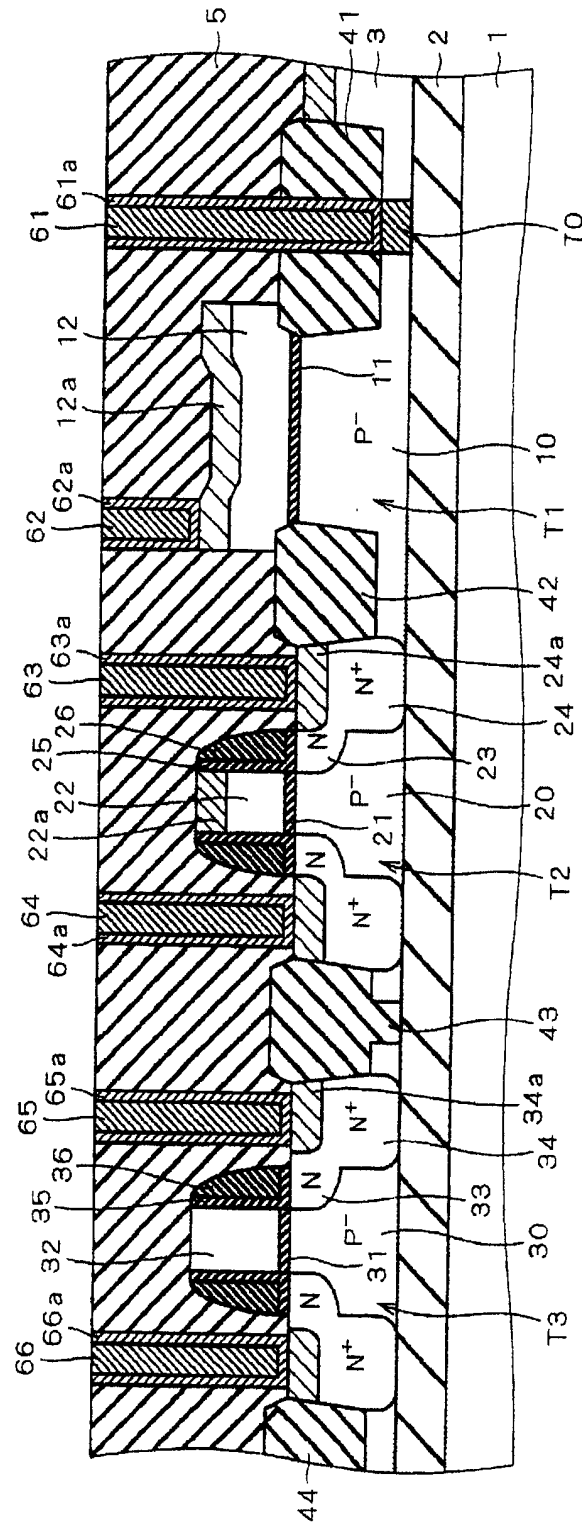


图 17

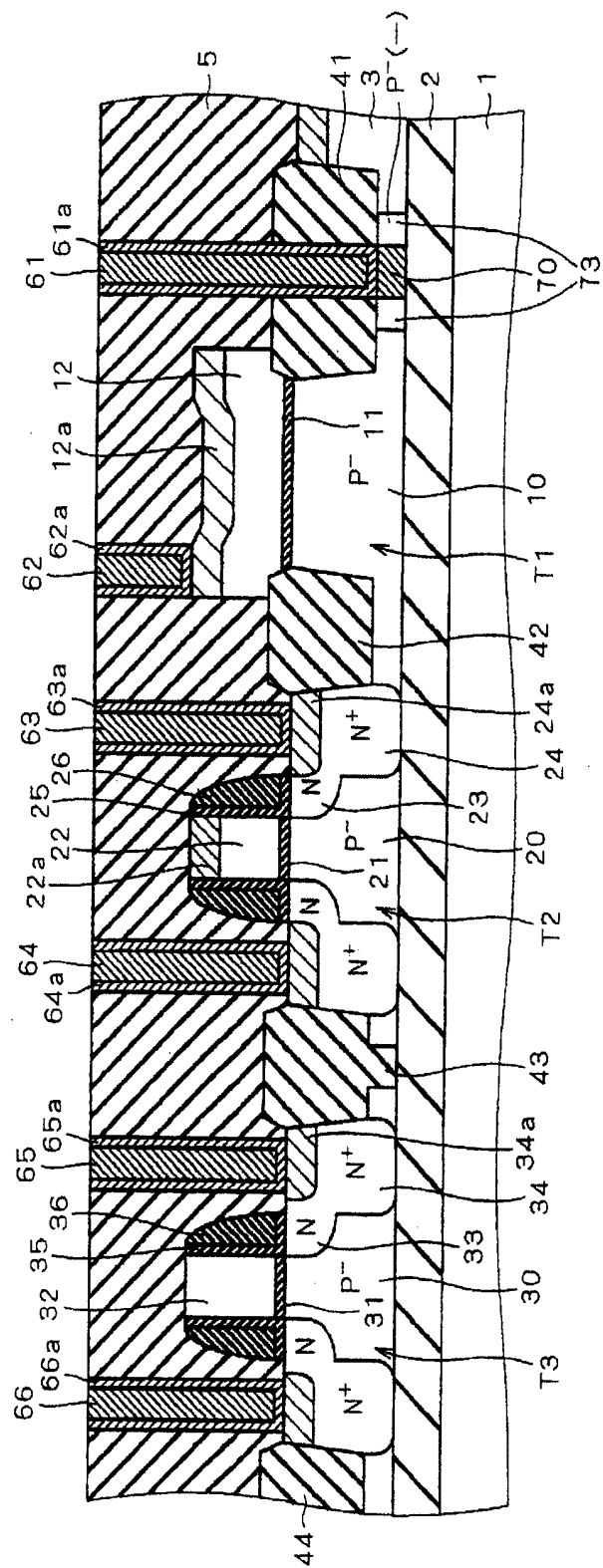


图 18

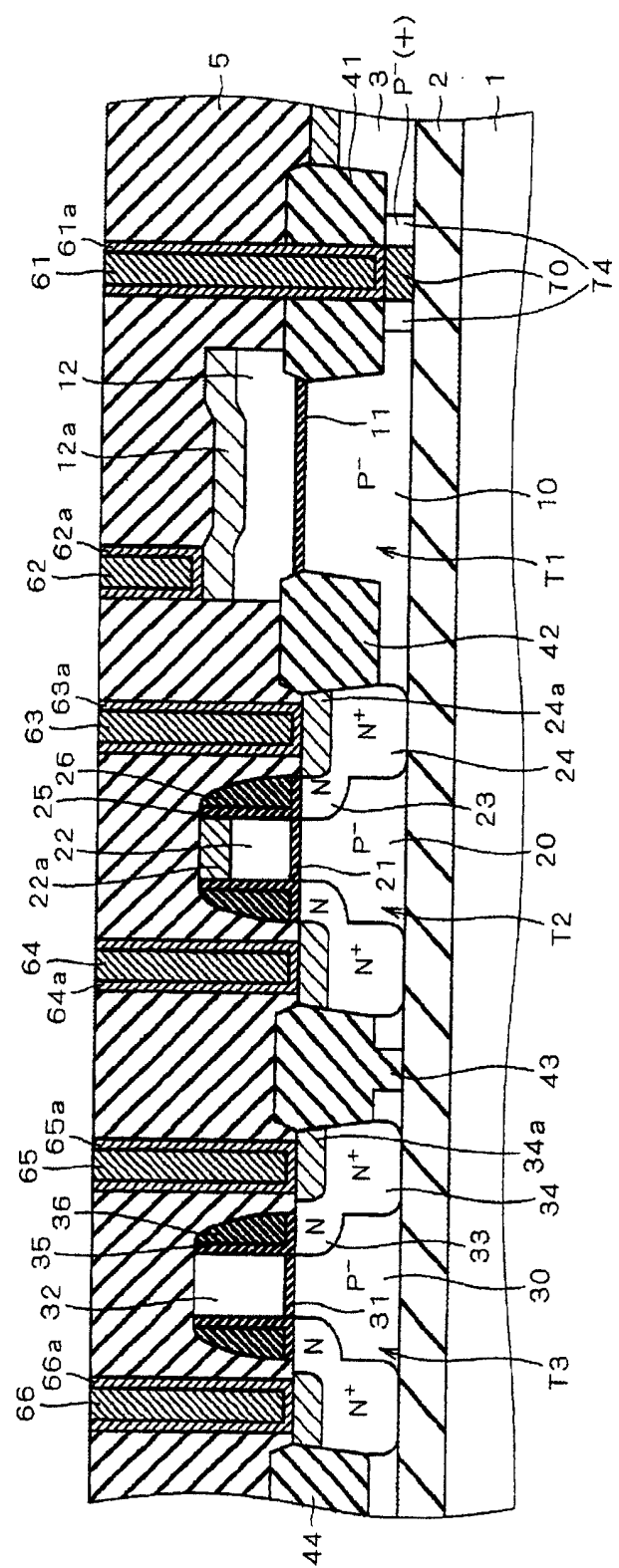


图 19

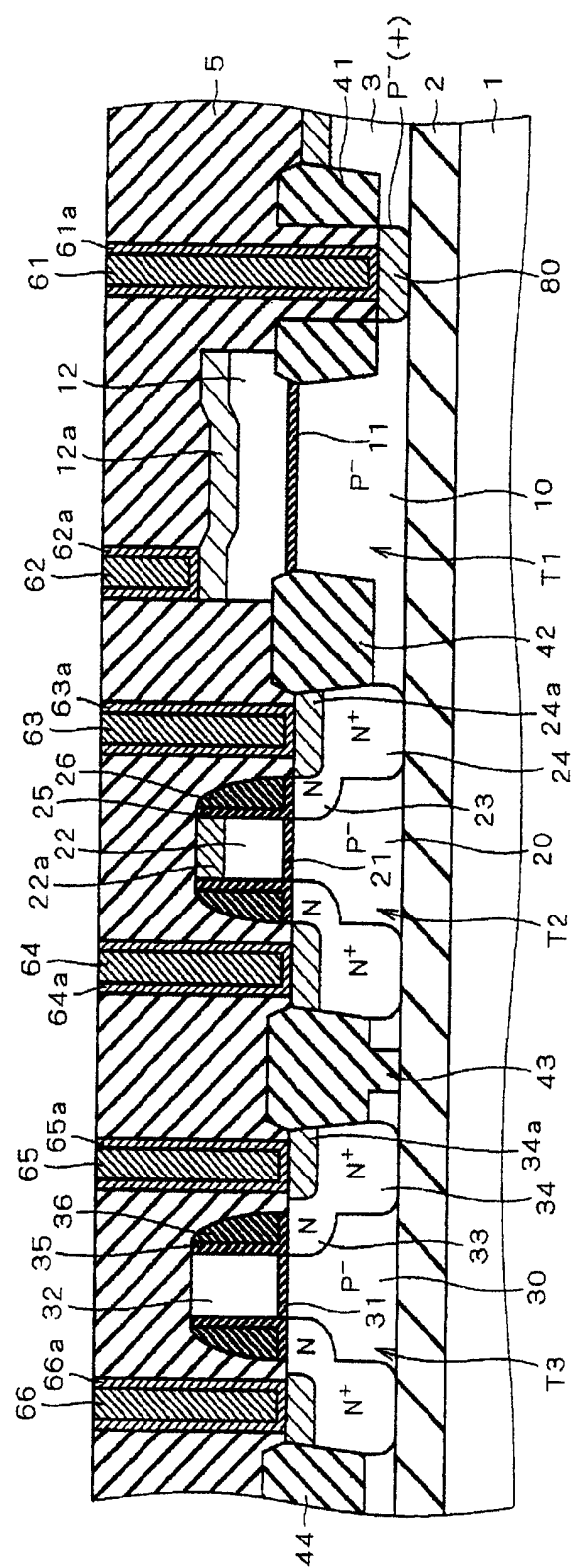


图 20

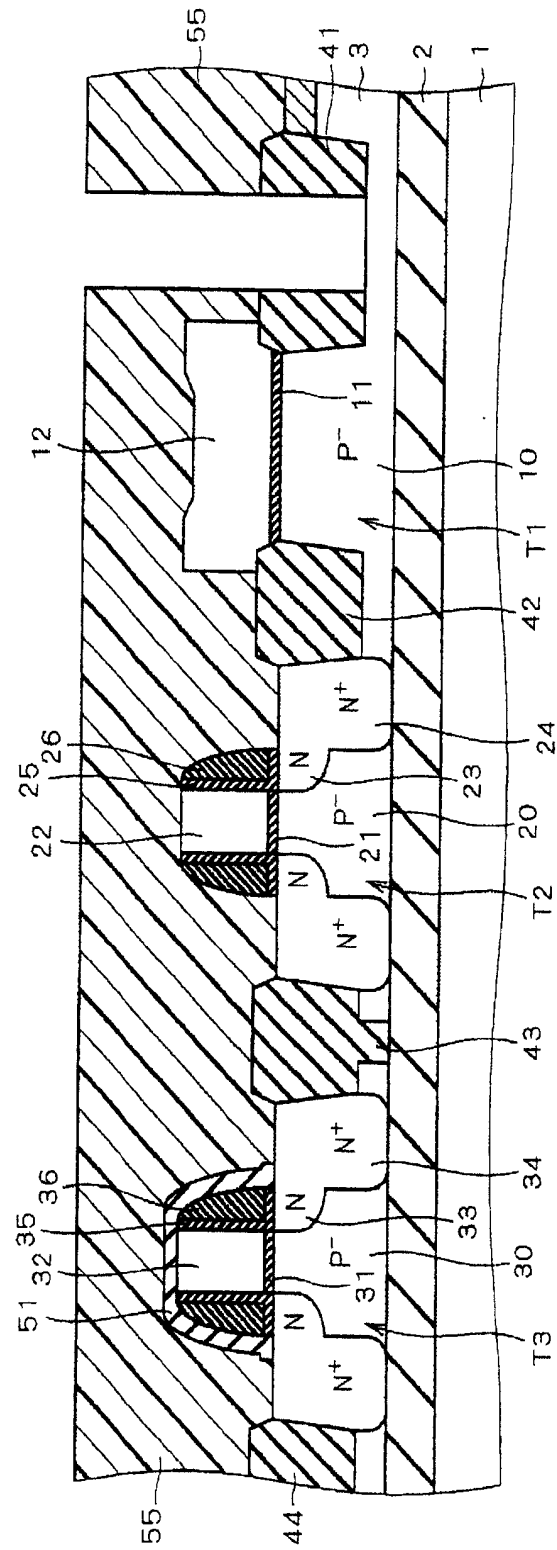


图 21

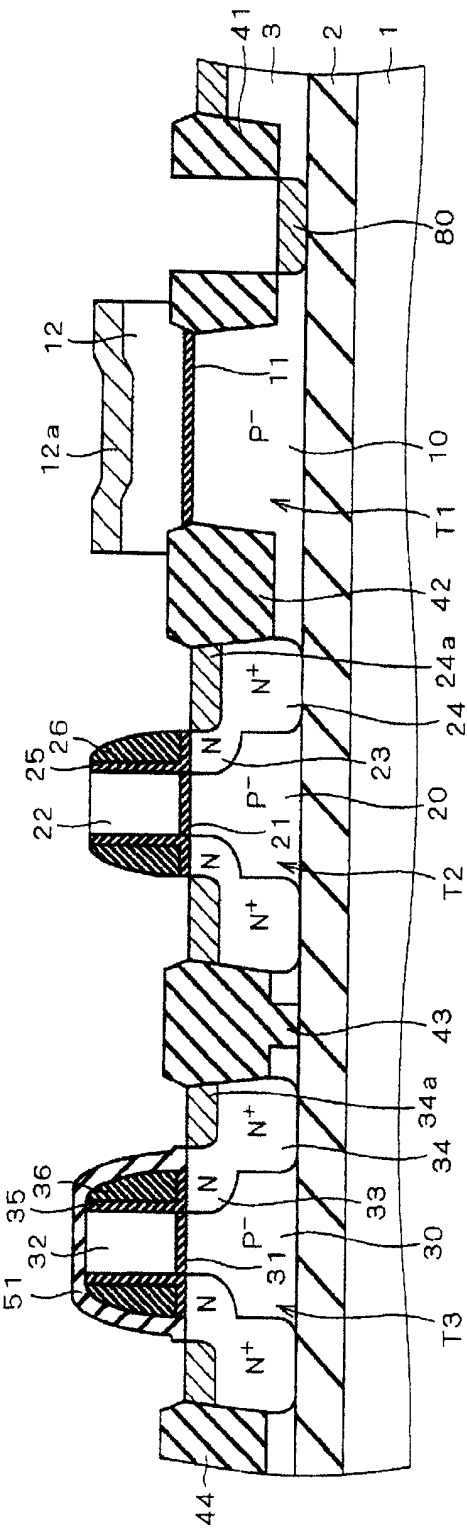


图 22

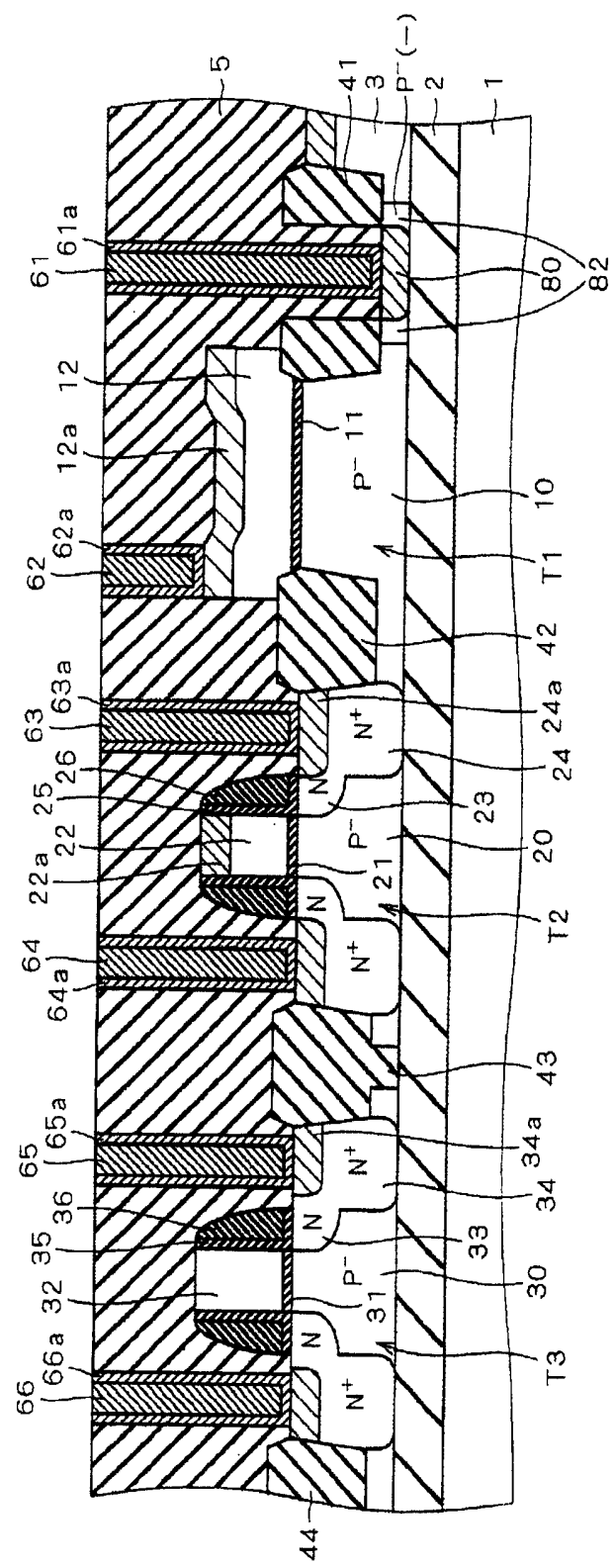


图 23

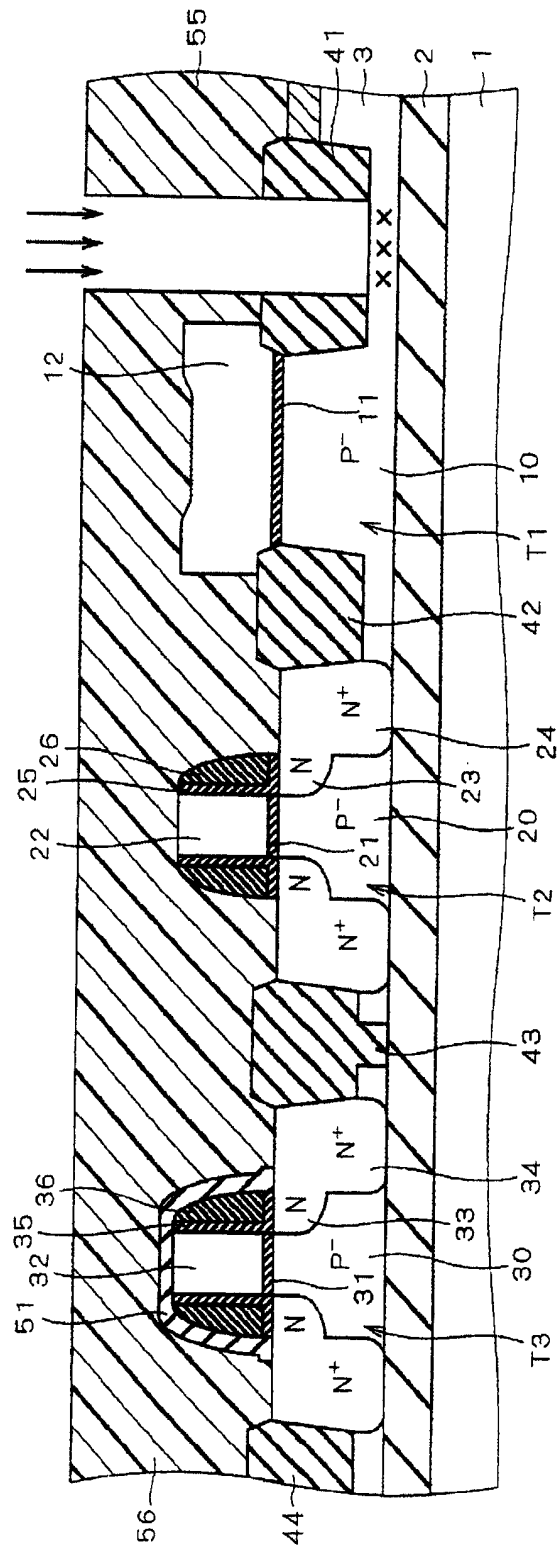


图 25

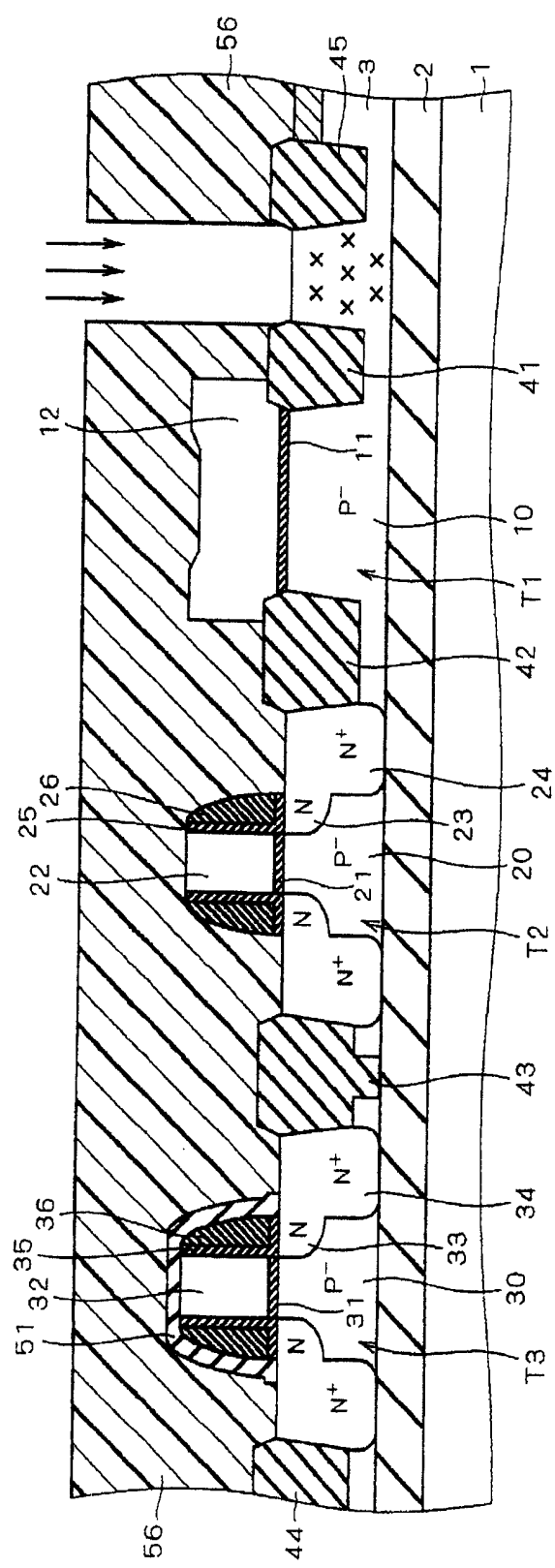


图 26

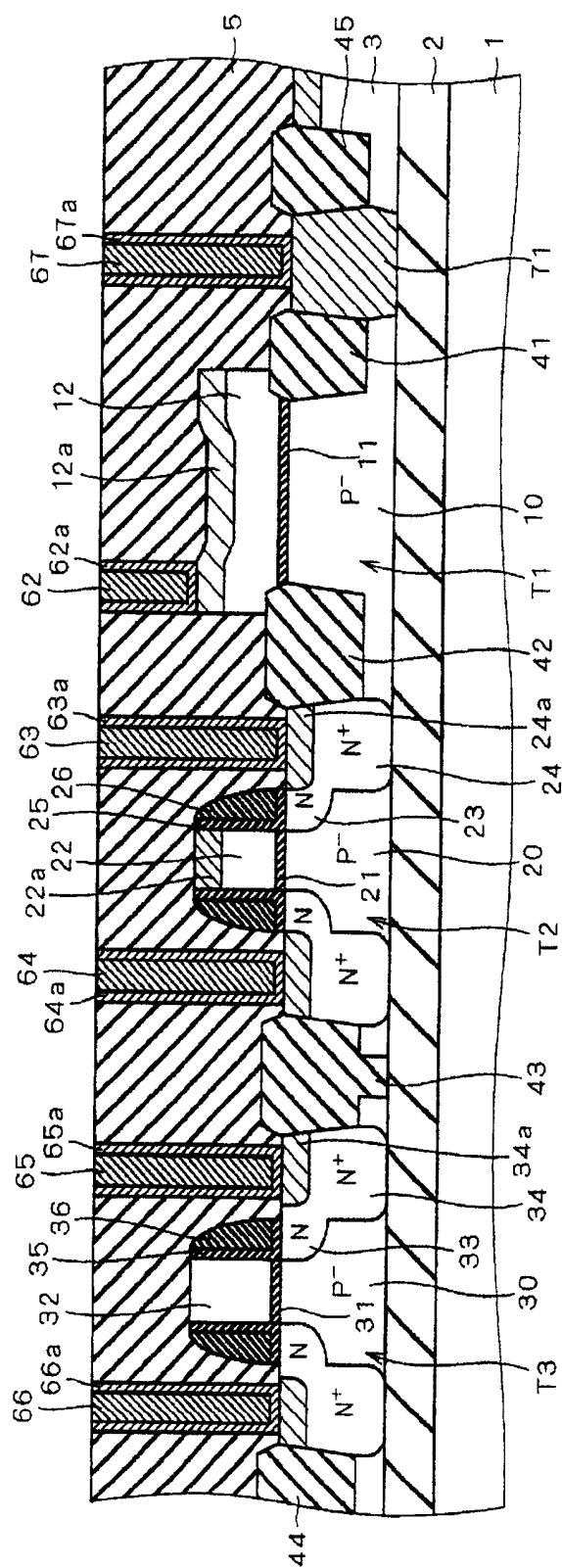


图 27

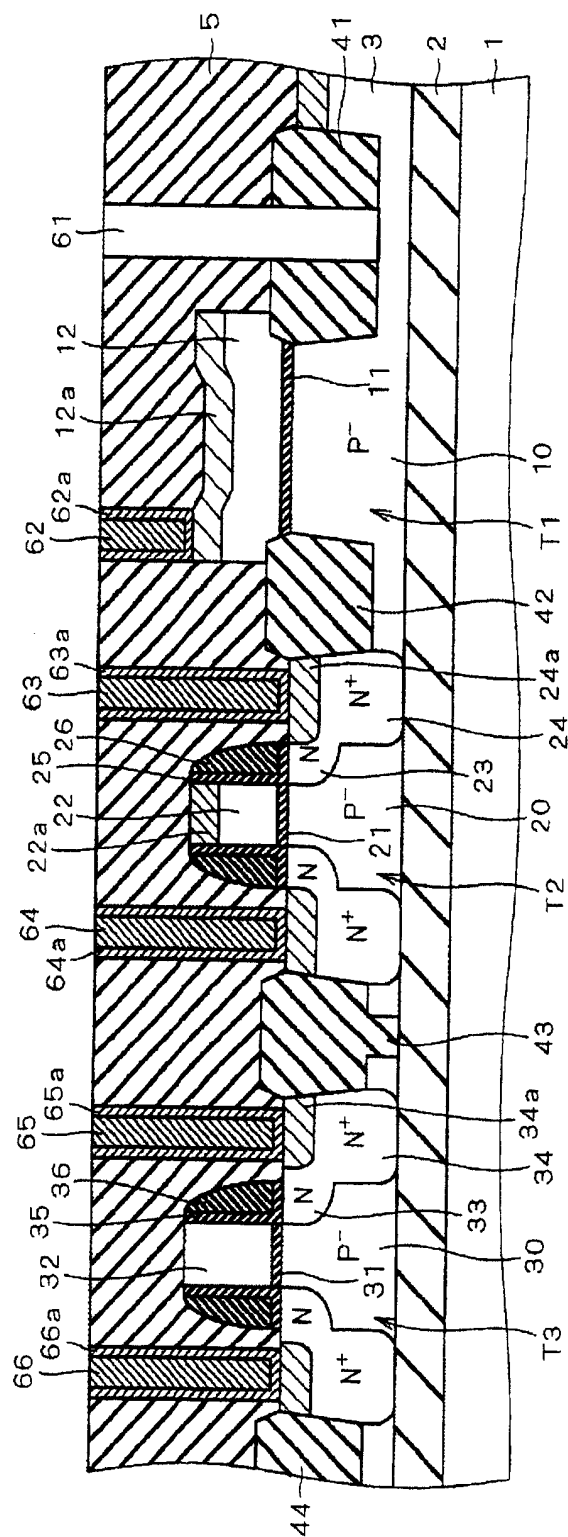


图 28

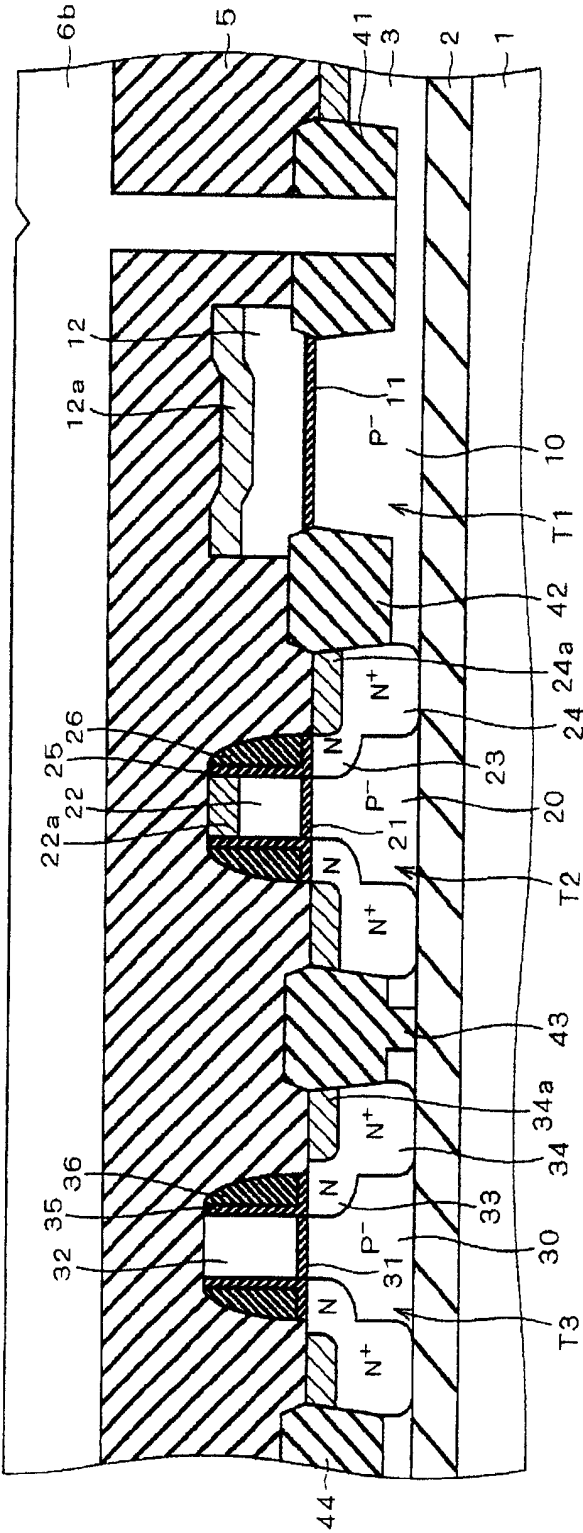


图 29

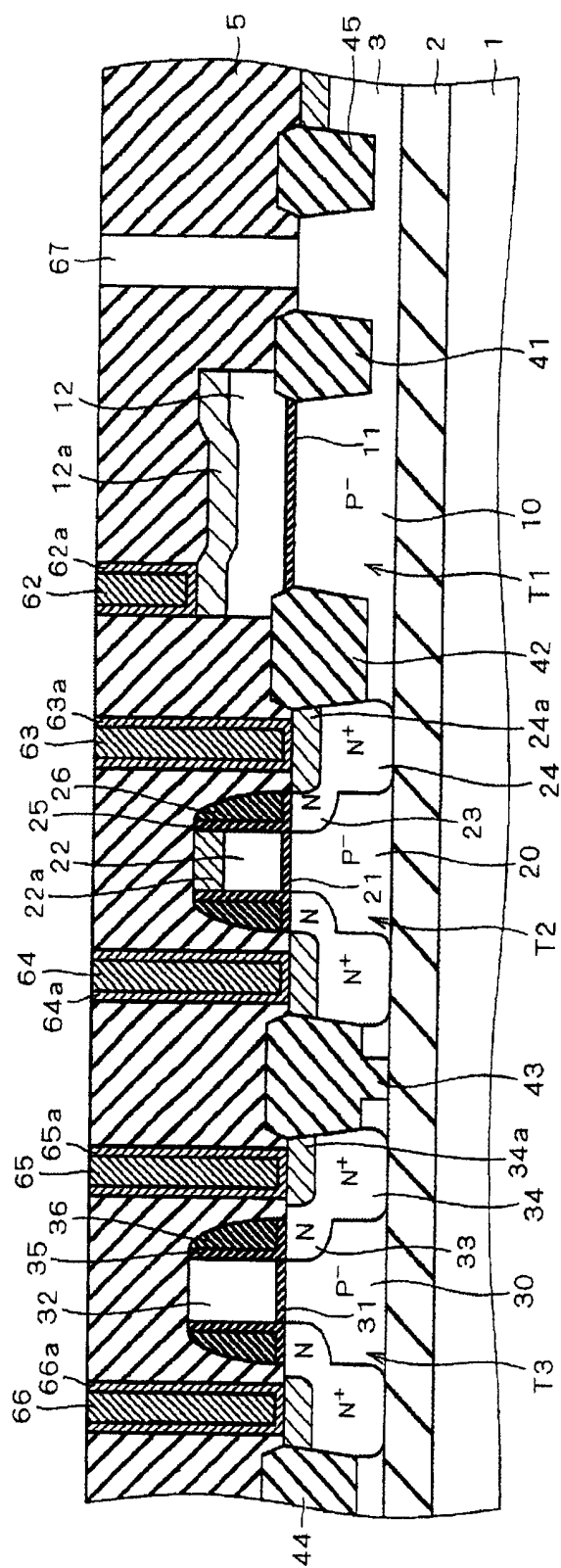


图 30

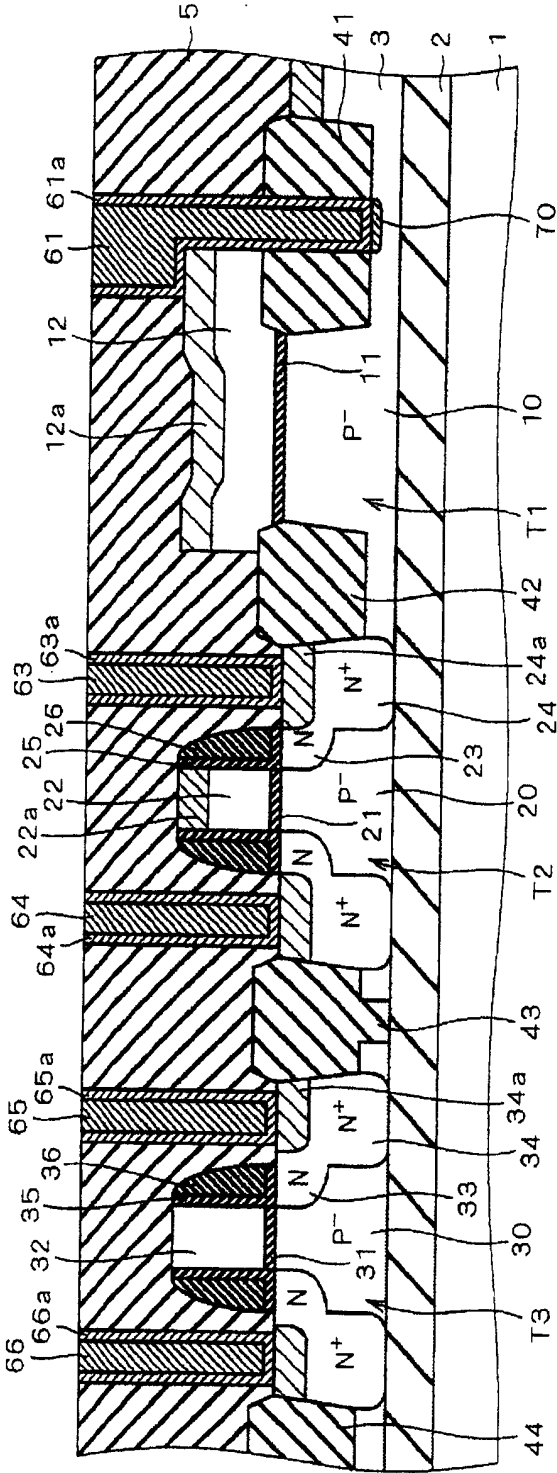


图 32

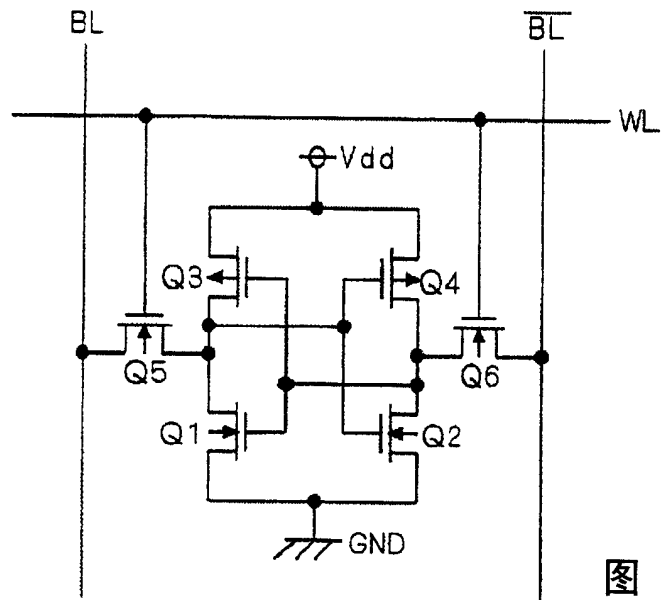


图 33

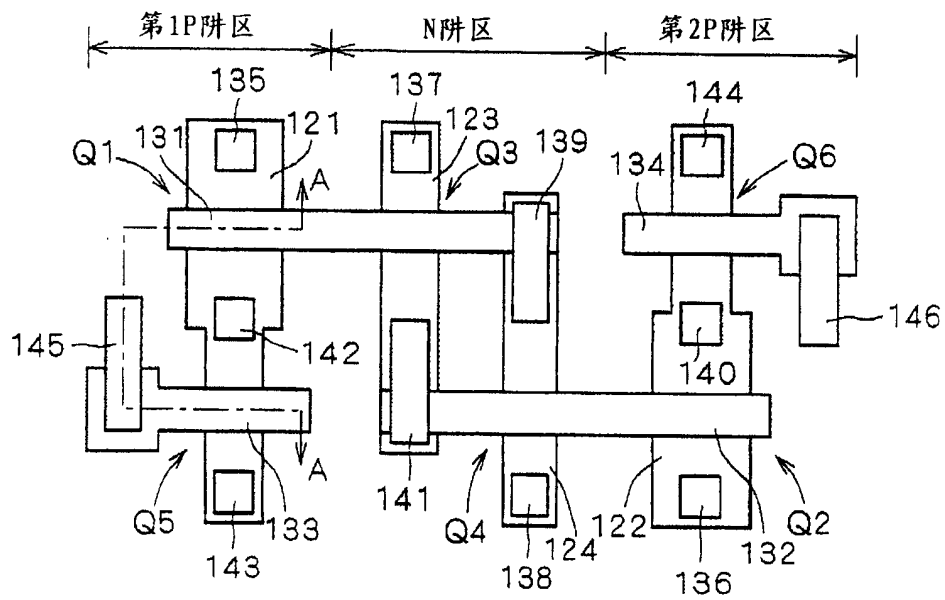


图 34

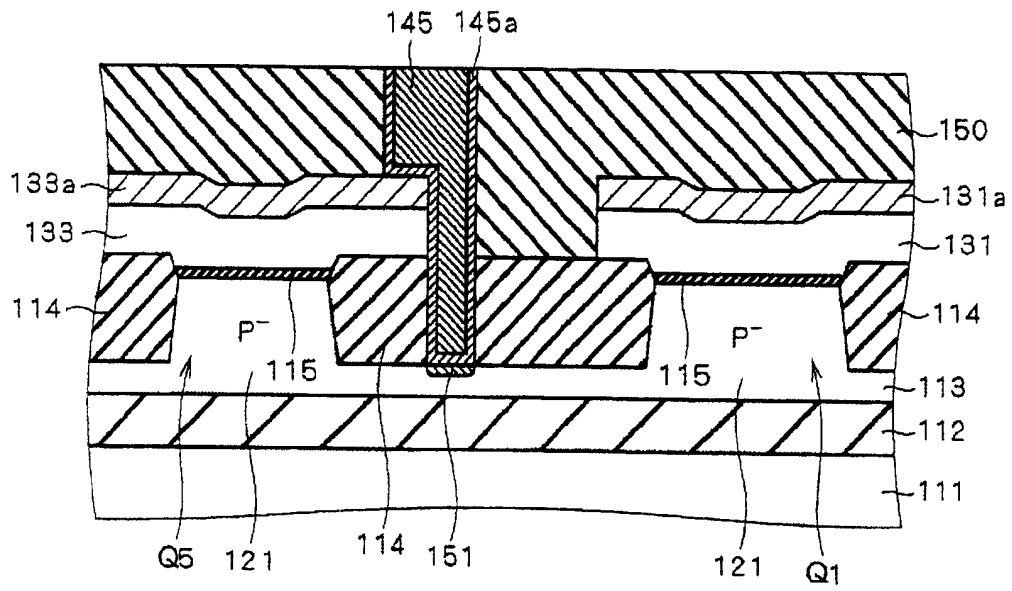


图 35

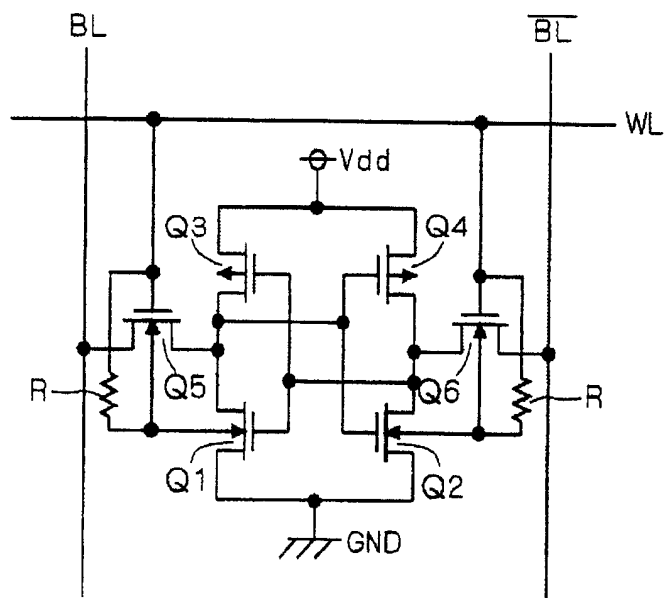


图 36