



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월22일
 (11) 등록번호 10-1709323
 (24) 등록일자 2017년02월16일

(51) 국제특허분류(Int. Cl.)
 H01L 21/8247 (2006.01) H01L 27/115 (2017.01)
 (21) 출원번호 10-2010-0037911
 (22) 출원일자 2010년04월23일
 심사청구일자 2015년03월27일
 (65) 공개번호 10-2011-0118356
 (43) 공개일자 2011년10월31일
 (56) 선행기술조사문헌
 KR1020090012923 A
 KR100800911 B1
 KR1020100036450 A
 US20090050871 A1

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 주홍진
 경기도 수원시 영통구 청명로 100, 청명마을4단지
 아파트 421동 404호 (영통동)
 오재희
 경기도 성남시 분당구 판교역로 72, 803동 1404호
 (백현동, 백현마을)
 (뒷면에 계속)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 7 항

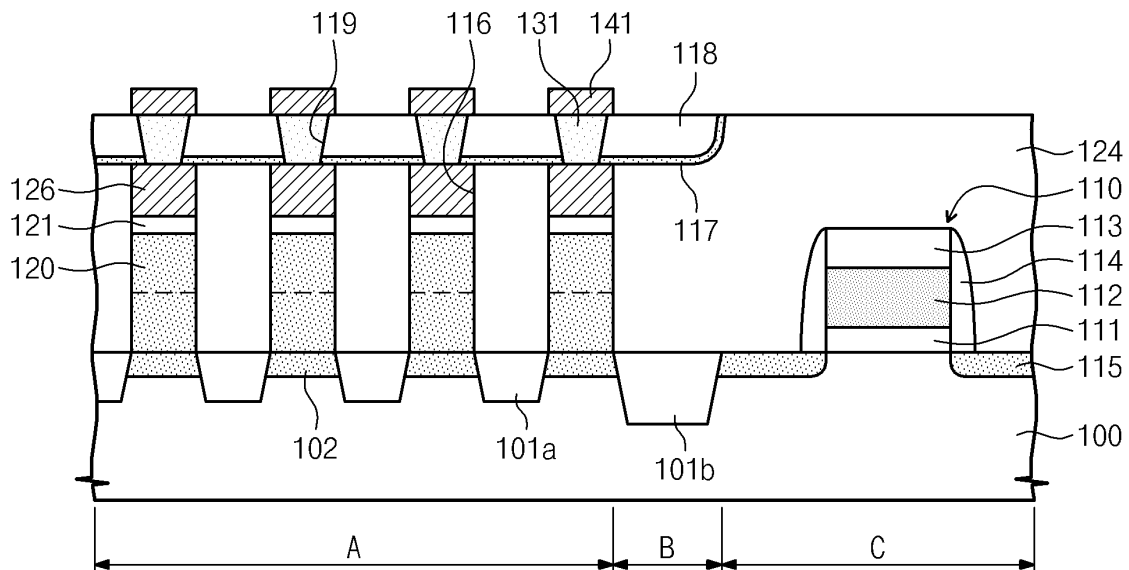
심사관 : 노영철

(54) 발명의 명칭 가변 저항 메모리 소자 및 그 제조 방법

(57) 요약

가변 저항 메모리 소자 및 그 제조 방법을 제공한다. 셀 영역 및 주변 영역을 포함하는 기판을 준비하고, 상기 주변 영역에 주변 트랜지스터를 형성하고, 상기 주변 트랜지스터 및 상기 기판을 덮는 층간 절연막을 형성하고, 상기 층간 절연막을 패터닝하여 상기 셀 영역에 리세스 영역을 형성하고, 상기 리세스 영역 및 상기 층간 절연막 상에 가변 저항 물질막을 형성하고, 상기 주변 영역의 상기 가변 저항 물질막을 제거하고, 평탄화 공정에 의하여 가변 저항 물질 패딩을 형성한다.

대표도 - 도8



(72) 발명자

배병재

경기도 화성시 영통로27번길 53, 신영통현대2차아파트 208동 804호 (반월동)

강명진

경기도 수원시 영통구 덕영대로1555번길 20, 벽적골9단지아파트 롯데아파트 941동 1301호 (영통동)

명세서

청구범위

청구항 1

셀 영역 및 주변 영역을 포함하는 기판을 준비하는 것;
 상기 주변 영역에 주변 트랜지스터를 형성하는 것;
 상기 주변 트랜지스터 및 상기 기판을 덮는 층간 절연막을 형성하는 것;
 상기 층간 절연막을 패터닝하여 상기 셀 영역에 리세스 영역을 형성하는 것;
 상기 리세스 영역 및 상기 층간 절연막 상에 가변 저항 물질막을 형성하는 것;
 상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것; 및
 평탄화 공정에 의하여 가변 저항 물질 패턴을 형성하는 것을 포함하고,
 상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것은 상기 주변 영역의 상기 가변 저항 물질막 및 상기 층간 절연막의 일부를 식각하여 상기 주변 영역의 상면의 높이를 상기 셀 영역의 상면의 높이보다 낮게 하는 것을 포함하는 가변 저항 메모리 소자의 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 층간 절연막을 형성하는 것은 상기 주변 트랜지스터 및 상기 기판을 덮는 제 1 층간 절연막 및 상기 제 1 층간 절연막 상의 제 2 층간 절연막을 형성하는 것을 포함하는 가변 저항 메모리 소자의 제조 방법.

청구항 5

제 4 항에 있어서, 상기 제 1 층간 절연막의 상면은 셀 영역 보다 주변 영역에서 더 높은 것을 특징으로 하는 가변 저항 메모리 소자의 제조 방법.

청구항 6

삭제

청구항 7

제 1 항에 있어서, 상기 리세스 영역 및 상기 층간 절연막 상에 가변 저항 물질막을 형성하는 것은:
 상기 리세스 영역 내에 상기 리세스 영역의 일부를 채우는 가변 저항 물질막을 형성하는 것; 및
 상기 가변 저항 물질막 상에 상기 리세스 영역의 잔부를 채우는 보조 상부 전극을 형성하는 것을 포함하는 가변 저항 메모리 소자의 제조 방법.

청구항 8

제 7 항에 있어서, 상기 보조 상부 전극을 형성하는 것은:
 상기 가변 저항 물질막 상에 상기 리세스 영역을 채우는 보조 상부 전극층을 형성하는 것; 및

평탄화 공정을 수행하여 상기 리세스 영역 내에 제공되는 보조 상부 전극을 형성하는 것을 포함하는 가변 저항 메모리 소자의 제조 방법.

청구항 9

셀 영역, 주변 영역 및 상기 셀 영역과 상기 주변 영역 사이의 경계 영역을 포함하는 기판을 준비하는 것;

상기 주변 영역에 주변 트랜지스터를 형성하는 것;

상기 주변 트랜지스터 및 상기 기판을 덮는 층간 절연막을 형성하는 것;

상기 층간 절연막을 패터닝하여 상기 셀 영역에 리세스 영역을 형성하는 것;

상기 리세스 영역 및 상기 층간 절연막 상에 가변 저항 물질막을 형성하는 것;

상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것; 및

평탄화 공정에 의하여 가변 저항 물질 패턴을 형성하는 것을 포함하고,

상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것은 상기 주변 영역의 상기 가변 저항 물질막 및 상기 층간 절연막의 일부를 식각하여 상기 주변 영역의 상면의 높이를 상기 셀 영역의 상면의 높이보다 낮게 하는 것을 포함하는 가변 저항 메모리 소자의 제조 방법.

청구항 10

제 9 항에 있어서, 상기 평탄화 공정에 의하여 상기 경계 영역의 상기 가변 저항 물질막이 제거되는 것을 특징으로 하는 가변 저항 메모리 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 가변 저항 메모리 소자에 관한 것으로, 더욱 상세하게는 셀 영역 및 주변 영역을 갖는 가변 저항 메모리 소자에 관한 것이다.

배경 기술

[0002] 반도체 소자들은 기억 소자 및 논리 소자로 구분될 수 있다. 기억 소자는 데이터를 저장하는 소자이다. 일반적으로, 반도체 메모리 장치는 크게 휘발성(volatile) 메모리 장치와, 비휘발성(nonvolatile) 메모리 장치로 구분될 수 있다. 휘발성 메모리 장치는 전원의 공급이 중단되면, 저장된 데이터가 소멸하는 메모리 장치로서, 예를 들어 DRAM(Dynamic Random Access Memory) 및 SRAM(Static Random Access Memory) 등이 있다. 그리고 비휘발성 메모리 장치는 전원의 공급이 중단되더라도 저장된 데이터가 소멸되지 않는 메모리 장치로서, 예를 들어, PROM(Programmable ROM), EPROM(Erasable PROM), EEPROM(Electrically EPROM), 플래시 메모리 장치(Flash Memory Device) 등이 있다.

[0003] 또한, 최근에는 반도체 메모리 장치의 고성능화 및 저전력화 추세에 맞추어, FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory) 및 PRAM(Phase-Change Random Access Memory)과 같은 차세대 반도체 메모리 장치들이 개발되고 있다. 이러한 차세대 반도체 메모리 장치들을 구성하는 물질들은 전류 또는 전압에 따라, 그 저항값이 달라지며, 전류 또는 전압 공급이 중단되더라도 저항값을 그대로 유지하는 특성을 갖는다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 전기적 특성 및 신뢰성이 향상된 가변 저항 메모리 소자 및 그 제조 방법을 제공하는데 있다.

[0005] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0006] 상술한 기술적 과제들을 해결하기 위한 가변 저항 메모리 소자의 제조 방법을 제공한다. 이 방법은 셀 영역 및 주변 영역을 포함하는 기판을 준비하는 것, 상기 주변 영역에 주변 트랜지스터를 형성하는 것, 상기 주변 트랜지스터 및 상기 기판을 덮는 층간 절연막을 형성하는 것, 상기 층간 절연막을 패터닝하여 상기 셀 영역에 리세스 영역을 형성하는 것, 상기 리세스 영역 및 상기 층간 절연막 상에 가변 저항 물질막을 형성하는 것, 상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것, 및 평탄화 공정에 의하여 가변 저항 물질 패턴을 형성하는 것을 포함할 수 있다.
- [0007] 일 실시예에 있어서, 상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것은 상기 주변 영역 내의 상기 층간 절연막의 일부를 제거하는 것을 포함할 수 있다.
- [0008] 일 실시예에 있어서, 상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것은 상기 주변 영역의 상기 가변 저항 물질막 및 상기 층간 절연막의 일부를 식각하여 상기 주변 영역의 상면의 높이와 상기 셀 영역의 상면의 높이를 실질적으로 동일하게 하는 것을 포함할 수 있다.
- [0009] 일 실시예에 있어서, 상기 층간 절연막을 형성하는 것은 상기 주변 트랜지스터 및 상기 기판을 덮는 제 1 층간 절연막 및 상기 제 1 층간 절연막 상의 제 2 층간 절연막을 형성하는 것을 포함할 수 있다.
- [0010] 일 실시예에 있어서, 상기 제 1 층간 절연막의 상면은 셀 영역 보다 주변 영역에서 더 높은 것을 특징으로 한다.
- [0011] 일 실시예에 있어서, 상기 셀 영역의 제 1 층간 절연막에 상기 기판을 노출하는 오프닝을 형성하는 것을 더 포함할 수 있다.
- [0012] 일 실시예에 있어서, 상기 오프닝 내에 다이오드를 형성하는 것, 및
- [0013] 상기 오프닝 내의 상기 다이오드 상에 하부 전극을 형성하는 것을 더 포함할 수 있다.
- [0014] 일 실시예에 있어서, 상기 하부 전극을 형성하는 것은 상기 제 1 층간 절연막 상에 상기 오프닝을 채우는 하부 전극층을 형성하는 것, 및 상기 하부 전극층에 평탄화 공정을 수행하는 것을 포함할 수 있다.
- [0015] 일 실시예에 있어서, 상기 층간 절연막을 패터닝하여 리세스 영역을 형성하는 것은 상기 제 2 층간 절연막을 패터닝하여 상기 하부 전극의 상면을 노출하는 리세스 영역을 형성하는 것을 특징으로 한다.
- [0016] 일 실시예에 있어서, 상기 주변 영역 상의 상기 가변 저항 물질막의 두께는 상기 셀 영역 상의 상기 가변 저항 물질막의 두께 보다 더 두꺼운 것을 특징으로 한다.
- [0017] 일 실시예에 있어서, 상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것은 상기 주변 영역의 상기 가변 저항 물질막 및 상기 층간 절연막의 일부를 식각하여 상기 주변 영역의 상면의 높이를 상기 셀 영역의 상면의 높이 보다 낮게 하는 것을 포함한다.
- [0018] 일 실시예에 있어서, 상기 리세스 영역 및 상기 층간 절연막 상에 가변 저항 물질막을 형성하는 것은 상기 리세스 영역 내에 상기 리세스 영역의 일부를 채우는 가변 저항 물질막을 형성하는 것, 및 상기 가변 저항 물질막 상에 상기 리세스 영역의 잔부를 채우는 보조 상부 전극을 형성하는 것을 포함한다.
- [0019] 일 실시예에 있어서, 상기 보조 상부 전극을 형성하는 것은 상기 가변 저항 물질막 상에 상기 리세스 영역을 채우는 보조 상부 전극층을 형성하는 것, 및 평탄화 공정을 수행하여 상기 리세스 영역 내에 제공되는 보조 상부 전극을 형성하는 것을 포함할 수 있다.
- [0020] 일 실시예에 있어서, 상기 보조 상부 전극 상에 상부 전극을 형성하는 것을 더 포함할 수 있다.
- [0021] 본 발명의 다른 실시예에 있어서, 셀 영역, 주변 영역 및 상기 셀 영역과 상기 주변 영역 사이의 경계 영역을 포함하는 기판을 준비하는 것, 상기 주변 영역에 주변 트랜지스터를 형성하는 것, 상기 주변 트랜지스터 및 상기 기판을 덮는 층간 절연막을 형성하는 것, 상기 층간 절연막을 패터닝하여 상기 셀 영역에 리세스 영역을 형성하는 것, 상기 리세스 영역 및 상기 층간 절연막 상에 가변 저항 물질막을 형성하는 것, 상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것, 및 평탄화 공정에 의하여 가변 저항 물질 패턴을 형성하는 것을 포함할 수 있다.
- [0022] 본 발명의 다른 실시예에 있어서, 상기 층간 절연막의 상면의 높이는 상기 셀 영역으로부터 상기 주변 영역까

지 점진적 증가하는 것을 특징으로 한다.

[0023] 본 발명의 다른 실시예에 있어서, 상기 평탄화 공정에 의하여 상기 경계 영역의 상기 가변 저항 물질막이 제거 되는 것을 특징으로 한다.

[0024] 본 발명의 다른 실시예에 있어서, 상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것은 상기 주변 영역의 층간 절연막의 일부를 제거하는 것을 포함한다.

[0025] 본 발명의 다른 실시예에 있어서, 상기 주변 영역의 상기 가변 저항 물질막을 제거하는 것은 상기 주변 영역의 상면의 높이와 상기 셀 영역의 상면의 높이를 실질적으로 동일하게 하는 것을 특징으로 한다.

[0026] 상술한 기술적 과제들을 해결하기 위한 가변 저항 메모리 소자를 제공한다. 기관 상에 제공되고 리세스 영역을 갖는 제 1 층간 절연막, 상기 리세스 영역의 일부를 채우는 가변 저항 물질 패턴, 상기 가변 저항 물질 패턴 상에 제공되고 상기 리세스 영역의 잔부를 채우는 보조 상부 전극, 및 상기 보조 상부 전극 상의 상부 전극을 포함하고, 상기 가변 저항 물질 패턴의 하면으로부터 상기 보조 상부 전극의 하면까지의 거리는 각 셀 별로 일정한 것을 특징으로 한다.

발명의 효과

[0027] 가변 저항 물질막의 노드 분리시 셀 영역과 페리 영역의 단차에 의해 가변 저항 물질막의 일부가 경계 영역에 잔류하는 것을 방지할 수 있다. 또한, 보조 상부 전극을 제공하여 가변 저항 물질 패턴의 높이 차이에 따른 리셋 전류의 변화를 방지할 수 있다.

도면의 간단한 설명

[0028] 도 1 내지 도 8은 본 발명의 제 1 실시예에 따른 가변 저항 메모리 소자 및 그 제조 방법을 나타내는 단면도들이다.

도 9는 본 발명의 제 1 실시예에 대한 비교례의 구조를 나타내는 단면도이다.

도 10 내지 도 14는 본 발명의 제 2 실시예에 따른 가변 저항 메모리 소자 및 그 제조 방법을 나타내는 단면도들이다.

도 15은 본 발명의 실시예들에 따른 가변 저항 메모리 장치의 적용 예를 나타낸 메모리 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0030] 본 명세서에서, 도전성막, 반도체막, 또는 절연성막 등의 어떤 물질막이 다른 물질막 또는 기관"상"에 있다고 언급되는 경우에, 그 어떤 물질막은 다른 물질막 또는 기관상에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 물질막이 개재될 수도 있다는 것을 의미한다. 또 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 물질막 또는 공정 단계를 기술하기 위해서 사용되었지만, 이는 단지 어느 특정 물질막 또는 공정 단계를 다른 물질막 또는 다른 공정 단계와 구별시키기 위해서 사용되었을 뿐이며, 이 같은 용어들에 의해서 한정되어서는 안된다.

[0031] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0032] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를

들면, 직각으로 도시된 직각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0033] 이하, 도면들을 참조하여 본 발명의 실시예들에 따른 반도체 소자 및 그 제조 방법에 대해 상세히 설명하기로 한다. 본 실시예들은 상변화 메모리 소자를 예로 들어 설명하였으나 이에 제한되지 않으며, FRAM 또는 MRAM 등의 가변 저항 메모리 소자의 구조에서 노드 분리시 잔여물이 발생할 수 있는 모든 구조에 적용이 가능하다.

[0034] 도 1 내지 도 8은 본 발명의 제 1 실시예에 따른 가변 저항 메모리 소자 및 그 제조 방법을 설명하기 위한 단면도들이다.

[0035] 도 1을 참조하여, 셀 영역(A), 주변 영역(C), 및 상기 셀 영역(A)과 상기 주변 영역(C) 사이의 경계 영역(B)을 포함하는 기판(100)이 제공될 수 있다. 본 명세서에 있어서, 상기 셀 영역(A), 상기 주변 영역(C), 및 상기 경계 영역(B)은 상기 기판(100)의 영역을 나타내거나, 상기 기판(100) 및 상기 기판(100) 상에 형성된 구조를 통칭하여 표현될 수 있다. 예를 들어, 상기 셀 영역(A)의 상면은 상기 기판(100)의 상기 셀 영역(A) 상에 형성된 구조의 상면을 지칭할 수 있다. 상기 기판(100)의 활성 영역을 한정하는 소자 분리 패턴(101a, 101b)이 형성된다. 상기 기판(100)은 실리콘 표면을 가지는 임의의 반도체 근거 구조(semiconductor based structure)를 포함할 수 있다. 이와 같은 반도체 근거 구조는 실리콘, 절연층 상의 실리콘(SOI), 또는 반도체 구조에 지지되는 실리콘 에피택셜층을 의미할 수 있다. 상기 소자 분리 패턴(101a, 101b)은 트렌치형 소자 분리 패턴으로 형성될 수 있다. 예컨대, 상기 소자 분리 패턴(101a, 101b)은 상기 기판(100)에 트렌치를 형성하는 것 및 상기 트렌치를 채우는 절연물질을 형성하는 것에 의하여 형성될 수 있다. 상기 셀 영역(A)의 소자 분리 패턴(101a)은 상기 경계 영역(B)의 소자 분리 패턴(101b) 보다 얇게 형성될 수 있다.

[0036] 상기 주변 영역(C)에 주변 트랜지스터(110)가 제공될 수 있다. 상기 주변 트랜지스터(110)는 상기 기판(100) 상에 차례로 적층된 게이트 절연 패턴(111), 게이트 전극(112) 및 상부 절연 패턴(113)을 포함할 수 있다. 상기 주변 트랜지스터(110)는 상기 게이트 절연 패턴(111), 상기 게이트 전극(112) 및 상기 상부 절연 패턴(113)의 측벽 상에 제공되는 스페이서(114)를 더 포함할 수 있다. 상기 스페이서(114) 및 상기 상부 절연 패턴(113)을 주입 마스크로 하여 소스/드레인 영역(115)이 형성될 수 있다. 상기 셀 영역(A)의 활성 영역 상에 불순물이 주입되어 워드 라인(102)이 형성될 수 있다.

[0037] 도 2를 참조하여, 상기 주변 트랜지스터(110)와 상기 기판(100)을 덮는 제 1 층간 절연막(124)이 형성될 수 있다. 상기 제 1 층간 절연막(124)은 산화막일 수 있다. 상기 주변 트랜지스터(110)가 상기 기판(100) 상에 형성되어 있기 때문에 상기 제 1 층간 절연막(124)의 상면은 셀 영역(A) 보다 주변 영역(C)에서 a1 만큼 더 높을 수 있다. 즉, 상기 경계 영역(B)에 단차(a1)가 발생할 수 있다. 상기 셀 영역(A)의 상기 제 1 층간 절연막(124)을 패터닝하여 오프닝(116)을 형성할 수 있다. 상기 오프닝(116)은 상기 워드 라인(102)을 노출할 수 있다.

[0038] 도 3을 참조하여, 상기 오프닝(116)의 하부에 다이오드(120)가 형성될 수 있다. 상기 다이오드(120)는 상기 노출된 기판(100)으로부터 선택적 에피택시 성장(selective epitaxial growth: SEG)으로 에피층(미도시)을 형성하고, 상기 에피층에 불순물 원소를 도핑하여 형성할 수 있다. 상기 불순물 원소는 n형 또는 p형 불순물일 수 있다. 상기 에피층은 상기 제 1 층간 절연막(124)의 상면까지 형성된 후, 에치백(etch-back)되어 동일한 높이의 다이오드로 형성할 수 있다.

[0039] 도 4를 참조하여, 상기 다이오드(120) 상에 상기 오프닝(116)을 채우는 하부 전극층(125)이 형성될 수 있다. 상기 하부 전극층(125)은 전이금속, 도전성 전이금속질화물, 및 도전성 삼원계질화물 중에 선택된 적어도 하나로 형성될 수 있다. 상기 전이금속은 티타늄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈륨(Ta) 또는 텅스텐(W) 등에서 선택된 적어도 하나일 수 있다. 상기 도전성 전이금속질화물은 질화티타늄(TiN), 질화하프늄(TiHf), 질화바나듐(VN), 질화니오븀(NbN), 질화탄탈륨(TaN) 또는 질화텅스텐(WN) 등에서 선택된 적어도 하나일 수 있다. 상기 도전성 삼원계질화물은 질화알루미늄티타늄(TiAlN), 질화탄소티타늄(TiCN), 질화탄소탄탈륨(TaCN), 질화실리콘티타늄(TiSiN) 또는 질화실리콘탄탈륨(TaSiN) 등에서 선택된 적어도 하나일 수 있다. 상기 하부 전극층(125)은 상기 셀 영역(A)에서의 두께(b1) 보다 상기 주변 영역(C)에서의 두께(b2)가 더 두꺼울 수 있다. 이는 상기 셀 영역(A)의 패턴이 더 조밀하기 때문이다. 상기 하부 전극층(125)의 상부에 핏(pit)(127)이 형성될 수 있다. 상기 핏(127)은 상기 하부 전극층(125)이 상기 오프닝(116) 내에 콘포멀하게 증착되는 최종 과정에서 형성될 수 있다. 상기 하부 전극(126)과 상기 다이오드(120) 사이에 금속 실리사이드층(121)이 형성될 수 있다. 상기 금속 실리사이드층(121)은 티타늄실리사이드, 코발트실리사이드, 니켈실리사이드 또는 텅스텐실리사이드를 포함할 수 있다. 상기 금속 실리사이드층(121)은 상기 다이오드층(120)과 상기 하부 전극(126) 사이

에 음접촉(ohmic contact)을 제공한다.

[0040] 도 5를 참조하여, 상기 하부 전극층(125)이 평탄화될 수 있다. 상기 평탄화 공정은 화학적 기계적 평탄화 (Chemical Mechanical Polishing: CMP)일 수 있다. 상기 평탄화 공정시 상기 셀 영역(A)의 평탄화 속도는 상기 주변 영역(C)의 평탄화 속도 보다 빠를 수 있다. 이는 상기 핏(127)이 존재하는 지역에서는 평탄화 속도가 더 빠르기 때문이다. 상기 평탄화 공정의 완료 후, 상기 단차(a1)은 더욱 증가되어 단차(a2)가 될 수 있다. 즉, 상기 b1 및 b2의 두께 차이와 상기 핏(127)에 따른 평탄화 속도 차이에 의하여 상기 셀 영역(A)과 상기 주변 영역(C) 사이에 단차(a2)가 형성될 수 있다. 상기 평탄화 공정에 의해 상기 오프닝(116) 내로 한정된 하부 전극(126)이 형성될 수 있다. 상기 하부 전극(126)의 형태는 횡단면이 실린더형, U형, 라인형, 하프 링형(half-ring shape)일 수 있다.

[0041] 도 6을 참조하여, 상기 제 1 층간 절연막(124) 상에 제 2 층간 절연 패턴(118)이 제공될 수 있다. 상기 제 2 층간 절연 패턴(118)은 상기 제 1 층간 절연막(124) 상에 제 2 절연막(미도시)을 형성한 후, 상기 하부 전극(126)을 노출하도록 패터닝하여 형성될 수 있다. 상기 제 2 층간 절연 패턴(118)은 상기 하부 전극(126)을 노출하는 리세스 영역(119)을 포함할 수 있다. 상기 제 2 층간 절연 패턴(118)은 산화막일 수 있다. 상기 제 1 층간 절연막(124)과 상기 제 2 층간 절연 패턴(118) 사이에 에치 스탱층(117)이 제공될 수 있다. 상기 에치 스탱층(117)은 상기 리세스 영역(119) 형성시 발생할 수 있는 과식각을 방지할 수 있다. 상기 에치 스탱층(117)은 질화막 또는 산화질화막일 수 있다. 상기 제 2 층간 절연 패턴(118) 상에 상기 리세스 영역(119)을 채우는 가변 저항 물질막(130)이 형성될 수 있다. 상기 가변 저항 물질막(130)은 상기 셀 영역(A)에서의 두께(c1) 보다 상기 주변 영역(C)에서의 두께(c2)가 더 두꺼울 수 있다. 이는 상기 셀 영역(A)의 패턴이 더 조밀하기 때문이다. 따라서 상기 셀 영역(A)의 상기 가변 저항 물질막(130)의 상면과 상기 주변 영역(C)의 상기 가변 저항 물질막(130)의 상면은 상기 단차(a2) 보다 더 큰 단차(a3)를 가질 수 있다. 상기 가변 저항 물질막(130)의 상부에 핏(133)이 형성될 수 있다. 상기 핏(133)은 상기 가변 저항 물질막(130)이 상기 리세스 영역(119) 내에 콘포멀하게 증착되는 최종 과정에서 형성될 수 있다. 일 예로, 상기 가변 저항 물질막(130)은 상변화 물질막일 수 있다. 상기 상변화 물질막은 상변화 물질막은 칼코게나이드(chalcogenide)계 원소인 Te 및 Se 중의 적어도 하나와, Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O 및 C 중에서 선택된 적어도 하나가 조합된 화합물로 형성될 수 있다.

[0042] 도 7을 참조하여, 상기 주변 영역(C)의 상기 가변 저항 물질막(130)이 제거될 수 있다. 점선 영역(H)은 이와 같이 주변 영역(C)의 가변 저항 물질막(130)이 제거된 모습을 도시한다. 상기 가변 저항 물질막(130)의 제거시, 상기 제 2 층간 절연 패턴(118)의 일부가 함께 제거될 수 있다. 상기 주변 영역(C)의 상기 가변 저항 물질막(130)의 제거는 상기 경계 영역(B)의 일부에서도 진행될 수 있다. 상기 가변 저항 물질막(130)의 제거는 포토 공정에 의하여 수행될 수 있다. 즉, 상기 셀 영역(A)은 마스크된 상태에서 건식 또는 습식 식각 공정이 수행될 수 있다. 상기 식각 공정은 상기 주변 영역(C)의 상면의 높이가 상기 셀 영역(A)의 상면의 높이와 실질적으로 같아질 때까지 수행될 수 있다. 일 예로 상기 식각 공정 후, 상기 주변 영역(C)의 상면과 상기 셀 영역(A)의 상면의 높이 차이는 약 150Å 이내일 수 있다. 상기 식각 공정에 의하여 상기 경계 영역(B)은 점선(H)와 같이 돌출된 구조가 잔존할 수 있다.

[0043] 도 8을 참조하여, 상기 가변 저항 물질막(130)이 평탄화될 수 있다. 상기 평탄화 공정은 CMP일 수 있다. 도 7에 도시된 바와 같이, 상기 주변 영역(C)과 상기 셀 영역(A)의 상면이 유사한 높이를 가지므로 평탄화가 효과적으로 이루어질 수 있다. 상기 경계 영역(B) 내의 돌출된 구조(H)는 상기 평탄화시 용이하게 제거될 수 있다. 상기 평탄화에 의하여 상기 리세스 영역(119) 내에 한정된 가변 저항 물질 패턴(131)이 형성될 수 있다. 상기 가변 저항 물질 패턴(131) 상에 상부 전극(141)이 형성될 수 있다. 상기 상부 전극(141)은 상기 하부 전극과 동일한 물질일 수 있다.

[0044] 도 9는 본 발명의 제 1 실시예에 대한 비교례의 구조를 나타내는 단면도이다. 즉, 도 9는 도 7과 같이 상기 주변 영역(C)을 식각하지 않은 경우의 구조이다. 상기 셀 영역(A)과 상기 주변 영역(C) 사이의 단차에 의하여 상기 경계 영역(B) 및 상기 경계 영역(B)에 인접하는 상기 셀 영역(A)에서 상기 가변 저항 물질막(130)이 효과적으로 제거되지 않는다. 따라서 점선(K) 내의 구조와 같이 인접 셀 간에 브리지(bridge)가 발생할 수 있다. 또한 가변 저항 물질 패턴(131)의 높이가 불균일하여 리셋 전류(Ireset)가 불균일할 수 있다. 본 발명의 제 1 실시예의 경우, 도 7에 도시된 바와 같이 평탄화 전에 주변 영역(C)의 상기 가변 저항 물질막(130)을 미리 제거하여 이와 같은 현상을 방지할 수 있다.

- [0045] 이하, 본 발명의 제 2 실시예에 따른 가변 저항 메모리 장치 및 그 제조 방법이 설명된다.
- [0046] 가변 저항 물질 패턴의 형태 및 보조 상부 전극의 유무를 제외하면 이 실시예는 앞서 제 1 실시예의 그것과 유사하다. 따라서, 설명의 간결함을 위해, 중복되는 기술적 특징들에 대한 설명은 아래에서 생략된다.
- [0047] 도 10 내지 도 15는 본 발명의 제 2 실시예에 따른 가변 저항 메모리 소자 및 그 제조 방법을 설명하기 위한 단면도들이다.
- [0048] 도 10을 참조하여, 에치 스탱층(117) 상에 제 2 층간 절연 패턴(118)이 형성된다. 상기 제 2 층간 절연 패턴(118)은 하부 전극(126)을 노출하는 리세스 영역(119)을 포함할 수 있다. 상기 제 2 층간 절연 패턴(118)은 산화막일 수 있다.
- [0049] 도 11을 참조하여, 상기 리세스 영역(119) 및 상기 제 2 층간 절연 패턴(118) 상에 가변 저항 물질막(135)이 형성될 수 있다. 상기 가변 저항 물질막(135)은 상기 리세스 영역(119)의 일부를 채우도록 형성될 수 있다. 상기 가변 저항 물질막(135)은 상기 셀 영역(A)에서의 두께(d1) 보다 상기 주변 영역(C)에서의 두께(d2)가 더 두꺼울 수 있다. 이는 상기 셀 영역(A)의 패턴이 더 조밀하기 때문이다. 일 예로, 상기 가변 저항 물질막(135)은 상변화 물질막일 수 있다. 상기 상변화 물질막은 상태가 가역적으로 변화할 수 있는 물질일 수 있다. 상기 상변화 물질막은 칼코게나이드(chalcogenide)계 원소인 Te 및 Se 중의 적어도 하나와, Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O 및 C 중에서 선택된 적어도 하나가 조합된 화합물로 형성될 수 있다.
- [0050] 도 12를 참조하여, 상기 가변 저항 물질막(135) 상에 보조 상부 전극층(150)이 형성될 수 있다. 상기 보조 상부 전극층(150)은 상기 리세스 영역(119)을 채울 수 있다. 상기 보조 상부 전극층(150)은 이하 설명될 상부 전극과 동일한 물질일 수 있다. 상기 보조 상부 전극층(150)은 상기 셀 영역(A)에서의 두께(e1) 보다 상기 주변 영역(C)에서의 두께(e2)가 더 두꺼울 수 있다. 이는 상기 셀 영역(A)의 패턴이 더 조밀하기 때문이다. 따라서 상기 셀 영역(A)의 상기 보조 상부 전극층(150)의 상면과 상기 주변 영역(C)의 상기 보조 상부 전극층(150)의 상면은 상기 단차(a2) 보다 더 큰 단차(a4)를 가질 수 있다.
- [0051] 도 13을 참조하여, 상기 주변 영역(C)의 상기 보조 상부 전극층(150) 및 상기 가변 저항 물질막(135)이 제거될 수 있다. 상기 보조 상부 전극층(150) 및 상기 가변 저항 물질막(135)의 제거 시, 상기 제 2 층간 절연 패턴(118)의 일부가 함께 제거될 수 있다. 상기 제거 공정은 상기 경계 영역(B)의 일부에서도 진행될 수 있다. 상기 제거 공정은 포토 공정에 의하여 수행될 수 있다. 즉, 상기 셀 영역(A)은 마스크된 상태에서 건식 또는 습식 식각 공정이 수행될 수 있다. 상기 식각 공정은 상기 주변 영역(C)의 상면의 높이가 상기 셀 영역(A)의 상면의 높이 보다 소정의 두께(a5) 만큼 더 낮아질 때까지 수행될 수 있다. 상기 식각 공정에 의하여 상기 경계 영역(B)에 돌출된 구조가 잔존할 수 있다.
- [0052] 도 14를 참조하여, 평탄화 공정이 수행될 수 있다. 상기 평탄화 공정은 CMP일 수 있다. 도 13에 도시된 바와 같이, 상기 주변 영역(C)의 상면이 상기 셀 영역(A)의 상면 보다 낮게 형성되므로 상기 경계 영역(B)에 잔존하는 돌출된 구조를 용이하게 제거할 수 있다. 상기 평탄화에 의하여 상기 리세스 영역(119) 내에 형성된 가변 저항 물질 패턴(136)과 상기 가변 저항 물질 패턴(136) 상에 형성되고 상기 리세스 영역(119)을 채우는 보조 상부 전극(151)이 형성될 수 있다. 상기 가변 저항 물질 패턴(131) 상에 상부 전극(141)이 형성될 수 있다. 상기 상부 전극(141)은 상기 하부 전극(126)과 동일한 물질일 수 있다. 상기 보조 상부 전극(151)이 제공되는 경우, 상기 가변 저항 물질 패턴(136)의 하면으로부터 상기 보조 상부 전극(151)의 하면까지의 거리(h3)가 모든 셀들에서 일정할 수 있다. 따라서 상기 주변 영역(C)의 파식각에 의하여 상기 경계 영역(B)으로부터 먼 위치의 상기 가변 저항 물질 패턴(136)의 높이(h1)가 상기 경계 영역(B)에 인접한 위치의 상기 가변 저항 물질 패턴(136)의 높이(h2) 보다 큰 경우에도 일정한 리셋 전류를 얻을 수 있다.
- [0053] 도 15는 본 발명의 일 실시예에 따른 가변 저항 메모리 장치의 적용 예를 나타낸 메모리 시스템의 블록도이다.
- [0054] 도 15를 참조하면, 본 발명에 따른 메모리 시스템(1000)은 가변 저항 메모리 장치(1100) 및 메모리 컨트롤러(1200)로 구성되는 반도체 메모리 장치(1300), 시스템 버스(1450)에 전기적으로 연결된 중앙처리장치(1500), 사용자 인터페이스(1600), 전원 공급 장치(1700)를 포함한다.
- [0055] 가변 저항 메모리 장치(1100)에는 사용자 인터페이스(1600)를 통해서 제공되거나 또는, 중앙처리장치(1500)에 의해서 처리된 데이터가 메모리 컨트롤러(1200)를 통해 저장된다. 가변 저항 메모리 장치(1100)는 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 메모리 시스템(1000)의 쓰기 속도가 획기적으로 빨라질 것이다.
- [0056] 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(1000)에는 응용 칩셋(Application Chipset),

카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0057] 또한, 메모리 시스템(100)은 PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.

[0058] 나아가, 본 발명에 따른 가변 저항 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 본 발명에 따른 가변 저항 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

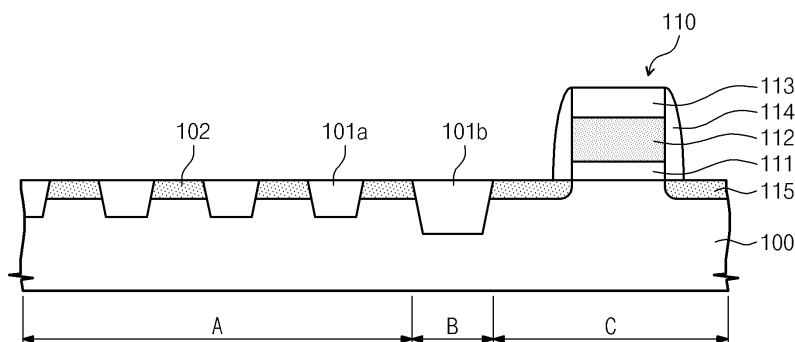
[0059] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

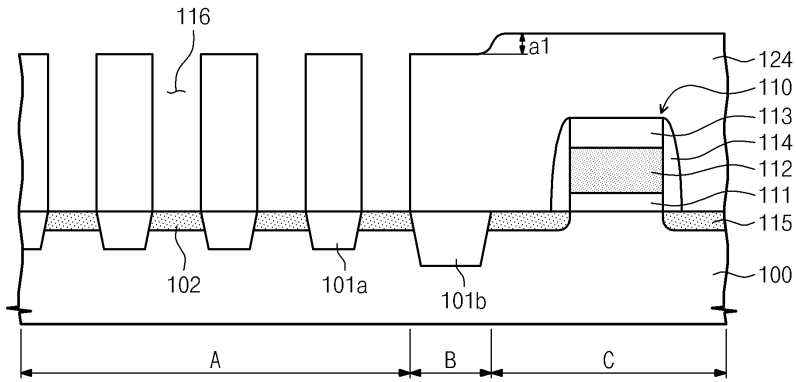
- | | |
|----------------|-----------------------|
| [0060] 100: 기판 | 101a, 101b: 소자 분리 패턴 |
| 115: 소스/드레인 영역 | 110: 주변 트랜지스터 |
| 116: 오프닝 | 126: 하부 전극 |
| 120: 다이오드 | 131, 136: 가변 저항 물질 패턴 |
| 151: 보조 상부 전극 | 141: 상부 전극 |

도면

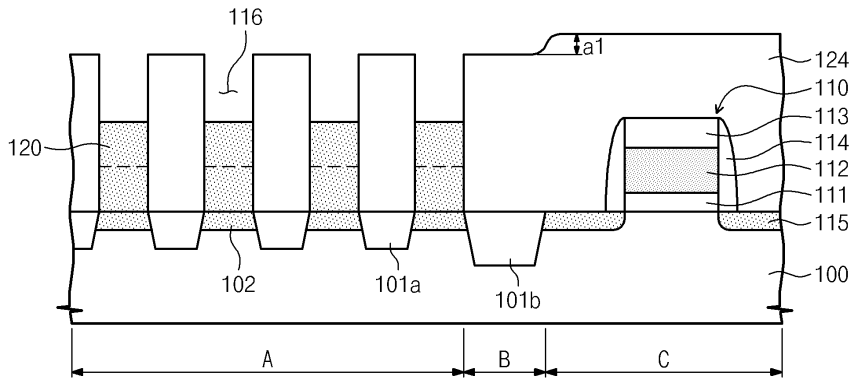
도면1



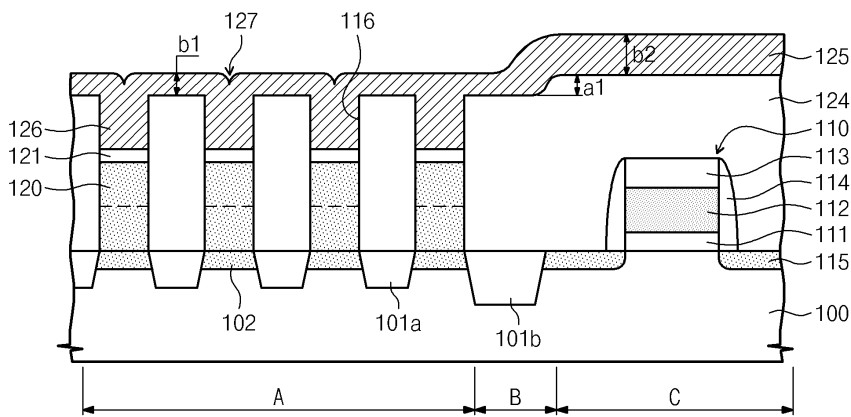
도면2



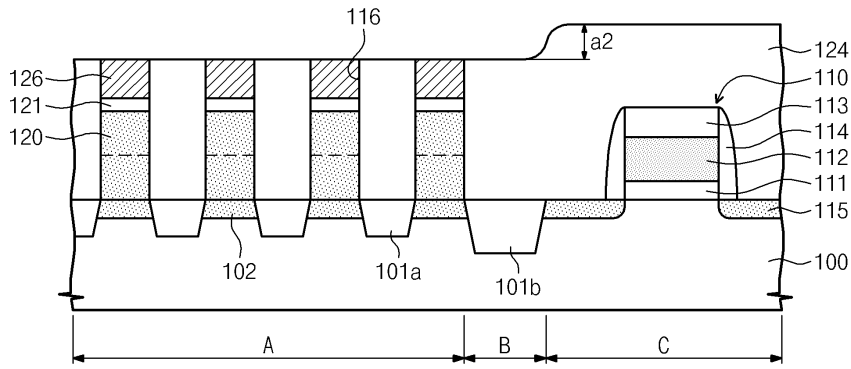
도면3



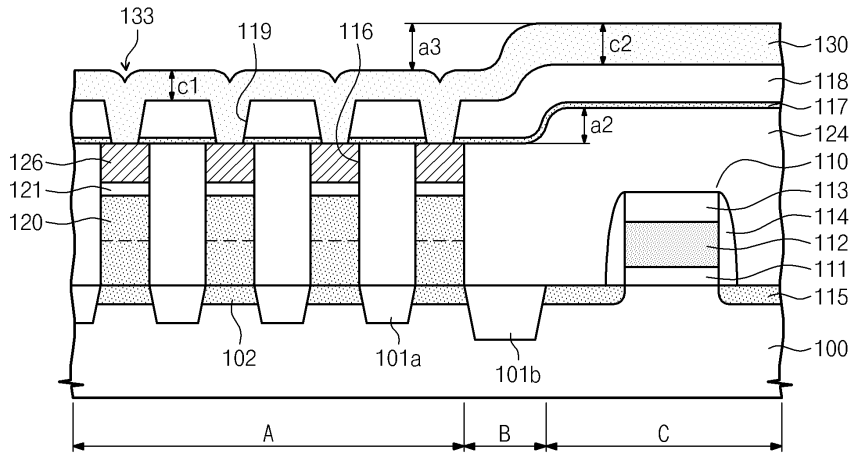
도면4



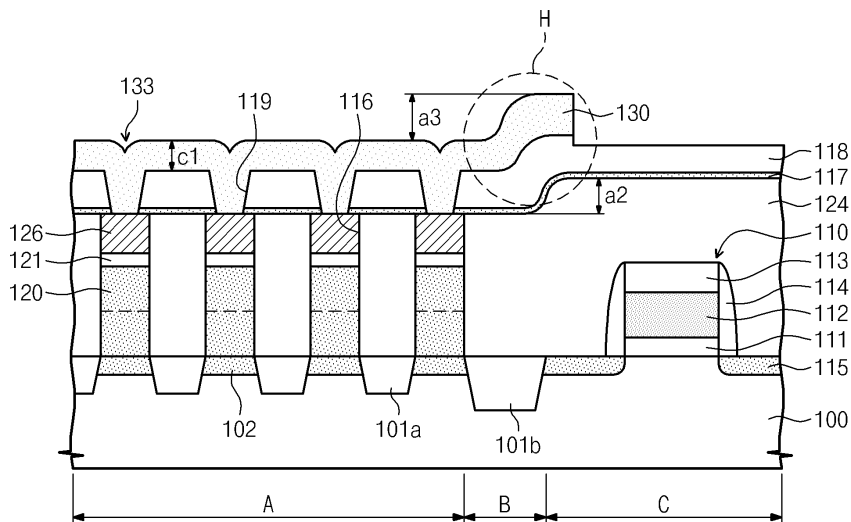
도면5



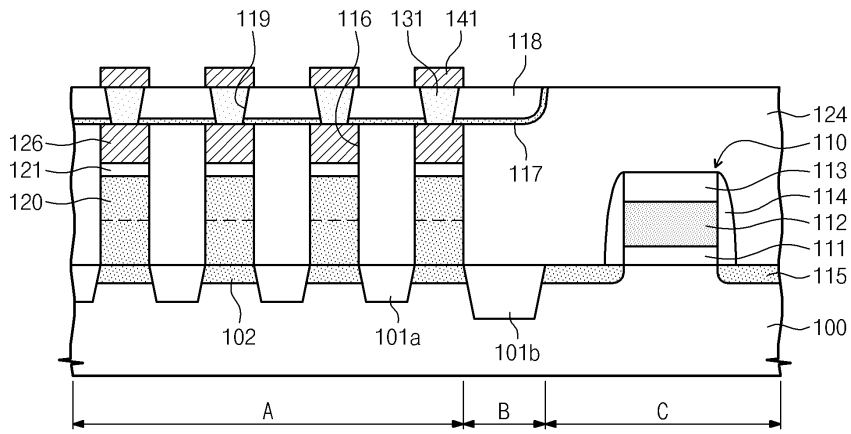
도면6



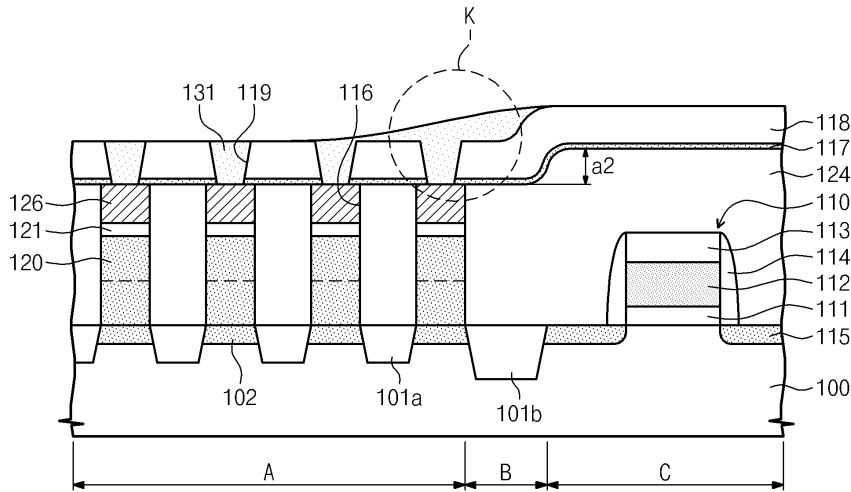
도면7



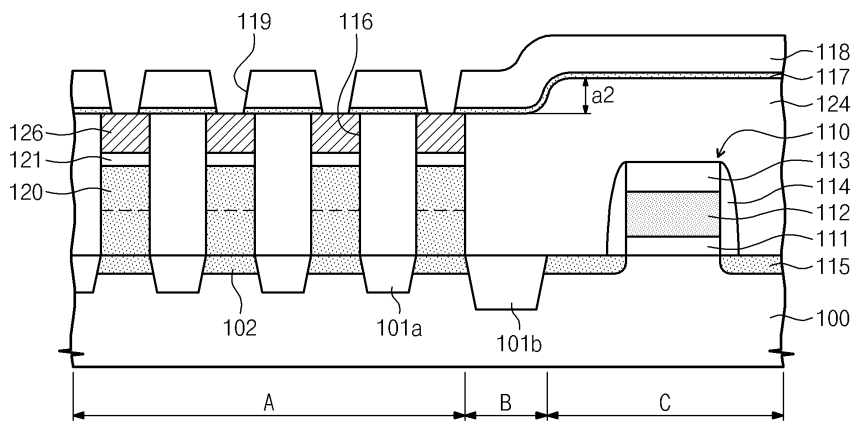
도면8



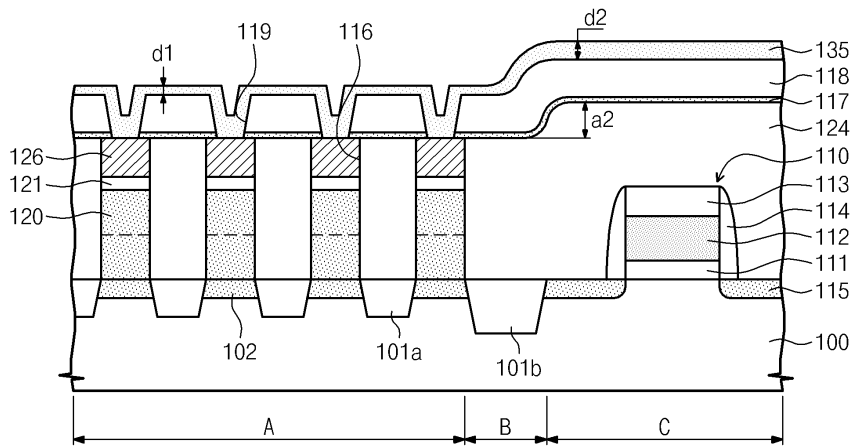
도면9



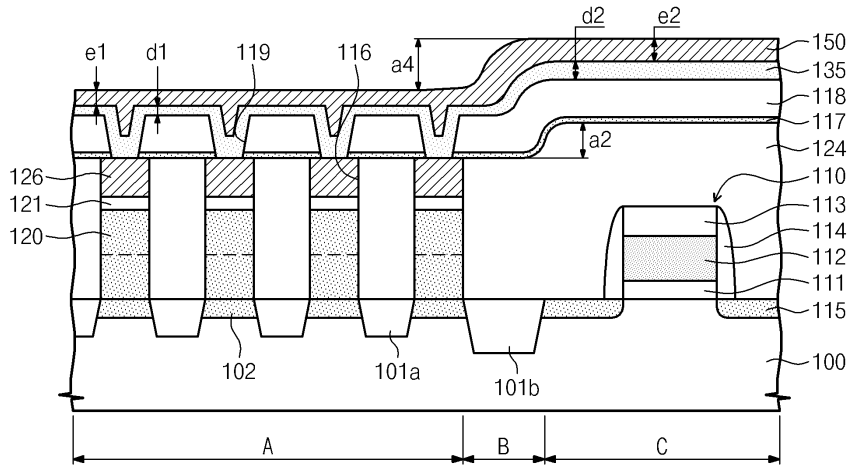
도면10



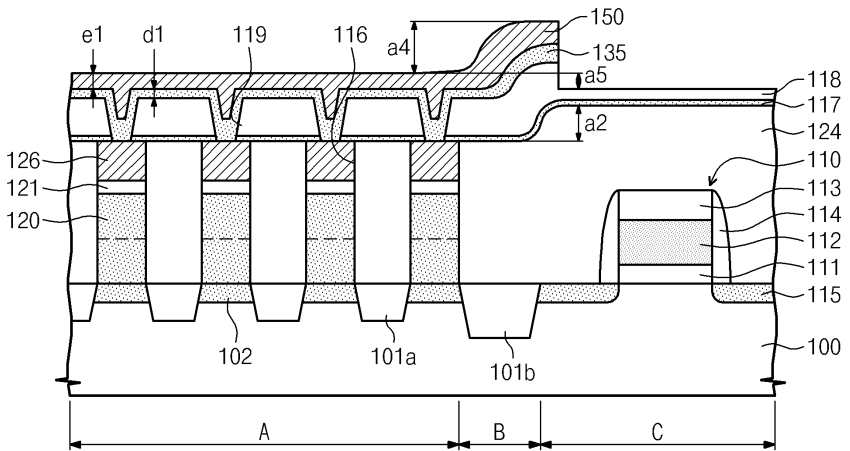
도면11



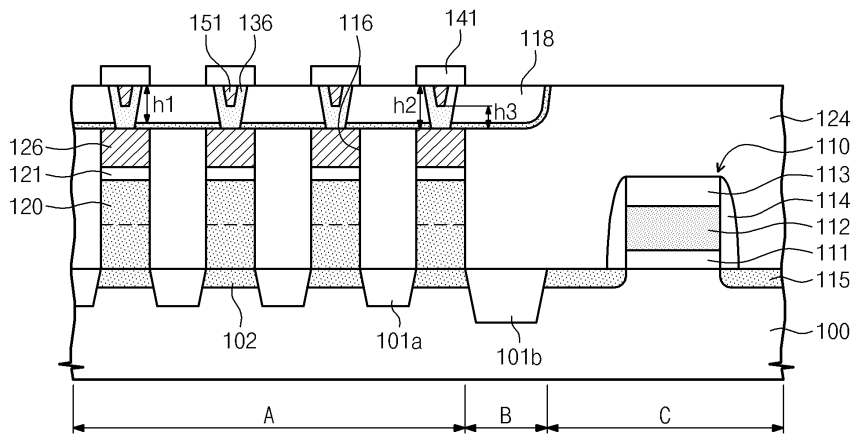
도면12



도면13



도면14



도면15

