



(12) 发明专利申请

(10) 申请公布号 CN 102592656 A

(43) 申请公布日 2012. 07. 18

(21) 申请号 201210009739. X

(22) 申请日 2012. 01. 13

(30) 优先权数据

2011-004830 2011. 01. 13 JP

(71) 申请人 索尼公司

地址 日本东京都

(72) 发明人 大塚涉

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 郭定辉

(51) Int. Cl.

G11C 7/12(2006. 01)

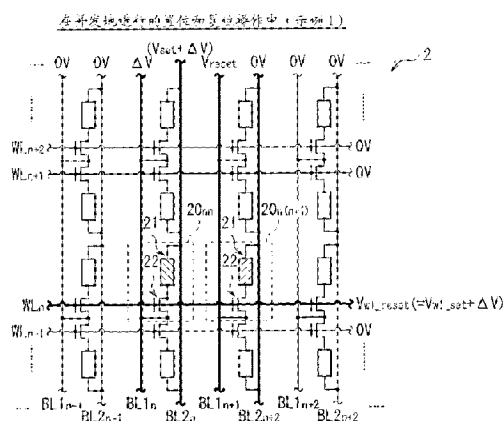
权利要求书 3 页 说明书 13 页 附图 16 页

(54) 发明名称

存储装置和其操作方法

(57) 摘要

在此公开存储装置和其操作方法。所述存储装置包括每一个均具有存储元件和晶体管的多个存储单元、字线和第一与第二位线以及驱动部分。在针对位于一条字线上的第一存储元件进行置位操作时并且在针对位于所述一条字线上的第二存储元件进行复位操作时,驱动部分将给定字线电位施加至所述一条字线,并且将对应于第一存储元件的第一与第二位线之中的低电位侧的位线的电位设定到比对应于第二存储元件的低电位侧的位线的电位的值高给定电位差的量的值。



1. 一种存储装置,包括:

多个存储单元,其分别具有电阻状态根据施加电压的极性而可翻转改变的存储元件和用于选择作为驱动目标的存储元件的晶体管;

多条字线和多条第一与第二位线,其连接至所述多个存储单元;以及

驱动部分,其通过将给定电位施加至字线和第一与第二位线,在低电阻状态和高电阻状态之间选择性地改变作为驱动目标的存储元件的电阻状态,

其中,在针对位于一条字线上的第一存储元件进行将电阻状态从高电阻状态改变到低电阻状态的置位操作时并且在针对位于所述一条字线上的第二存储元件进行将电阻状态从低电阻状态改变到高电阻状态的复位操作时,驱动部分将给定字线电位施加至所述一条字线,并且将对应于第一存储元件的第一与第二位线之中的低电位侧的位线的电位设定到比对应于第二存储元件的低电位侧的位线的电位的值高给定电位差的量的值。

2. 如权利要求 1 所述的存储装置,其中,驱动部分在对应于第一存储元件的第一与第二位线之间施加用于进行置位操作的给定置位电压,并且在对应于第二存储元件的第一与第二位线之间施加用于进行复位操作的给定复位电压。

3. 如权利要求 1 所述的存储装置,其中,所述给定电位差是通过从进行存储元件的复位操作时设定的复位电位中减去进行存储元件的置位操作时设定的置位电位而获得的电位差。

4. 如权利要求 3 所述的存储装置,其中,所述给定字线电位为所述复位电位。

5. 如权利要求 1 所述的存储装置,其中,在存储单元中,字线连接至所述晶体管的栅极,

第一位线连接至晶体管中的源极和漏极之一,并且

第二位线与晶体管中的源极和漏极的另一个通过其间的存储元件连接。

6. 如权利要求 1 所述的存储装置,其中,存储元件依次具有第一电极、存储层和第二电极,并且

在存储层中,电阻状态根据施加在第一电极和第二电极之间的电压的极性而可翻转地改变。

7. 如权利要求 6 所述的存储装置,其中,存储层具有在第一电极侧提供的电阻改变层和在第二电极侧提供的离子源层。

8. 如权利要求 7 所述的存储装置,其中,在存储元件中,当负电位施加至第一电极侧并且正电位施加至第二电极侧时,离子源层中的离子移动至第一电极侧并且电阻改变层的电阻减小,从而进行置位操作,以及

当正电位施加至第一电极侧并且负电位施加至第二电极侧时,离子源层中的离子移动至第二电极侧并且电阻改变层的电位增大,从而进行复位操作。

9. 一种操作存储装置的方法,其中,存储装置包括:多个存储单元,其分别具有电阻状态根据施加电压的极性而可翻转改变的存储元件和用于选择作为驱动目标的存储元件的晶体管;多条字线和多条第一与第二位线,其连接至所述多个存储单元,

在操作所述存储装置时,将给定的字线电位施加至一条字线,

同时将位于一条字线上的第一存储元件所对应的第一与第二位线之中的低电位侧的位线的电位设定到比位于所述一条字线上的第二存储元件所对应的低电位侧的位线的电

位的值高给定电位差的值,在第一与第二位线之间施加给定电压,从而

针对第一存储元件进行将电阻状态从高电阻状态改变到低电阻状态的置位操作,并且针对第二存储元件进行将电阻状态从低电阻状态改变到高电阻状态的复位操作。

10. 一种存储装置,包含:

多个存储单元,其分别具有电阻状态根据施加电压的极性而可翻转改变的存储元件和用于选择作为驱动目标的存储元件的晶体管;

多个电阻元件,其指示固定电阻值;

多条字线和多条第一与第二位线,其连接至所述多个存储单元;以及

驱动部分,其通过将给定电位施加给字线和第一与第二位线,在低电阻状态和高电阻状态之间选择性地改变作为驱动目标的存储元件的电阻状态,

其中,在存储单元中,字线连接至所述晶体管的栅极,

第一位线与晶体管中的源极和漏极之一通过其间的电阻元件连接,并且

第二位线与晶体管中的源极和漏极的另一个通过其间的存储元件连接。

11. 如权利要求 10 所述的存储装置,其中,所述电阻元件的电阻值近似等于存储元件的低电阻状态下的电阻值。

12. 如权利要求 10 所述的存储装置,其中,在针对位于一条字线上的第一存储元件进行将电阻状态从高电阻状态改变到低电阻状态的置位操作时以及在针对位于所述一条字线上的第二存储元件进行将电阻状态从低电阻状态改变到高电阻状态的复位操作时,

将给定字线电位施加至所述一条字线,

同时将第一存储元件对应的第一与第二位线之中的低电位侧的位线的电位设定到等于第二存储元件对应的低电位侧的位线的电位的值,

在第一存储元件对应的第一与第二位线之间施加用于进行置位操作的给定置位电压,并且在第二存储元件对应的第一与第二位线之间施加用于进行复位操作的给定复位电压。

13. 如权利要求 12 所述的存储装置,其中,所述给定字线电位是在进行所述存储元件的复位操作时所设定的复位电位。

14. 如权利要求 13 所述的存储装置,其中,在进行所述第一存储元件的置位操作时,在通过其间的晶体管连接至第一存储元件的电阻元件的两端之间产生通过从复位电位中减去在进行存储元件的置位操作时所设定的置位电位而获得的电位差。

15. 如权利要求 10 所述的存储装置,其中,在第一位线与晶体管中的源极和漏极之一之间的连接部分中形成所述电阻元件。

16. 如权利要求 15 所述的存储装置,其中,所述连接部分由晶体半导体或无定形半导体构成,并且

通过晶体半导体或无定形半导体中的杂质浓度来调节电阻元件的电阻值。

17. 如权利要求 10 所述的存储装置,其中,所述电阻元件对于两个存储单元是共用的。

18. 如权利要求 10 所述的存储装置,其中,存储元件依次具有第一电极、存储层和第二电极,并且

在存储层中,电阻状态根据施加在第一电极和第二电极之间的电压的极性而可翻转地改变。

19. 如权利要求 18 所述的存储装置,其中,存储层具有在第一电极侧提供的电阻改变

层和在第二电极侧提供的离子源层。

20. 一种操作存储装置的方法,其中,存储装置包括:多个存储单元,其分别具有电阻状态根据施加电压的极性而可翻转改变的存储元件和用于选择作为驱动目标的存储元件的晶体管;多个电阻元件,其指示固定电阻值;以及多条字线和多条第一与第二位线,其连接至所述多个存储单元;其中在存储单元中,字线连接至所述晶体管的栅极,第一位线与晶体管中的源极和漏极之一通过其间的电阻元件连接,并且第二位线与晶体管中的源极和漏极的另一个通过其间的存储元件连接,

在操作所述存储装置时,

将给定的字线电位施加至一条字线,

同时将位于一条字线上的第一存储元件所对应的第一与第二位线之中的低电位侧的位线的电位设定到等于位于所述一条字线上的第二存储元件所对应的低电位侧的位线的电位的值的值,

在第一存储元件对应的第一与第二位线之间施加用于进行置位操作的给定置位电压,并且在第二存储元件对应的第一与第二位线之间施加用于进行复位操作的给定复位电压,从而

针对第一存储元件进行将电阻状态从高电阻状态改变到低电阻状态的置位操作,并且针对第二存储元件进行将电阻状态从低电阻状态改变到高电阻状态的复位操作。

存储装置和其操作方法

技术领域

[0001] 本公开涉及包括通过存储层的电特性的改变来存储信息的存储元件的存储装置 (memory unit) 以及操作该存储装置的方法。

背景技术

[0002] 在诸如计算机之类的信息设备中, 具有高速工作和高密度的 DRAM (Dynamic Random Access Memory, 动态随机存取存储器) 广泛地用作随机存取存储器。然而, 在 DRAM 中, 制造成本是高的, 这是由于制造工艺相比于用于电子设备的一般逻辑电路 LSI (Large Scale Integrated Circuit, 大规模集成电路) 和一般信号处理器的制造工艺更加复杂。进一步, 由于 DRAM 是信息在电源关闭的情况下不会予以保持的非易失性存储器, 因此需要频繁地进行更新操作, 即, 需要读出所写入的信息 (数据)、再次放大该信息并且重写该信息。

[0003] 同时, 近年来, 根据电流方向记录低电阻状态和高电阻状态的所谓的双极型电阻随机存取存储器已经得到发展。进一步, 同样已经提出了由这种双极型电阻随机存取存储器和选择晶体管的组合构造的所谓的 1T1R 型 (对于一个晶体管包括一个存储元件) 非易失性存储单元 (memory cell)。例如, 在日本待审专利申请公开 No. 2006-196537 中, 提出了对于存储元件的微加工限制尤其有益的新型电阻随机存取存储器。

发明内容

[0004] 日本待审专利申请公开 No. 2009-196537 的电阻随机存取存储器具有将包括金属的离子导体 (存储层) 夹在两个电极之间的结构。在电阻随机存取存储器中, 离子导体中包含的金属包含在两个电极的一个中。从而, 在两个电极之间施加电压的情况下, 电极中包含的金属作为离子在离子导体中扩散, 并且离子导体的电阻值或电容的电特性等被改变。

[0005] 注意, 在前述的双极型电阻随机存取存储器中, 一般地, 在与将存储器的电阻状态从高电阻状态改变到低电阻状态的操作 (置位操作) 中流动的电流相同级别的电流以相反方向流动的情况下, 进行将存储器的电阻状态从低电阻状态改变到高电阻状态的操作。由于这种特性, 在排列了前述的 1T1R 型非易失性存储单元的存储装置 (非易失性存储阵列) 中, 置位操作时向晶体管的栅极 (字线) 施加的电压 (字线电位) 的值与其在复位操作时的值不同。

[0006] 由此, 在现有的非易失性存储阵列 (存储装置) 中, 不可以针对位于同一字线上的给定 (多个) 存储单元同时 (并发) 进行置位操作和复位操作。结果, 需要在同一字线上单独地分配置位操作时间段和复位操作时间段, 使得导致难以改善存储装置的运行速度。

[0007] 鉴于前述缺点, 在本公开中, 期望提供能够改善运行速度的存储装置和运行该存储装置的方法。

[0008] 根据本公开的实施例, 提供了第一存储装置, 其包括多个存储单元, 其分别具有电阻状态根据施加电压的极性而可翻转改变的存储元件和用于选择作为驱动目标的存储元件的晶体管; 多条字线和多条第一与第二位线, 其连接至所述多个存储单元; 以及驱动部

分,其通过将给定电位施加至字线和第一与第二位线,在低电阻状态和高电阻状态之间选择性地改变作为驱动目标的存储元件的电阻状态。在针对位于一条字线上的第一存储元件进行将电阻状态从高电阻状态改变到低电阻状态的置位操作时并且在针对位于所述一条字线上的第二存储元件进行将电阻状态从低电阻状态改变到高电阻状态的复位操作时,驱动部分将给定字线电位施加至所述一条字线,并且将对应于第一存储元件的第一与第二位线之中的低电位侧的位线的电位设定到比对应于第二存储元件的低电位侧的位线的电位的值高给定电位差的量的值

[0009] 根据本公开的一实施例,提供了一种操作第一存储装置的方法,其中,存储装置包括:多个存储单元,其分别具有电阻状态根据施加电压的极性而可翻转改变的存储元件和用于选择作为驱动目标的存储元件的晶体管;多条字线和多条第一与第二位线,其连接至所述多个存储单元,在操作存储装置时,将给定的字线电位施加至一条字线,同时将位于一条字线上的第一存储元件所对应的第一与第二位线之中的低电位侧的位线的电位设定到比位于所述一条字线上的第二存储元件所对应的低电位侧的位线的电位高给定电位差的量的值,在第一与第二位线之间施加给定电压,从而针对第一存储元件进行将电阻状态从高电阻状态改变到低电阻状态的置位操作,并且针对第二存储元件进行将电阻状态从低电阻状态改变到高电阻状态的复位操作。

[0010] 在根据本公开实施例的第一存储装置和根据本公开实施例的操作第一存储装置的方法中,将给定电位施加至字线和第一与第二位线,从而在低电阻状态和高电阻状态之间选择性地改变作为驱动目标的存储元件的电阻状态。在针对位于一条字线上的第一存储元件进行置位操作(将电阻状态从高电阻状态改变到低电阻状态的操作)时并且在针对位于所述一条字线上的第二存储元件进行复位操作(将电阻状态从低电阻状态改变到高电阻状态的操作)时,将给定字线电位施加至所述一条字线,并且将第一存储元件所对应的第一与第二位线之中的低电位侧的位线的电位设定到比第二存储元件所对应的低电位侧的位线的电位的值高给定电位差的量的值。从而,施加至所述一条字线的电压(前述的字线电位)共用(公共地使用)于置位操作时(第一存储元件侧)和复位操作时(第二存储元件侧)。结果,变得可以针对位于同一字线上的给定(多个)存储单元同时(并发)进行置位操作和复位操作。

[0011] 存储元件的写入操作/擦除操作对应于减小电阻(从高电阻状态改变到低电阻状态)还是增大电阻(从低电阻状态改变到高电阻状态)是定义问题。在本说明书中,将低电阻状态定义为写入状态,将高电阻状态定义为擦除状态。

[0012] 根据本公开的一实施例,提供了第二存储装置,包含:多个存储单元,其分别具有电阻状态根据施加电压的极性而可翻转改变的存储元件和用于选择作为驱动目标的存储元件的晶体管;多个电阻元件,其指示固定电阻值;多条字线和多条第一与第二位线,其连接至所述多个存储单元;以及驱动部分,其通过将给定电位施加给字线和第一与第二位线,在低电阻状态和高电阻状态之间选择性地改变作为驱动目标的存储元件的电阻状态。在存储单元中,字线连接至所述晶体管的栅极,第一位线与晶体管中的源极和漏极之一通过其间的电阻元件连接,并且第二位线与晶体管中的源极和漏极的另一个通过其间的存储元件连接。

[0013] 根据本公开的一实施例,提供了一种操作第二存储装置的方法,其中,存储装置包

括：多个存储单元，其分别具有电阻状态根据施加电压的极性而可翻转改变的存储元件和用于选择作为驱动目标的存储元件的晶体管；多个电阻元件，其指示固定电阻值；以及多条字线和多条第一与第二位线，其连接至所述多个存储单元；其中在存储单元中，字线连接至所述晶体管的栅极，第一位线与晶体管中的源极和漏极之一通过其间的电阻元件连接，并且第二位线与晶体管中的源极和漏极的另一个通过其间的存储元件连接，在操作所述存储装置时，将给定的字线电位施加至一条字线，同时将位于一条字线上的第一存储元件所对应的第一与第二位线之中的低电位侧的位线的电位设定到等于位于所述一条字线上的第二存储元件所对应的低电位侧的位线的电位的值的值，在第一存储元件对应的第一与第二位线之间施加用于进行置位操作的给定置位电压，并且在第二存储元件对应的第一与第二位线之间施加用于进行复位操作的给定复位电压，从而针对第一存储元件进行将电阻状态从高电阻状态改变到低电阻状态的置位操作，并且针对第二存储元件进行将电阻状态从低电阻状态改变到高电阻状态的复位操作。

[0014] 在根据本公开实施例的第二存储装置和根据本公开实施例的操作第二存储装置的方法中，将给定电位施加至字线和第一与第二位线，从而在低电阻状态和高电阻状态之间选择性地改变作为驱动目标的存储元件的电阻状态。在存储单元中，字线连接至所述晶体管的栅极，第一位线与晶体管中的源极和漏极之一通过其间的电阻元件连接，并且第二位线与晶体管中的源极和漏极的另一个通过其间的存储元件连接。换言之，在存储单元中，第一位线侧（电阻元件侧）的部分和第二位线侧（电阻随机存取存储器侧）的部分相对于晶体管彼此对称。从而，例如，在针对位于一条字线上的第一存储元件进行置位操作（将电阻状态从高电阻状态改变到低电阻状态的操作）时并且在针对位于所述一条字线上的第二存储元件进行复位操作（将电阻状态从低电阻状态改变到高电阻状态的操作）时，施加至前述一条字线的电压（字线电位）能够共用（能够公共地使用）于置位操作时（第一存储元件侧）和复位操作时（第二存储元件侧）。结果，变得可以针对位于同一字线上的给定（多个）存储单元同时（并发）进行置位操作和复位操作。

[0015] 根据本公开实施例的第一存储单元和操作本公开实施例的第一存储单元的方法，在针对位于一条字线上的第一存储元件进行置位操作时并且在针对位于所述一条字线上的第二存储元件进行复位操作时，将给定字线电位施加至所述一条字线，并且将第一存储元件所对应的低电位侧的位线的电位设定到比第二存储元件所对应的低电位侧的位线的电位的值高给定电位差的量的值。由此，变得可以针对位于同一字线上的给定（多个）存储单元同时（并发）进行置位操作和复位操作。因此，存储装置的工作速度能够得到改善。

[0016] 根据本公开实施例的第二存储单元和操作本公开实施例的第二存储单元的方法，在存储单元中，字线连接至晶体管的栅极，第一位线与晶体管中的源极和漏极之一通过其间的电阻元件连接，并且第二位线与晶体管中的源极和漏极的另一个通过其间的存储元件连接。由此，变得可以针对位于同一字线上的给定（多个）存储单元同时（并发）进行置位操作和复位操作。因此，存储装置的工作速度能够得到改善。

[0017] 要理解，前述的总体描述和接下来的详细描述均是示例性的，并且旨在提供对于所要求保护的本技术的进一步说明。

附图说明

[0018] 附图被包括用于提供对于本公开的进一步理解,并且并入和构成此说明书的一部分。附图图示实施例,并且连同说明书一起用于说明本技术的原理。

[0019] 图 1 是图示根据本公开第一实施例的存储装置的配置示例的方框示意图。

[0020] 图 2 是图示图 1 中所示的存储阵列的配置示例的电路示意图。

[0021] 图 3 是图示图 2 中所示的存储单元的配置示例的电路示意图。

[0022] 图 4 是图示图 2 中所示的存储元件的配置示例的剖面视图。

[0023] 图 5 是图示图 2 中所示的存储阵列的配置示例的平面视图。

[0024] 图 6 是图示从 II 方向看到的图 5 中所示的存储阵列的配置示例的侧面视图。

[0025] 图 7A 和 7B 是用于说明图 3 中所示的存储单元中的置位操作和复位操作的总结的电路示意图。

[0026] 图 8A 和 8B 是用于说明图 4 中所示的存储元件中的置位操作和复位操作的总结的剖面视图。

[0027] 图 9 是图示图 4 中所示的存储元件中的电流 - 电压特性的示例的特性示意图。

[0028] 图 10A 和 10B 是图示根据比较示例的存储装置的置位操作和复位操作的电路示意图。

[0029] 图 11 是图示根据第一实施例的示例 (示例 1) 的置位操作和复位操作的电路示意图。

[0030] 图 12 是图示根据第二实施例的存储装置的配置示例的方框示意图。

[0031] 图 13 是图示图 12 中所示的存储阵列的配置示例的电路示意图。

[0032] 图 14 是图示图 13 中所示的存储单元的配置示例的电路示意图。

[0033] 图 15 是图示图 13 中所示的存储阵列的配置示例的侧面视图。

[0034] 图 16 是图示根据第二实施例的示例 (示例 2) 的置位操作和复位操作的电路示意图。

[0035] 图 17A 和 17B 是用于在存储单元中详细说明图 16 中所示的置位操作和复位操作的电路示意图。

[0036] 图 18 是图示根据变型 1 的存储元件的配置示例的剖面视图。

[0037] 图 19 是图示根据变型 2 的存储元件的配置示例的剖面视图。

具体实施方式

[0038] 下文参照附图详细描述本公开的实施例。将按照下列顺序给出描述。

[0039] 1. 第一实施例 (将置位操作侧的存储元件所对应的位线电位设置到比复位操作侧的存储元件所对应的位线电位的值更高的值的示例)

[0040] 2. 第二实施例 (在相对于选择晶体管与存储元件对向的一侧提供指示固定电阻值的电阻元件的示例)

[0041] 3. 变型

[0042] 变型 1 和 2 (存储元件的其它配置示例)

[0043] 其它变型

[0044] <1. 第一实施例 >

[0045] [存储装置 1 的配置]

[0046] 图 1 图示根据本公开第一实施例的存储装置（存储装置 1）的方框示意图。存储装置 1 包括具有多个存储单元 20 的存储阵列 2、字线驱动部分 31 和位线驱动部分 / 灵敏放大器 32。对于上面的组成部分，字线驱动部分 31 和位线驱动部分 / 灵敏放大器 32 对应于本公开中的“驱动部分”的特定示例。

[0047] 字线驱动部分 31 将给定的电位（后面提到的字线电位）施加至在行方向上彼此并联布置的多条（在此情况下， m 条（ m ：等于或大于 2 的整数））字线 $WL1 \sim WLm$ 。

[0048] 位线驱动部分 / 灵敏放大器 32 分别将给定电位施加至在列方向上彼此并联（并排）布置的多条（在此情况下， m 条）位线 $BL11 \sim BL1m$ （第一位线）和多条（在此情况下， m 条）位线 $BL21 \sim BL2m$ （第二位线）。从而，将给定电压（后面提到的置位电压或后面提到的复位电位）分别施加在位线 $BL11$ 和 $BL21$ 之间、位线 $BL12$ 和 $BL22$ 之间、……、位线 $BL1m$ 和 $BL2m$ 之间。进一步，位线驱动部分 / 灵敏放大器 32 具有通过使用前述的 m 条位线 $BL11 \sim BL1m$ 和前述的 m 条位线 $BL21 \sim BL2m$ 进行来自相应存储单元 20 的信息（数据）的读出操作的功能、在内部灵敏放大器中进行给定信号放大处理的功能。在下面的描述中，适当时，将位线 $BL1$ 用作位线 $BL11 \sim BL1m$ 的共同的术语，将位线 $BL2$ 用作位线 $BL21 \sim BL2m$ 的共同的术语。

[0049] 如上所述，字线驱动部分 31 和位线驱动部分 / 灵敏放大器 32 从存储阵列 2 中的多个存储单元 20 中选择一个存储单元 20 作为驱动目标（操作目标），并且选择性地对信息的写入操作、擦除操作或读出操作。

[0050] [存储阵列 2 的配置]

[0051] 在存储阵列 2 中，如图 1 中所示，多个存储单元 20 布置成行-列状态（矩阵状态）。图 2 图示存储阵列 2 的电路配置示例。在存储阵列 2 中，一条字线 WL 和成对的位线 $BL1$ 和 $BL2$ 连接至各个存储单元 20。

[0052] 进一步，如图 2 和图 3 中所示，各个存储单元 20 具有一个存储元件 21 和一个选择晶体管 22（晶体管），并且具有所谓的“1T1R”型电路配置（存储单元）。在存储单元 20 中，字线 WL 连接至晶体管 22 的栅极，位线 $BL1$ 与晶体管 22 中的源极和漏极之一通过其间的位接触（bit contact） BC 连接。位线 $BL2$ 与晶体管 22 中的源极和漏极的另一个（节点接触 NC 侧）通过其间的存储元件 21 连接。进一步，如图 2 中所示，位接触 BC 对于沿着位线 $BL1$ 方向的上下存储单元 20 共用（公共地使用）。从而，节省了存储阵列 2 的面积。然而，配置不限于前面的描述，可以单独地针对每个存储单元 20 提供位接触 BC 。

[0053] 选择晶体管 22 是用于选择一个存储元件 21 作为驱动目标的晶体管，其例如由 MOS 晶体管（Metal Oxide Semiconductor，金属氧化物半导体）构成。然而，选择晶体管 22 不限于此，可以使用具有其它结构的晶体管。

[0054] （存储元件 21）

[0055] 存储元件 21 是通过使用电阻状态根据施加电压的极性可翻转地改变（在低电阻状态和高电阻状态之间改变）的事实进行信息（数据）的存储（写入和擦除）的元件。如图 4 的剖面视图中所示，存储元件 21 依次具有下电极 211（第一电极）、存储层 212 和上电极 213（第二电极）。

[0056] 下电极 211 是提供在晶体管 22 侧（节点接触 NC 侧）的电极。下电极 211 由用于半导体工艺的布线材料（例如， W （钨）、 WN （氮化物）、氮化钛（ TiN ）和氮化钽（ TaN ）之类的

金属材料或金属氮化物)制成。然而,下电极 211 的材料不限于此。

[0057] 存储层 212 具有拥有在上电极 213 侧提供的离子源层 212B 和在下电极 211 提供的电阻改变层 212A 的叠层结构。尽管在稍后详细描述,在存储层 212 中,电阻状态根据施加在下电极 211 和上电极 213 之间的电压的极性可翻转地改变(在低电阻状态和高电阻状态之间改变)。

[0058] 离子源层 212B 含有变为阴离子的作为离子传导材料的碲(Te)、硫(S)和硒(Se)之中的至少一个硫族元素。进一步,离子源层 212B 含有能够变为阳离子的作为金属元素的锆(Zr)、铪(Hf)和/或铜(Cu),并且进一步包含作为在擦除信息时形成氧化物的元素的铝(Al)和/或锗(Ge)。特别是,离子源层 212B 由具有 ZrTeAl、ZrTeAlGe、CuZrTeAl、CuTeGe 和 CuSiGe 之类的成分的离子源层材料制成。离子源层 212B 可以含有硅(Si)和硼(B)之类的前述元素以外的元素。

[0059] 电阻改变层 212A 具有用以稳定作为电传导障碍(electric conduction barrier)的信息保留特性的功能,并且其由具有比离子源层 212B 的电阻值更高的电阻值的材料制成。电阻改变层 212A 的材料的优选示例包括 Gd(钆)之类的稀土元素和含有 Al、Mg(镁)、Ta、Si(硅)和 Cu 中的至少一个的氧化物或氮化物。

[0060] 上电极 213 由已知的与下电极 211 的半导体布线材料类似的半导体布线材料制成。确切地,即使在后退火之后也不会对离子源层 212B 起反应的稳定材料是优选的。

[0061] 使用前述存储元件 21 配置的存储阵列 2 例如具有如图 5 中所示的平面配置。进一步,例如在从图 5 中的 II 方向观看存储阵列 2 的情况下,存储阵列 2 具有如图 6 中所示的侧面配置。

[0062] 换言之,存储阵列 2 例如在衬底 11 上具有多条并行的字线 BL2、多条并行的位线 BL1 和多条并行的位线 BL2。衬底 11 例如由硅(Si)衬底构成。在衬底的表面上,提供晶体管(例如,前述的选择晶体管 22)的扩散层(有源区)11A。扩散层 11A 通过元件隔离层 11B 隔离。字线 WL 还用作晶体管的栅极,并且例如在图 5 中按水平方向布置在衬底 11 上。字线 WL 的上面和侧面覆盖有绝缘层 12A。位线 BL1 和 BL2 分别提供在与字线 WL 正交的方向上(例如,提供在图 5 中的垂直方向上)。位线 BL1 的上面和侧面覆盖有绝缘层 12B。

[0063] 位接触 BC 提供在两条相邻字线 WL 之间。在位接触 BC 中,位线 BL1 连接至扩散层 11A,位接触 BC 还用作晶体管的源极和漏极之一。连接插头(plug)13 提供在位接触 BC 和扩散层 11A 之间。

[0064] 节点接触(node contact)NC 提供在相对于夹着位接触 BC 的相应两条字线 WL 与位接触电极 BC 对向的一侧。在节点接触 NC 中,下电极 211 连接至扩散层 11A,并且节点接触 NC 还用作晶体管的源极和漏极的另一个。连接插头 14 提供在节点接触 NC 和扩散层 11A 之间。位接触 BC 对于两个相邻的晶体管共用,而节点接触 NC 对于每个晶体管单独地加以提供。

[0065] 前述存储元件 20 中的存储层 212 的上面和侧面覆盖有绝缘层 12C。进一步,连接插头 15 提供在存储层的离子源层 212B 和上电极 213 之间。存储元件 20 中的上电极 213 还用作前述位线 BL2 的一部分。

[0066] [存储装置 1 的作用和效果]

[0067] (1. 基本操作)

[0068] 在存储装置 1 中,如图 1 和图 2 中所示,字线驱动部分 31 将给定的电位(后面提到的字线电位)施加至 m 条字线 $WL1 \sim WLm$ 。另外,位线驱动部分 / 灵敏放大器 32 将给定的电位分别施加至 m 条位线 $BL11 \sim BL1m$ 和 m 条位线 $BL21 \sim BL2m$ 。换言之,给定的电压(后面提到的置位电压或后面提到的复位电压)分别施加在位线 $BL11$ 和 $BL21$ 之间、位线 $BL12$ 和 $BL22$ 、……、位线 $BL1m$ 和 $BL2m$ 之间。从而,从存储阵列 2 中的多个存储单元 20 中选择出作为驱动目标(操作目标)的一个存储单元 20,并且选择性地对信息的写入操作、擦除操作或读出操作。

[0069] 确切地,在各个存储单元 20 中的存储元件 21 中,存储层 212 的电阻状态根据施加在下电极 211 和上电极 213 之间的电压的极性可翻转地改变(在低电阻状态和高电阻状态之间改变)。通过使用这一事实,在存储元件 21 中,进行信息的读出操作或擦除操作。

[0070] 同时,位线驱动部分 / 灵敏放大器 32 通过使用 m 条位线 $BL11 \sim BL1m$ 和 m 条位线 $BL21 \sim BL2m$,在作为驱动目标(操作目标)的存储单元 20 中进行来自存储元件 21 的信息的读出操作,并且在内部的灵敏放大器中进行给定的信号放大处理。从而,进行来自存储元件 21 的信息的读出操作。

[0071] 在选择作为驱动目标(操作目标)的存储单元 20(存储元件 21)时,将一给定电位(字线电位)施加至与存储单元 20 连接的字线 WL ,并且将一给定电位(置位电压或复位电压)施加在连接的位线 $BL1$ 和 $BL2$ 之间。同时,在作为驱动目标(操作目标)的存储单元 20 以外的多个存储单元 20 中,将地电位(例如,0V)施加给连接的字线 WL ,并且连接的位线 $BL1$ 和 $BL2$ 分别设置到浮空状态或地电位(0V)。

[0072] 将参照图 7A ~ 8B,针对信息的写入操作或擦除操作所对应的置位操作和复位操作详细地给出描述。置位操作是用以将存储元件 21(确切地,存储层 212)的电阻状态从高电阻状态(初始状态)改变到低电阻状态的操作(用以降低存储元件 21 的电阻的操作)。进一步,另一方面,复位操作是用以将存储元件 21(存储层 212)的电阻状态从低电阻状态改变到高电阻状态的操作(用以增大存储元件 21 的电阻的操作)。

[0073] 确切地,在图 7A 中所示的置位操作时,在作为驱动目标的存储单元 20 中,将给定字线电位施加至字线 WL (选择晶体管 22 的栅极)。另外,通过将位线 $BL1$ 和 $BL2$ 之中的低电位侧(在此情况下,选择晶体管 22 的源极侧)的位线 $BL1$ 的电位用作标准,将给定的置位电压施加在位线 $BL1$ 和 $BL2$ 之间。然后,如图 7A 和图 8A 中所示,在作为驱动目标的存储元件 21 中,将负电位施加至下电极 211 侧,并且将正电位相应地施加至上电极 213 侧(即,将正电压施加至存储元件 21)。从而,在存储层 212 中,诸如 Cu 和 / 或 Zr 、 Al 之类的阳离子从离子源层 212B 被离子传导,与下电极 211 侧的电子结合,并被沉淀(precipitate)。结果,将降低到金属状态的低电阻 Zr 和 / 或 Cu 、 Al 等的传导路径(纤细的导体(filament))形成在下电极 211 和电阻改变层 212A 之间的结合部位中。否则,在电阻改变层 212A 中形成传导路径。由此,电阻改变层 212A 的电阻值减小(电阻降低),并且电阻状态从作为初始状态的高电阻状态改变到低电阻状态。于是,在作为驱动目标的存储元件 21 中进行置位操作。此后,即使去掉正电压并且去除施加至存储元件 21 的电压,低电阻状态也得到保持。从而,信息写入至存储元件 21。

[0074] 同时,在图 7B 中所示的复位操作时,在作为驱动目标的存储单元 20 中,将给定的字线电位施加至字线 WL (选择晶体管 22 的栅极)。另外,通过将位线 $BL1$ 和 $BL2$ 之中的低

电位侧（在此情况下，选择晶体管 22 的源极侧）的位线 BL2 的电位用作标准，将给定的复位电压施加至位线 BL1 和 BL2 之间。然后，如图 7B 和图 8B 中所示，在作为驱动目标的存储元件 21 中，将正电位施加至下电极 211 侧，并且将负电位施加至上电极 213 侧（即，将负电压施加至存储元件 21）。从而，通过前述的置位操作在电阻改变层 212 中形成的传导路径的 Zr 和 / 或 Cu、Al 被氧化和离子化。然后溶入离子源层 212B 或者与 Te 等结合，结果，形成诸如 Cu_2Te 和 CuTe 之类的化合物。然后，去除或减少 Zr 和 / 或 Cu 的传导路径，并且电阻值增大（电阻增大）。否则，进一步，添加的存在于离子源层 212B 中的 Al 和 Ge 之类的元素在阳极上形成氧化膜，并且电阻状态改变到高电阻。于是，电阻状态从低电阻状态改变到作为初始状态的高电阻状态，并且在作为驱动目标的存储元件 21 中进行复位操作。此后，即使去掉负电压并且去除施加至存储元件 21 的电压，高电阻状态也得到保持。从而，写入至存储元件 21 中的信息能够被擦除。

[0075] 通过如上所述那样重复前述步骤（置位操作和复位操作），在存储元件 21 中，能够重复地进行写入信息和擦除所写入的信息。例如，图 9 更确切地图示了这种状态。在图 9 中，水平轴表示施加至存储元件 21 的电压 V 的大小和极性，垂直轴表示此时流入存储元件 21 的电流 I 。首先，在存储元件 21 处于高电阻状态（初始状态）的情况下，即使将电压施加至存储元件 21，电流 I 也几乎不流动。接着，如图中的箭头 P21 中所指示，在将超过给定阈值的正电压 V_{th+} 施加至存储元件 21 的情况下，存储元件 21 转变至电流急剧流动的状态（低电阻状态）。然后，如图中的箭头 P22 所指示，即使施加的电压 V 返回至 0V，低电阻状态也得到保持。此后，如图中的箭头 P23 所指示，在将超过给定阈值的负电压 V_{th-} 施加至存储元件 21 的情况下，存储元件 21 转变至电流未急剧流动的状态（高电阻状态）。然后，即使在施加的电压 V 返回至 0V 之后，这种高电阻状态也得到保持。于是，发现通过将具有不同极性的电压施加至存储元件 21，电阻值（电阻状态）可翻转地改变。

[0076] 进一步，例如，在电阻值为高的状态（高电阻状态）对应于信息“0”并且电阻值为低的状态（低电阻状态）对应于信息“1”的情况下，能够认为通过施加正电压，信息“0”在记录信息的过程中可改变到信息“1”，并且通过施加负电压，信息“1”在擦除信息的过程中可改变到信息“0”。

[0077] 存储元件 21 的写入操作 / 擦除操作是对应于减小电阻（从高电阻状态改变到低电阻状态）还是增大电阻（从低电阻状态改变到高电阻状态）是定义问题。在本说明书中，将低电阻状态定义为写入状态，将高电阻状态定义为擦除状态。

[0078] （2. 置位操作和复位操作的细节）

[0079] 接下来参照图 10A ~ 图 11，通过与比较示例进行比较，针对作为本公开特征之一的存储装置 1 中的置位操作和复位操作详细地给出描述。

[0080] （2-1. 比较示例）

[0081] 首先，在根据图 10A 和 10B 所示的比较示例的现有存储装置中的存储单元 102 中，在作为驱动目标的存储元件 21（存储单元 20）中进行置位操作和复位操作。

[0082] 确切地，例如，如图 10A 中所示，在置位操作时，将用于置位操作的字线电位 V_{w1_set} 施加至与作为驱动目标的存储单元 20 连接的字线 WL（在此情况下，字线 WL_n ）。进一步，将 0V 施加至与作为驱动目标的存储单元 20 连接的位线 $BL1_n$ ，并且将用于进行置位操作的电压（置位电压 V_{set} ）施加至位线 $BL2_n$ ，从而在位线 $BL1_n$ 和 $BL2_n$ 之间施加置位电压 V_{set} 。

从而,如图 7A 中所示,在作为驱动目标的存储单元 20 中,将栅源电压 $V_{gs_set} = V_{wl_set}$ 施加在选择晶体管 22 的栅极和源极之间,将正电压施加至存储元件 21,并且进行前述的置位操作。

[0083] 同时,例如,如图 10B 中所示,在复位操作时,将用于复位操作的字线电位 V_{wl_reset} 施加至与作为驱动目标的存储单元 20 连接的字线 WL(在此情况下,字线 WL_n)。进一步,分别地,将用于进行复位操作的电压(复位电压 V_{reset})施加至与作为驱动目标的存储单元 20 连接的位线 BL_{1n} ,并且将 0V 施加至位线 BL_{2n} ,从而将复位电压 V_{reset} 施加在位线 BL_{1n} 和 BL_{2n} 之间。从而,如图 7B 中所示,在作为驱动目标的存储单元 20 中,将栅源电压 $V_{gs_reset} = (V_{wl_reset} - V_{nc})$ (节点接触 NC 的电位)施加在选择晶体管 22 的栅极和源极之间,将负电压施加至存储元件 21,并且进行前述的复位操作。

[0084] 发现的是,例如如图 9 中所示,在存储元件 21 中,在与置位操作中流动的电流相同级别的电流以相反方向流动的状态下,进行复位操作。在比较示例中,相反方向上的相同级别的电流试图在置位操作时和复位操作时流动的情况下,由于存储单元 20 的电路配置而产生下列缺点。

[0085] 换言之,首先,如图 7A 中所示,置位操作时的栅源电压 V_{gs_set} 对应于施加至字线 WL 的电位(字线电位 V_{wl_set})和施加至位线 BL_1 的电位(0V)之间的差异。同时,如图 7B 中所示,复位操作时的栅源电压 V_{gs_reset} 对应于施加至字线 WL 的电位(字线电位 V_{wl_reset})和节点接触 NC 的电位之间的差异。换言之,当选择晶体管 22 的源极在置位操作时具有 0V(位线 BL_1 的电位)的时候,选择晶体管 22 的源极在复位操作时不具有 0V(位线 BL_2 的电位)。由此,在相反方向上的相同级别的电流试图在置位操作时和复位操作时流向存储元件 21(选择晶体管 22)的情况下,自然地将字线电位 V_{wl_set} 设置得小于字线电位 V_{wl_reset} 。换言之,置位操作时施加至选择晶体管 22 的栅极(字线 WL)的电压(字线电位)的值与其在复位操作时的值不同。于是,在比较示例的存储装置中,不可以同时(并发)对位于同一字线 WL 上的给定(多个)存储单元 20 进行置位操作和复位操作。结果,需要在同一字线 WL 上单独地分配置位操作时间段和复位操作时间段,使得导致难以改善存储装置的工作速度。

[0086] (2-2. 示例 1)

[0087] 同时,在此实施例的存储装置 1 中,前述比较示例中的缺点(存储装置的工作速度的缺点)例如通过图 11 中所示的示例(示例 1)的方法而得到解决。换言之,变得可以通过下列方法,针对位于同一字线 WL 上的多个(在此情况下,两个)存储单元 20 同时(并发)进行置位操作和复位操作。将针对此实施例中的置位操作和复位操作详细给出描述。在示例 1 中,对位于字线 WL_n 上的存储单元 20_{nn} (第一存储元件)进行置位操作,并且对位于同一字线 WL_n 上的存储单元 $20_{n(n+1)}$ (第二存储元件)进行复位操作。

[0088] 首先,在示例 1 中,将前述比较示例中的复位操作的字线电位 V_{wl_reset} 施加至字线 WL_n ,其中作为置位操作目标的存储单元 20_{nn} 和作为复位操作目标的存储单元 $20_{n(n+1)}$ 公共地连接至字线 WL_n 。换言之,如上所述,确立字线电位 $V_{wl_set} < \text{字线电位 } V_{wl_reset}$ 。由此,将两条字线电位之中的作为更高电位的字线电位 V_{wl_reset} 公共地供给两个存储单元 20_{nn} 和 $20_{n(n+1)}$ 。

[0089] 进一步,将复位电压 V_{reset} 施加至与存储单元 $20_{n(n+1)}$ 连接的位线 $BL_{1(n+1)}$,并

且将 0V 施加至位线 BL2(n+1),从而将复位电压 V_{reset} 施加在位线 BL1(n+1) 和 BL2(n+1) 之间。从而,如前述比较示例中一样,在作为复位操作目标的存储单元 20n(n+1) 中,将栅源电压 $V_{gs_reset} = V_{w1_reset} - V_{nc}$ 施加在选择晶体管 22 的栅极和源极之间,并且将正电压施加至存储元件 21,并且进行前述的复位操作。

[0090] 同时,将如下的电位分别施加至与作为置位操作目标的存储单元 20nn 连接的位线 BL1n 和 BL2n。换言之,在通过从用于复位操作的字线电位 V_{w1_reset} 中减去用于置位操作的字线电位 V_{w1_set} 获得的电位差为电位差 $\Delta (= V_{w1_reset} - V_{w1_set})$ 的情况下,分别地,将对于电位差 ΔV 的量的电位施加至位线 BL1n,并且将 $(V_{set} + \Delta V)$ 施加至位线 BL2n。换言之,进行设置以使得连接至存储单元 20nn 的位线 BL1n 和 BL2n 之中的低电位侧的位线 BL1n 的电位 $(= \Delta V)$ 比连接至存储单元 20n(n+1) 的位线 BL1(n+1) 和 BL2(n+1) 之中的低电位侧的位线 BL2(n+1) 的电位 $(= 0V)$ 高前述的电位差 ΔV 。确切地,进行设置以使得字线 WLn 的电位比用于置位操作的字线电位 V_{w1_set} 高电位差 ΔV 。于是,将位线 BL1n 和 BL2n 的电位分别地设置为比前述比较示例的置位操作时的值高了电位差 ΔV 的量的值。从而,与前述比较示例中一样,将置位电压 V_{set} 施加在位线 BL1n 和 BL2n 之间。进一步,如前述比较示例中一样,在作为置位操作目标的存储单元 20nn 中,将栅源电压 $V_{gs_set} (= V_{w1_reset} - \Delta V)$ 施加在选择晶体管 22 的栅极和源极之间,将正电压施加至存储元件 21,并且进行前述的置位操作。

[0091] 于是,在此实施例中,施加至同一字线 WL 的电压(字线电位 V_{w1_reset})共用(公共地使用)于置位操作时(在此情况下,存储单元 20nn 侧)和复位操作时(在此情况下,存储单元 20n(n+1) 侧)。从而,不同于比较示例,变得可以针对位于同一字线 WL 上的给定(多个)存储单元同时(并发)进行置位操作和复位操作。

[0092] 于是,在此实施例中,在对位于一条字线 WL 上的存储元件 20 进行置位操作并且对位于前述一条字线 WL 上的存储元件 20 进行复位操作的情况下,将给定的字线电位 V_{w1_reset} 施加至前述的一条字线,并且将置位操作侧的存储元件 20 所对应的低电位侧的位线 BL1 的电位设置为比复位操作侧的存储元件 20 所对应的低电位侧的位线 BL2 的电位的值要高给定电位差 ΔV 的量的值。由此,变得可以对位于同一字线 WL 上的给定(多个)存储单元同时(并发)进行置位操作和复位操作。因此,在此实施例的存储装置 1 中,与前述比较示例的存储装置相比,运行速度能够得到更多的改善。

[0093] 进一步,作为存储单元 20 和存储阵列 2 的电路配置自身,能够使用现有的电路配置。因此,能够实现低成本(能够抑制开发成本的增高)。

[0094] <2. 第二实施例>

[0095] 然后,针对本公开的第二实施例给出描述。对于与前述第一实施例中的组成部分相同的组成部分,向其附上相同的附图标记,并且其描述将会适当地予以省略。

[0096] [存储装置 1A 的配置]

[0097] 图 12 图示根据第二实施例的存储装置(存储装置 1A)的方块配置。此实施例的存储装置 1A 包括具有多个存储单元 20A 的存储阵列 2A、字线驱动部分 31 和位线驱动部分/灵敏放大器 32A。除了代之存储阵列 2 提供存储阵列 2A 并且代之位线驱动部分/灵敏放大器 32 提供位线驱动部分/灵敏放大器 32A 之外,存储装置 1A 具有与第一实施例的存储装置 1 的结构类似的结构。因此,在此实施例中,字线驱动部分 31 和位线驱动部分/灵敏

放大器 32A 对应于本公开中的“驱动部分”的特定示例。

[0098] 位线驱动部分 / 灵敏放大器 32A 的基本操作与位线驱动部分 / 灵敏放大器 32 的基本操作类似。然而,置位操作和复位操作中施加至位线 BL1 和 BL2 的电位与前述第一实施例的不同。对于所施加电位的细节,将在稍后给出描述。

[0099] [存储阵列 2A 的配置]

[0100] 在存储阵列 2A 中,与存储阵列 2 中一样,多个存储单元 20A 布置成行-列状态(矩阵状态)。图 13 图示存储阵列 2A 的电路配置示例。在存储阵列 2A 中,与存储阵列 2 中一样,一条字线 WL 和成对的位线 BL1 和 BL2 连接至各个存储单元 20A。然而,不同于存储阵列 2,后面提到的多个固定的电阻元件 23 布置在存储阵列 2A 中。

[0101] 进一步,如图 13 和图 14 中所示,如存储单元 20 进行的一样,各个存储单元 20A 具有一个存储元件 21 和一个选择晶体管 22(晶体管),并且具有所谓的“1T1R”型电路配置(存储单元)。在存储单元 20A 中,对于与前述固定电阻元件 23 的连接关系,采用与存储单元 20 的电路结构不同的电路结构。确切地,在存储单元 20A 中,字线 WL 连接至晶体管 22 中的栅极,位线 BL1 和晶体管 22 中的源极和漏极之一通过其间的位接触 BC 和固定电阻元件 23 连接。位线 BL2 和晶体管 22 中的源极和漏极的另一个(节点接触 NC 侧)通过其间的存储元件 21 连接。进一步,如图 13 中所示,除了位接触 BC 之外,固定电阻元件 23 对于沿着位线 BL1 方向的上下存储单元 20 也共用(公共地使用)。从而,节省了存储阵列 2 的面积。然而,配置不限于前述描述,可以单独地针对每个存储单元 20A 分别提供位接触 BC 和固定电阻元件 23。

[0102] 固定电阻元件 23 是指示固定电阻值的电阻元件。出于下列原因,固定电阻值例如近似等于(期望地等于)存储元件 21 的低电阻状态下的电阻值。即,如上所述,在存储元件 21 中,置位操作时流动的电流处于与复位操作时流动的电流相同的级别。作为固定电阻值的特定值,例如,期望大约 $10\text{k}\Omega \sim 500\text{k}\Omega$ 。

[0103] 参照例如在图 15 中图示的存储阵列 2A 的侧面配置,在下列部分中形成固定电阻元件 23。即,固定电阻元件 23 形成在连接插头 13A 中作为位线 BL1 和晶体管(选择晶体管 22)中的源极和漏极之一之间的连接部分。确切地,连接插头 13A 由晶体半导体(例如,晶体硅(多晶硅))或无定形(非晶体)半导体(例如,无定形硅)制成。另外,固定电阻元件 23 的电阻值通过晶体半导体或无定形半导体的杂质(例如,磷(P))的浓度而加以调节。同时,构成节点接触 NC 的连接插头 14 由钨(W)之类的金属制成。

[0104] [存储装置 1A 的作用和效果]

[0105] 在存储装置 1A 中,基本上如前述第一实施例的存储装置 1 中那样进行信息(数据)的写入操作、擦除操作和读出操作。然而,在此实施例的存储装置 1A 中,可以通过使用与存储装置 1 中的方法不同的方法,对位于同一字线 WL 上的给定(多个)存储单元同时(并发地)进行置位操作和复位操作。下文针对这种方法详细地给出描述。在下面描述的示例 2 中,如前述示例 1 中一样,对位于字线 WLn 上的存储单元 $20Ann$ 进行置位操作,并且对位于同一字线 WLn 上的存储单元 $20An(n+1)$ 进行复位操作。

[0106] 首先,在图 16 ~ 17B 中所示的此实施例的示例(示例 2)中,如前述示例 1 中一样,将用于复位操作的字线电位 V_{wl_reset} 施加至字线 WLn ,其中作为置位操作目标的存储单元 $20Ann$ 和作为复位操作目标的存储单元 $20An(n+1)$ 分别公共地连接至字线 WLn 。

[0107] 进一步,如前述示例 1 中一样,将复位电压 V_{reset} 施加至与存储单元 $20A_n(n+1)$ 连接的位线 $BL1(n+1)$ 并且将 $0V$ 施加至位线 $BL2(n+1)$,从而在位线 $BL1(n+1)$ 和 $BL2(n+1)$ 之间施加复位电压 V_{reset} 。从而,如前述示例 1 中一样,如图 17B 中所示,在作为复位操作目标的存储单元 $20A_n(n+1)$ 中,将栅源电压 $V_{gs_reset} = V_{wl_reset} - V_{nc}$ 施加在选择晶体管 22 的栅极和源极之间,将正电压施加至存储元件 21,并且进行前述的复位操作。

[0108] 同时,不同于前述示例 1,将下列电位分别施加至与作为置位操作目标的存储单元 $20A_{nn}$ 连接的位线 $BL1n$ 和 $BL2n$ 。即,与前述比较示例中一样,分别地,将 $0V$ 施加至位线 $BL1n$ 并且将置位电压 V_{set} 施加至位线 $BL2n$ 。换言之,进行设置以使得连接至存储单元 $20A_{nn}$ 的位线 $BL1n$ 和 $BL2n$ 之中的低电位侧的位线 $BL1n$ 的电位 ($= 0V$) 等于连接至存储单元 $20A_n(n+1)$ 的位线 $BL1(n+1)$ 和 $BL2(n+1)$ 之中的低电位侧的位线 $BL2(n+1)$ 的电位 ($= 0V$)。从而,与前述比较示例和示例 1 中一样,在位线 $BL1n$ 和 $BL2n$ 之间施加置位电压 V_{set} 。

[0109] 然而,在此实施例中,在存储阵列 2A 中提供前述的固定电阻元件 23。确切地,在存储单元 $20A$ 中,位线 $BL1$ 侧 (固定电阻元件 23 侧) 的部分和位线 $BL2$ 侧 (存储元件 21 侧) 的部分相对于选择晶体管 22 彼此对称。从而,在示例 2 中,在作为置位操作目标的存储单元 $20A_{nn}$ 中,在置位操作中出现下列动作。换言之,例如,如图 17A 中所示,在固定电阻元件 23 的两端之间 (在选择晶体管 22 的源极和位接触 BC 之间) (自动地) 产生前述的电位差 $\Delta V (= V_{wl_reset} - V_{wl_set})$ 。从而,与前述比较示例和示例 1 中一样,在作为置位操作目标的存储单元 $20A_{nn}$ 中,在选择晶体管 22 的栅极和源极之间施加栅源电压 $V_{gs_set} (= V_{wl_reset} - \Delta V)$,将正电压施加至存储元件 21,并且进行前述的置位操作。

[0110] 添加固定电阻元件 23 对于复位操作的效果如下。即,例如,如图 17B 中所示,由于固定电阻元件 23 在复位操作时连接至选择晶体管 22 的漏极侧,因此对于复位操作时流动的电流的影响没有限制地很小。

[0111] 于是,在此实施例中,施加至同一字线 WL 的电压 (字线电位 V_{wl_reset}) 共用 (公共地使用) 于置位操作时 (在此情况下,存储单元 $20A_{nn}$ 侧) 和复位操作时 (在此情况下,存储单元 $20A_n(n+1)$ 侧)。从而,与前述第一实施例中一样,变得可以针对位于同一字线 WL 上的给定 (多个) 存储单元同时 (并发) 进行置位操作和复位操作。

[0112] 于是,在此实施例中,在存储单元 $20A$ 中,字线 WL 连接至选择晶体管 22 的栅极,位线 $BL1$ 与选择晶体管 22 中的源极和漏极之一通过其间的固定电阻元件 23 连接,并且位线 $BL2$ 与选择晶体管 22 中的源极和漏极的另一个通过其间的存储元件 21 连接。由此,变得可以对位于同一字线 WL 上的给定 (多个) 存储单元同时 (并发) 进行置位操作和复位操作。因此,在此实施例的存储装置 1 中,相比于前述比较示例的存储装置,操作速度也能够更多地得到改善。

[0113] < 变型 >

[0114] 随后针对对于上述的第一和第二实施例公共的变型 (变型 1 和 2) 给出描述。对于与前述实施例中的组成部分相同的组成部分,向其附上相同的附图标记,并且其描述将会适当地予以省略。

[0115] [变型 1]

[0116] 图 18 图示根据变型 1 的存储元件 (存储元件 21A) 的剖面结构。此变型的存储元件 21A 由 PCM (Phase Change Memory, 相位改变存储器) 构成。

[0117] 存储元件 21A 在下电极 211 和上电极 213 之间具有由 GeSbTe 合金（如， $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ）制成的存储层 214。在存储层 214 中，自 / 至晶体状态至 / 自非晶体状态（无定形状态）的相位（phase）改变通过电流的施加而产生。与相位变化相关联地，电阻值（电阻状态）可翻转地改变。

[0118] 在此变型的存储元件 21A 中，在下电极 211 和上电极 213 之间施加正电压或负电压的情况下，存储层 214 从高电阻无定形状态改变到低电阻晶体状态（或从低电阻晶体状态改变到高电阻无定形状态）。通过重复这种处理，在存储元件 21A 中，能够重复地进行写入信息和擦除所写入的信息。

[0119] [变型 2]

[0120] 图 19 图示根据变型 2 的存储元件（存储元件 21B）的剖面结构。此变型的存储元件 21B 由 ReRam (Resistive Random Access Memory, 电阻可变量随机存取存储器) 构成。

[0121] 存储元件 21B 在下电极 211 和上电极 213 之间具有由氧化物（如， NiO 、 TiO_2 或 PrCaMnO_3 ）制成的存储层 215。电阻值（电阻状态）通过将电压施加至氧化物而可翻转地改变。

[0122] 在此变型的存储元件 21B 中，在下电极 211 和上电极 213 之间施加正电压或负电压的情况下，存储层 215 从高电阻状态改变到低电阻状态（或从低电阻状态改变到高电阻状态）。通过重复这种处理，在存储元件 21B 中，能够重复地进行写入信息和擦除所写入的信息。

[0123] [其它变型]

[0124] 已经参照实施例和变型描述了本技术。然而，本技术不限于前述实施例等，而是可以进行各种变型。

[0125] 例如，前述实施例等中描述的每一层的材料等不受限制，而是可以使用其它材料。进一步，在前述实施例等中，通过特定示例描述了存储元件 21、21A 和 21B、存储装置 1A 等的结构。然而，并非一定要提供所有的层，可以进一步包括其它层。

[0126] 应用于本公开的存储元件不限于前述实施例等中描述的存储元件 21、21A 和 21B。可以使用具有其它配置的存储元件，只要这种存储元件的电阻状态根据所施加电压的极性可翻转地改变即可。确切地，可以使用用于 MRAM (Magnetoresistive Random Access Memory, 磁阻随机存取存储器) 之类的 MTJ (Magnetic Tunnel Junction, 磁隧道结) 的存储元件和使用了过渡金属氧化物等的电阻改变元件。

[0127] 本公开包含与 2011 年 1 月 13 日向日本专利局提交的日本优先权专利申请 JP 2011-004830 中公开的主题有关的主题，其全部内容通过引用的方式合并在此。

[0128] 本领域的技术人员应当理解，依据设计要求和其它因素可出现各种变型、组合、部分组合和替换，只要其在所附权利要求或其等同体的范围内即可。

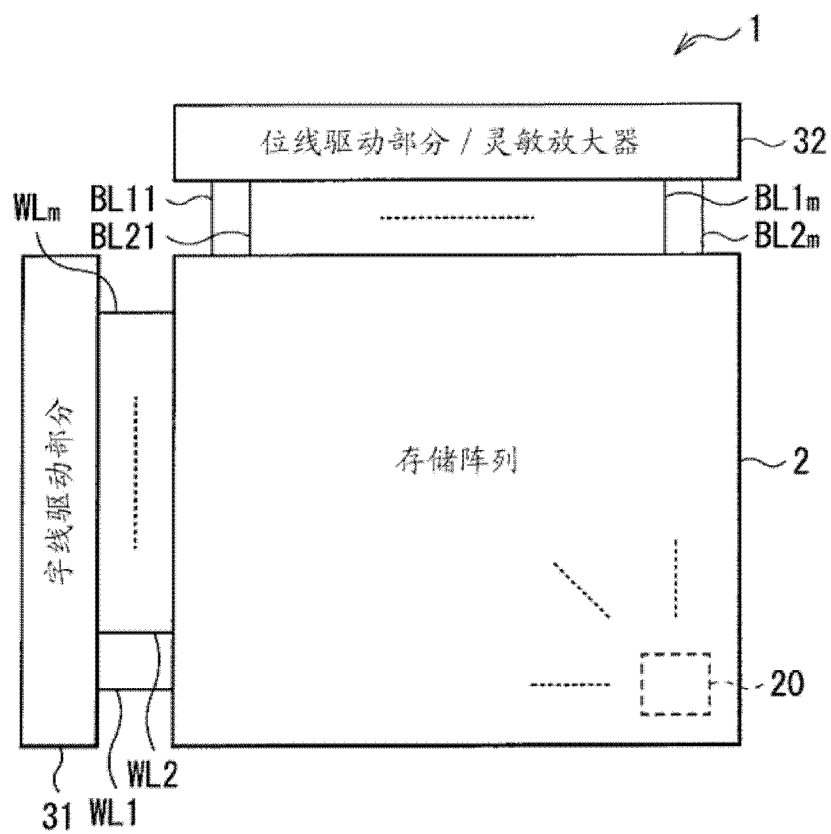


图 1

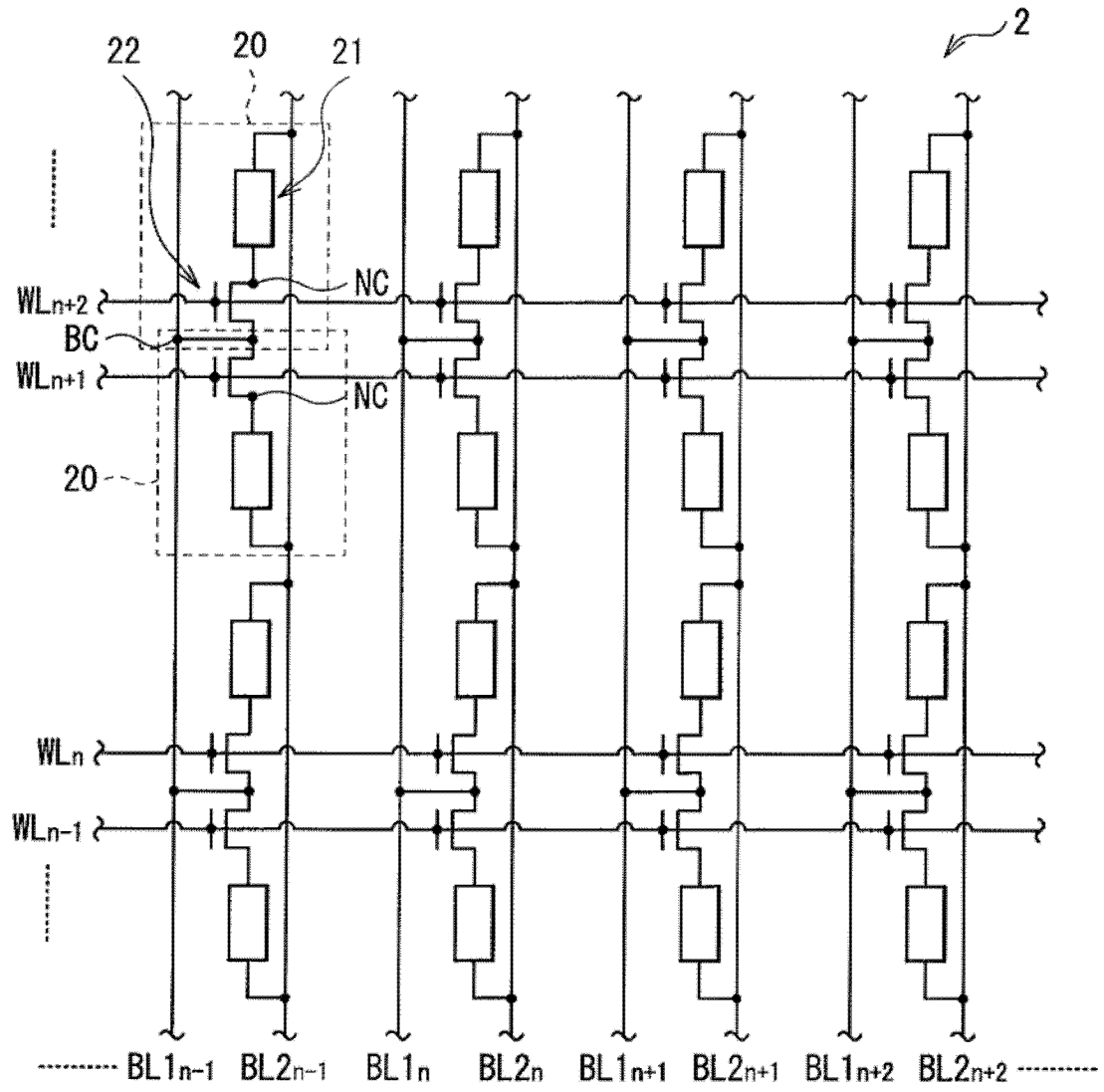


图 2

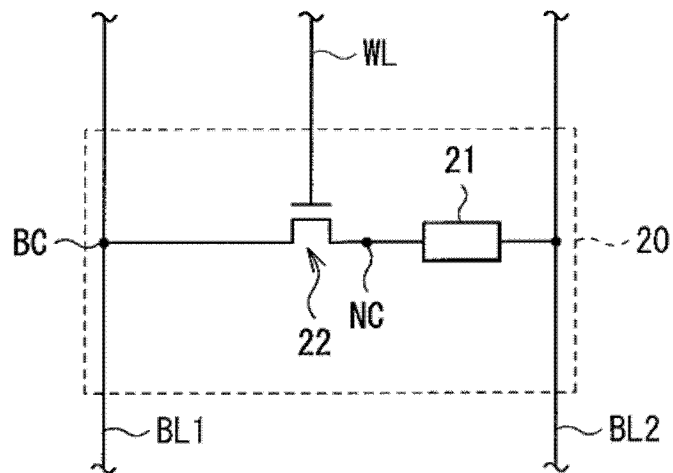


图 3

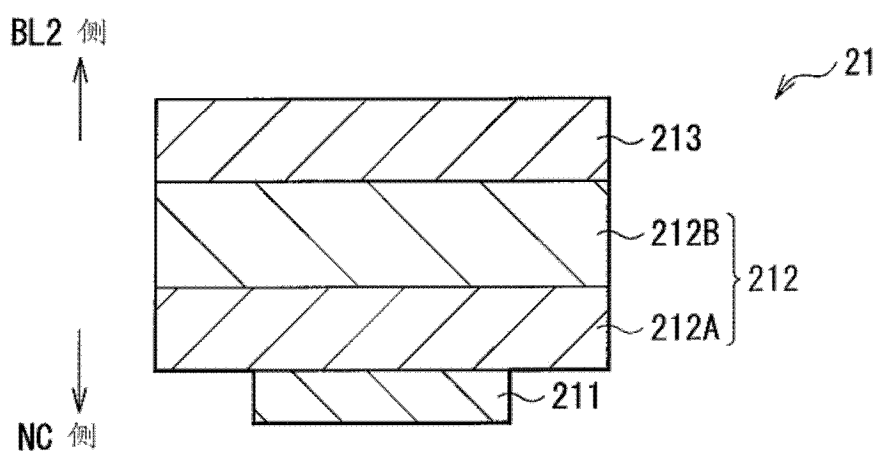


图 4

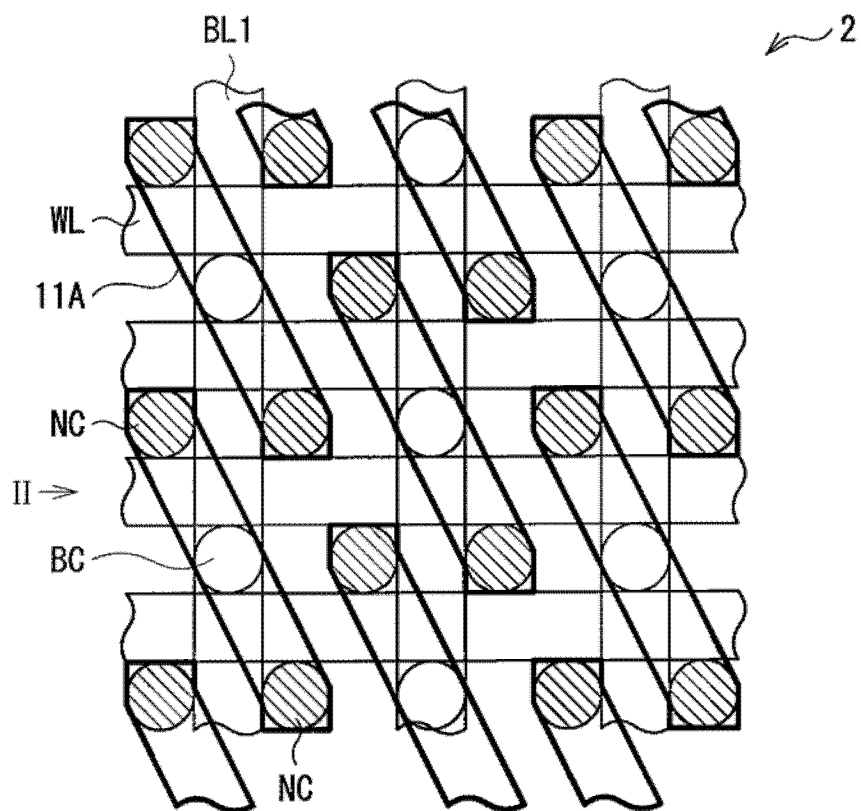


图 5

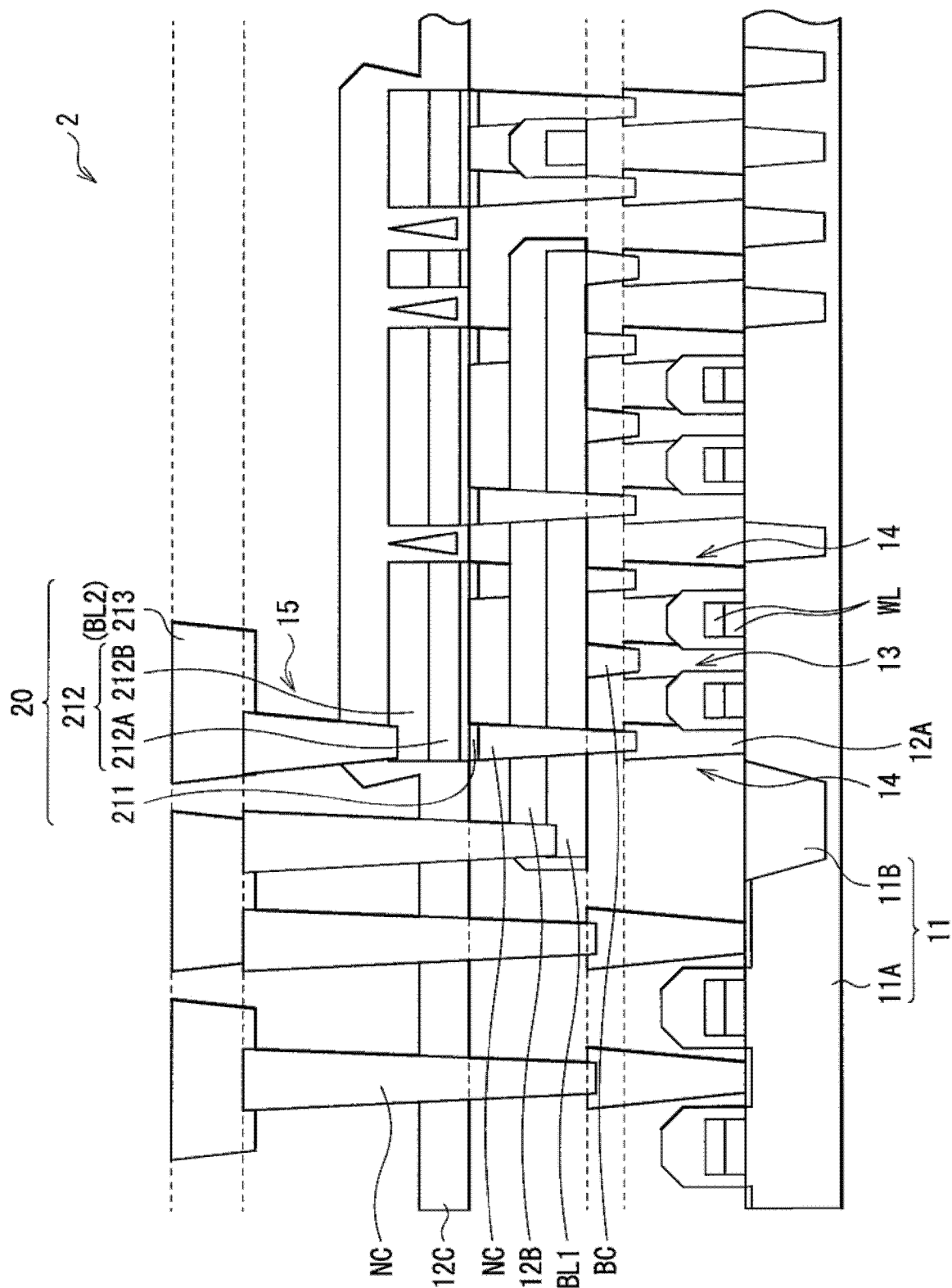


图 6

置位操作中
(从高电阻状态到低电阻状态)

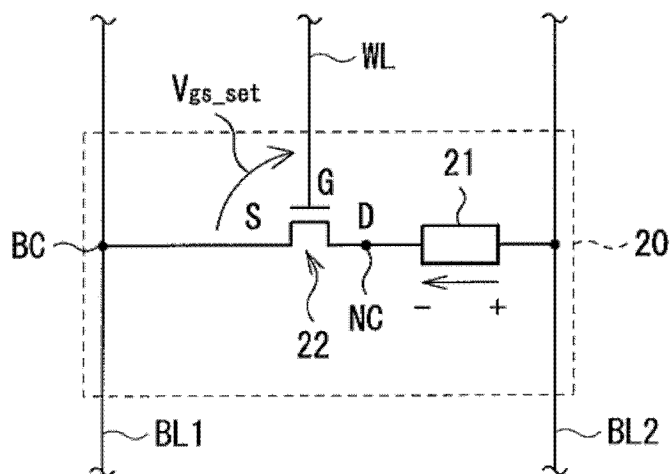


图 7A

复位操作中
(从低电阻状态到高电阻状态)

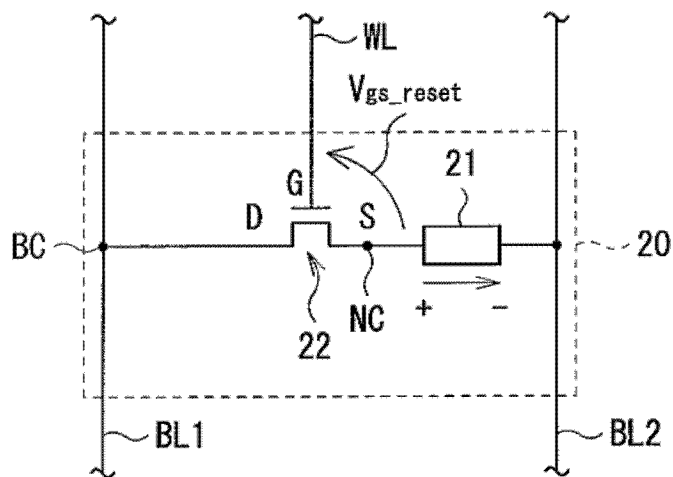


图 7B

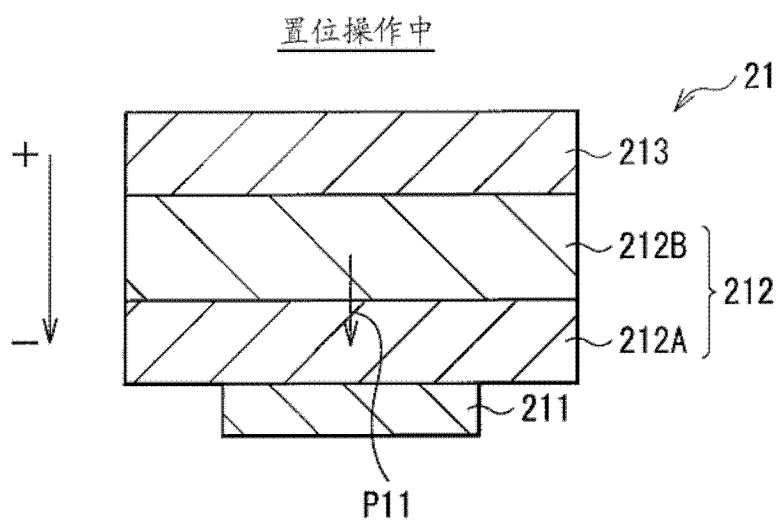


图 8A

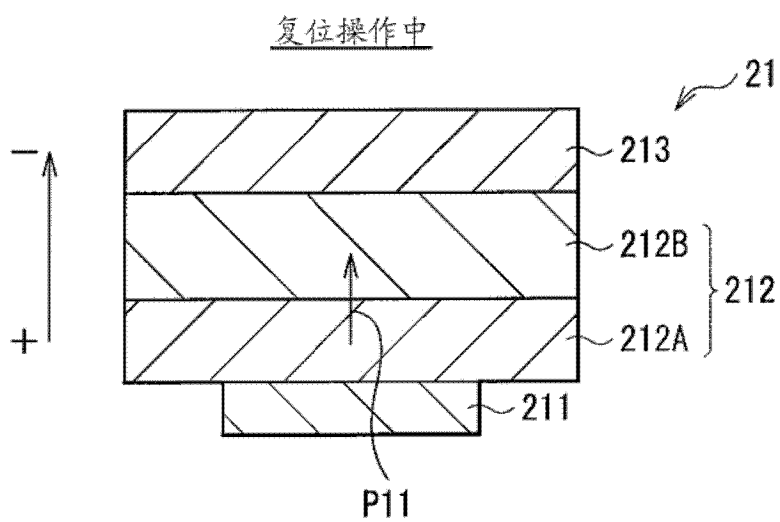


图 8B

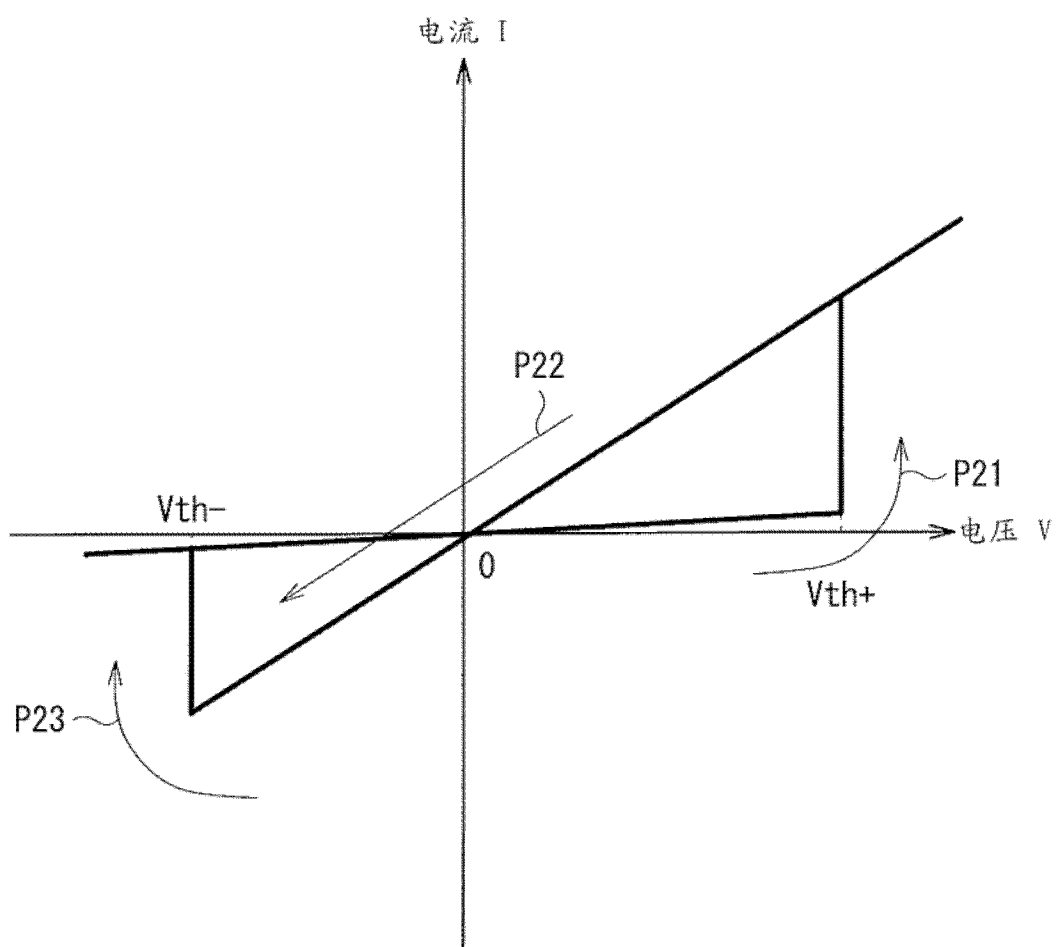


图 9

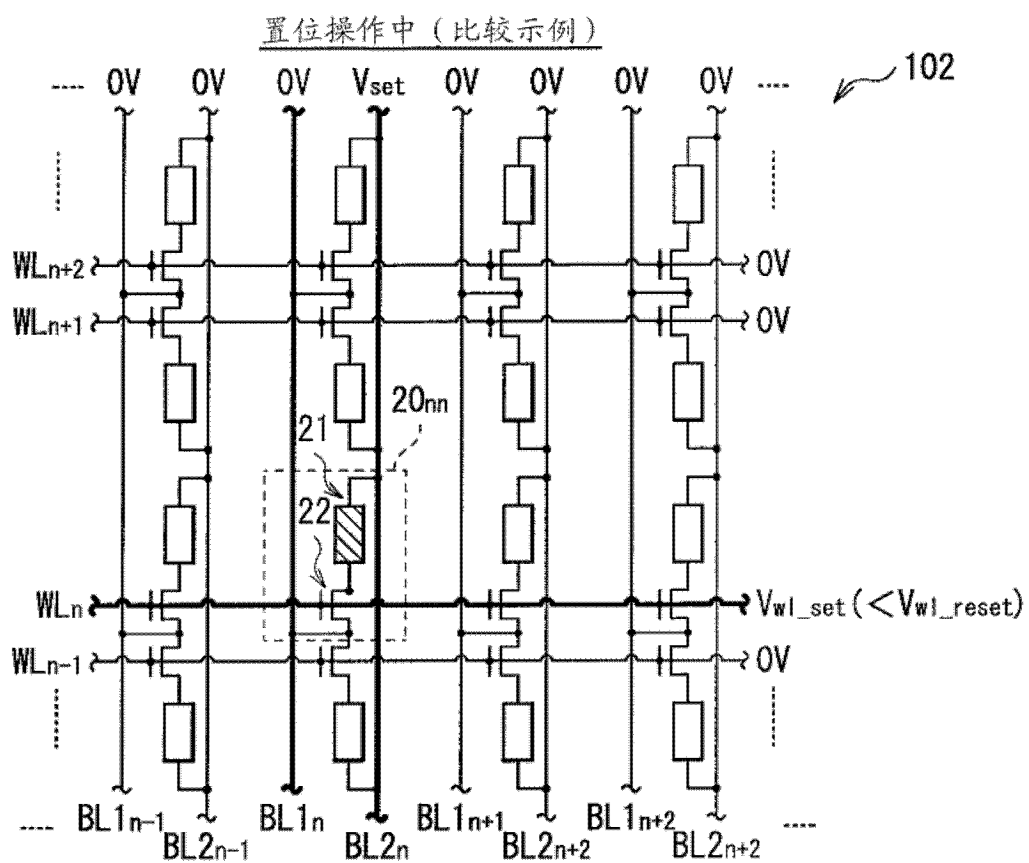


图 10A

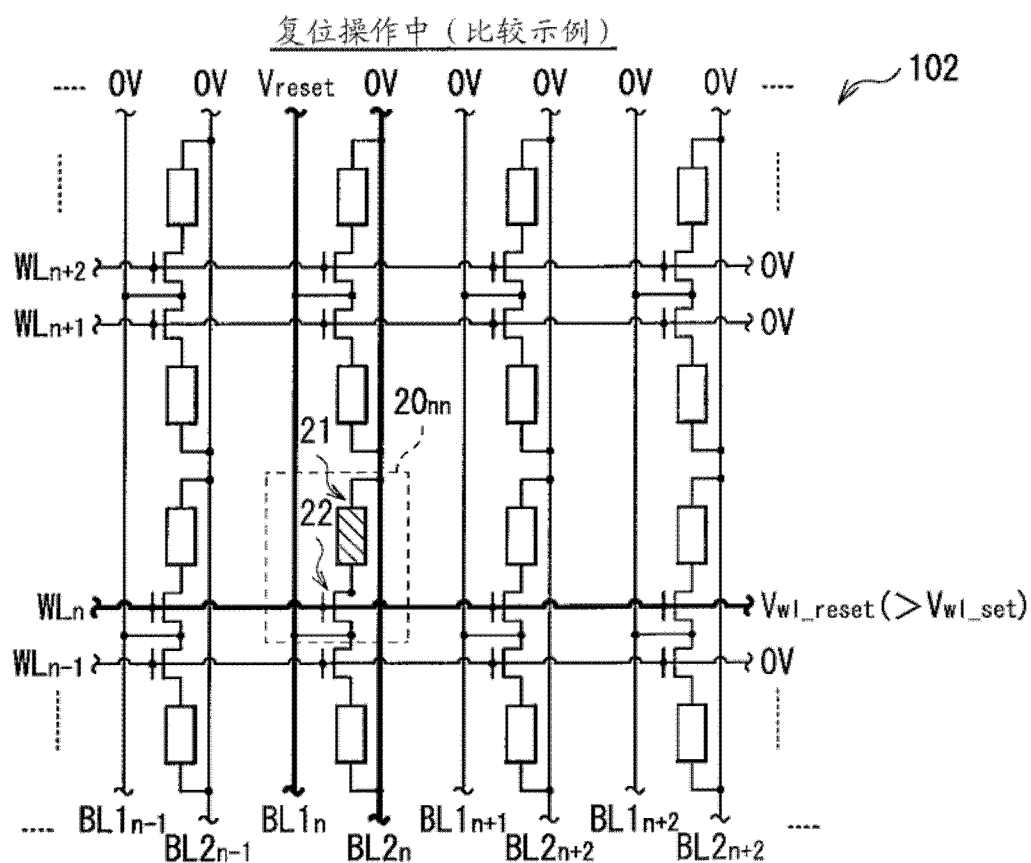


图 10B

在并发地进行的置位和复位操作中 (示例 1)

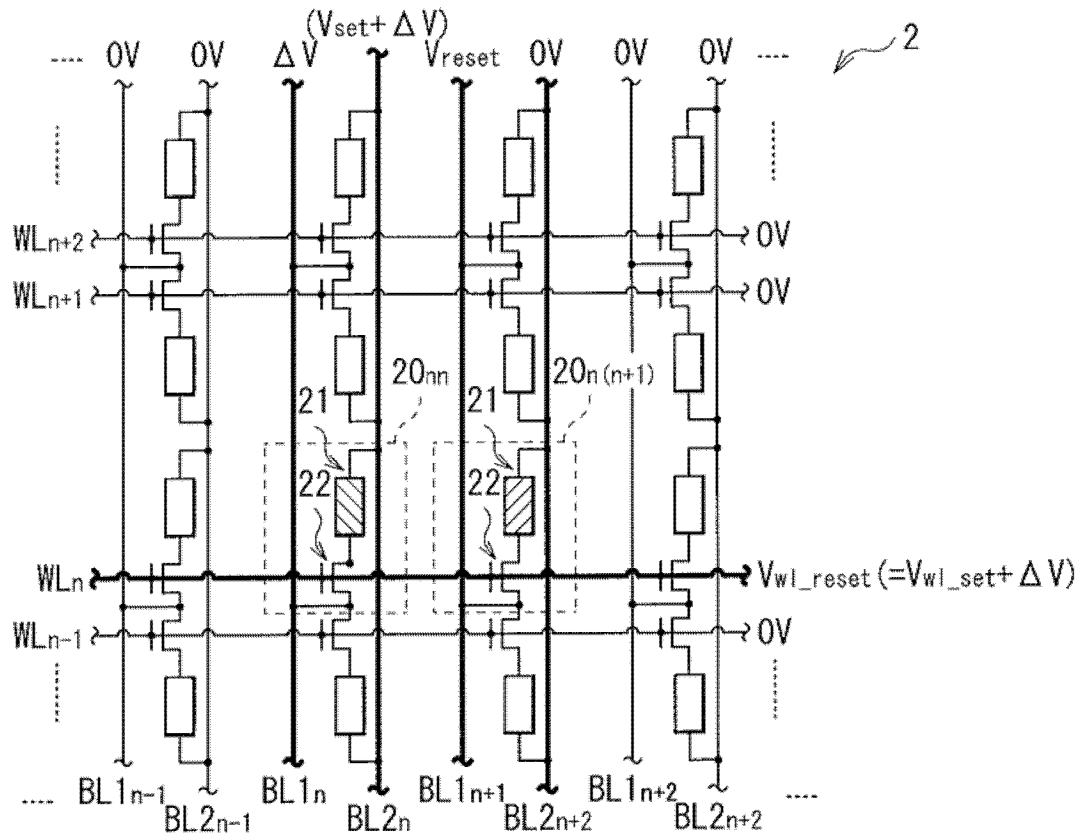


图 11

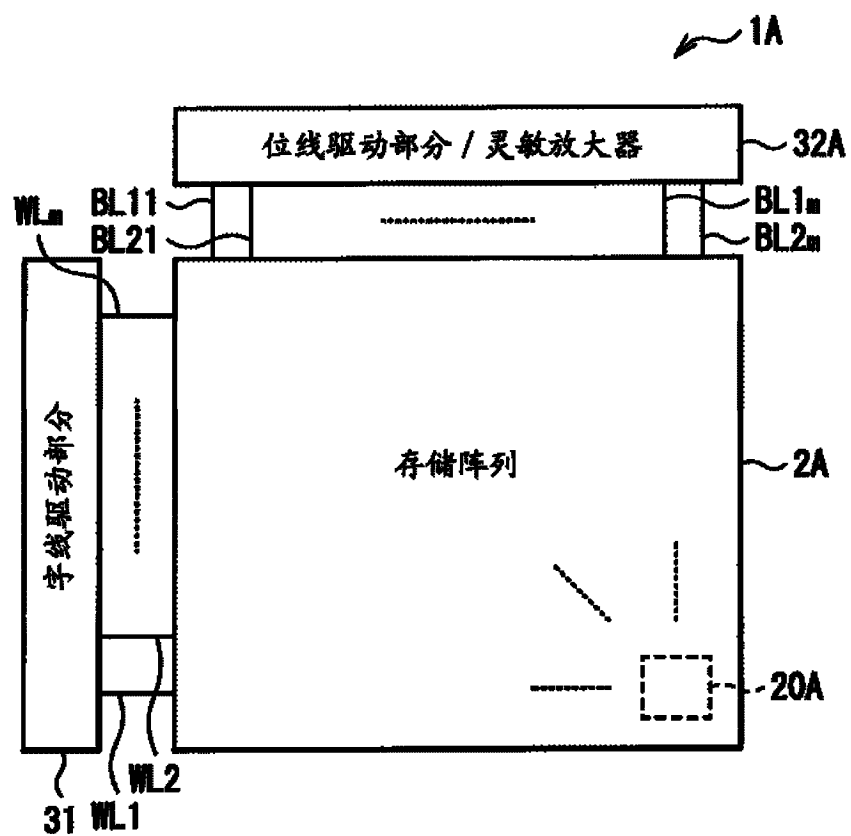


图 12

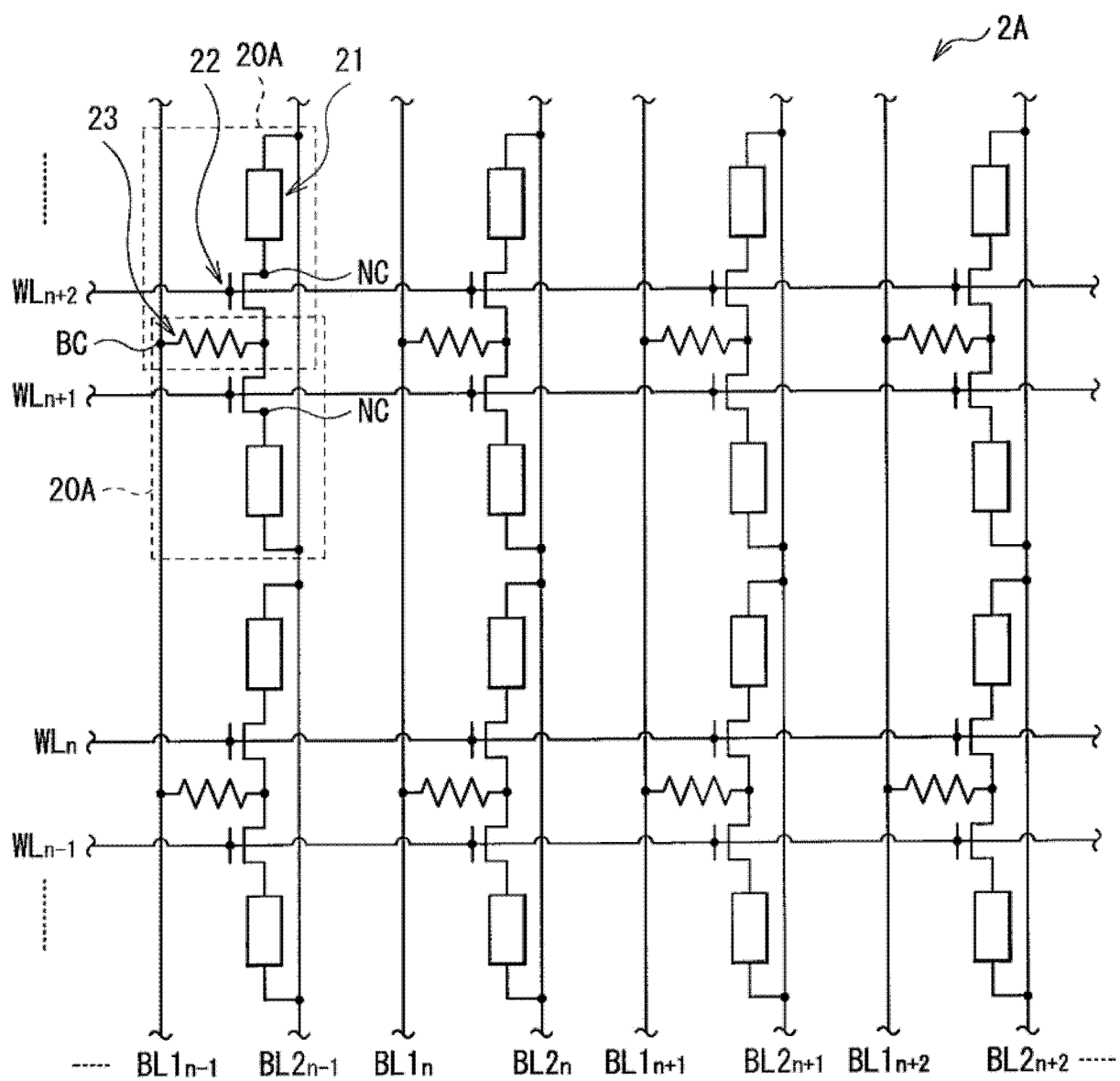


图 13

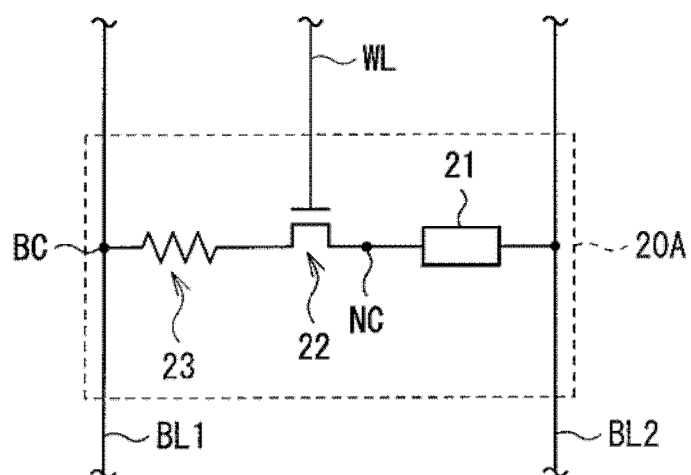


图 14

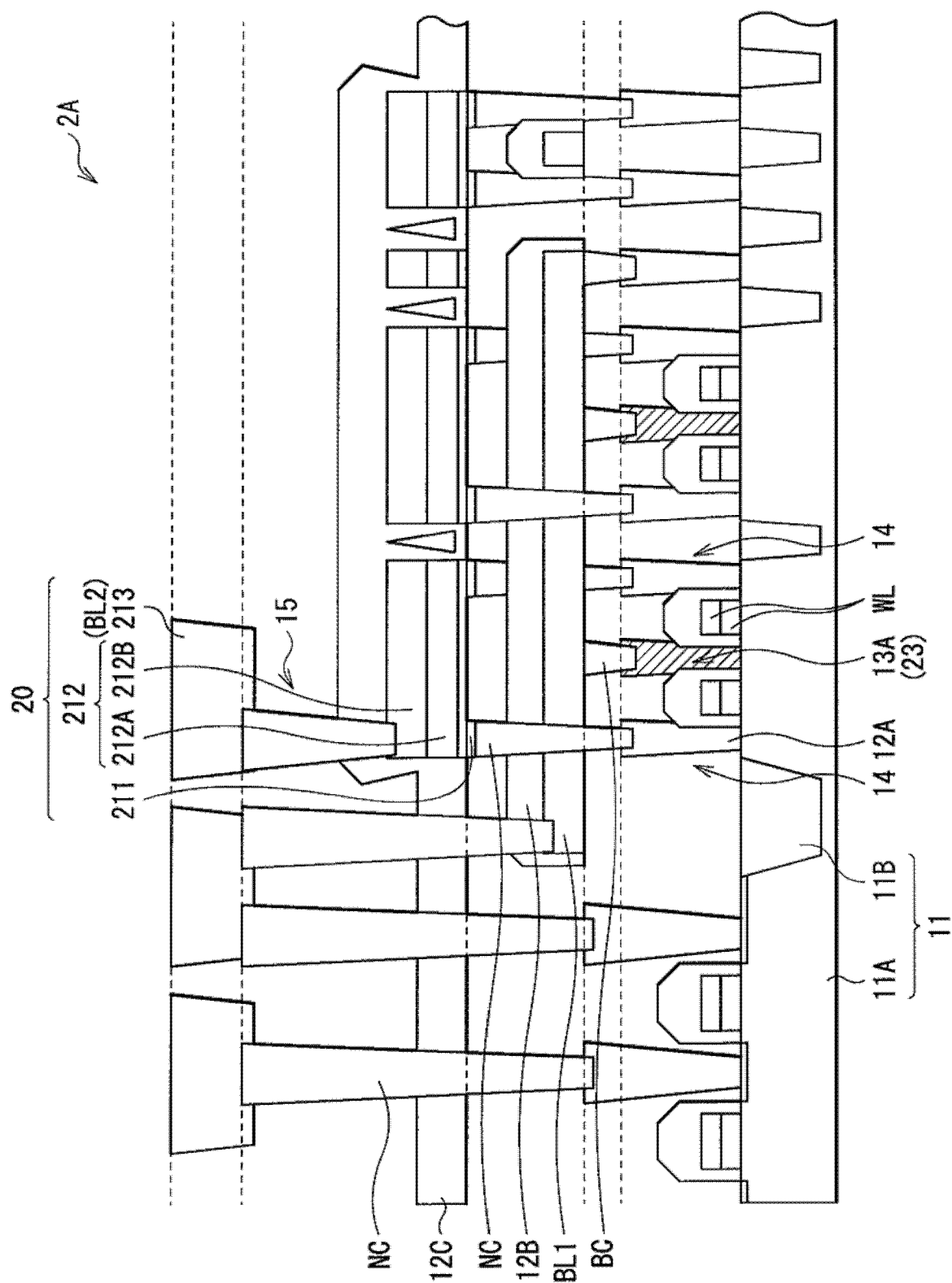


图 15

在并发地进行的置位和复位操作中 (示例 2)

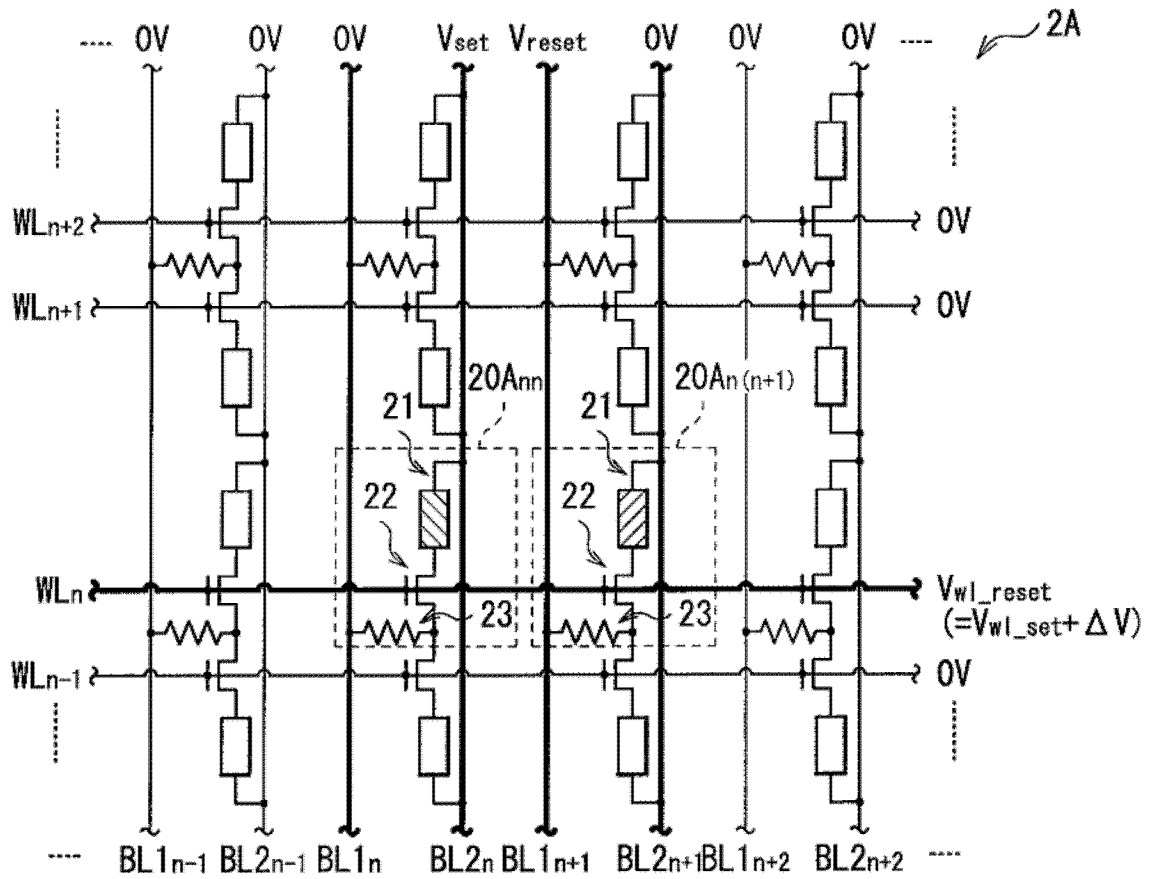


图 16

置位操作

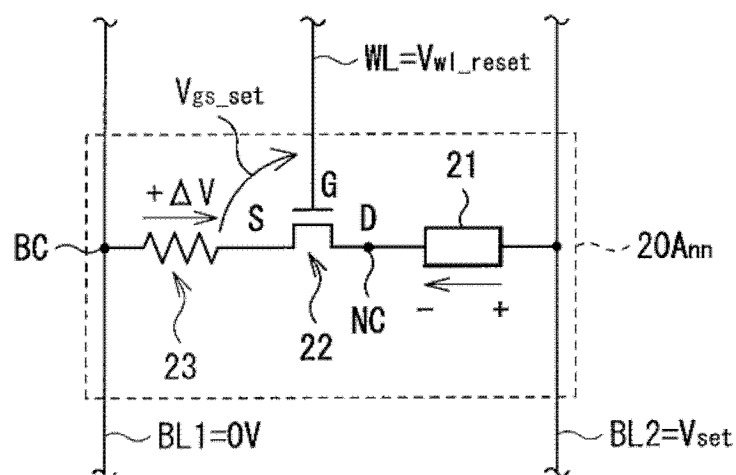


图 17A

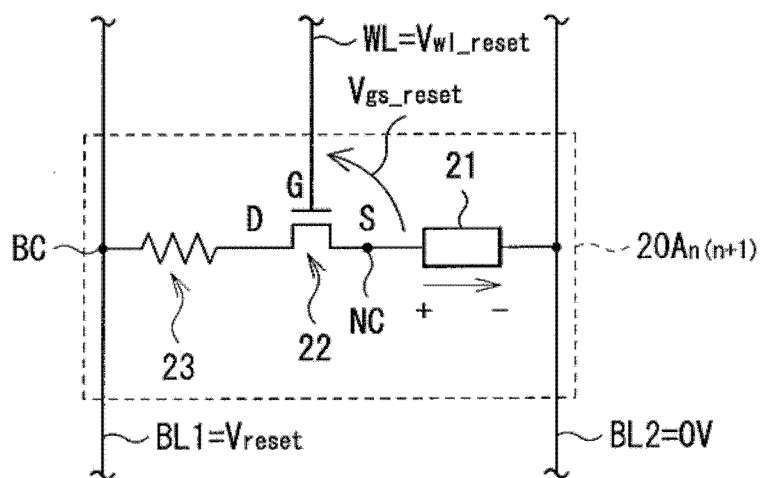
复位操作

图 17B

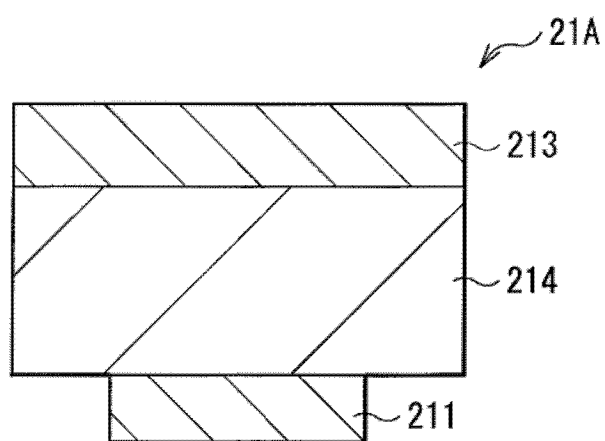


图 18

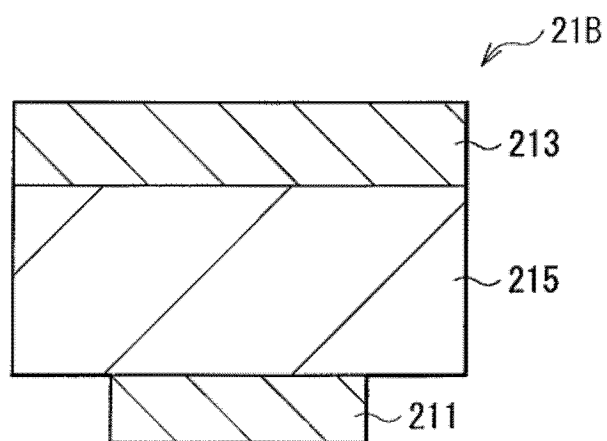


图 19