

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-237239

(P2011-237239A)

(43) 公開日 平成23年11月24日(2011.11.24)

(51) Int.Cl. F I テーマコード (参考)
G04G 3/02 (2006.01) G04G 3/02 A 2F002

審査請求 未請求 請求項の数 11 O L (全 14 頁)

(21) 出願番号	特願2010-107985 (P2010-107985)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成22年5月10日 (2010.5.10)	(74) 代理人	100095728 弁理士 上柳 雅誉
		(74) 代理人	100107261 弁理士 須澤 修
		(74) 代理人	100127661 弁理士 宮坂 一彦
		(72) 発明者	藤沢 照彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	2F002 CB02 CB12 FA16

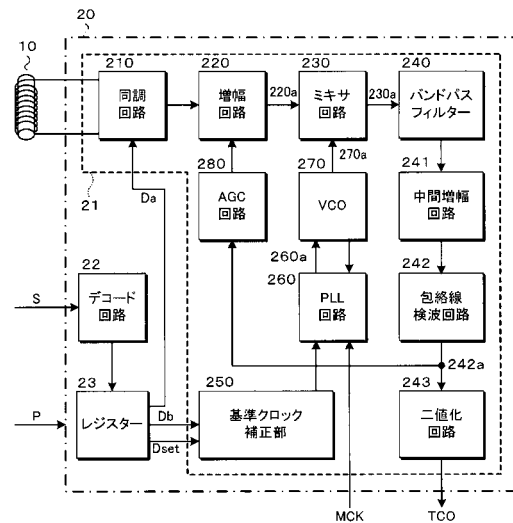
(54) 【発明の名称】 計時機能付き電子機器およびその制御方法

(57) 【要約】

【課題】 基準クロック信号などを計時以外の処理に用いる場合に周波数誤差の影響を他の処理において抑制する。

【解決手段】 基準クロック信号MCKの周波数の誤差を示す論理緩急設定データDsetに基づいて分周比を調整して時計クロック信号を生成する分周回路と、基準クロック信号MCKに同期した局部発振信号270aを生成するPLL回路260およびVCO270と、論理緩急設定データDsetに基づいて、局部発振信号270aの周波数を補正するようにPLL回路260を制御する基準クロック補正部250とを備える。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

基準クロック信号を発振する発振回路と、
前記基準クロック信号の周波数の誤差を示す誤差データを保持する保持部と、
前記基準クロック信号を分周して時計クロック信号を生成する分周回路と、
前記誤差データに基づいて前記分周回路の分周比を調整する調整部と、
前記時計クロック信号に基づいて内部時刻を計時する時刻計時部と、
前記基準クロック信号に基づいて、当該基準クロック信号に同期した第 1 信号を生成する信号生成部と、
前記誤差データに基づいて、前記第 1 信号の周波数を補正するように前記信号生成部を制御する補正部と、
を備える計時機能付き電子機器。

10

【請求項 2】

前記信号生成部は、
制御信号に応じた周波数の前記第 1 信号を発生する信号発生部と、
前記基準クロック信号と前記第 1 信号とに基づいて前記制御信号を生成する PLL 回路とを備え、
前記補正部は、前記誤差データに基づいて前記制御信号を補正するように前記 PLL 回路を制御する、
ことを特徴とする請求項 1 に記載の計時機能付き電子機器。

20

【請求項 3】

前記 PLL 回路は、
前記第 1 信号をカウントし、カウント値が第 1 基準値に達すると第 1 比較信号を発生する第 1 カウンターと、
前記基準クロック信号をカウントし、カウント値が第 2 基準値に達すると第 2 比較信号を発生する第 2 カウンターと、
前記第 1 比較信号と前記第 2 比較信号とを位相比較して誤差信号を生成する位相比較回路と、
前記誤差信号の高域周波数成分を除去して前記制御信号を生成するループフィルタとを備え、
前記補正部は、前記誤差データに基づいて、前記基準クロック信号の周波数の誤差が前記第 1 信号の周波数に反映される度合いが小さくなるように前記第 1 基準値および前記第 2 基準値を設定する、
ことを特徴とする請求項 2 に記載の計時機能付き電子機器。

30

【請求項 4】

前記基準クロック信号は、前記信号生成部が動作する期間に限って前記信号生成部に供給されることを特徴とする請求項 1 乃至 3 のうちいずれか 1 項に記載の計時機能付き電子機器。

【請求項 5】

基準クロック信号を発振する発振回路と、
前記基準クロック信号の周波数の誤差を示す誤差データを保持する保持部と、
前記基準クロック信号を分周して時計クロック信号と分周クロック信号とを生成する分周回路と、
前記誤差データに基づいて前記分周回路の分周比を調整する調整部と、
前記時計クロック信号に基づいて内部時刻を計時する時刻計時部と、
前記分周クロック信号に基づいて、当該分周クロック信号に同期した第 1 信号を生成する信号生成部と、
前記誤差データに基づいて、前記第 1 信号の周波数を補正するように前記信号生成部を制御する補正部と、
を備えることを特徴とする計時機能付き電子機器。

40

50

【請求項 6】

前記信号生成部は、
制御信号に応じた周波数の前記第 1 信号を発生する信号発生部と、
前記分周クロック信号と前記第 1 信号とに基づいて前記制御信号を生成する PLL 回路とを備え、
前記補正部は、前記誤差データに基づいて前記制御信号を補正するように前記 PLL 回路を制御する、
ことを特徴とする請求項 5 に記載の計時機能付き電子機器。

【請求項 7】

前記 PLL 回路は、
前記第 1 信号をカウントし、カウント値が第 1 基準値に達すると第 1 比較信号を発生する第 1 カウンターと、
前記分周クロック信号をカウントし、カウント値が第 2 基準値に達すると第 2 比較信号を発生する第 2 カウンターと、
前記第 1 比較信号と前記第 2 比較信号とを位相比較して誤差信号を生成する位相比較回路と、
前記誤差信号の高域周波数成分を除去して前記制御信号を生成するループフィルタとを備え、
前記補正部は、前記誤差データに基づいて、前記基準クロック信号の周波数の誤差が前記第 1 信号の周波数に反映される度合いが小さくなるように前記第 1 基準値および前記第 2 基準値を設定する、
ことを特徴とする請求項 5 に記載の計時機能付き電子機器。

【請求項 8】

前記分周クロック信号は、前記信号生成部が動作する期間に限って前記信号生成部に供給されることを特徴とする請求項 5 乃至 7 のうちいずれか 1 項に記載の計時機能付き電子機器。

【請求項 9】

前記第 1 信号は局部発振信号であり、
前記信号発生部は、局部発振回路であり、
前記局部発振信号を用いて受信信号を周波数変換するミキサ回路と、
前記ミキサ回路の出力信号の所定帯域を通過させて中間周波数信号を生成するバンドパスフィルタと、
前記中間周波数信号を復調する復調部とを備える、
請求項 2、3、6、又は 7 のうちいずれか 1 項に記載の計時機能付き電子機器。

【請求項 10】

前記保持部は、不揮発性の記憶手段であることを特徴とする請求項 1 乃至 9 のうちいずれか 1 項に記載の計時機能付き電子機器。

【請求項 11】

基準クロック信号を発振する発振回路と、前記基準クロック信号の周波数の誤差を示す誤差データを保持する保持部を備えた計時機能付き電子機器の制御方法であって、
前記基準クロック信号を分周して時計クロック信号を生成し、
前記誤差データに基づいて分周比を調整し、
前記時計クロック信号に基づいて内部時刻を計時し、
その周波数を前記誤差データに基づいて補正しつつ、前記基準クロック信号又は当該基準クロック信号を分周して得た分周クロック信号に基づいて、前記基準クロック信号又は前記分周クロック信号に同期した第 1 信号を生成する、
計時機能付き電子機器の制御方法。

【発明の詳細な説明】**【技術分野】**

【 0 0 0 1 】

本発明は、計時機能付き電子機器およびその制御方法に関する。

【 背景技術 】

【 0 0 0 2 】

近年、電波時計が普及しつつある。電波時計は、放送局から送られる信号を、電波時計に設けられた受信部で受信して、自動的に時刻合わせを実行する。

このような電波時計において、計時用の発振回路で生成された基準クロック信号を用いて、電波を受信する周波数を設定する技術が知られている（特許文献1参照）。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 3 】

【 特許文献1 】 特開平 2 0 0 4 - 2 9 4 2 5 7 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

上述した技術では、計時用の発振回路を受信用の発振回路と兼用できるといった利点があるが、発振回路の基準クロック信号の周波数に誤差があると、正確に受信周波数を設定できないといった問題がある。すなわち、時計用の基準クロック信号を計時以外の処理に用いる場合、当該処理には基準クロック信号の周波数誤差が反映されてしまうといった問題があった。

20

【 0 0 0 5 】

本発明は、基準クロック信号などを計時以外の処理に用いる場合に周波数誤差の影響を他の処理において抑制することを解決課題とする。

【 課題を解決するための手段 】

【 0 0 0 6 】

この課題を解決するために、本発明に係る計時機能付き電子機器は、基準クロック信号を発振する発振回路と、前記基準クロック信号の周波数の誤差を示す誤差データを保持する保持部と、前記基準クロック信号を分周して時計クロック信号を生成する分周回路と、前記誤差データに基づいて前記分周回路の分周比を調整する調整部と、前記時計クロック信号に基づいて内部時刻を計時する時刻計時部と、前記基準クロック信号に基づいて、当該基準クロック信号に同期した第1信号を生成する信号生成部と、前記誤差データに基づいて、前記第1信号の周波数を補正するように前記信号生成部を制御する補正部と、を備える。

30

この発明によれば、時計クロック信号は誤差データによって周波数が補正されるため、精度を向上させることができ、さらに、その誤差データを用いて第1信号の周波数を補正したので、基準クロック信号が有る程度の誤差を有していても、第1信号の周波数の精度を向上させることができる。

【 0 0 0 7 】

ここで、前記信号生成部は、制御信号に応じた周波数の前記第1信号を発生する信号発生部と、前記基準クロック信号と前記第1信号とに基づいて前記制御信号を生成するPLL回路とを備え、前記補正部は、前記誤差データに基づいて前記制御信号を補正するように前記PLL回路を制御することが好ましい。この場合、誤差データに基づいて制御信号が補正されるので、第1信号の周波数は、基準クロック信号の周波数よりも誤差が低減し、精度を向上させることができる。

40

【 0 0 0 8 】

さらに、前記PLL回路は、前記第1信号をカウントし、カウント値が第1基準値に達すると第1比較信号を発生する第1カウンターと、前記基準クロック信号をカウントし、カウント値が第2基準値に達すると第2比較信号を発生する第2カウンターと、前記第1比較信号と前記第2比較信号とを位相比較して誤差信号を生成する位相比較回路と、前記誤差信号の高域周波数成分を除去して前記制御信号を生成するループフィルターとを備え

50

、前記補正部は、前記誤差データに基づいて、前記基準クロック信号の周波数の誤差が前記第1信号の周波数に反映される度合いが小さくなるように前記第1基準値および前記第2基準値を設定することが好ましい。この場合、第1基準値と第2基準値を誤差データに基づいて設定するので、基準クロック信号の周波数誤差を加味して第1信号の周波数と基準クロック信号の周波数の関係を設定することができる。

【0009】

次に、本発明に係る他の計時機能付き電子機器は、基準クロック信号を発振する発振回路と、前記基準クロック信号の周波数の誤差を示す誤差データを保持する保持部と、前記基準クロック信号を分周して時計クロック信号と分周クロック信号とを生成する分周回路と、前記誤差データに基づいて前記分周回路の分周比を調整する調整部と、前記時計クロック信号に基づいて内部時刻を計時する時刻計時部と、前記分周クロック信号に基づいて、当該分周クロック信号に同期した第1信号を生成する信号生成部と、前記誤差データに基づいて、前記第1信号の周波数を補正するように前記信号生成部を制御する補正部と、を備える。

この発明によれば、時計クロック信号は誤差データによって周波数が補正されるため、精度を向上させることができ、さらに、その誤差データを用いて第1信号の周波数を補正したので、基準クロック信号が有る程度の誤差を有していても、第1信号の周波数の精度を向上させることができる。

【0010】

ここで、前記信号生成部は、制御信号に応じた周波数の前記第1信号を発生する信号発生部と、前記分周クロック信号と前記第1信号とに基づいて前記制御信号を生成するPLL回路とを備え、前記補正部は、前記誤差データに基づいて前記制御信号を補正するように前記PLL回路を制御する、ことを特徴とする。この場合、誤差データに基づいて制御信号が補正されるので、第1信号の周波数は、基準クロック信号の周波数よりも誤差が低減し、精度を向上させることができる。

【0011】

さらに、前記PLL回路は、前記第1信号をカウントし、カウント値が第1基準値に達すると第1比較信号を発生する第1カウンタと、前記分周クロック信号をカウントし、カウント値が第2基準値に達すると第2比較信号を発生する第2カウンタと、前記第1比較信号と前記第2比較信号とを位相比較して誤差信号を生成する位相比較回路と、前記誤差信号の高域周波数成分を除去して前記制御信号を生成するループフィルターとを備え、前記補正部は、前記誤差データに基づいて、前記基準クロック信号の周波数の誤差が前記第1信号の周波数に反映される度合いが小さくなるように前記第1基準値および前記第2基準値を設定する、ことを特徴とする。この場合、第1基準値と第2基準値を誤差データに基づいて設定するので、基準クロック信号の周波数誤差を加味して第1信号の周波数と分周クロック信号の周波数の関係を設定することができる。

【0012】

上述した電子機器において、前記第1信号は局部発振信号であり、前記信号発生部は、局部発振回路であり、前記局部発振信号を用いて受信信号を周波数変換するミキサ回路と、前記ミキサ回路の出力信号の所定帯域を通過させて中間周波数信号を生成するバンドパスフィルターと、前記中間周波数信号を復調する復調部とを備えることが好ましい。バンドパスフィルターの通過帯域は固定であるので、局部発振信号の周波数に誤差があると、感度が低下するが、この発明によれば、局部発振信号の周波数は誤差データによって補正されているので、受信性能を向上させることができる。

【0013】

次に、本発明に係る計時機能付き電子機器の制御方法は、基準クロック信号を発振する発振回路と、前記基準クロック信号の周波数の誤差を示す誤差データを保持する保持部を備えた電子機器を前提とし、前記基準クロック信号を分周して時計クロック信号を生成し、前記誤差データに基づいて分周比を調整し、前記時計クロック信号に基づいて内部時刻を計時し、その周波数を前記誤差データに基づいて補正しつつ、前記基準クロック信号又

10

20

30

40

50

は当該基準クロック信号を分周して得た分周クロック信号に基づいて、前記基準クロック信号又は前記分周クロック信号に同期した第1信号を生成する、ことを特徴する。

この発明によれば、時計クロック信号は誤差データによって周波数が補正されるため、精度を向上させることができ、さらに、その誤差データを用いて第1信号の周波数を補正したので、基準クロック信号が有る程度の誤差を有していても、第1信号の周波数の精度を向上させることができる。

【図面の簡単な説明】

【0014】

【図1】本発明の一実施形態である電波時計100の構成を示すブロック図である。

【図2】制御回路部30の構成を示すブロック図である。

10

【図3】論理緩急設定データDsetと補正量の関係を示す図表である。

【図4】分周回路35と論理緩急制御部34の構成を示すブロック図である。

【図5】受信回路部20の構成を示すブロック図である。

【図6】PLL回路260と周辺構成を示すブロック図である。

【図7】バンドパスフィルターの周波数特性を示すグラフである。

【図8】電波時計の製造工程における論理緩急の調整手順を示すフローチャートである。

【図9】電波時計100における標準電波の受信動作を示すフローチャートである。

【発明を実施するための形態】

【0015】

< 1. 実施形態 >

20

以下、本発明の実施の形態を図面に基づいて説明する。

図1に実施形態の電波時計100の構成を示す。電波時計100は、時刻情報が重畳された長波標準電波を受信するアンテナ10と、アンテナ10で受信した長波標準電波を処理してタイムコードTCOを出力する受信回路部20と、装置全体を制御する制御回路部30と、時計、分針、秒針等の指針およびその指針を駆動するモータ等で構成された時刻表示部40と、時刻表示部40を制御する表示回路部50と、所定のタイミングで時刻表示部40の指針の針位置が基準位置にあるかを検出する針位置検出回路55と、各回路を駆動する電源としての二次電池60と、光電変換により発電するソーラーパネル65と、各回路への電源供給および二次電池60への充電を制御する電源制御回路部70、および利用者が各種の操作を行う外部操作部材80を備える。

30

【0016】

図2に制御回路部30の構成を示す。制御回路部30は、CPU31を備える。CPU31は、所定のプログラムを実行することにより、受信回路部20の動作を制御するパワーオン信号PやシリアルデータSを生成する受信回路制御部31a、現在時刻を計時して内部時刻情報を生成する時刻カウンタ31b、内部時刻情報を修正する内部時刻修正制御部31cとして機能する。TCOデコード部38は、受信回路部20から供給されるタイムコードTCOをデコードして、現在時刻を示す外部時刻情報を生成して、内部時刻修正制御部31cに供給する。また、シリアルデータSは、受信局を指定しアンテナの同調を取るための同調データDa、受信周波数を選択するための選択データDb、受信回路部20を制御するための各種の制御データ、および後述する論理緩急設定データDsetを含む。シリアルデータSは、シリアルインターフェース部37を介して出力される。

40

【0017】

内部時刻修正制御部31cは、内部時刻情報と外部時刻情報とを比較して、それらの差分を示す差分時刻情報を生成する。そして、差分時刻情報が所定範囲内にある場合には、正しい外部時刻情報を取得したと判断し、内部時刻情報に差分時刻情報を加算して得た表示時刻情報を生成し、これを表示回路部50に供給する。なお、外部時刻情報の正否の判断手法は、従来の電波時計で利用されている各種方法を採用できる。例えば、68分等のように非存在の時間や日になっていないかという点、あるいは、連続して受信した外部時刻情報であればそれぞれが1分毎の外部時刻情報となっていると予測されるところ、各外部時刻情報がそのような時刻になっているかという点などから、外部時刻情報の正否を判

50

定してもよい。

【 0 0 1 8 】

発振回路 3 2 は、水晶振動子等の基準発振源を高周波発振させ、基準クロック信号 M C K を生成する。この例の基準クロック信号 M C K の周波数は 3 2 . 7 6 8 K H z である。基準クロック信号 M C K はバッファ 3 6 を介して受信回路部 2 0 に供給される。バッファ 3 6 は、パワーオン信号 P がアクティブの場合にのみ基準クロック信号 M C K を受信回路部 2 0 に出力する。したがって、受信回路部 2 0 は標準電波を受信中にのみ基準クロック信号 M C K を出力するので消費電力を削減することができる。

【 0 0 1 9 】

また、分周回路 3 5 は基準クロック信号 M C K を分周して所定の時計クロック信号 C K (例えば 1 H z の信号) を出力する。時計クロック信号 C K は時刻カウンタ 3 1 b においてカウントされ、内部時刻情報が生成される。ところで、基準クロック信号 M C K の周波数は、正確に 3 2 . 7 6 8 K H z であるわけではなく、水晶振動子の発振周波数のバラツキなどに起因して一定の誤差を含んでいる。このため、固定の分周比で基準クロック信号 M C K を分周すると、時計クロック信号 C K の周波数に誤差が含まれることとなる。

【 0 0 2 0 】

そこで、本実施形態では、基準クロック信号 M C K の周波数を予め測定し、測定された周波数に基づいて論理緩急設定データ Dset を生成し、これをデータ記憶部 3 3 に記憶している。論理緩急設定データ Dset は、論理緩急制御部 3 4 の動作を制御するデータであり、基準クロック信号 M C K の誤差を示す。すなわち、論理緩急設定データ Dset は、誤差データとしても機能する。また、データ記憶部 3 3 は、E E P R O M やフラッシュメモリなどの不揮発性メモリである。なお、論理緩急設定データ Dset を記憶するデータ記憶部 3 3 は、不揮発性メモリに限られない。例えば、基板上に形成された配線パターンをレーザーなどで切断、或いは半田による配線パターンの接続などによって論理緩急設定データ Dset を記憶させてもよい。すなわち、論理緩急設定データ Dset を記憶する手段は、メモリのみならずデジタルデータを保持する保持部であればよい。

【 0 0 2 1 】

図 3 に論理緩急設定データ Dset と補正量の関係を示す。この例の論理緩急設定データ Dset は 5 ビットで構成され、遅れを 1 5 段階 [ステップ 1 ~ ステップ 1 5]、進みを 1 5 段階 [ステップ - 1 ~ ステップ - 1 5] で補正できる。この結果、1 . 1 5 ppm 刻みで - 1 7 . 2 5 ppm から + 1 7 . 2 5 ppm までの範囲で緩急補正が可能となる。

一般に、時計で使用される 3 2 . 7 6 8 K H z の水晶振動子は精度のバラツキが $\pm 2 0$ ppm のものであり、5 ビットの調整量で実用的な補正が可能である。例えば、3 2 . 7 6 8 K H z の基準クロック信号 M C K が、5 ppm 低い周波数であった場合、論理緩急のステップは「 4 」となり、4 . 6 0 ppm だけ進めるデータとなる。また、論理緩急設定データ Dset のビット数を増加させれば、調整範囲を拡げることができ、安価であるが精度のバラツキが大きい水晶振動子を使用可能となる。

【 0 0 2 2 】

図 4 に分周回路 3 5 と論理緩急制御部 3 4 のブロック図を示す。分周回路 3 5 は、複数の分周器 3 5 1 を備える。分周器 3 4 1 はセット端子 S 及びリセット端子 R を有し、入力信号を 1 / 2 分周して出力信号を生成する。例えば、T フリップフロップで構成される。この例では 3 2 K H z の基準クロック信号 M C K が、3 2 K H z (3 2 7 6 8 H z) 1 6 K H z (1 6 3 8 4 H z) 8 K H z (8 1 9 2 H z) 4 K H z (4 0 9 6 H z) 2 K H z (2 0 4 8 H z) 1 K H z (1 0 2 4 H z) 5 1 2 H z …… 1 H z となるように分周され、最終的に 1 H z の時計クロック信号 C K が出力される。

【 0 0 2 3 】

また、各分周器 3 5 1 は、セット端子 S に H レベル信号が入力された際には、出力 Q を強制的に H レベル信号とし、リセット端子 R に H レベル信号が入力された際には、出力 Q を強制的に L レベル信号とするように構成されている。さらに、2 K H z の分周信号 F 2 K を出力する分周器 3 5 1 には、2 K H z の分周信号を 1 / 4 周期進ませた信号 F 2 K M

を出力する端子Mが設けられている。また、1 K H zの分周信号F 1 Kを出力する分周器3 5 1には、1 K H zの分周信号を1 / 4周期進ませてかつ反転した信号X F 1 K Mを出力する端子X Mが設けられている。

【0024】

タイマー3 4 1は、分周回路3 5からの出力信号(本実施形態では1 H z)を利用して設定された時間をカウントできるように構成されている。具体的には、本実施形態では、タイマー3 4 1は10秒タイマーとして設定されており、タイマー3 4 1を用いて10秒がカウントされたら、信号を論理緩急タイミングパルス形成回路3 4 2に出力するように構成されている。論理緩急タイミングパルス形成回路3 4 2は、タイマー3 4 1からの出力信号に基づいて10秒毎のタイミングでアクティブ(Hレベル)になる論理緩急タイミ
10

【0025】

論理緩急タイミングパルス(F V C W)は、信号遅延吸収回路3 4 3に入力されている。信号遅延吸収回路3 4 3は、事前変化信号発生回路3 4 3 Aと、変化タイミング同期回路3 4 3 Bとにより構成されている。事前変化信号発生回路3 4 3 Aは、O Rゲート3 4 3 1、N A N Dゲート3 4 3 2, 3 4 3 3を備えて構成されている。O Rゲート3 4 3 1は、前記信号F 2 K Mと、信号X F 1 K Mとの論理和信号Bを出力する。N A N Dゲート3 4 3 2には、論理和信号BとN A N Dゲート1 6 8の出力Cとが入力されている。また、N A N Dゲート3 4 3 2の出力は、論理緩急タイミングパルス(F V C W)とともに、N A N Dゲート3 4 3 3に入力され、N A N Dゲート3 4 3 3は事前変化信号Cを出力す
20

【0026】

変化タイミング同期回路3 4 3 Bは、前記事前変化信号Cがデータ入力とされ、基準クロック信号M C Kから2段目の分周器3 5 1の出力である8 K H zの信号T T Tがクロック入力とされたフリップフロップによって構成されている。このため、変化タイミング同期回路3 4 3 Bは、前記事前変化信号Cの変化を、8 K H zの信号に同期して変化させた信号Q Q Qを出力している。

【0027】

論理緩急パルス形成回路3 4 4は、信号遅延吸収回路3 4 3の変化タイミング同期回路1 6 1からの出力信号Q Q Qと、源振信号3 2 K H zの信号とが入力され、3 2 K H zの半周期分の幅のワンショットパルスを形成し、起動制御信号である論理緩急パルスV C Wとして出力するように構成されている。具体的には、出力信号Q Q Qと源振信号Aとを利用して信号Eを形成し、この信号Eおよび信号Q Q QをN O Rゲートに入力することで論理緩急パルス(V C W)を形成している。
30

【0028】

なお、変化タイミング同期回路3 4 3 Bに入力される信号T T Tと、論理緩急パルス形成回路3 4 4に入力される信号Aとは、論理緩急タイミングパルス(F V C W)がHレベル信号の場合のみ各回路3 4 3 B, 3 4 4に入力されるように設定されており、これにより各信号が常時入力されている場合に比べて消費電力を低減している。具体的には、3 2 K H zの源振信号と論理緩急タイミングパルス(F V C W)とが入力されるA N Dゲート3 4 5と、8 K H zの信号と論理緩急タイミングパルス(F V C W)とが入力されるA N Dゲート3 4 6とを設け、これらの各A N Dゲート3 4 5, 3 4 6の出力を信号Aや信号T T Tとすればよい。分周回路S E T / R E S E T回路3 4 6は、論理緩急設定データD setに応じて各分周器3 5 1のセット端子Sまたはリセット端子Rにパルス信号を入力し、各分周器3 5 1をセットまたはリセットできるように構成されている。
40

【0029】

このような構成の論理緩急制御部3 4では、5個の分周器3 5 1をセット、リセット状態に制御できるため、5ビットの論理緩急装置となり、3 2段階で緩急量を調整できるように構成されている。0.264秒/日が図3に示す1ステップ(1.15ppm)に相当する。運用時においては、論理緩急パルス(V C W)は通常Lレベル信号であるため、分周回路S
50

ET / RESET回路346は、各分周器351のセット端子やリセット端子にLレベル信号を入力する。このため、各分周器351は、強制的にセット、リセットされることなく、基準クロック信号MCKを順次分周して出力する。

【0030】

運用が開始されて分周回路35から1Hzの信号が出力されると、10秒タイマー341がスタートし、この1Hzの出力はタイマー341でカウントされる。そして、タイマー341で10秒経過がカウントされると、タイマー341からの信号により、論理緩急タイミングパルス形成回路342は10秒間隔でアクティブ(Hレベル)にされる論理緩急タイミングパルス(FVCW)を出力する。

【0031】

論理緩急タイミングパルス(FVCW)がHレベルになると、事前変化信号発生回路343Aにより、前記事前変化信号Cが変化タイミング同期回路343Bに入力される。ここで、前記事前変化信号Cは、信号F2KM、信号XF1KM等を利用して形成されるが、これらの信号は、基準クロック信号MCKから4,5段目の分周器351で形成されるため、分周回路35の駆動電圧が低い状態では、各分周器351での遅延が累積され、信号Cは基準クロック信号MCKに比べて大きな遅延(例えば、約15.3 μ s以上)を含むようになる。この信号Cは、変化タイミング同期回路343Bに入力され、その変化タイミングは、遅延の少ない低遅延信号である信号F8Kに同期して信号QQQとして出力される。

【0032】

すなわち、信号Cは、論理緩急タイミングパルス(FVCW)によって10秒毎に、HレベルからLレベルに変化する。但し、この変化タイミングは、各信号F2KMと信号XF1KMが遅延を含んでいるため、源振信号に対してその半周期分以上遅れている。一方で、事前変化信号発生回路343Aは、論理緩急タイミングパルス(FVCW)がアクティブ(Hレベル信号)に変化した時点から、信号F8Kの3周期分経過後に、信号CがHレベルからLレベルに変化するよう設定され、その1周期分後、つまり論理緩急タイミングパルス(FVCW)が「H」から「L」に変化した時点から、信号F8Kの4周期分経過後に信号QQQが「H」から「L」に変化するよう設定されている。この際、変化タイミング同期回路343Bからの出力QQQは、同期をとる低遅延信号(8KHz)は基準クロック信号MCKに対して遅れが殆ど無いため、出力QQQの信号変化タイミングも基準クロック信号MCKに対する遅れが殆ど無くなり、信号遅延が吸収される。なお、変化タイミング同期回路343Bでは、信号Cが低遅延信号の1周期分以上遅延した場合には、前記タイミングで信号QQQを変化させることができないが、通常、分周回路35による遅延がこのように大きくなることはないため、上記タイミングで確実に信号QQQを変化させることができる。

【0033】

そして、前記論理緩急パルス形成回路344では、この源振信号に対する遅れが殆ど無い信号QQQを利用するため、論理緩急パルス(VCW)を確実に出力できる。10秒間隔で、論理緩急パルス(VCW)が出力されると、論理緩急設定データDsetが読み込まれ、この設定に応じて、各分周器351のセット端子Sやリセット端子Rに適宜Hレベル信号が入力され、このHレベル信号が入力された各分周器351は、強制的にセット(Hレベル)あるいはリセット(Lレベル)とされ、所定の緩急処理つまり分周比の調整が行われる。このようにして論理緩急設定データDsetに基づいて、分周比の調整が行われるので、基準クロック信号MCKの周波数にバラツキがあってもこれを抑制して精度の高い時計クロック信号CKを得ることができる。

【0034】

次に、受信回路部20の詳細について説明する。図5に受信回路部20の構成を示す。受信回路部20は、ICモジュール21と、デコード回路22と、レジスタ23とを備え、制御回路部30から供給されるパワーオン信号Pがアクティブになると、動作を開始する。また、同調データDa、選局データDb、及び論理緩急データDsetを含むシリア

10

20

30

40

50

ルデータSが制御回路部30から供給される。シリアルデータSはデコード回路22によってデコードされ、レジスタ23に格納される。したがって、レジスタ23を参照することによって、同調データDaや選局データDb、あるいは論理緩急設定データDsetを得ることができる。本実施形態の受信回路部20では、例えば、40KHz、60KHz、68.5KHz、75KHz、および77.5KHzといった世界各国の標準電波を受信可能である。

同調回路210は、複数のコンデンサを備える。同調データDaは受信周波数に応じて、共振回路を構成するコンデンサを指定する。同調回路210は、同調データDaに基づいて複数のコンデンサを選択し、選択されたコンデンサとアンテナ10との間で共振回路を構成するようになっている。同調回路210の出力信号は増幅回路220によって増幅され、ミキサ回路230に供給される。選局データDbは、受信周波数を指定するデータであり、基準クロック補正部250に供給される。

【0035】

ミキサ回路230は増幅回路220から出力される受信信号220aとVCO270から供給される局部発振信号270aとを混合する。これによって、受信信号220aの周波数が局部発振信号270aの周波数に変換される。なお、VCO270は、制御信号260aに応じた周波数で発振する電圧制御発振回路であって、局部発振回路として機能する。

【0036】

バンドパスフィルタ240は、中間周波数に変換された信号を抽出するために用いられる。具体的には、ICモジュール21に形成されるトランジスタを用いたスイッチドキャパシタフィルタなどのアクティブフィルタで構成することができる。また、水晶振動子を用いて構成してもよい。水晶振動子を用いる場合は、外付けの素子が増加して回路規模が大きくなるが、狭帯域フィルタを構成できるので感度を向上させることができ、さらに消費電力を削減できるといった利点がある。

【0037】

バンドパスフィルタ240の出力信号は中間増幅回路241によって増幅され、包絡線検波回路242に供給される。包絡線検波回路242は、中間周波数成分を除去して、ベースバンド信号242aを復調する。二値化回路243は、ベースバンド信号242を閾値と比較して二値化してタイムコードTCOを生成する。また、ベースバンド信号242aは、AGC回路280に供給され、そこで振幅が抽出され、振幅を一定にするように増幅回路220のゲインを調整する制御信号が生成される。

【0038】

次に、PLL回路260は、局部発振信号270aが基準クロック信号MCKに同期するようにVCO270に供給する制御信号260aを生成する。図6にPLL回路260及びその周辺回路のブロック図を示す。PLL回路260は、プログラマブルカウンタ261と、基準カウンタ262と、位相比較回路263と、ループフィルタ264とを備える。プログラマブルカウンタ261および基準カウンタ262の分周比は、論理緩急設定データDset及び選局データDbに基づいて、基準クロック補正部250が設定する。プログラマブルカウンタ261は、局部発振信号270aをカウントし、カウント値が第1設定データX1の第1基準値と一致すると第1比較信号261aを位相比較回路263に供給する一方、基準カウンタ262は、基準クロック信号MCKをカウントし、カウント値が第2設定データX2の第2基準値と一致すると第2比較信号262aを位相比較回路263に供給する。位相比較回路263は、第1比較信号261aと第2比較信号262aの位相を比較して、位相誤差を示す誤差信号263aをループフィルタ264に供給する。このように、プログラマブルカウンタ261及び基準カウンタ262には、各国の標準電波に対応してカウント値が設定される。これにより、プログラマブルカウンタ261及び基準カウンタ262の分周比を切り替えてVCO270の発振周波数を変更することが可能となる。

【0039】

10

20

30

40

50

中間周波数が30kHzであり、60kHzの標準電波を受信する場合、VCO270は90kHzの局部発振信号270aを出力する。ここで、基準クロック信号MCKの周波数が規定の周波数である32.768kHzからずれていると、何等の補正をしない場合、VCO270の発振周波数が90kHzからずれてしまう。この結果、中間周波数が30kHzからずれることになり、後述するようにSN比の劣化の原因になる。この例では、論理緩急設定データDsetに基づいて、VCO270の発振周波数のずれが減少するように設定データX1、X2が設定されるので、基準クロック信号MCKの周波数の精度が悪くても、局部発振信号270aの周波数精度及び中間周波数の精度を向上させることができる。

【0040】

ミキサ回路230の出力信号は、局部発振信号270aの周波数と受信信号220aの周波数の和の周波数成分と差の周波数成分が重畳しており、バンドパスフィルター240では差の周波数成分を抽出している。このため、局部発振信号270aの周波数がfだけずれると、ミキサ回路230の出力信号230aの周波数もfだけずれる。中間周波数が30kHzであるとする、バンドパスフィルター240の周波数特性は、例えば、図7に示すものとなる。出力信号230aの周波数が30kHzからずれると、バンドパスフィルター240の出力信号の振幅が小さくなり、受信感度が低下する。図7に示すようにバンドパスフィルター240の周波数特性が3dB低下する帯域幅は3Hz程度ある。中間周波数が30kHzであれば、帯域幅は100ppmとなる。基準クロック信号MCKは±20ppmのバラツキを有するので、1dBの劣化の可能性がある。

【0041】

しかしながら、基準クロック信号MCKのバラツキは既知であり、これを補正する計時用の論理緩急設定データDsetがデータ記憶部33に記憶されている。本実施形態では、計時用の論理緩急設定データDsetを用いて、PLL回路260を制御したので、局部発振回路たるVCO270の発振周波数及び中間周波数の精度を向上させ、ひいては受信性能を向上させることができる。また、局部発振周波数や中間周波数は、本来、計時とは独立して制御されるものであるが、本実施形態では、計時用の周波数の誤差を示す論理緩急設定データDsetを用いて、局部発振周波数や中間周波数を制御する。このように論理緩急設定データDsetを他の用途にも活用することにより、構成を複雑化することなく電波時計100の性能を向上させることができる。

【0042】

次に、論理緩急の調整について説明する。図8は、電子時計の製造工程における論理緩急の調整手順を示すフローチャートである。まず、論理緩急設定データDsetの初期データをデータ記憶部33に書き込む(ステップS110)。次に、基準クロック信号MCK又は歩度を測定する(ステップS120)。具体的には、周波数カウンターで基準クロック信号MCKの周波数を測定すればよい。次に、測定結果から補正後の論理緩急設定データDsetを設定し、データ記憶部33に書き込む(ステップS130)。

【0043】

次に、確認のため、再度、歩度を測定し、規格値以内か否かを判定する(ステップS140)。規格値外であれば、処理をステップS130に戻し、規格値以内になるまでステップS130およびS140を繰り返す。そして、歩度が規格以内になれば処理を終了する。このように、個別に周波数を測定して、規格内に収まるように論理緩急設定データDsetをデータ記憶部33に書き込むので、基準クロック信号MCKの精度が悪くてもこれを補正して使用することができる。

【0044】

次に、図9は電子時計100における標準電波の受信動作を示すフローチャートである。まず、制御回路部30は受信開始のタイミングを検知して、受信回路部20を起動すべくパワーオン信号Pをアクティブにする。受信開始のタイミングの検知には、2つの態様がある。第1の態様は、ユーザーが外部操作部材80を操作して標準電波の受信を指示した場合である。第2の態様は、予め定められた時刻における自動受信である。

10

20

30

40

50

【 0 0 4 5 】

次に、制御回路部 3 0 は、シリアルデータ S 及び基準クロック信号 M C K を受信回路部 2 0 に出力する(ステップ S 2 1 0)。シリアルデータ S は、デコード回路 2 2 によりデコードされ、レジスタ 2 3 には同調データ D a、選局データ D b 及び論理緩急設定データ D set とが設定される。この同調データ D a によって、同調回路 2 1 0 が受信周波数の選局を行う。また、選局データ D b 及び論理緩急設定データ D set に基づいて、基準クロック補正部 2 5 0 が P L L 回路 2 6 0 における基準クロック信号 M C K と局部発振信号 2 7 0 a との分周比を設定し、これによって、基準クロック信号 M C K の補正が行われる。

【 0 0 4 6 】

次に、制御回路部 3 0 は、受信開始から所定時間が経過したか否かを判定し(ステップ S 3 2 0)、所定時間が経過すると、タイムコード T O C の読み込みを行う。そして、制御回路部 3 0 は、秒同期が確立したか否かを判定し(ステップ S 2 5 0)、確立した場合には、さらに、マーカを取得し、分同期が確立したか否かを判定する(ステップ S 2 6 0)。分同期が確立すると、取得した時刻情報に整合性があるか否かを判定する(ステップ S 2 7 0)。整合性がある場合には、受信を終了し(ステップ S 2 8 0)、取得した時刻情報に基づいて内部時刻情報を修正し(ステップ S 2 9 0)、通常運針に処理を戻す(ステップ S 3 0 0)。一方、秒同期が確立しなかった場合、分同期が確立しなかった場合、あるいは時刻情報の整合性がなかった場合には、いずれの場合にも時刻修正を実行することなく受信を終了する(ステップ S 3 1 0)。

【 0 0 4 7 】

このように本実施形態によれば、基準クロック信号 M C K を、その誤差を示す論理緩急設定データ D set を用いて計時に使用するとともに、基準クロック信号 M C K を計時以外の他の処理(無線通信の送受信)に用いた。この場合、論理緩急設定データ D set を用いて基準クロック信号 M C K の周波数誤差の影響を他の処理において抑制するように、P L L 回路 2 6 0 を制御したので、受信性能を向上させることができる。

【 0 0 4 8 】

< 2 . 変形例 >

本発明は上述した実施形態に限定されるものではなく、例えば、以下の変形が可能である。

(1) 上述した実施形態において制御回路部 3 0 は、基準クロック信号 M C K を受信回路部 2 0 に供給し、P L L 回路 2 6 0 は基準クロック信号 M C K と局部発振信号 2 7 0 a の位相を同期させるように動作した。本発明はこれに限定されるものではなく、分周回路 3 5 において分周された分周クロック信号を、基準クロック信号 M C K の代わりに P L L 回路 2 6 0 に供給してもよい。例えば、基準クロック信号 M C K が 3 2 . 7 6 8 K H z である場合に 1 / 2 分周した分周クロック信号(1 6 K H z) を P L L 回路 2 6 0 に供給すれば、消費電力を削減することが可能となる。

但し、最も好ましいのは実施形態に記載したように基準クロック信号 M C K を P L L 回路 2 6 0 に供給する態様である。第 1 に、受信回路部 2 0 に供給される時間基準となるクロック信号は、論理緩急の処理がなされる前の信号であることが好ましいからである。すなわち、論理緩急は 1 0 秒毎に実行されるため、論理緩急後のクロック信号では、クロック信号が不連続となるタイミングがあるからである。第 2 に、受信回路部 2 0 で扱う周波数は、基準クロック信号 M C K の周波数よりも高周波となるため、なるべく周波数の高いクロック信号を方が精度を向上させることができるからである。

【 0 0 4 9 】

(2) 上述した実施形態及び変形例において、受信回路部 2 0 は、スーパーヘテロダイン方式を採用したが、本発明はこれに限定されるものではなく、ダイレクトコンバージョン方式を採用してもよい。この場合は、中間周波数を抽出するためのバンドパスフィルター 2 4 0 は不要になるが、局部発振信号 2 7 0 a の周波数のずれは、スーパーヘテロダイン方式と同様に受信感度の劣化に影響する。

【 0 0 5 0 】

(3) 上述した実施形態及び変形例において、データ記憶部33を受信回路部20に設けてもよい。この場合は、制御回路部30のCPU31が、データ記憶部33に記憶した論理緩急設定データDsetをシリアル通信で読み出せばよい。

【0051】

(4) 上述した実施形態及び変形例では、電波時計100を一例として説明したが、本発明はこれに限定されるものではなく、例えば、リアルタイムクロックを出力するICモジュールを搭載した電子機器に適用してもよいことは勿論である。そのようなICモジュールは、上述した実施形態の制御回路部30に相当し、論理緩急設定データDsetを用いて、基準クロック信号MCKの周波数誤差を補正して、現在時刻を示す時刻情報を出力する。このようなICモジュールを備えた電子機器としては、時計機能を備えた各種の家電製品や業務用の製品が該当する。例えば、キーレスエントリーなどの数百kHzの信号を使用する近距離無線通信を実行する電子機器が該当する。そのような電子機器において、基準クロック信号MCKあるいは、これを分周した分周クロック信号を用いて、処理を実行したい場合がある。この場合、基準クロック信号MCKは誤差を含んでいるが、その誤差は既知である。すなわち、論理緩急設定データDsetが誤差を示す誤差データとして機能する。そこで、この誤差データを用いて、他の処理を制御することによって、基準クロック信号MCKの周波数の誤差が他の処理に与える影響を抑制することが可能となる。

10

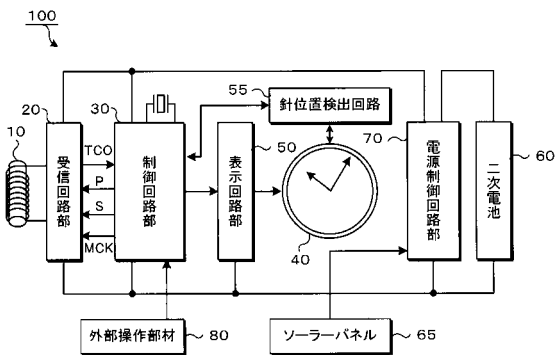
【符号の説明】

【0052】

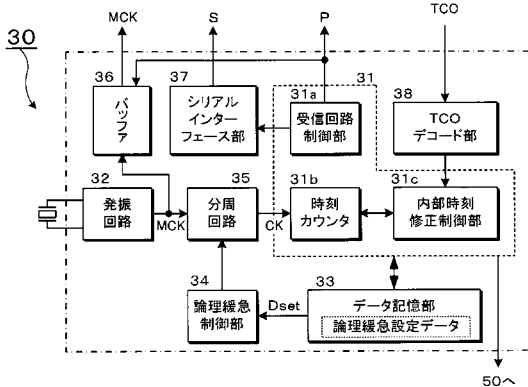
10 …… アンテナ、20 …… 受信回路部、30 …… 制御回路部、32 …… 発振回路、33 …… データ記憶部、34 …… 論理緩急制御部、35 …… 分周回路、230 …… ミキサ回路、240 …… バンドパスフィルタ、250 …… 基準クロック補正部、260 …… PLL回路、270 …… VCO (局部発振回路)、100 …… 電波時計。

20

【図1】



【図2】



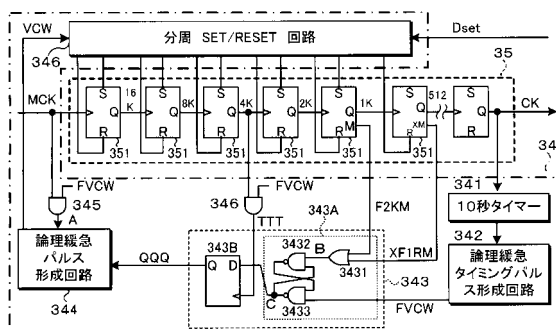
【図3】

Dset: 論理緩急設定データ

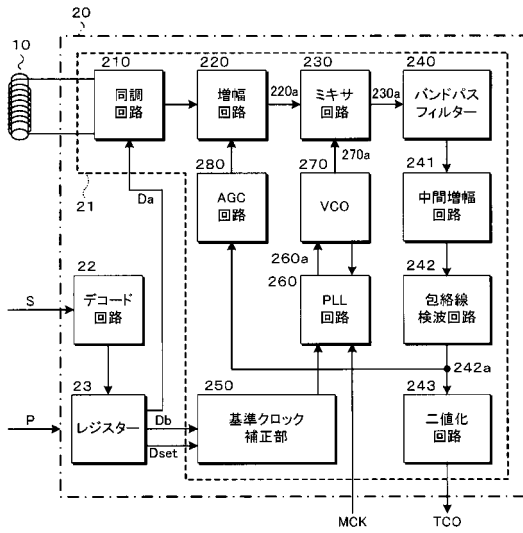
ステップ	補正量 (ppm)	ADJ1	ADJ2	ADJ3	ADJ4	ADJ5
-15	-17.25	1	1	1	1	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮
-3	-3.45	1	0	0	1	1
-2	-2.30	1	0	0	1	0
-1	-1.15	0	0	0	0	1
0	0.0	0	0	0	0	0
1	+1.15	0	0	0	0	1
2	+2.30	0	0	0	1	0
3	+3.45	0	0	0	1	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮
15	+17.25	0	0	0	0	0

遅れ

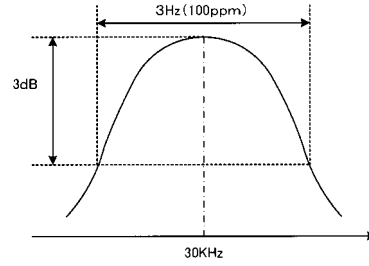
【図4】



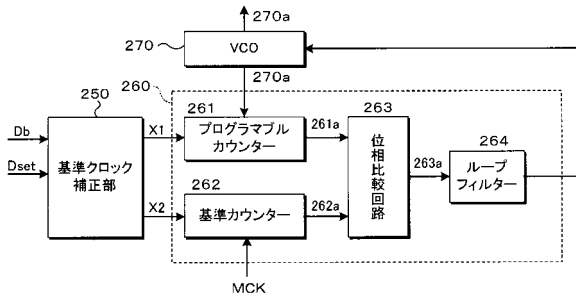
【図5】



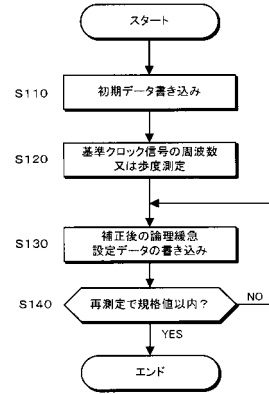
【図7】



【図6】



【図8】



【図9】

