



(12) 发明专利申请

(10) 申请公布号 CN 104541451 A

(43) 申请公布日 2015.04.22

(21) 申请号 201380042454.9

代理人 刘瑜 王英

(22) 申请日 2013.06.12

(51) Int. Cl.

(30) 优先权数据

H03K 19/0175(2006.01)

13/626, 460 2012.09.25 US

H04L 25/02(2006.01)

(85) PCT国际申请进入国家阶段日

2015.02.10

(86) PCT国际申请的申请数据

PCT/US2013/045512 2013.06.12

(87) PCT国际申请的公布数据

W02014/051739 EN 2014.04.03

(71) 申请人 英特尔公司

地址 美国加利福尼亚

(72) 发明人 W-L·扬

(74) 专利代理机构 永新专利商标代理有限公司

72002

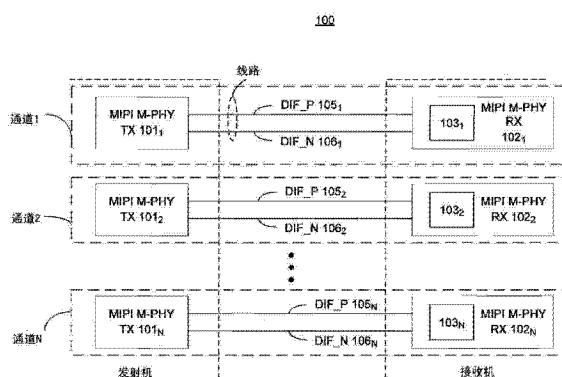
权利要求书3页 说明书14页 附图10页

(54) 发明名称

脉冲宽度调制接收器电路

(57) 摘要

用于对用于高速 I/O 接收器逻辑的数据进行评估的机制和技术。在实施例中，接收器电路响应于数据信号的上升沿，将一位移位到移位电路内，其中，响应于接下来该位从所述移位电路中移出而开始计数。基于所述计数的值，所述接收器电路生成控制信号，以用于使物理层接收器逻辑准备转换至突发操作模式。在另一实施例中，接收器电路包括基于数据信号和时钟信号进行工作的分频器，其中，基于频率计数器的操作，生成用于指示对于物理层接收器逻辑进行线路重置的控制信号。所述接收器电路基于所述控制信号来提供反馈信号，所述反馈信号用于限制对分频器的激活。



1. 一种接收器电路，包括：

第一边缘检测器，其接收数据信号，并且响应于所述数据信号的上升沿来生成对第一信号的转换；

包括多级的移位电路，其响应于所述转换来接收一位，并且基于时钟信号来对所述位进行移位；

计数器，其响应于来自所述多级的所述位的输出而开始计数；以及

检测器逻辑，其检测所述计数的值，并且基于所述值来生成用于使物理层接收器逻辑准备转换至突发操作模式的控制信号。

2. 根据权利要求 1 所述的接收器电路，其中，所述突发操作模式与物理层串行接口规范兼容。

3. 根据权利要求 1 所述的接收器电路，还包括第二边缘检测器，所述第二边缘检测器用于接收所述数据信号，并且响应于所述数据信号的下降沿来对所述移位电路进行重置。

4. 根据权利要求 1 所述的接收器电路，还包括第二边缘检测器，所述第二边缘检测器用于接收所述数据信号，并且响应于所述数据信号的下降沿来对所述计数器进行重置。

5. 根据权利要求 1 所述的接收器电路，其中，所述接收器电路在第一设备内工作，并且其中，所述数据信号包括基于从第二设备发送至所述第一设备的差分数据信号的单端信号。

6. 根据权利要求 1 所述的接收器电路，还包括耦合在所述移位寄存器和所述计数器之间的组合逻辑，所述组合逻辑用于接收所述时钟信号和所述位，并且用于向所述计数器指示所述时钟信号和所述位的组合，其中，所述计数器基于所指示的所述时钟信号和所述位的组合来开始所述计数。

7. 根据权利要求 1 所述的接收器电路，其中，所述控制信号指示所述数据信号已经被断言了至少阈值时间段，这指示从睡眠状态和停止状态中的一个进行转换，其中，所述阈值时间段与物理层串行接口规范兼容。

8. 根据权利要求 1 所述的接收器电路，其中，所述多级由三级构成，每一级都基于所述时钟信号来执行相应的位移位。

9. 一种系统，包括：

接收器电路，其包括：

第一边缘检测器，其接收数据信号，并且响应于所述数据信号的上升沿来生成对第一信号的转换；

包括多级的移位电路，其响应于所述转换来接收一位，并且基于时钟信号来对所述位进行移位；

计数器，其响应于来自所述多级的所述位的输出而开始计数；以及

检测器逻辑，其检测所述计数的值，并且基于所述值来生成用于使物理层接收器逻辑准备转换至突发操作模式的控制信号；以及

显示单元，其显示经由所述物理层接收器逻辑接收的数据的版本。

10. 根据权利要求 9 所述的系统，其中，所述突发操作模式与物理层串行接口规范兼容。

11. 根据权利要求 9 所述的系统，所述接收器电路还包括第二边缘检测器，所述第二边

缘检测器用于接收所述数据信号，并且响应于所述数据信号的下降沿而对所述移位电路进行重置。

12. 根据权利要求 9 所述的系统，所述接收器电路还包括第二边缘检测器，所述第二边缘检测器用于接收所述数据信号，并且响应于所述数据信号的下降沿而对所述计数器进行重置。

13. 根据权利要求 9 所述的系统，其中，所述数据信号包括基于从设备发送至所述系统的差分数据信号的单端信号。

14. 根据权利要求 9 所述的系统，所述接收器电路还包括耦合在所述移位寄存器和所述计数器之间的组合逻辑，所述组合逻辑用于接收所述时钟信号和所述位，并且用于向所述计数器指示所述时钟信号和所述位的组合，其中，所述计数器基于所指示的所述时钟信号和所述位的组合来开始所述计数。

15. 根据权利要求 9 所述的系统，其中，所述控制信号指示所述数据信号已经被断言了至少阈值时间段，这指示从睡眠状态和停止状态中的一个进行转换，其中，所述阈值时间段与物理层串行接口规范兼容。

16. 一种接收器电路，包括：

第一逻辑，其基于时钟信号和数据信号来生成第一信号，所述第一信号包括第一脉冲序列；

分频器，其接收所述第一信号，并且基于所述第一脉冲序列来生成包括第二脉冲序列的第二信号；以及

循环计数器，其接收所述第二信号，并且响应于所述第二脉冲序列的 N 个周期的完成来断言第一控制信号，其中，N 为整数，所述第一控制信号用于指示对物理层接收器逻辑进行的线路重置；

其中，所述第一逻辑进一步基于所述第一控制信号来接收反馈信号，所述反馈信号用于限制由所述第一逻辑对所述分频器的激活，其中，所述第一逻辑进一步基于所述反馈信号来生成所述第一信号。

17. 根据权利要求 16 所述的接收器电路，其中，所述第一脉冲序列的频率是所述第二脉冲序列的频率的六十四倍。

18. 根据权利要求 16 所述的接收器电路，其中，N 等于五。

19. 根据权利要求 16 所述的接收器电路，其中，所述第一控制信号指示所述数据信号在至少阈值时间段内被断言，以用于指示所述线路重置，其中，所述阈值时间段与物理层串行接口规范兼容。

20. 根据权利要求 16 所述的接收器电路，其中，所述物理层接收器逻辑响应于所述第一控制信号，执行与物理层串行接口规范兼容的所述线路重置。

21. 根据权利要求 16 所述的接收器电路，还包括第二逻辑，所述第二逻辑用于基于所述数据信号以及指示所述物理层接收器逻辑当前是否处于线路重置模式的状态信号来生成第三信号，其中，所述第三信号对所述分频器进行重置。

22. 根据权利要求 16 所述的接收器电路，还包括第二逻辑，所述第二逻辑基于所述数据信号以及指示所述物理层接收器逻辑当前是否处于线路重置模式的状态信号来生成第三信号，其中，所述第三信号对所述循环计数器进行重置。

23. 根据权利要求 16 所述的接收器电路, 其中, 所述接收器电路在第一设备内工作, 并且其中, 所述数据信号包括基于从第二设备发送至所述第一设备的差分数据信号的单端信号。

24. 一种系统, 包括 :

接收器电路, 其包括 :

第一逻辑, 其基于时钟信号和数据信号来生成第一信号, 所述第一信号包括第一脉冲序列;

分频器, 其接收所述第一信号, 并且基于所述第一脉冲序列来生成包括第二脉冲序列的第二信号; 以及

循环计数器, 其接收所述第二信号, 并且响应于所述第二脉冲序列的 N 个周期的完成而断言第一控制信号, 其中, N 为整数, 所述第一控制信号用于指示对物理层接收器逻辑的线路重置;

其中, 所述第一逻辑进一步基于所述第一控制信号来接收反馈信号, 所述反馈信号用于限制由所述第一逻辑对所述分频器的激活, 其中, 所述第一逻辑用于进一步基于所述反馈信号来生成所述第一信号; 以及

显示单元, 其显示经由所述物理层接收器逻辑接收到的数据的版本。

25. 根据权利要求 24 所述的系统, 其中, 所述第一脉冲序列的频率是所述第二脉冲序列的频率的六十四倍。

26. 根据权利要求 24 所述的系统, 其中, N 等于五。

27. 根据权利要求 24 所述的系统, 其中, 所述第一控制信号指示所述数据信号在至少阈值时间段内被断言, 以用于指示所述线路重置, 其中, 所述阈值时间段与物理层串行接口规范兼容。

28. 根据权利要求 24 所述的系统, 所述接收器电路还包括第二逻辑, 所述第二逻辑基于所述数据信号以及指示所述物理层接收器逻辑当前是否处于线路重置模式的状态信号来生成第三信号, 其中, 所述第三信号用于对所述分频器进行重置。

29. 根据权利要求 24 所述的系统, 所述接收器电路还包括第二逻辑, 所述第二逻辑基于所述数据信号以及指示所述物理层接收器逻辑当前是否处于线路重置模式的状态信号来生成第三信号, 其中, 所述第三信号用于对所述循环计数器重置。

30. 根据权利要求 24 所述的系统, 其中, 所述接收器电路在第一设备内工作, 并且其中, 所述数据信号包括基于从第二设备发送至所述第一设备的差分数据信号的单端信号。

脉冲宽度调制接收器电路

技术领域

[0001] 本发明的实施例概括而言涉及高速输入 / 输出 (I/O) 收发器领域。更具体而言，本发明的实施例涉及用于接收脉冲宽度调制 (PWM) 信号的装置、系统和方法。

背景技术

[0002] 半导体设备、计算机以及其他数字系统不断提高它们的操作数据率，包括数字差分信号的传输的越来越高的转换率。转换率是指数字信号在各状态之间转换的速率。一代接一代的数字设备接近类似每秒千兆次、甚至每秒数十千兆次的高速输入 / 输出 (I/O) 通信数据率。一个问题是随着转换率的提高，信号完整性劣化。因此，越来越迫切地需要能够通过准确地识别差分信号转换和差分信号状态而适应这样的高转换率的高速 I/O 接收器。

[0003] 此外，随着功耗变为消费电子产品（例如，平板 PC、智能电话、低功率膝上型计算机或笔记本电脑等）的标准性能衡量基准，在消费（或者其他）设备的处理器中使用的传统高速输入 / 输出 (I/O) 收发器对于低功率操作而言已经不是最佳选择了。这样的传统高速 I/O 收发器具有很多模拟部件，它们无法升级以适应更新的处理技术。传统的高速 I/O 收发器不能满足用于在 2011 年 2 月 8 日提出的并且于 2011 年 4 月 28 日批准的 M-PHY^(SM) 版本 1.00.00 的移动行业处理器接口 (MIPI®) 联盟规范中描述的 MIPI® 的严格低功率规范。

附图说明

[0004] 本发明的各种实施例在附图的图中作为示例而非限制性地示出，并且其中：

[0005] 图 1 是示出了包括接收器逻辑的系统的元素的框图，所述接收器逻辑用于根据实施例来对经由输入 / 输出 (I/O) 链路交换的数据进行评估。

[0006] 图 2 是示出了用于传输根据实施例评估的数据的脉冲宽度调制 (PWM) 波形的元素的时序图。

[0007] 图 3A 是示出了由根据实施例生成的控制信号指示的状态转换的元素的状态图。

[0008] 图 3B 是示出了由根据实施例生成的控制信号指示的状态转换的元素的状态图。

[0009] 图 3C 是示出了受到根据实施例的评估的数据信号的元素的时序图。

[0010] 图 4 示出了根据实施例的用于对接收到的数据信号进行评估的方法的元素的流程图。

[0011] 图 5A 是示出了用于根据实施例对数据信号进行评估的接收器电路的元素的混合框图 / 电路图。

[0012] 图 5B 是示出了由用于根据实施例对数据信号进行评估的接收器电路进行的操作的元素的时序图。

[0013] 图 6 是示出了用于根据实施例对接收到的数据信号进行评估的方法的元素的流程图。

[0014] 图 7A 是示出了用于根据实施例对数据信号进行评估的接收器电路的元素的混合

方框 / 电路图。

[0015] 图 7B 示出了由用于根据实施例对数据信号进行评估的接收器电路进行的操作的元素的时序图。

[0016] 图 8 是示出了用于根据实施例交换要评估的数据的计算机系统的元素的框图。

具体实施方式

[0017] 本文所论述的实施例概括而言涉及用于提供对发送至高速 I/O 接收器电路的数据进行评估的功能的设备、系统和方法。在一个实施例中，接收器电路包括边缘检测器，以接收数据信号并且响应于所述数据信号的上升沿生成对第一信号的转换。所述接收器电路还可以包含包括了多级的移位电路，从而响应于所述转换而接收一位，并且基于时钟信号来对所述位进行移位。所述接收器电路还可以包括计数器，其响应于来自多级的所述位的输出而开始计数；以及检测器逻辑，其用于检测所述计数值。基于所述值，所述检测器逻辑可以生成控制信号，以用于使物理层接收器逻辑准备转换至突发操作模式。

[0018] 在另一实施例中，接收器电路包括第一逻辑，所述第一逻辑基于时钟信号和数据信号来生成第一信号，所述第一信号包括第一脉冲序列。所述接收器电路还可以包括分频器，其接收所述第一信号并且生成第二信号，所述第二信号包括基于所述第一脉冲序列的第二脉冲序列。所述接收器电路还可以包括循环计数器，所述循环计数器接收所述第二信号，并且响应于所述第二脉冲序列的 N 个周期的完成而断言 (assert) 控制信号，其中，N 为整数，所述控制信号用于指示对物理层接收器逻辑的线路重置。在实施例中，所述第一逻辑还基于所述控制信号来接收反馈信号，所述反馈信号用于限制由所述第一逻辑对所述分频器的激活，其中，所述第一逻辑基于所述反馈信号来生成所述第一信号。

[0019] 图 1 示出了包括接收器逻辑的系统 100 的元素，所述接收器逻辑用于根据实施例来对经由输入 / 输出 (I/O) 链路接收的差分数据信号进行评估。在一个实施例中，每一个接收器（例如，102₁、102₂、……、102_N）包括用于对差分数据信号进行评估的相对应的逻辑架构 103₁、103₂、……、103_N。尽管系统 100 在本文中被描述为由用于 2011 年 2 月 8 日提出的并且于 2011 年 4 月 28 日批准的 M-PHY^(SM) 版本 1.00.00 的 MIPI® 联盟规范定义的 MIPI® M-PHY^(SM) 链路，但是在其他实施例中，系统 100 是可操作用于在其接收器处进行高速数据恢复的任何 I/O 链路。

[0020] 在一个示例性实施例中，系统 100 包括 MIPI® M-PHY^(SM) 链路，其包括 MIPI® M-PHY^(SM) 发射器 (M-TX) 101₁、101₂、……、101_N、点到点互连 DIF_P 105₁、105₂、……、105_N 和 DIF_N 106₁、106₂、……、106_N 以及 MIPI® M-PHY^(SM) 接收器 (M-RX) 102₁、102₂、……、102_N。在本文论述的其他实施例中，M-RX 102₁、102₂、……、102_N 包括逻辑架构 103₁、103₂、……、103_N，它们中的一个或多个用于对接收到的差分数据信号进行评估。系统 100 包括通路 1-N，其中，每一条通路包括 M-TX、M-RX、以及形成 LINE 的点到点互连 DIF_P 和 DIF_N 对。本文的术语“DIF_P”和“DIF_N”是指由用于 2011 年 4 月 28 日提出的和 2011 年 2 月 8 日批准的 M-PHY^(SM) 版本 1.00.00 的 MIPI® 联盟规范中定义的差分信号。

[0021] 在一个实施例中，系统 100 的发射器和接收器处于消费电子 (CS) 设备中的不同处理器中。在一个实施例中，所述 CS 设备可以是平板 PC、智能电话、或者任何其他这样的计算

设备。在一个实施例中，系统 100 耦合至显示单元（未示出），所述显示单元可操作的用于显示由接收器 102₁接收到的数据的版本。在一个实施例中，所述显示单元为触控板。

[0022] 为了不使本发明的实施例难以理解，将论述 TX 101₁、DIF_P 105₁、DIF_N 106₁、RX 102₁和逻辑单元 103₁。所述论述适用于系统 100 的其他 TX 和 RX 逻辑。

[0023] 在一个实施例中，来自 TX 101₁的信号是差分 PWM 信号 (DIF_P 105₁和 DIF_N 106₁)。在一个实施例中，RX 102₁包括将差分信号转换为 PWM 单端信号的第一级。在一个实施例中，所述 PWM 单端信号是由逻辑单元 103₁接收的，并且其被转换为不归零 (NRZ) 信号，以用于进一步处理。

[0024] 图 2 示出了本文描述的实施例中使用的脉冲宽度调制 (PWM) 波形 200 的元素。PWM 是在波形的占空比中携带数据信息的位调制方案。在一个实施例中，点到点互连 DIF_P 105₁、105₂、……、105_N和 DIF_N 106₁、106₂、……、106_N发送 PWM 波形（还被称为 DIF_P 105₁和 DIF_N 105₁）。所述 PWM 方案具有自计时特性，这是因为时钟信息在 PWM 波形 200 的周期中。PWM 波形 200 中的每一位由两个子相的组合构成，即 DIF_N 106₁随后是 DIF_P 105₁。所述两个子相中的一个比另一个长，即， $T_{\text{PWM_MAJOR}} > T_{\text{PWM_MINOR}}$ ，其取决于 PWM 波形 200 中的位是二进制“1”还是二进制“0”。PWM 波形 200 中的二进制信息在 DIF_N 106₁和 DIF_P 105₁状态的持续时间的比率中。

[0025] 例如，如果对于位周期的大部分而言，LINE 状态为 DIF_P，那么该位为二进制“1” 201 (PWM-b1)。否则，如果对于位周期的大部分而言，LINE 状态为 DIF_N，那么该位为二进制“0” 202 (PWM-b0)。本文的术语“LINE”是指点到点差分串联。

[0026] PWM 波形 200 的每一个位周期包含两个沿，其中，下降沿处于固定位置，而上升沿位置是被调制的。因此，PWM 位流 203 明确地包含具有周期 T_{PWM} 的位时钟，周期 T_{PWM} 等于一位的持续时间。在一个实施例中，RX 102₁的逻辑单元 103₁可操作地用于对 PWM 波形 200 进行处理，以评估其转换和 / 或状态。

[0027] 某些实施例不同地提供了用于对数据信号进行评估以确定接收器是否被配置用于特定模式的技术或机制。图 3A 示出了包括各种状态（本文中还被称为模式）的状态图 300 的元素，所述各种状态与例如提供了 MIPI® M-PHY^(SM) 接收器 102₁、102₂……102_N中的一个或多个的功能的接收器的相应的模式相对应。例如，状态图 300 可以通过 I 型接收模块的状态机 (M-RX) 来实现，但是某些实施例不受该方面限制。MIPI® M-PHY^(SM) 规范定义了这样的 I 型 M-RX 的特征。

[0028] 在实施例中，根据状态图 300 工作的接收器可以包括或者耦合至电路（例如，逻辑单元 103₁），以评估基于接收到的 PWM 数据信号的数据信号。这样的评估可以使得所述电路生成控制信号，从而至少部分地实现物理层接收器逻辑（例如，M-RX 102₁的其他逻辑）向突发操作模式的转换。作为示例性而非限制性的，在某一时间点上，所述物理层接收器逻辑可以被配置用于状态图 300 的 STALL 模式 310，例如，其中，STALL 模式 310 是所述接收器参与高速突发数据交换的时间之间的功率节省状态。STALL 模式 310 可以包括例如根据 MIPI® M-PHY^(SM) 规范的 I 型 M-RX 的 STALL 模式的特征中的一些或全部。

[0029] 当接收器处于 STALL 模式 310 中时，逻辑单元 103₁例如可以对数据信号进行评估，以检测所接收到的差分数据信号的 DIF-P (或类似地，DIF-N) 是否处于特定的逻辑值上，例

如,二进制“1”。逻辑单元 103₁还可以检测 DIF-P 是否在某一阈值时间段内一直处于该逻辑值上。

[0030] 例如,如果所述电路检测到至少在某一阈值时间内所述 DIF-P 都被断言为高,那么所述电路可以生成控制信号,以指示物理层接收器逻辑将转换至突发模式,例如,状态图 300 中所示的高速突发 (HS-BURST) 模式 320。HS-BURST 模式 320 可以包括根据 MIPI® M-PHY^(SM) 规范的 I 型 M-RX 的 HS-BURST 模式的特征中的一些或全部。在这样的实施例中,所述阈值时间段可以是 MIPI® M-PHY^(SM) 规范中定义的 T_{HS-PREPARE}。相反,如果所述电路相反地确定 DIF-N 正被断言,或者 DIF-P 至少在阈值时间段内没有被持续断言,那么所述电路可以在任何信令之前指示模式改变,并且所述物理层接收器逻辑可以保持在 STALL 模式 310 的配置中。

[0031] 图 3B 示出了另一状态图 330 的元素,另一状态图 330 描述了响应于根据实施例的数据评估的接收器的模式改变。状态图 330 可以包括状态图 300 的特征中的一些或全部,但是某些实施例不受这方面的限制。例如,状态图 330 可以由与 MIPI® M-PHY^(SM) 规范中的 I 型 M-RX 的定义兼容的接收器的状态机实现。

[0032] 与状态图 300 的论述类似,根据状态图 330 工作的接收器可以包括或者耦合至电路,以对数据信号进行评估,并且在实施例中,生成用于使物理层接收器逻辑转换至突发模式的控制信号。在某一时间点上,可以将这样的物理层接收器逻辑配置为状态图 330 的 SLEEP 模式 340。SLEEP 模式 340 可以是接收器参与低速突发数据交换(例如,与本文参考图 3A 论述的高速突发数据交换相比)的时间之间的功率节省状态。SLEEP 模式 340 可以包括根据 MIPI® M-PHY^(SM) 规范的 I 型 M-RX 的 SLEEP 模式的特征中的一些或全部。

[0033] 尽管所述接收器处于 SLEEP 模式 340,但是逻辑单元 103₁例如可以对数据信号进行评估,以检测接收到的 PWM 数据信号的 DIF-P(或类似地,DIF-N)是否处于特定逻辑值上,例如,二进制值“1”。逻辑单元 103₁还可以检测 DIF-P 是否在某一阈值时间段内一直处于该逻辑值上。如果所述电路检测到至少在某一阈值时间内所述 DIF-P 都被断言为高,那么在实施例中所述电路可以生成控制信号,以指示物理层接收器逻辑转换至突发模式,例如,状态图 330 中所示的低速突发 (PWM-BURST) 模式 350。例如,PWM-BURST 模式 350 可以包括根据 MIPI® M-PHY^(SM) 规范的 I 型 M-RX 的 PWM-BURST 模式的特征中的一些或全部。在这样的实施例中,所述阈值时间段可以是 MIPI® M-PHY^(SM) 规范中定义的 T_{PWM-PREPARE}。相反,如果所述电路相反地确定 DIF-N 信号正被断言,或者 DIF-P 至少在阈值时间段内没有被持续断言,那么所述电路可以在任何信令之前指示模式改变,并且所述物理层接收器逻辑可以保持在 SLEEP 模式 340 的配置中。

[0034] 在某些实施例中,电路逻辑生成控制信号(例如,用于转换至 HS-BURST 320 或 PWM-BURST 350),其指示与 MIPI® M-PHY^(SM) 规范兼容的 PREPARE 条件。按照 MIPI® M-PHY^(SM),PREPARE 是 BURST 的初始子状态,其允许在位流开始之前使 LINE 水平和收发器设置稳定。在 PREPARE 期间,LINE 状态是 DIF-P。如果 M-RX 被配置为在 BURST 期间端接所述 LINE,则可以在 PREPARE 期间启用所述端接。在端接状态的任何改变期间,可能必须要保持信号完整性。在 PREPARE 结束时,可能必须使 LINE 信号稳定。本地 M-TX 中的 PREPARE 的长

度大于适当模式中的远程 M-RX 的参数的相对应的值, 即, HS-MODE 中的 $T_{HS_PREPARE}$ 、PWM-MODE 中的 $T_{PWM_PREPARE}$ 、以及 SYS-MODE 中的 $T_{SYS_PREPARE}$ 。可以不允许本地 M-TX 的 $T_{PWM_PREPARE}$ 超过 $T_{LINE-RESET-DETECT}$ 的最小值。

[0035] 图 3C 示出了根据实施例评估的数据信号 360 的元素。可以通过将差分信号转换成相对应的单端 PWM 信号而生成数据信号 360。例如, 这样的差分信号可以由提供 MIPI® M-PHY^(SM) RX 102₁的一些或全部功能的逻辑接收。对数据信号的评估可能使得逻辑单元 103₁或其他这样的逻辑生成指示线路重置条件的信号, 例如, 根据 MIPI® M-PHY^(SM) 规范的 LINE-RESET 条件。

[0036] 在 MIPI® M-PHY^(SM) 中, LINE-RESET 是在出现故障的情况下操作期间经由 LINE 而重置 M-RX 的最低水平重置机制。LINE-RESET 条件是长 DIF-P 周期, 其决不可能在正常操作期间发生。MODULE, 即根据 MIPI® M-PHY^(SM) 规范对 M-RX 或者 M-TX 的指示可能必须在所有的 ACTIVATED 状态 (例如, 高速模式 HS-MODE 或者低速模式 LS-MODE) 中支持 LINE-RESET。根据 MIPI® M-PHY^(SM), 发射器的协议层应当确保刚好在 LINE-RESET 之前, M-TX 至少在 $T_{ACTIVATE}$ 内驱动 DIF-N, 从而在驱动 LINE-RESET 条件之前激活可能处于 HIBERN8 模式内的 M-RX。对于 LINE-RESET 而言, M-TX 应当在 $T_{LINE-RESET}$ 内驱动 DIF-P。当在 $T_{LINE-RESET-DETECT}$ 内在 LINE 上观测到 DIF-P 时, 应当重置 M-RX。LINE-RESET 计时器不应当依赖于正确的协议操作。在向 DIF-N 转换时, LINE-RESET 退出 SLEEP。在示出性实施例中, $T_{LINE-RESET}$ 至少为 3.1 毫秒 (ms), 而 $T_{LINE-RESET-DETECT}$ 处于 1ms 和 3ms 之间。

[0037] 图 4 示出了根据实施例的用于评估数据信号的方法 400 的元素。例如, 方法 400 可以评估在具有系统 100 的一些或全部特征的系统中进行交换的数据。在实施例中, 在逻辑单元 103₁或者高速 I/O 接收器的类似电路逻辑处执行方法 400。这样的接收器可以提供与 MIPI® M-PHY^(SM) 规范兼容的功能, 但是某些实施例不受这方面的限制。

[0038] 在 410 处, 方法 400 可以包括响应于所述数据信号的上升沿而生成第一信号的转换。作为示例而非限制, 接收器的上升沿检测器接收数据信号, 其中, 所述第一信号是上升沿检测器的输出。在实施例中, 所述数据信号是相对应的差分 PWM 数据信号的单端版本, 其是例如从第二设备接收到的并且转换的第一设备的接收器逻辑。生成这样的 PWM 数据信号的单端版本可以是根据各种常规技术中的任何技术改造而得的, 其不对某些实施例构成限制。所检测到的所述数据信号的上升沿可以与被断言的 DIF-P 的开始相对应。基于所述上升沿, 所述上升沿检测器可以输出第一信号的脉冲或者其他转换。

[0039] 在 410 处, 响应于生成的转换, 方法 400 可以在 420 处将位移入到移位电路的多级中。在实施例中, 所述移位电路包括移位寄存器, 例如, 其中, 所述多级由多个形成菊链的触发器构成。在 430 处, 方法 400 还可以包括基于时钟信号在所述多级内对该位进行移位。在实施例中, 所述时钟信号是在接收了所述 PWM 数据信号的设备处生成的, 例如, 其中所述时钟信号的生成与 PWM 数据信号无关。作为示例而非限制, 所述时钟信号可以是接收总线时钟信号, 其还用于使设备的接收总线上的交换同步。在实施例中, 所述多级中的一些或全部受到基于所述数据信号的接下来的下降沿的可能的重置。

[0040] 在 440 处, 方法 400 还可以包括响应于来自多级的所述位的输出而开始计数。在一个实施例中, 在 440 处, 所述计数的开始可以是基于时钟信号和来自移位电路的位输出

的组合的。基于所述计数的值，在 450 处，方法 400 还可以包括生成控制信号，以用于使物理层接收器逻辑准备转换为突发操作模式。例如，可以将组合逻辑耦合至计数器的输出，其中，所述组合逻辑用于断言某一信号，所述信号标志着计数器计数到了特定值。在实施例中，这样的标志信号是在 450 处生成的控制信号。在另一实施例中，将所述标志信号提供给触发器或者其他电路，其继而基于所述标志信号来生成所述控制信号。

[0041] 所述控制信号可以指示至少在针对 PREPARE 条件的阈值时间段内 DIF-P 被断言，所述控制信号将发起从物理层接收器逻辑的睡眠状态或停止状态的转换。例如，所述阈值时间段可以是 MIPI® M-PHY^(SM) 规范中指定的 $T_{HS-PREPARE}$ 或者 $T_{PWM-PREPARE}$ 。在实施例中，物理层接收器逻辑转换为突发模式，例如，根据 MIPI® M-PHY^(SM) 规范的 HS-BURST 模式和 PWM-BURST 模式中的一个。

[0042] 图 5A 示出了用于根据实施例评估数据信号的接收器电路 500 的元素。例如，接收器电路 500 可以包括逻辑单元 103_i 的特征中的一些或全部。在实施例中，接收器电路 500 执行方法 400 的操作。图 5B 示出了根据一个实施例的针对接收器电路 500 的操作所交换的多个信号 550 的元素。

[0043] 在实施例中，接收器电路 500 包括用于接收数据信号 DS 510 的上升沿检测器 520。DS 510 可以包括发送至包括接收器电路 500 的设备的 PWM 信号的单端版本。接收器电路 500 还可以包括移位电路 530，例如，其中，上升沿检测器 520 基于 DS 510 向移位电路 530 提供输出信号。例如，上升沿检测器 520 可以检测 DS 510 的上升沿，例如，图 5B 中的上升沿 555，其中，所述上升沿与断言 DIF-P 的 PWM 信号的开始相对应。响应于这样的边沿，上升沿检测器 520 可以断言从信号输出到移位电路 530 的脉冲或其他转换。

[0044] 移位电路 530 可以包括多级，每一级不同地使信息移入移位电路 530 并且通过移位电路 530，例如，响应于时钟信号 PWMClk 505。在实施例中，PWMClk 505 是在包括接收器电路 500 的设备处生成的，例如，其独立于发送至所述设备的 PWM 数据信号。例如，PWMClk 505 可以是所述设备的接收总线时钟，但是某些实施例不受这方面的限制。

[0045] 作为示例而非限制，移位电路 530 可以是移位寄存器，其中，所述多级包括多个形成菊链的触发器，例如，包括三个触发器 FF1、FF2、FF3。根据不同实施例，这样的多级可以包括各种附加的或替代触发器中的任何触发器。可以将来自上升沿检测器 520 的信号输出提供作为到移位电路 530 的第一级的计时 (clocking) 输入，例如，作为 FF1 的计时输入信号。可以将 PWMClk 505 提供作为移位电路 530 的其他级中的一些或所有的计时输入信号。在这样的实施例中，来自上升沿检测器 520 的信号的转换可以对进入 FF1 的位进行计时，例如，由于 FF1 的数据输入 D 被耦合至高电压。接下来，例如包括图 5B 中的上升沿 560、565 的 PWMClk 505 的转换，可以接连使所述位移位通过所述多级，并且在一个实施例中移出所述多级。

[0046] 接收器电路 500 还可以包括响应于通过移位电路 530 进行移位的所述位而发起计数的逻辑。作为示例而非限制，接收器电路 500 可以包括 AND 门 G1，以接收 PWMClk 505；以及从移位电路 530 移出的所述位。在实施例中，可以将 G1 的所得到的输出提供作为接收器电路 500 的计数器 535 的计时输入。例如，计数器 535 可以包括 2 位计数器，但是某些实施例不受这方面的限制。在图 5A 所示的架构中，门 G1 可以提供用于由位计数器 535 进行计数，所述计数器 535 开始于某一位从移位电路 530 输出时，其中，计数随着 PWMClk 505 的相

继周期而逐渐变化（例如，递减或递增）。

[0047] 接收器电路 500 还可以包括用于计数器 535 的计数已经达到了特定值的逻辑。作为示例而非限制，接收器电路 500 可以包括 NOR 门 G2，从而在每一输入计数位（例如，计数器 535 的位 q0、q1 中的每一个）达到了逻辑电平“0”时转换至高位。例如，可以由接收器电路 500 的触发器 FF4 保持来自门 G2 的逻辑电平输出，例如，直到在 FF4 处检测到重置事件为止。在实施例中，将 FF4 的输出提供作为控制信号 Difpdet 540，例如，其中 Difpdet 540 的转换 570（图 5B 中所示）用于指示物理层接收器逻辑准备转换至突发操作模式的准备。例如，断言 Difpdet 540 的特定电平可以对 PREPARE 条件发送信号，正如在 MIPI® M-PHY^(SM) 规范中所定义的。

[0048] 在根据一个实施例的示出性场景中，PWMclk 505 具有大约 9MHz 的频率，而 DS 510 以大约 3Mb/s 的速率提供数据。但是，某些实施例不受这样的频率和 / 或速率方面的限制。在这样的高操作速度下，常规的数据评估电路容易对所接收到的数据信号中的噪声做出错误响应，例如，其中这样的电路错误地认为这样的噪声是对 DIF-P 的有意的断言。

[0049] 可以对接收器电路 500 的一个或多个方面（例如，移位电路 500 中的级的数量、计数器 535 中的计数位的数量、针对特定参考计数条件的组合逻辑等）进行选择，以实现在将 DS 510 的 DIF-P 作为物理层接收器逻辑转换至突发模式的需要的指示之前，DS 510 的 DIF-P 可以被断言的某一阈值时间段。例如，所述阈值时间段可以是几微秒，甚至可以是纳秒量级。在实施例中，所述阈值时间段与 MIPI® M-PHY^(SM) 规范的特定 GEAR 相对应。

[0050] 接收器电路 500 还可以包括逻辑：用于在接收器电路 500 检测到所述数据信号在至少阈值时间内断言了 DIF-P 之后和 / 或在接收器电路 500 检测到数据信号在这样的阈值时间结束之前已经转换回到 DIF-N 之后，转换至重置状态。作为示例而非限制，接收器电路 500 还可以包括用于检测 DS 510 的下降沿 575 的下降沿检测器 525，例如，其中所述下降沿与所述 PWM 信号的 DIF-N 正被断言的开始相对应。响应于这样的下降沿 575，下降沿检测器 525 可以断言某一信号的脉冲或者其他转换，某一信号的脉冲或者其他转换被输出从而不同地重置移位电路 530 的多级中的一些或全部。另外或此外，来自下降沿检测器 525 的这样的信号可以使计数器 535 和 / 或 FF4 重置。这样的重置信令可以将计数器 535 重置到某一初始计数值，清除当前处于移位电路 530 中的所有位和 / 或针对 Difpdet 540 的转换 580 来重置 FF4，从而指示当前没有任何 PREPARE 条件。

[0051] 图 6 示出了用于根据实施例评估数据信号的方法 600 的元素。例如，方法 600 可以评估在具有系统 100 的一些或全部特征的系统中交换的数据。在实施例中，在逻辑单元 103₁ 或者高速 I/O 接收器的类似电路逻辑处执行方法 600。这样的接收器可以提供与 MIPI® M-PHY^(SM) 规范兼容的功能，但是某些实施例不受这方面的限制。

[0052] 在 610 处，方法 600 可以包括利用第一逻辑基于时钟信号和数据信号来生成第一信号，所述第一信号包括第一脉冲序列。所述数据信号可以是相对应的差分 PWM 数据信号的单端版本，其例如是从第二设备接收的第一设备的接收器逻辑。在实施例中，在所述第一设备处生成时钟信号，例如，其中，所述时钟信号的生成独立于所述差分数据信号。作为示例而非限制，所述时钟信号可以是传输总线时钟信号，其还用于使第一设备的传输总线上的交换同步。为了生成所述第一信号，例如，所述第一逻辑可以与所述数据信号、时钟信号

和反馈信号执行 AND 操作。

[0053] 在 620 处,方法 600 还可以包括采用分频器来生成第二信号,所述第二信号包括基于第一脉冲序列的第二脉冲序列。所述第一脉冲序列的频率可以是脉冲的第二集合频率的整数倍,例如,六十四倍。在 630 处,方法 600 还可以包括响应于第二脉冲序列的某一整数 N 个周期的完成,而断言第一控制信号,以用于指示对物理层接收器逻辑的线路重置。在示例性实施例中,所述整数 N 等于五。

[0054] 在 640 处,方法 600 还可以包括基于第一控制信号向第一逻辑提供反馈信号。在实施例中,所述反馈信号限制由第一逻辑对分频器的激活,其中,所述第一信号是进一步基于所述反馈信号生成的。所述第一控制信号还可以指示所述数据信号至少在阈值时间段内被断言,以用于指示线路重置,其中,所述阈值时间段与 MIPI® M-PHY^(SM) 规范兼容。

[0055] 在实施例中,方法 600 包括将执行方法 400 的电路返回至默认状态的一个或多个附加的操作(未示出)。作为示例而非限制,方法 400 还可以包括生成第三信号的这样的电路的第二逻辑,所述第三信号是基于所述数据信号和状态信号的。例如,所述状态信号可以指示物理层接收器逻辑当前是否正处于线路重置模式内。在实施例中,所述第三信号被提供用于对所述分频器和 / 或循环计数器逻辑进行重置,所述循环计数器逻辑用于监测第二脉冲序列的 N 个周期的完成。

[0056] 图 7A 示出了用于根据实施例对数据信号进行评估的接收器电路 700 的元素。例如,接收器电路 700 可以包括逻辑单元 103₁的一些或全部特征。在实施例中,接收器电路 700 执行方法 600 的操作。图 7B 示出了根据一个实施例的针对接收器电路 700 的操作进行交换的多个信号 750 的元素。

[0057] 在实施例中,接收器电路 700 包括第一逻辑(例如,包括 AND 门 710),从而基于时钟信号 702 和数据信号 DS 704 来生成第一信号。正如本文所论述的,所述第一信号还可以是基于反馈信号 735 的。第一信号可以包括第一脉冲序列,其例如是当反馈 735 和 DS 704 被断言为逻辑高(或“1”)时,由门 710 进行的输出,例如其中,所述第一脉冲序列与时钟 702 的相应的周期相对应。

[0058] 接收器电路 700 还可以包括用于从第一逻辑接收第一信号的分频器 720,例如,其中,在分频器 720 的计时输入 clkin_1 处提供第一信号。分频器 720 可以在输出 clkout_1 725 处提供第二信号,所述第二信号包括基于第一脉冲序列的第二脉冲序列。例如,所述第二脉冲序列可以响应于在 clkin_1 处执行计时的第一脉冲序列。所述第一脉冲序列的频率可以是脉冲的第二集合的频率的整数倍,例如,六十四倍。

[0059] 接收器电路 700 还可以包括用于接收第二信号的循环计数器 740,例如,其中,在循环计数器 740 的计时输入 clkin_2 处提供第二脉冲序列。循环计数器 740 可以在输出 clkout_2 处提供指示在 clkin_2 处提供的信号的某一整数 N 个周期完成的信号。作为示例而非限制,输出 clkout_2 处的信号可以包括每第 N 个周期(或仅为每 N 个周期)clkin_1 处的信号的相应的脉冲或其他转换。这样的脉冲或其他转换可以是在 clkin_2 处由每第 N 个周期的上升沿触发的,但是某些实施例不受这方面的限制。在一个实施例中,N 可以等于五。

[0060] 循环计数器 740 可以响应于第二脉冲序列的 N 个周期的完成而断言控制信号线路重置 730。线路重置 730 可以指示对包括在接收电路 700 中或者与接收电路 700 耦合的物

理层接收器逻辑的线路重置。线路重置 730 可以指示 DS 704 在至少某一阈值时间段内断言了 DIF-P，从而用于指示 MIPI® M-PHY^(SM) 规范中定义的 LINE-RESET 模式。

[0061] 在实施例中，第一逻辑（例如，门 710）还将接收基于线路重置 730 的反馈信号 735，例如其中，反馈信号 735 是线路重置 730 的反相版本。反馈信号 735 可以限制由第一逻辑对分频器 720 的激活。继而，对分频器 720 的激活的限制可以由限制循环计数器 740 所执行的计数操作。相应地，反馈信号 735 可以在接收器电路 700 的操作中提供功率节省特性。

[0062] 在实施例中，接收器电路 700 还包括用于返回至默认状态的逻辑。作为示例而非限制，接收器电路 700 还可以包括用于生成第三信号的第二逻辑（例如，包括 AND 门 715），所述第三信号是基于 DS 704 和状态信号 rstb706 的。在实施例中，rstb 706 例如是根据本公开的范围以外的常规技术生成的先验信号，其指示物理层接收器逻辑当前是否处于线路重置模式，例如其中，rstb 706 处于逻辑高（例如，“1”或“TRUE”）逻辑电平上指示物理层接收器逻辑当前未处于线路重置模式。来自门 715 的第三信号输出可以对分频器 720 和 / 或循环计数器 740 进行重置。

[0063] 在通过信号 750 举例示出的场景中，上升沿 755 使 rstb 706 转换至高逻辑状态，例如，在 DS 704 的上升沿 760 期间都保持所述高逻辑状态。上升沿 755 可以对分频器 720 进行重置，例如，所述重置将在某一参考事件的下一次发生（例如，clkin_1 处的信号的下一个下降沿）时在 clkout_1 725 处的输出周期开始。另外或此外，上升沿 755 可以将循环计数器 740 中保持的当前循环计数重置为零或某一其他基线值。

[0064] 在 rstb 706 和 DS 704 两者均为高位时，与时钟 702 的脉冲相对应的脉冲可以由门 710 在分频器 720 的 clkin_1 处提供。在所述示例性的情况下，分频器 720 是 1/64 分频器，并且循环计数器 740 每五次循环计数一次，即 N 等于五 (5)。但是，根据不同实施例，可以由接收器电路 700 提供各种其他类型的分频和 / 或循环计数中的任一种。

[0065] 时钟 702 可以包括五个分量 P1、P2……P5 构成的序列，每一个分量包括六十四个时钟周期。响应于转换 755、760 之后的时钟 702 的第一时钟周期（例如，响应于 P1 的第一周期），分频器 720 可以在 clkout_1 725 处提供多个周期的第一上升沿 R1。在 clkout_1 725 处的多个周期的频率可以是 P1、P2、……、P5 的频率的 1/64。在实施例中，循环计数器 740 例如基于 clkout_1 725 的上升沿（例如，包括 R1、R2 等）和 / 或下降沿（例如，包括 F1 等）来检测 clkout_1 725 的多个周期中的五 (5) 个周期的完成。响应于 clkout_1 725 处的五个周期的完成（例如，响应于第六个周期开始时的上升沿 R6），循环计数器 740 可以实施转换 765，以断言线路重置 730。线路重置 730 的断言可能导致停止 clkout_1 725 的多个周期的反馈信号 735，例如，其中 clkout_1 725 接下来保持在逻辑高位，直到例如由 DS 704 实施向逻辑低位的转换（或者由 rstb 706 进行的类似转换）为止。

[0066] 在很多应用中，与用于检测 PREPARE 条件的阈值时间段相比，用于识别线路重置事件的阈值时间段可以相当大。例如，某些实施例将这一趋势实现为使用时钟 702 的机会，时钟 702 比接收总线时钟要慢得多。在实施例中，还将时钟 702 用于使包括接收电路 700 在内的设备的传输总线上的交换同步。这样的传输总线时钟可以具有大约 320kHz 的频率，但是某些实施例不受这方面的限制。

[0067] 图 8 是根据实施例的包括使接收器对数据（由发射器发送的）进行评估的处理器

的系统级图 800。图 8 可以包括用于执行指令以履行各种实施例的方法的计算机可读存储介质。实施例的元素还可以被提供作为用于存储计算机可读指令（例如，用于实施上文以及图 4 和图 6 的流程图所论述的过程的指令）的计算机可读存储介质。机器可读介质可以包括但不限于闪速存储器、光盘、CD-ROM、DVD ROM、RAM、EPROM、EEPROM、磁卡或光卡、或者适于存储电子或计算机可执行指令的其他类型的机器可读介质。例如，可以将本发明的实施例下载作为计算机程序（例如，BIOS），所述计算机程序可以经由通信链路（例如，调制解调器或网络连接）通过数据信号从远程计算机（例如，服务器）传输至请求计算机（例如，客户端）。

[0068] 在一个实施例中，系统 800 包括但不限于台式计算机、膝上型计算机、上网本、平板电脑、笔记本计算机、个人数字助理 (PDA)、服务器、工作站、蜂窝电话、移动计算设备、智能电话、互联网装置或者任何其他类型的计算设备。在另一实施例中，系统 800 实现本文所公开的方法，并且其可以是片上系统 (SOC) 系统。

[0069] 在一个实施例中，处理器 810 具有一个或多个处理器核 812 到 812N，其中，812N 表示处理器 810 内的第 N 个处理器核，其中，N 为正整数。在一个实施例中，系统 800 包括多个处理器，所述多个处理器包括处理器 810 和 805，其中，处理器 805 具有与处理器 810 的逻辑类似或等同的逻辑。在一个实施例中，系统 800 包括包含处理器 810 和 805 在内的多个处理器，使得处理器 805 具有完全独立于处理器 810 的逻辑的逻辑。在这样的实施例中，多封装系统 800 是异构多封装系统，这是因为处理器 805 和 810 具有不同的逻辑单元。在一个实施例中，处理核 812 包括但不限于：用于取指令的预取逻辑、用于对指令进行解码的解码逻辑、用于执行指令的执行逻辑等。在一个实施例中，处理器 810 具有高速缓冲存储器 816，其用于对系统 800 的指令和 / 或数据进行高速缓存。在本发明的另一实施例中，高速缓冲存储器 816 包括一级、二级和三级高速缓冲存储器，或者在处理器 810 内的高速缓冲存储器的任何其他配置。

[0070] 在一个实施例中，处理器 810 包括存储器控制集线器 (MCH) 814，其可操作地用于执行使处理器 810 能够访问存储器 830 并且与存储器 830 进行通信的功能，所述存储器 830 包括易失性存储器 832 和 / 或非易失性存储器 834。在一个实施例中，将存储器控制集线器 (MCH) 814 放置于处理器 810 外部作为独立的集成电路。

[0071] 在一个实施例中，处理器 810 可操作地用于与存储器 830 和芯片集 820 进行通信。在这样的实施例中，当对 SSD 880 加电时，SSD 880 执行计算机可执行指令。

[0072] 在一个实施例中，处理器 810 还耦合至无线天线 878，从而与被配置为发送和 / 或接收无线信号的任何设备进行通信。在一个实施例中，无线天线接口 878 根据但不限于以下协议进行工作：IEEE 802.11 标准以及相关族、HomePlug AV (HPAV)、超级宽带 (UWB)、蓝牙、WiMAX 或者任何形式的无线通信协议。

[0073] 在一个实施例中，易失性存储器 832 包括但不限于同步动态随机存取存储器 (SDRAM)、动态随机存取存储器 (DRAM)、RAMBUS 动态随机存取存储器 (RDRAM)、和 / 或任何其他类型的随机存取存储器设备。非易失性存储器 834 包括但不限于闪速存储器（例如，NAND、NOR）、相变存储器 (PCM)、只读存储器 (ROM)、电可擦可编程只读存储器 (EEPROM)、或者任何其他类型的非易失性存储设备。

[0074] 存储器 830 存储要由处理器 810 执行的信息和指令。在一个实施例中，存储器 830

还可以存储处理器 810 运行指令时的临时变量或者其他中间信息。在一个实施例中，芯片集 820 经由点到点 (PtP 或 P-P) 接口 817 和 822 与处理器 810 相连接。在一个实施例中，芯片集 820 能够使处理器 810 连接至系统 800 中的其他模块。在本发明的一个实施例中，接口 817 和 822 根据 PtP 通信协议（例如，INTEL® 快速通道互联 (QPI) 等）进行工作。

[0075] 在一个实施例中，芯片集 820 可操作地用于与处理器 810、805、显示设备 840、以及其他设备 872、876、874、860、862、864、866、877 等进行通信。在一个实施例中，芯片集 820 还耦合至无线天线 878，以用于与被配置用于发射和 / 或接收无线信号的任何设备进行通信。

[0076] 在一个实施例中，芯片集 820 经由接口 826 连接至显示设备 840。在一个实施例中，显示设备 840 包括但不限于液晶显示器 (LCD)、等离子体显示器、阴极射线管 (CRT) 显示器、或者任何其他形式的可视显示设备。在本发明的一个实施例中，将处理器 810 和芯片集 820 合并成单个 SOC。此外，芯片集 820 连接至与各种模块 874、860、862、864 和 866 进行互连的一条或多条总线 850 和 855。在一个实施例中，如果在总线速度或通信协议方面存在不匹配，那么总线 850 和 855 可以经由总线桥 872 互连到一起。在一个实施例中，芯片集 820 经由接口 824、智能 TV 876、消费电子产品 877 等与非易失性存储器 860、大容量存储设备 862、键盘 / 鼠标 864、以及网络接口 866 进行耦合，但不限于此。

[0077] 在一个实施例中，大容量存储设备 862 包括但不限于固态驱动器、硬盘驱动器、通用串行总线闪速存储器驱动器、或者任何其他形式的计算机数据存储介质。在一个实施例中，网络接口 866 通过任何类型的公知网络接口标准来实施，何类型的公知网络接口标准包括但不限于以太网接口、通用串行总线 (USB) 接口、快速外围部件互连 (PCI) 接口、无线接口、和 / 或任何其他适当类型的接口。在一个实施例中，无线接口根据 IEEE802.11 标准以及其相关族、HomePlug AV (HPAV)、超级宽带 (UWB)、蓝牙、WiMAX、或者任何形式的无线通信协议进行工作，但不限于此。

[0078] 尽管图 8 所示的模块被描绘为系统 800 内的独立的模块，但是由这些块中的一些所执行的功能可以集成到单个半导体电路内，或者可以使用两个或更多单独的集成电路来实现。例如，尽管高速缓冲存储器 816 被描绘为处理器 810 内的单独块，但是可以将高速缓存存储器 816 相应地集成到处理器核 812 内。在一个实施例中，在本发明的另一实施例中，系统 800 可以包括多于一个处理器 / 处理核。

[0079] 在一个方面中，接收器电路包括第一边缘检测器，其接收数据信号并且响应于所述数据信号的上升沿而生成第一信号的转换。所述接收器电路还包括包含多级的移位电路，以响应于所述转换来接收一位，并且基于时钟信号来对所述位进行移位。所述接收器电路还包括计数器，其响应于来自多级的位的输出来开始计数，和检测器逻辑，其用于检测所述计数的值并且基于所述值来生成控制信号，以用于使物理层接收器逻辑准备转换至突发操作模式。

[0080] 在实施例中，所述突发操作模式与物理层串行接口规范兼容。在实施例中，所述接收器电路还包括第二边缘检测器，以接收数据信号，并且响应于所述数据信号的下降沿而重置移位电路。在实施例中，所述接收器电路还包括第二边缘检测器，以接收数据信号，并且响应于所述数据信号的下降沿而重置所述计数器。在实施例中，所述接收器电路在第一设备内工作，其中，所述数据信号包括基于从第二设备发送至所述第一设备的差分数据信号的单端信号。

[0081] 在实施例中，所述接收器电路还包括耦合在移位寄存器和计数器之间的组合逻辑，所述组合逻辑用于接收所述时钟信号和所述位，并且用于向所述计数器指示所述时钟信号和所述位的组合，其中，所述计数器将基于所述时钟信号和所述位的所指示的组合来开始计数。在实施例中，所述控制信号指示所述数据信号在至少阈值时间段内被断言，以用于指示从睡眠状态和停止状态中的一个进行转换，其中，所述阈值时间段与物理层串行接口规范兼容。在实施例中，所述多级由三级构成，每一级基于所述时钟信号来执行相应的位移位。

[0082] 在另一方面中，一种系统包括包含第一边缘检测器的接收器电路，所述第一边缘检测器用于接收数据信号，并且响应于所述数据信号的上升沿来生成第一信号的转换。所述接收器电路还包括包含多级的移位电路，所述移位电路用于响应于所述转换来接收一位，并且基于时钟信号来对该位进行移位。所述接收器电路还包括计数器，所述计数器响应于来自所述多级的位的输出而开始计数；以及检测器逻辑，其用于检测所述计数的值并且基于所述值来生成控制信号，所述控制信号用于使物理层接收器逻辑准备转换至突发操作模式。所述系统还包括显示单元，其显示经由物理层接收器逻辑接收到的数据的版本。

[0083] 在实施例中，所述突发操作模式与物理层串行接口规范兼容。在实施例中，所述接收器电路还包括第二边缘检测器，所述第二边缘检测器用于接收数据信号，并且响应于所述数据信号的下降沿而对所述移位电路进行重置。在实施例中，所述接收器电路还包括第二边缘检测器，所述第二边缘检测器用于接收数据信号，并且响应于所述数据信号的下降沿而对所述计数器进行重置。在实施例中，所述数据信号包括基于从某一设备发送至所述系统的差分数据信号的单端信号。

[0084] 在实施例中，所述接收器电路还包括耦合在移位寄存器和计数器之间的组合逻辑，所述组合逻辑用于接收所述时钟信号和所述位，并且用于向所述计数器指示所述时钟信号和所述位的组合，其中，所述计数器将基于所述时钟信号和所述位的所指示的组合来开始计数。在实施例中，所述控制信号指示所述数据信号在至少阈值时间段内被断言，以用于指示从睡眠状态和停止状态中的一个进行转换，其中，所述阈值时间段与物理层串行接口规范兼容。

[0085] 在另一方面中，接收器电路包括第一逻辑，其用于基于时钟信号和数据信号来生成第一信号，所述第一信号包括第一脉冲序列；以及分频器，其接收所述第一信号，并且基于所述第一脉冲序列来生成包括第二脉冲序列的第二信号。所述接收器电路还包括循环计数器，其接收所述第二信号，并且响应于所述第二脉冲序列的 N 个周期的完成而断言第一控制信号，其中，N 为整数，以用于指示对物理层接收器逻辑进行线路重置。所述第一逻辑还用于基于所述第一控制信号来接收反馈信号，所述反馈信号用于限制由所述第一逻辑对所述分频器的激活，其中，所述第一逻辑用于进一步基于所述反馈信号来生成所述第一信号。

[0086] 在实施例中，第一脉冲序列的频率是第二脉冲序列的频率的六十四倍。在实施例中，N 等于五。在实施例中，第一控制信号指示所述数据信号在至少阈值时间段内被断言，以用于进行线路重置，其中，所述阈值时间段与物理层串行接口规范兼容。在实施例中，所述物理层接收器逻辑响应于所述第一控制信号，执行与物理层串行接口规范兼容的线路重置。

[0087] 在实施例中，所述接收器电路还包括第二逻辑，所述第二逻辑基于所述数据信号

以及指示物理层接收器逻辑当前是否处于线路重置模式的状态信号来生成第三信号，其中，所述第三信号对分频器进行重置。在实施例中，所述接收器电路还包括第二逻辑，所述第二逻辑基于所述数据信号以及指示物理层接收器逻辑当前是否处于线路重置模式的状态信号来生成第三信号，其中，所述第三信号对循环计数器进行重置。在实施例中，所述接收器电路在第一设备内工作，其中，所述数据信号包括基于从第二设备发送至所述第一设备的差分数据信号的单端信号。

[0088] 在另一方面中，一种系统包括接收器电路，所述接收器电路包括第一逻辑，其基于时钟信号和数据信号来生成第一信号，所述第一信号包括第一脉冲序列；以及分频器，其接收第一信号并且基于所述第一脉冲序列来生成包括第二脉冲序列的第二信号。所述接收器电路还包括循环计数器，其接收所述第二信号，并且响应于所述第二脉冲序列的N个周期的完成而断言第一控制信号，其中，N为整数，以用于指示对物理层接收器逻辑的线路重置。所述第一逻辑还基于所述第一控制信号来接收反馈信号，所述反馈信号用于限制由所述第一逻辑对所述分频器的激活，其中，所述第一逻辑还基于所述反馈信号来生成所述第一信号。所述系统还包括显示单元，其显示经由物理层接收器逻辑接收的数据的版本。

[0089] 在实施例中，第一脉冲序列的频率是第二脉冲序列的频率的六十四倍。在实施例中，N等于五。在实施例中，所述第一控制信号指示所述数据信号在至少阈值时间段内被断言，以用于进行线路重置，其中，所述阈值时间段与物理层串行接口规范兼容。

[0090] 在实施例中，所述接收器电路还包括第二逻辑，所述第二逻辑基于所述数据信号以及指示物理层接收器逻辑当前是否处于线路重置模式的状态信号来生成第三信号，其中，所述第三信号用于对分频器进行重置。在实施例中，所述接收器电路还包括第二逻辑，所述第二逻辑基于所述数据信号以及指示物理层接收器逻辑当前是否处于线路重置模式的状态信号来生成第三信号，其中，所述第三信号用于对循环计数器进行重置。在实施例中，所述接收器电路在第一设备内工作，其中，所述数据信号包括基于从第二设备发送至所述第一设备的差分数据信号的单端信号。本文描述了用于执行I/O通信的技术和架构。在上述说明中，出于解释的目的，阐述了许多具体的细节，以便提供对某些实施例的透彻理解。但是，对于本领域的技术人员而言显而易见的是，可以在不具有这些细节的情况下实践某些实施例。在其他实例中，以框图形式示出了结构和设备，以避免使描述模糊。

[0091] 在整个本说明书中提到的“一个实施例”或“实施例”是指结合实施例描述的特定特征、结构或特性包括在本发明的至少一个实施例中。在说明书的各个地方出现的短语“在一个实施例中”未必全都是指相同的实施例。

[0092] 本文的具体实施方式中的一些部分是根据对计算机存储器中的数据位进行的操作的算法和符号表示而呈现的。这些算法描述和表示是由计算领域的技术人员使用以将他们工作的实质最为有效地传达给该领域的其他技术人员的手段。这里并且一般性地将算法看作是产生预期结果的自相一致的步骤的序列。所述步骤是需要对物理量进行物理操纵的步骤。这些量通常但未必一定采取能够被存储、转移、合并、比较以及否则操纵的电或磁信号的形式。已经不断地证明，主要是出于常用的原因，这些信号被称为位、值、元素、符号、字符、项、数字等。

[0093] 但是应当记住，所有的这些术语和类似的术语都将与适当的物理量相关联，并且它们只是应用于这些量的方便标签。除非从本文的论述中明确指定，否则应当认识到在整

个说明书中,采用诸如“处理”、“计算”、“运算”、“确定”或“显示”等的词语所做的论述是指计算机系统或类似的电子计算设备的操作和处理,所述电子计算设备将被表示为所述计算机系统的寄存器和存储器内的物理(电子)量的数据操纵和转换为被类似地表示为所述计算机系统存储器或寄存器或其他这样的信息存储装置、传输或显示设备内的物理量的其它数据。

[0094] 某些实施例还涉及用于执行本文的操作的装置。所述装置可以是被专门解释用于所需的目的的,或者其可以包括由存储在计算机内的计算机程序有选择地激活或重新配置的通用计算机。这样的计算机程序可以存储在计算机可读存储介质中,例如但不限于:包括软盘、光盘、CD-ROM 和磁光盘在内的任何类型的盘、只读存储器 (ROM)、随机存取存储器 (RAM)(例如,动态 RAM (DRAM))、EPROM、EEPROM、磁卡或光卡、或适于存储电子指令并且能够耦合到计算机系统总线的任何类型的介质。

[0095] 本文呈现的算法和显示并非与任何特定的计算机或其他装置固有地相关。可以将各种通用系统与根据本文教导的程序一起使用,或者可以证明,便于构建更为专门的装置来执行期望的方法步骤。根据本文的描述将出现这些各种各样的系统所需的结构。此外,某些实施例并未参考任何特定的编程语言来进行描述。要认识到,可以使用各种编程语言来实现如本文所述的这样的实施例的教导。

[0096] 除了本文的描述之外,在不偏离其范围的情况下可以对所公开的实施例和实现做出各种修改。因此,应当将本文的举例示出和示例解释为是示例性的,而不是限制性的意义。应当仅参考下述权利要求来衡量本发明的范围。

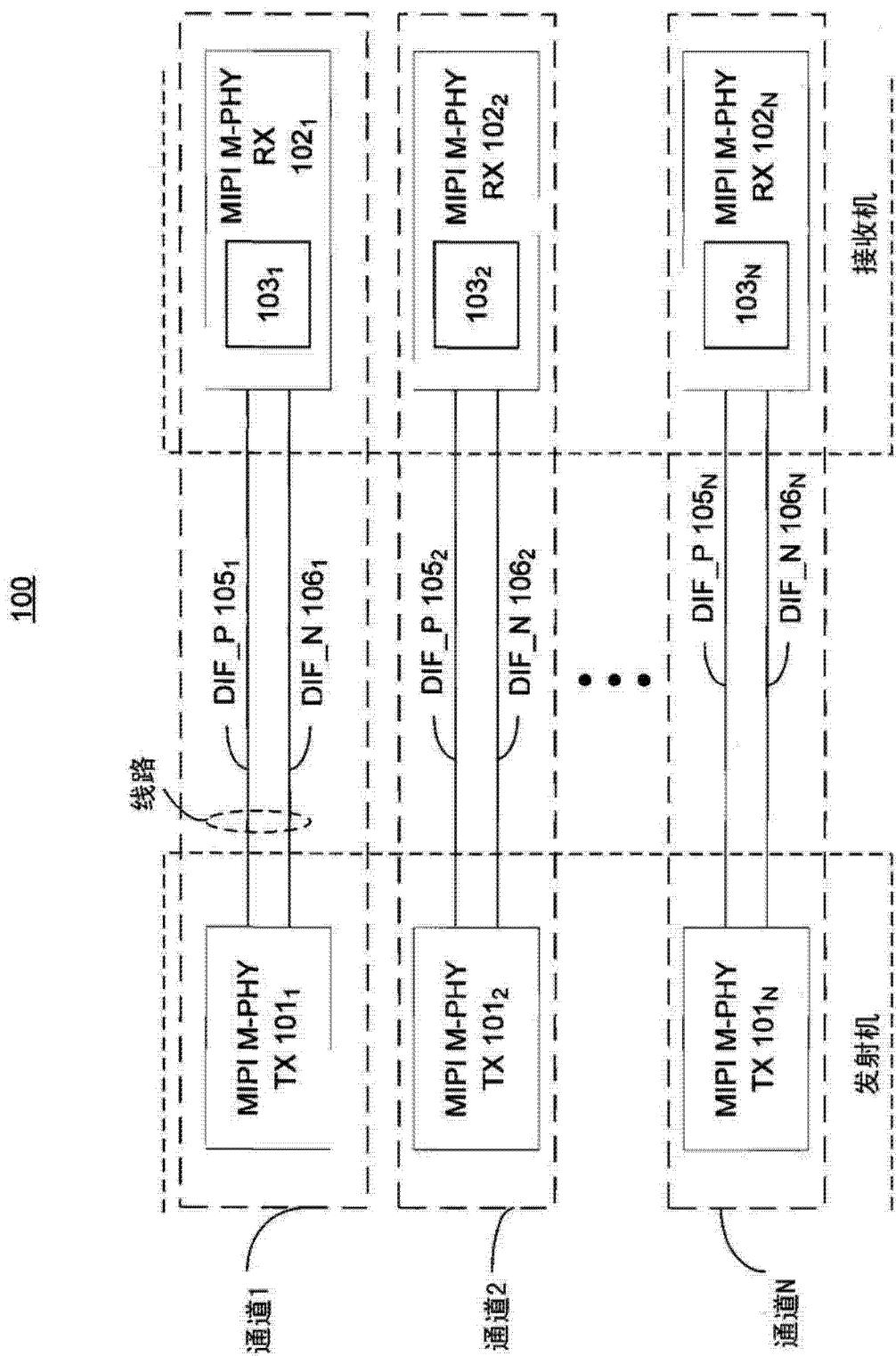


图 1

203

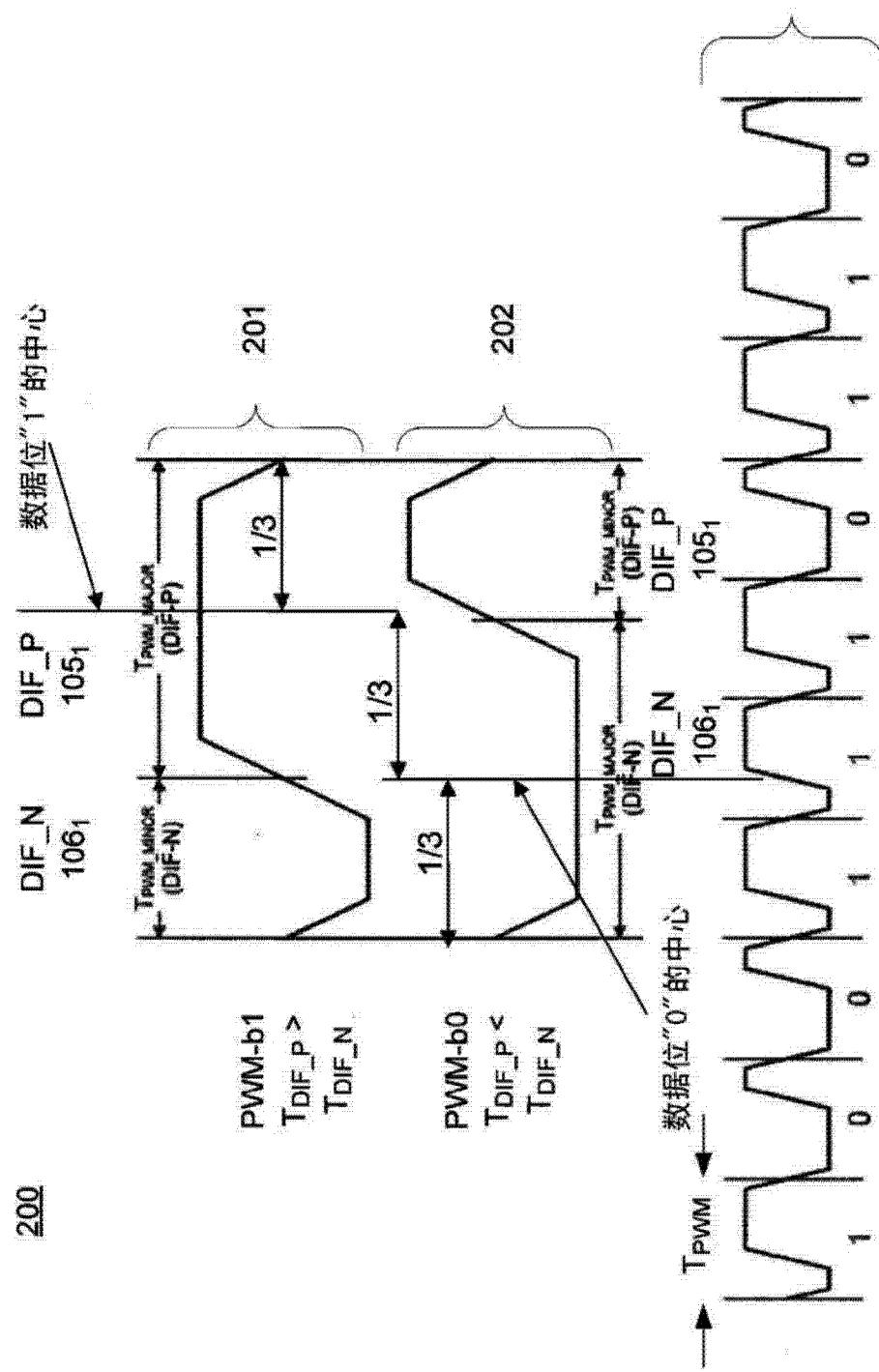


图 2

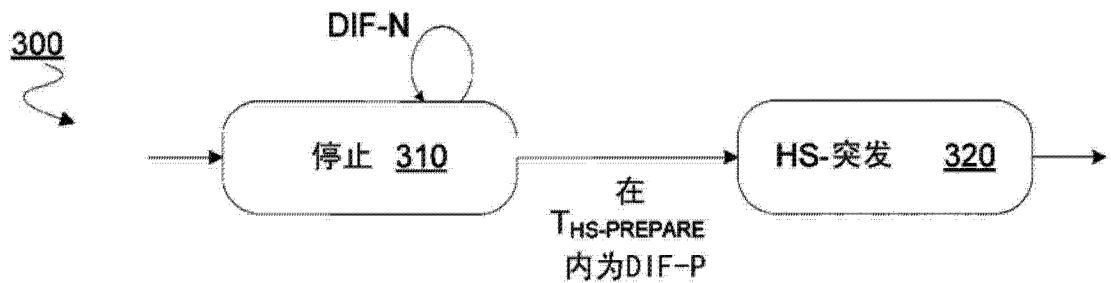


图 3A

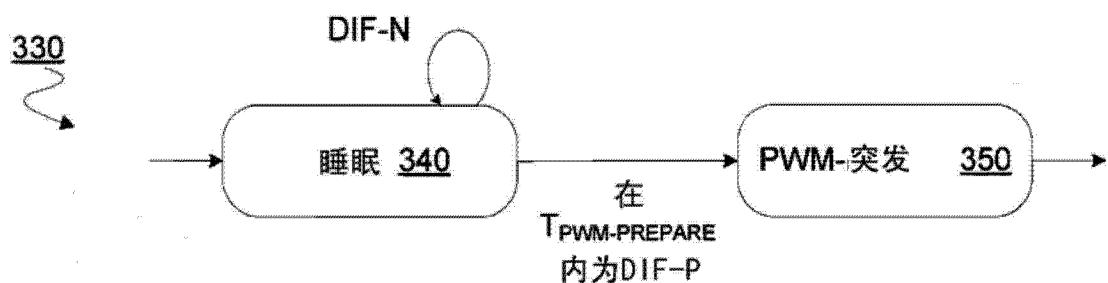


图 3B

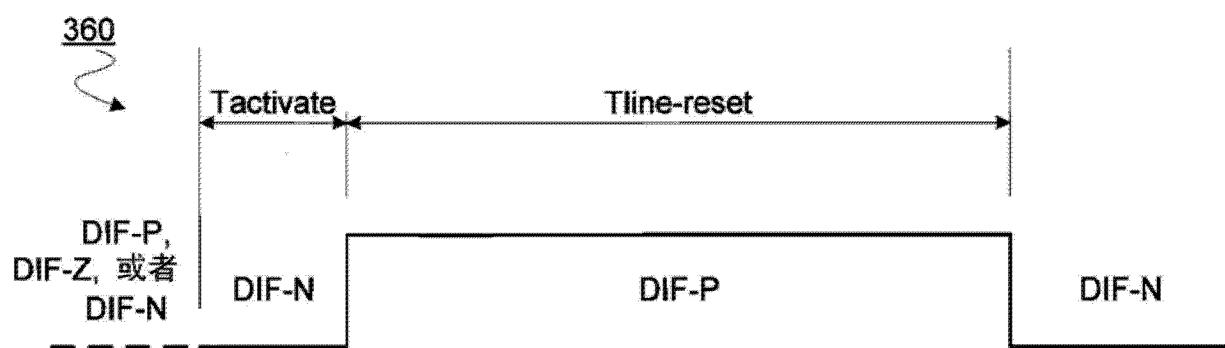


图 3C

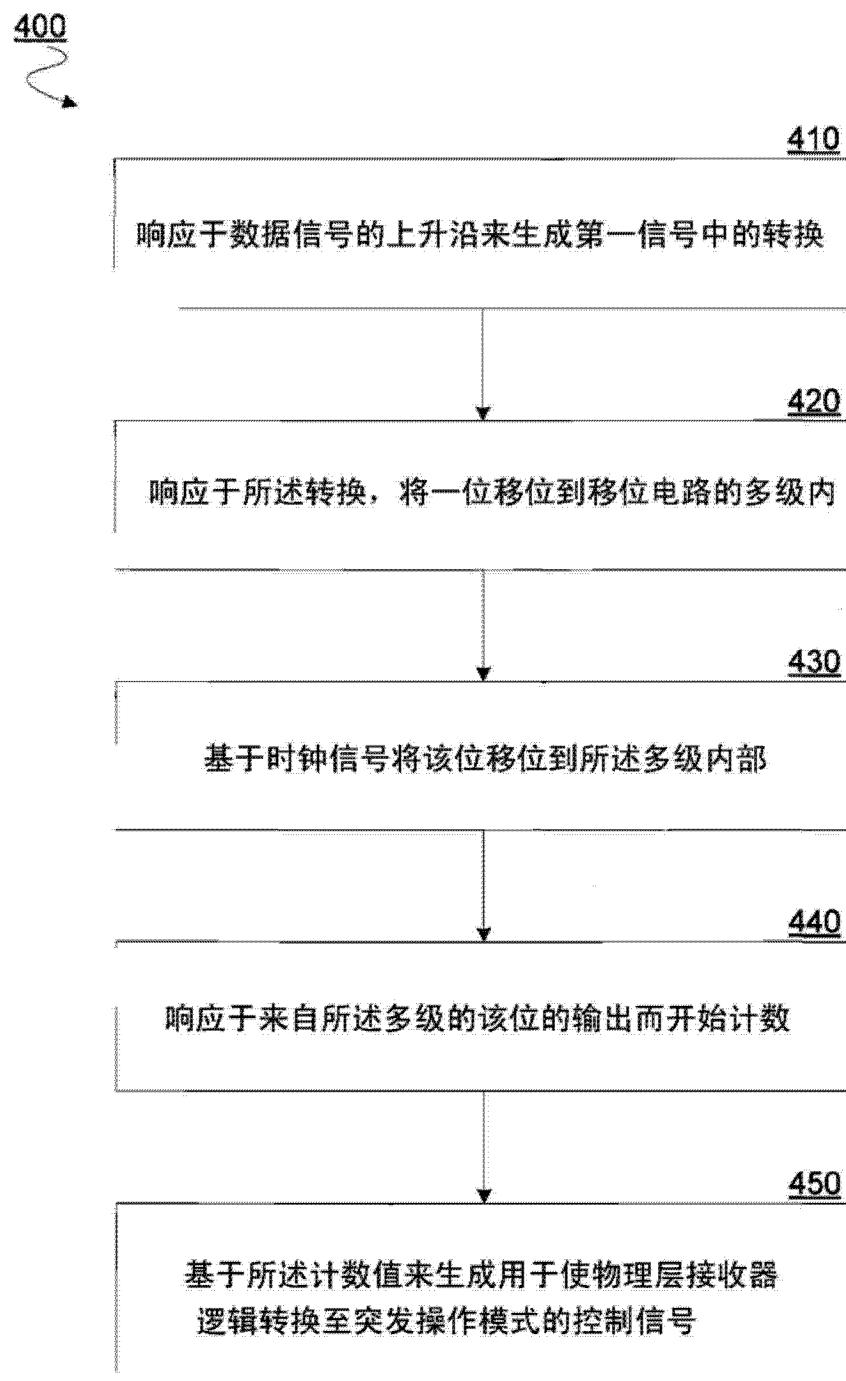


图 4

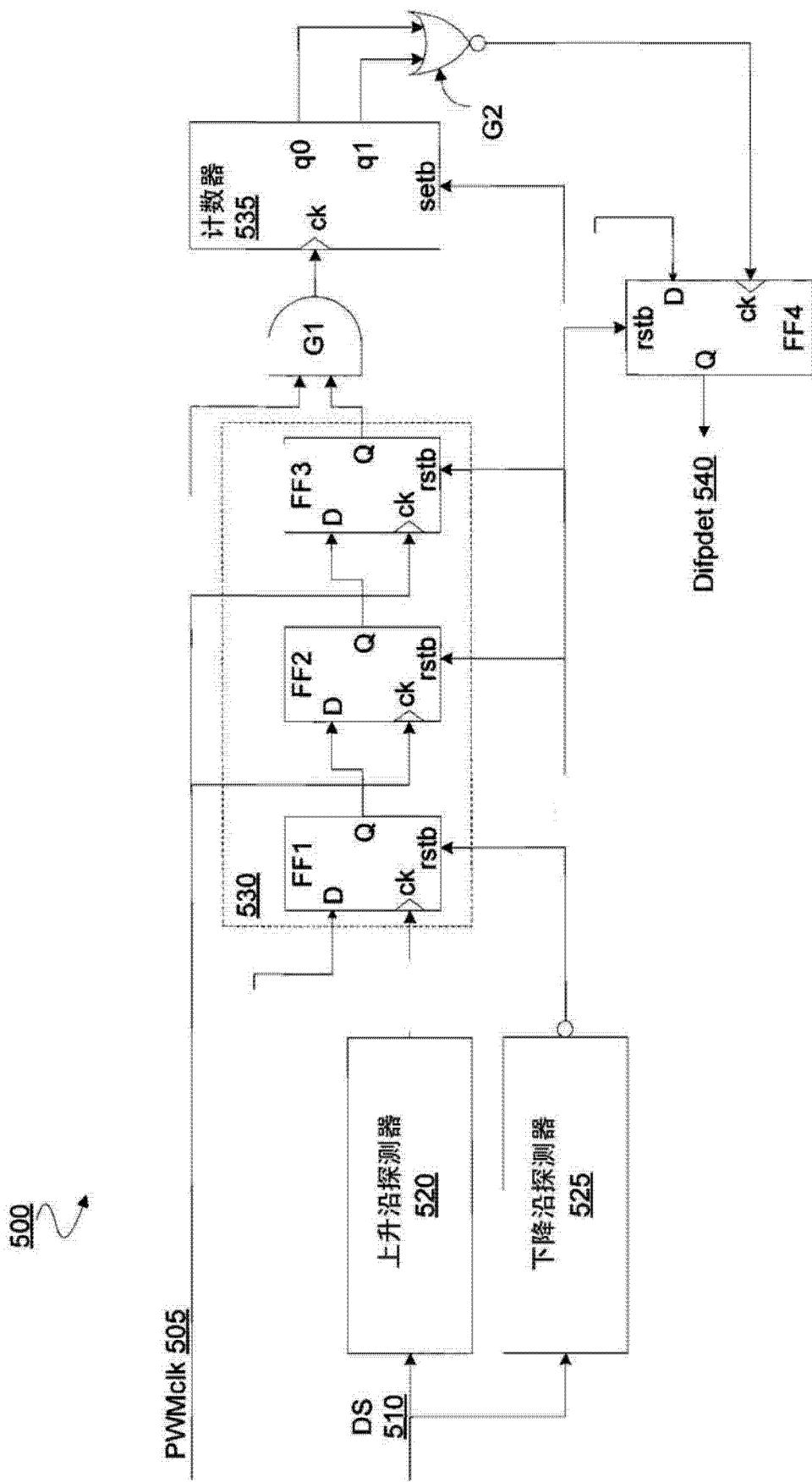


图 5A

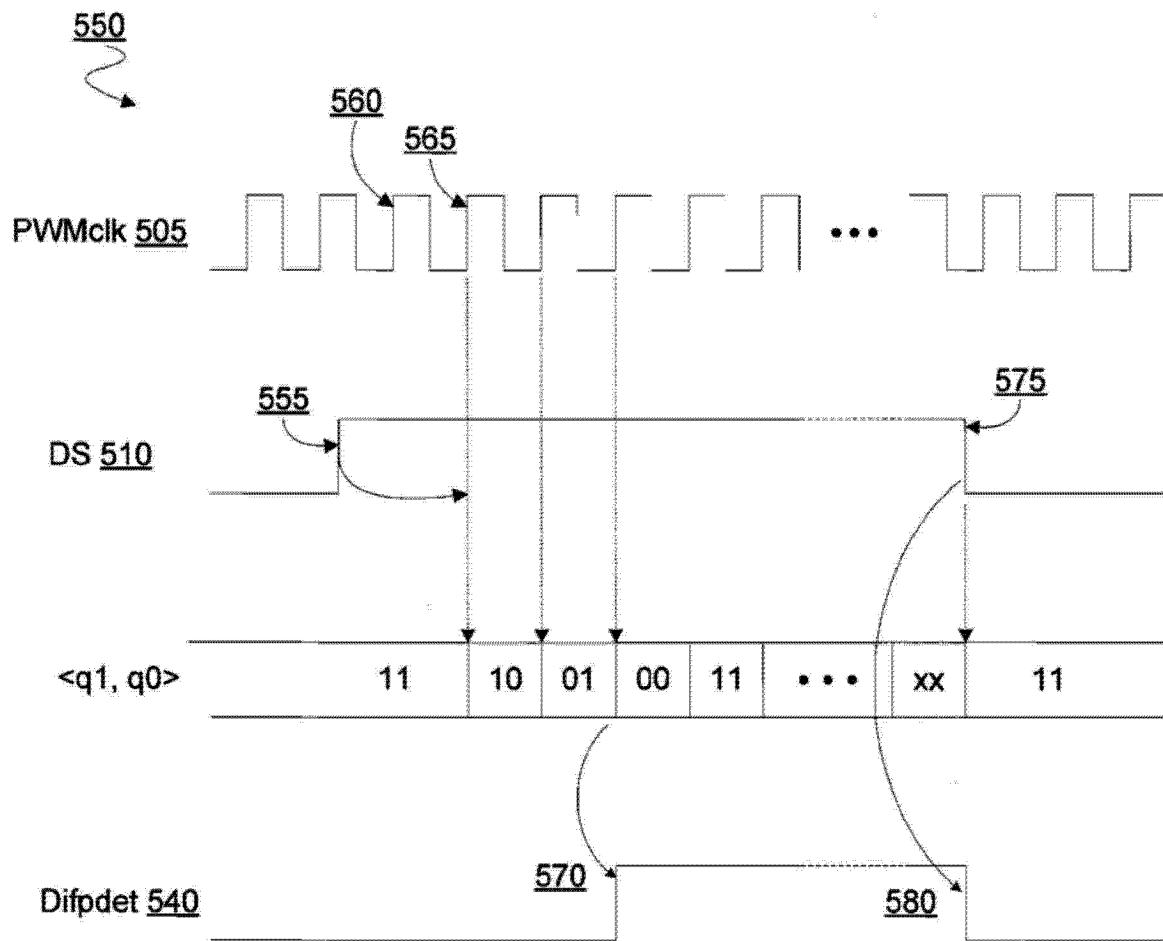


图 5B

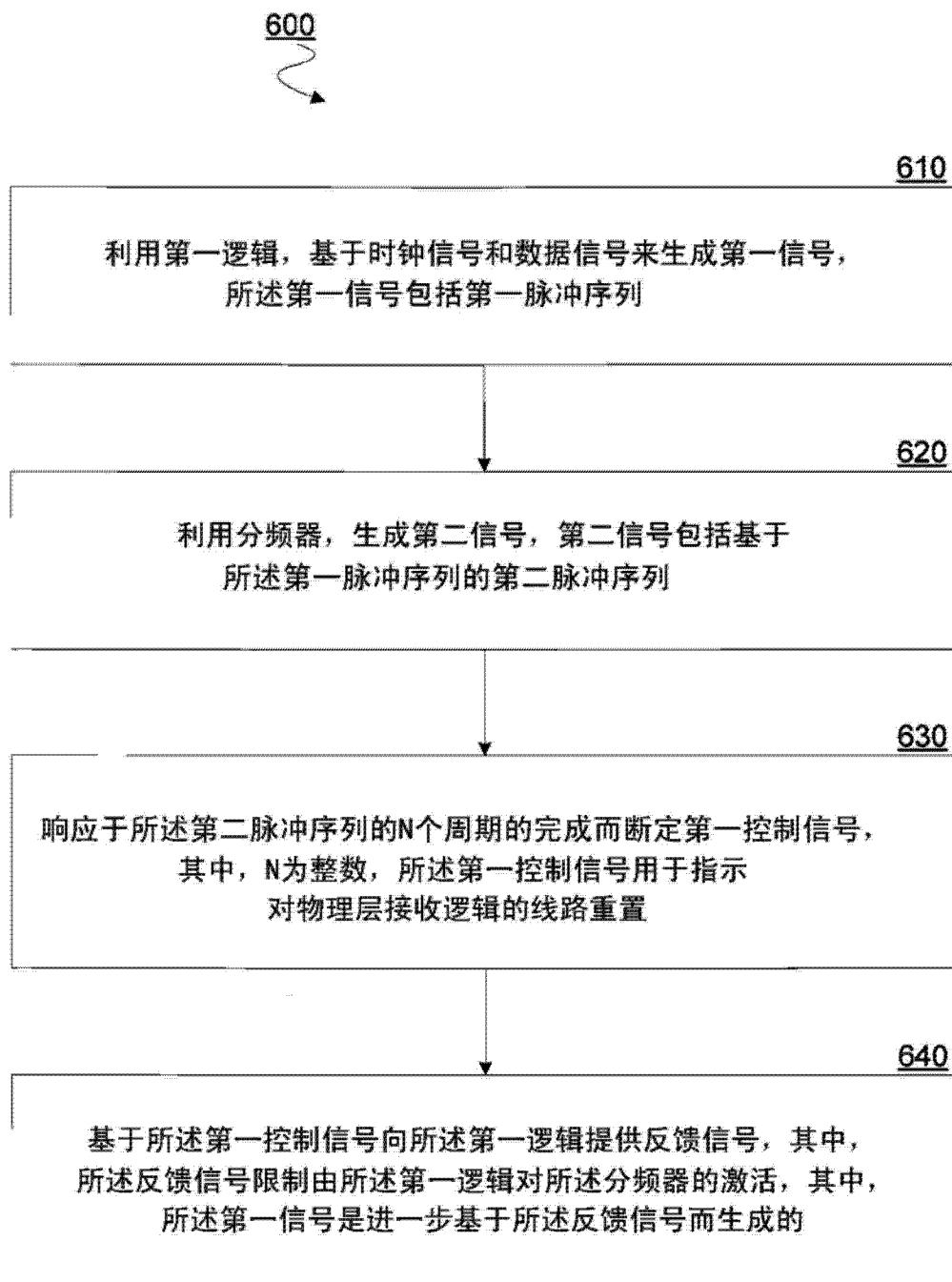


图 6

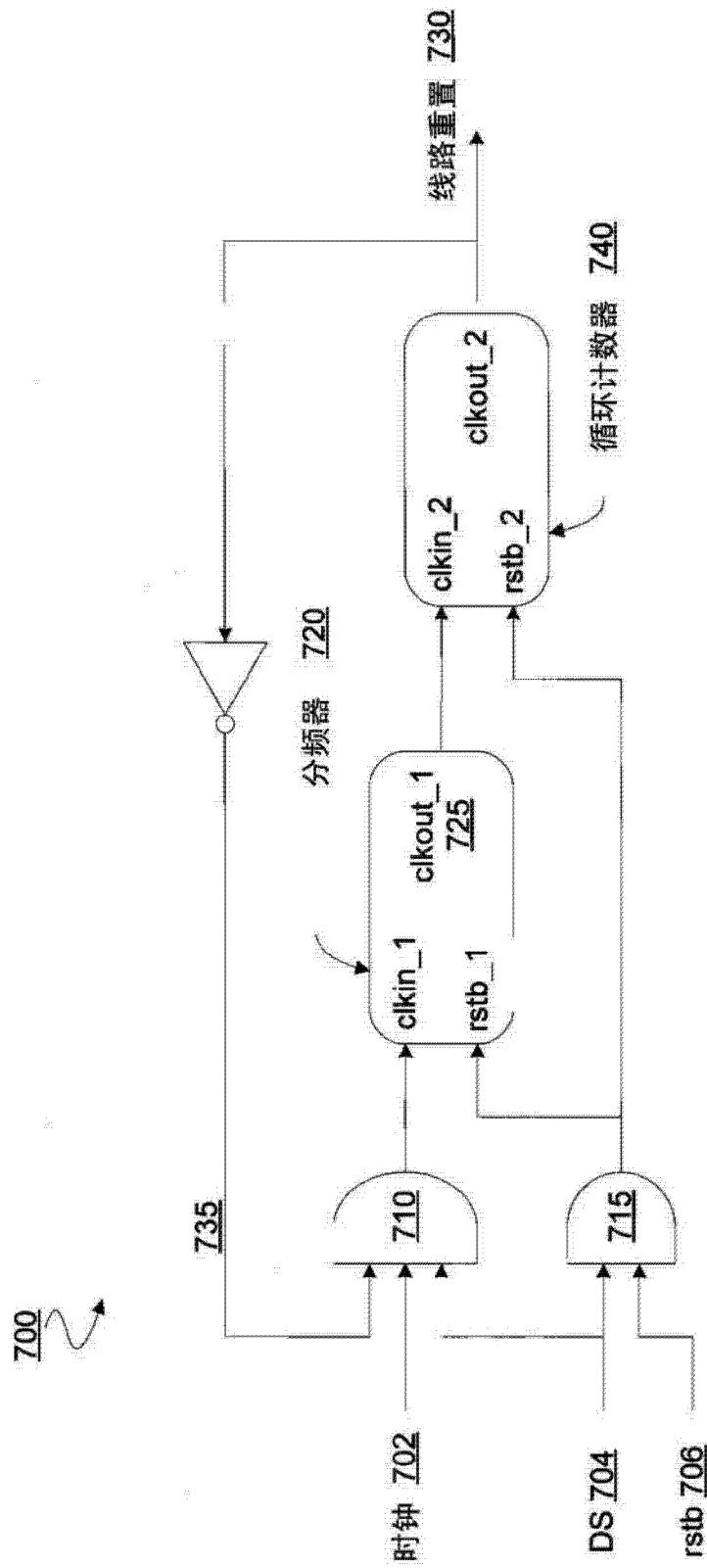


图 7A

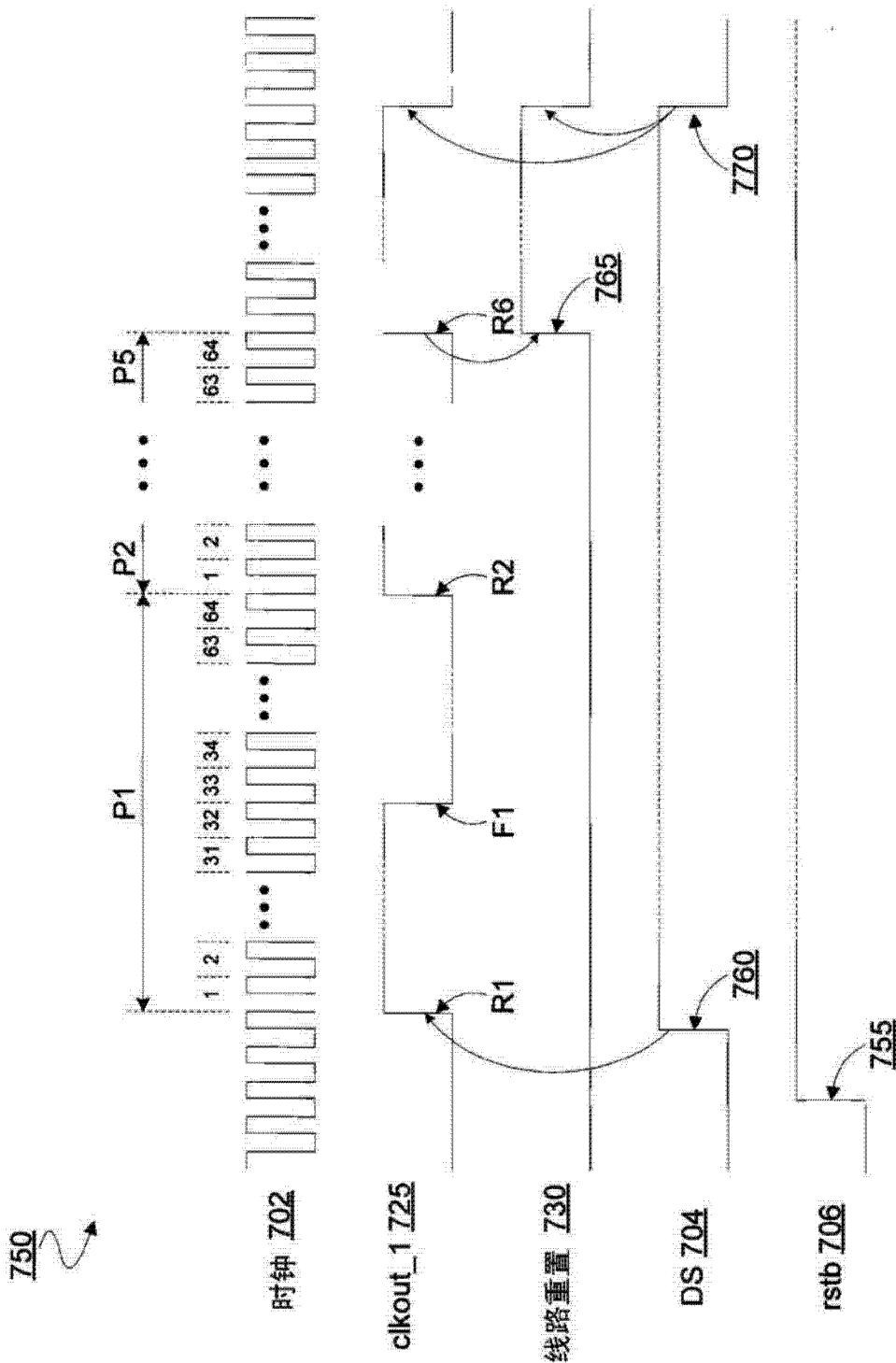


图 7B

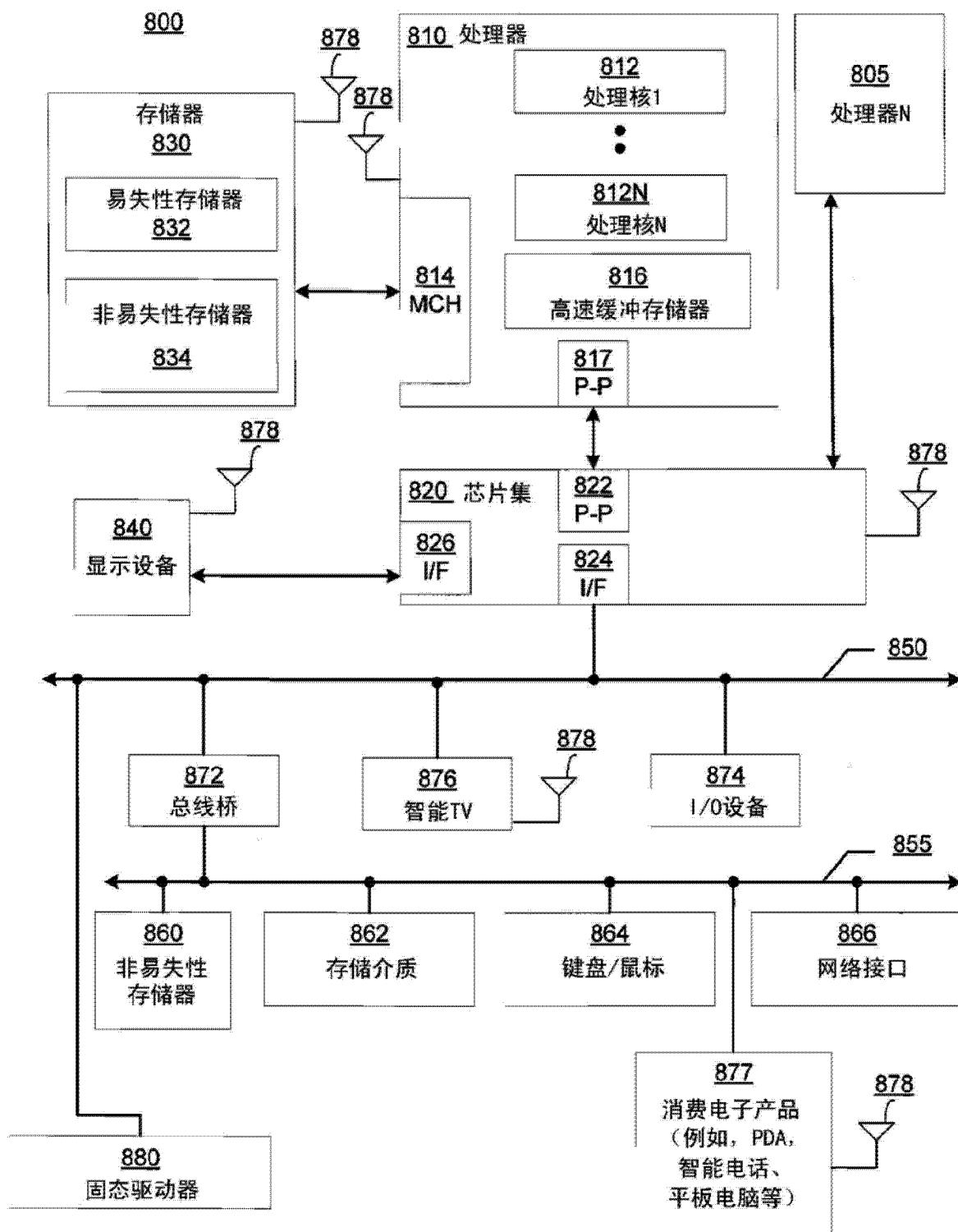


图 8