

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 21.01.00.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 27.07.01 Bulletin 01/30.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR.

72 Inventeur(s) : MARTY MICHEL.

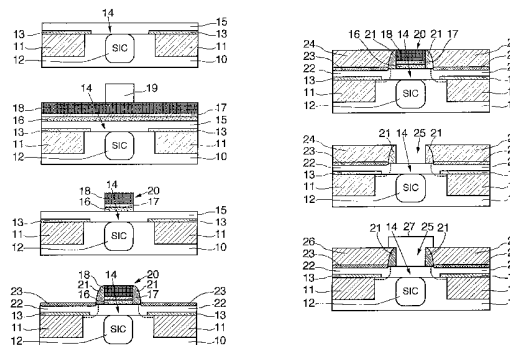
73 Titulaire(s) :

74 Mandataire(s) : CASALONGA ET JOSSE.

54 PROCÉDE DE REALISATION D'UN TRANSISTOR BIPOLAIRE A EMETTEUR ET BASE EXTRINSEQUE AUTO-
ALIGNES.

57 Le procédé comprend la formation sur une couche 15 de formation de la base du transistor d'un empilement d'une couche d'alliage SiGe 16, d'oxyde de silicium 17 et de nitru-
re de silicium 18, à former dans cette couche un faux émet-
teur 20, former dans la couche 15 de formation de la base
une région de base extrinsèque 22 et siliconer la surface de
cette région de base extrinsèque, recouvrir la région de
base extrinsèque 22 et le faux émetteur 20 avec une couche
de dioxyde de silicium 24 qui est polie mécano-chimique-
ment jusqu'au niveau du faux émetteur 20, à graver le faux
émetteur 20 pour former une fenêtre 25 et à former dans la
fenêtre 25 et sur la couche de dioxyde de silicium 24 un
émetteur en polysilicium 27.

Application à la fabrication des transistors bipolaires à
hétérojonction.



Procédé de réalisation d'un transistor bipolaire à émetteur et base extrinsèque auto-alignés.

La présente invention concerne de manière générale un procédé pour la réalisation d'un transistor bipolaire dont l'émetteur est auto-aligné sur la base extrinsèque du transistor, en particulier un transistor bipolaire à hétérojonction.

5 Classiquement, la fabrication d'un transistor bipolaire comprend les étapes successives suivantes :

- la réalisation dans un substrat semi-conducteur, par exemple un substrat de silicium de type P, d'une couche enterrée de collecteur extrinsèque, par exemple dopée N^+ par une implantation d'arsenic;

10 - la réalisation de part et d'autre du collecteur extrinsèque de deux couches enterrées d'isolement, par exemple dopées P^+ par implantation de bore;

- la réalisation, sur le substrat ainsi formé, par épitaxie épaisse, d'une couche de silicium monocristallin, par exemple de type N;

15 - la réalisation dans la couche épaisse de silicium monocristallin d'une région d'isolement latéral, soit par un procédé d'oxydation localisée (LOCOS), soit du type "tranchée peu profonde" ("Shallow Trench"), pour définir dans la couche épaisse de silicium une région de collecteur intrinsèque;

20 - la réalisation d'un puits collecteur, par exemple dopé N^+ , notamment par implantation de phosphore, contactant la couche enterrée de collecteur extrinsèque;

25 - la réalisation sous la région d'isolement latéral de caissons, par exemple dopés P par implantation de bore, pour isoler le transistor bipolaire des transistors adjacents;

- la formation à la surface de la région de collecteur intrinsèque d'une mince couche d'oxyde thermique, typiquement SiO_2 ;

- la formation sur la surface de la couche d'oxyde thermique et de la région d'isolement latéral d'une couche de silicium amorphe;

5 - la gravure plasma, avec arrêt sur la couche d'oxyde thermique, dans la couche de silicium amorphe d'une fenêtre dite "fenêtre de base";

- la désoxydation chimique de la couche d'oxyde thermique située au-dessus de la région de collecteur intrinsèque et découverte par la fenêtre de base;

10 - la formation par épitaxie non sélective d'une couche, typiquement un empilement de trois couches Si/alliage SiGe/Si, dans laquelle sera réalisée la future base intrinsèque du transistor;

- la formation sur l'empilement de la base intrinsèque d'une couche d'isolement par dépôt de tétraorthosilicate d'éthyle (TEOS) puis
15 par dépôt d'une couche de nitrure;

- la réalisation au moyen d'un masque de résine, sur la couche de formation de la base intrinsèque, dans la couche d'isolement, d'une fenêtre d'émetteur située au-dessus de la région de collecteur intrinsèque;

- la réalisation d'un émetteur en silicium polycristallin
20 (polysilicium) par dépôt chimique en phase vapeur et gravure au moyen d'un masque de photolithographie; et

- la formation de la base extrinsèque et des prises de connexion.

Un tel procédé classique de réalisation d'un transistor bipolaire est décrit entre autres dans le brevet français n° 98 07059.

25 Un inconvénient des procédés classiques, comme celui qui vient d'être décrit, est qu'ils nécessitent l'utilisation d'au moins trois masques. Cette multiplicité de masquage, du fait des tolérances, ne permet pas d'obtenir un auto-alignement de la base extrinsèque et de l'émetteur. Ce défaut d'auto-alignement s'aggrave encore en fonction de la densité et des
30 dimensions voulues pour les ouvertures (fenêtres).

L'invention a donc pour objet un procédé de réalisation d'un transistor bipolaire qui remédie aux inconvénients des procédés de l'art antérieur.

35 Plus particulièrement, l'invention a pour objet un procédé de réalisation d'un transistor bipolaire permettant un auto-alignement de la

base extrinsèque et de l'émetteur.

L'invention a encore pour objet un procédé de réalisation d'un transistor bipolaire nécessitant deux étapes de masquage au lieu des trois usuelles.

5 L'invention a enfin pour objet un procédé de réalisation d'un transistor bipolaire qui réduit les problèmes liés à la densité et aux dimensions des ouvertures (fenêtres).

Selon l'invention, le procédé de réalisation d'un transistor bipolaire dont l'émetteur est auto-aligné avec la base extrinsèque, 10 comprend les étapes suivantes :

- l'obtention d'une structure comprenant un substrat semi-conducteur dans lequel sont formés un collecteur extrinsèque, des couches d'isolement de la base extrinsèque, une région d'isolement latéral et une région de collecteur intrinsèque, ladite structure ayant une surface 15 principale sur laquelle sont déposées une couche de silicium amorphe définissant une fenêtre de base sur la région de collecteur intrinsèque et une couche de formation de la future base du transistor couvrant la couche de silicium amorphe et la fenêtre de base;

- le dépôt successif sur la couche de formation de la future base 20 du transistor d'une couche d'alliage SiGe, d'une mince couche d'oxyde de silicium et d'une couche de nitrure de silicium;

- la gravure au moyen d'un masque des couches de nitrure de silicium, oxyde de silicium et d'alliage SiGe pour former sur la couche de formation de la future base du transistor, au-dessus de la région de 25 collecteur intrinsèque, un faux émetteur de géométrie de dimension correspondant à la géométrie et à la dimension voulues pour l'émetteur final;

- la formation sur deux côtés opposés du faux émetteur d'espaceurs;

30 - la formation dans la couche de formation de la future base de transistor d'une région de base extrinsèque;

- la formation d'une couche de siliciure métallique sur la région de base extrinsèque;

- le dépôt d'une couche épaisse de dioxyde de silicium, de 35 manière à recouvrir la couche de siliciure métallique et le faux émetteur;

- le polissage mécano-chimique de la couche épaisse de dioxyde de silicium jusqu'au niveau du faux émetteur;

- la gravure des couches du faux émetteur pour former une fenêtre d'émetteur;

5 - le dépôt d'une couche de polysilicium remplissant la fenêtre d'émetteur et couvrant la couche épaisse de dioxyde de silicium; et

- la gravure au moyen d'un masque de la couche de polysilicium pour achever l'émetteur.

10 Le procédé de l'invention comporte uniquement deux étapes de masquage pour la gravure du faux émetteur et la gravure finale de l'émetteur.

Les dépôts des couches d'alliage SiGe, d'oxyde de silicium et de nitrure de silicium ainsi que les gravures de ces couches, sont classiques et bien connus dans la technique.

15 Par exemple, le dépôt de la couche d'alliage SiGe peut se faire par épitaxie non sélective. De préférence, l'alliage SiGe a une teneur élevée en germanium, typiquement 15 à 50% atomique, et de préférence 20 à 50% atomique, la sélectivité de gravure par rapport au silicium augmentant avec la teneur en germanium. L'épaisseur de la couche d'alliage SiGe est généralement de l'ordre de 20 à 50 nm.

20 La mince couche d'oxyde peut être déposée par dépôt chimique en phase vapeur assisté par plasma (PECVD) à partir d'un silicate d'alkyle tel que le tétraorthosilicate d'éthyle (TEOS). Cette couche a généralement une épaisseur de 30 à 40 nm.

25 La couche de nitrure de silicium peut être formée de manière classique par dépôt PECVD. Cette couche de nitrure de silicium doit avoir une épaisseur correspondant à l'épaisseur voulue pour l'émetteur en silicium polycristallin (polysilicium) final. Cette épaisseur, dans le cas d'une structure BiCMOS, doit également être suffisante pour tenir compte de l'épaisseur de grille et du polissage mécano-chimique ultérieur. En

30 général, l'épaisseur de la couche de nitrure de silicium est de 200 à 300 nm, typiquement de l'ordre de 250 nm.

35 Les gravures des couches de nitrure de silicium, d'oxyde de silicium et d'alliage SiGe pour former l'empilement constituant le faux émetteur, ainsi que la gravure de ces mêmes couches dans l'empilement du

faux émetteur, peuvent s'effectuer par tout procédé classique bien connu dans la technique. Cette gravure peut s'effectuer par plasma, par exemple un plasma gazeux NF_3/He . Une surgravure latérale de la couche d'alliage SiGe est possible en fonction de la dimension finale de l'émetteur et de la photolithographie précédente.

Du fait que le masque utilisé pour la formation du faux émetteur par lithographie n'est pas un trou mais un bloc de résine, on obtient une gravure très précise du faux émetteur et par suite de l'émetteur.

Le polissage mécano-chimique avec détection de l'interface oxyde de silicium/nitride de silicium, est connu.

Le polissage mécano-chimique est décrit, entre autres, dans l'article "Chemical Mechanical Planarization of Microelectronic Materials", Joseph M. STEIGERWALD - SHYAMP - MURARKA - John WILLEY, NEW YORK, pp. 273 (1997).

Le procédé de l'invention permet de réaliser un transistor bipolaire dont l'émetteur est défini par photolithographie et auto-aligné avec la base extrinsèque.

En outre, on utilise une base réalisée par épitaxie non sélective.

Le procédé de l'invention est compatible avec les technologies Bipolaires et BiCMOS.

La suite de la description se réfère aux figures annexées qui représentent, respectivement :

Figures 1a à 1g - les étapes principales du procédé de réalisation d'un transistor bipolaire, selon l'invention.

En se référant aux figures et en particulier à la figure 1a, la première étape du procédé consiste à obtenir ou réaliser de manière classique une structure comprenant un substrat en silicium monocristallin 10 comportant une région d'isolement latéral 11 et une région de collecteur intrinsèque 12 définie par la région d'isolement latéral 11.

Bien que n'apparaissant pas sur les figures pour des raisons de simplification, le substrat 10 comporte également une couche enterrée de collecteur extrinsèque et des couches d'isolement du collecteur extrinsèque, et un puits de collecteur pour diminuer la résistance d'accès au collecteur.

La formation de ces couches et régions est classique et est

décrite entre autre dans le brevet français n° 98 07059.

De manière également classique, la structure comprend sur la surface supérieure du substrat 10, une couche de silicium amorphe 13 définissant sur la région de collecteur intrinsèque 12 une fenêtre de base 14. La formation d'une telle couche d'oxyde de silicium est classique et est

Sur la fenêtre 14 et la couche de SiO_2 12, est formée une couche 15 de formation de la future base du transistor.

Cette couche 15 est constituée de préférence par un empilement d'une première couche de silicium non dopée, d'une épaisseur de quelques dizaines de nanomètres, d'une deuxième couche d'un alliage SiGe et d'une troisième couche de silicium, par exemple dopée P, d'épaisseur généralement de l'ordre de 25 nm. En fait, la couche d'alliage SiGe est de préférence formée de deux sous-couches, une première sous-couche ayant une teneur fixe en germanium (10 à 20% atomique) surmontée d'une deuxième sous-couche en alliage SiGe (dont le taux en germanium décroît par exemple jusqu'à 0) et dopée, par exemple P avec du bore. Typiquement, cette deuxième couche d'alliage SiGe a une épaisseur de 20 à 100 nm.

La fabrication d'une telle couche 15 de formation de la future base du transistor est classique et peut se faire par exemple par épitaxie non sélective.

Pour plus de détails quant à la réalisation de cette couche de formation de la base, on peut se reporter au brevet français mentionné précédemment.

Comme le montre la figure 1b, on forme ensuite sur la couche 13, successivement, une couche 16 en alliage SiGe ayant un taux élevé en germanium (15 à 50% atomique) et d'épaisseur de 20 à 50 nm, puis une couche d'oxyde de silicium 17 d'épaisseur de 30 à 40 nm, et enfin une couche de nitrure de silicium (Si_3N_4) 18 d'épaisseur de l'ordre de 250 nm.

Ces couches sont formées de manière classique, par exemple par épitaxie non sélective pour la couche 16 en alliage SiGe, dépôt (PECVD) chimique en phase vapeur assisté par plasma pour la couche de SiO_2 17, en utilisant comme précurseur du tétraorthosilicate d'éthyle (TEOS) et par dépôt (PECVD) pour la couche de Si_3N_4 18 avec SiH_4 et NH_3 comme gaz

précurseurs.

On forme alors sur la dernière couche 18 un masque de résine 19 au-dessus de la région de collecteur intrinsèque.

5 On grave alors de manière classique au moyen du masque 19 les trois couches de nitrure de silicium 18, de SiO_2 17 et d'alliage SiGe 16 pour, après élimination du masque de résine 19, obtenir sur la couche 15 de formation de la future base du transistor un faux émetteur 20 constitué par un empilement des trois couches précédentes de forme et dimension correspondant à l'émetteur final du transistor.

10 La gravure des trois couches peut s'effectuer en gravant d'abord la couche de Si_3N_4 18 avec arrêt sur la couche de SiO_2 17, par exemple au moyen d'un plasma, puis en gravant la couche de SiO_2 17 avec arrêt sur la couche d'alliage SiGe 16, par exemple au moyen d'un plasma avec des composés fluorés et enfin par gravure sélective vis-à-vis de la couche
15 d'alliage SiGe 16, par exemple au moyen d'un plasma NF_3/He .

Comme le montre la figure 1d, on forme alors de manière connue en soi sur deux côtés opposés de l'empilement du faux émetteur 20 des espaceurs 21, par exemple en SiO_2 .

20 On procède ensuite, comme cela est bien connu, à la formation de la base extrinsèque 22. Par exemple, cette formation de la base extrinsèque 22 peut s'effectuer par une implantation classique de bore.

On effectue de manière connue en soi une siliciuration 23 de la surface de la base extrinsèque 22, par exemple par une technique du type "siliciure autoaligné" ("self aligned silicide") qui comporte le dépôt d'une
25 couche de métal (par exemple Ti) pour former un siliciure (TiSi_2) sur la base extrinsèque 22.

Comme le montre la figure 1e, on forme alors une couche épaisse d'oxyde de silicium 24 recouvrant la base extrinsèque 22 et le faux émetteur 20, puis on procède au polissage mécano-chimique de cette
30 couche avec arrêt sur la couche de nitrure de silicium 18 du faux émetteur 20. Le dépôt d'une telle couche épaisse de SiO_2 et le polissage mécano-chimique de cette couche sont connus en eux-mêmes.

La couche d'oxyde de silicium 24 doit être suffisamment épaisse pour recouvrir complètement le faux émetteur 20, c'est-à-dire
35 généralement de l'ordre de 500 nm ou plus.

Après polissage mécano-chimique, on grave sélectivement, de manière connue en soi, les couches du faux émetteur 20 pour former une fenêtre d'émetteur 25 (figure 1f).

5 A ce stade, on peut éventuellement procéder à un surdosage sélectif du collecteur intrinsèque 12 ("Selective Implantation Collector") sous la fenêtre d'émetteur 25 en une ou plusieurs implantations, contribuant ainsi à augmenter la rapidité du transistor en diminuant la résistance du collecteur. On obtient donc sous la fenêtre d'émetteur 25 une zone SIC surdopée.

10 On procède ensuite de préférence à un nettoyage de la fenêtre d'émetteur 25, par exemple au moyen d'une solution de HF à 1% pendant 1 minute, pour obtenir une surface de silicium monocristallin chimiquement propre.

15 Pour parfaire encore l'état de surface du silicium, on peut avantageusement effectuer un traitement de désorption sous hydrogène à haute température ($\geq 550^{\circ}\text{C}$) pour éliminer les impuretés résiduelles.

20 On procède ensuite au dépôt CVD classique d'une couche de polysilicium remplissant la fenêtre d'émetteur 25 et recouvrant la couche d'oxyde de silicium 26 et la gravure par photolithographie classique de cette couche de polysilicium pour former l'émetteur polysilicium de forme et dimension voulues.

Le transistor bipolaire est achevé de façon classique par la réalisation des prises des connexions de l'émetteur.

REVENDICATIONS

1. Procédé de réalisation d'un transistor bipolaire à émetteur auto-aligné à la base extrinsèque, caractérisé en ce qu'il comprend les étapes suivantes :

- 5 - l'obtention d'une structure comprenant un substrat semi-conducteur (10) dans lequel sont formés un collecteur extrinsèque, une région d'isolement latéral (11) et une région de collecteur intrinsèque (12), ladite structure ayant une surface principale sur laquelle sont déposées une couche de silicium amorphe (13) définissant une fenêtre de base (14) sur la région de collecteur intrinsèque (12) et une couche (15) de
10 formation de la future base du transistor couvrant la couche de silicium amorphe et la fenêtre de base;
 - le dépôt successif sur la couche (15) de formation de la future base du transistor d'une couche d'alliage SiGe (16), d'une mince couche d'oxyde de silicium (17) et d'une couche de nitrure de silicium (18);
 - 15 - la gravure au moyen d'un masque (19) des couches de nitrure de silicium (18), d'oxyde de silicium (17) et d'alliage SiGe (16) pour former sur la couche (15) de formation de la future base du transistor, au-dessus de la région de collecteur intrinsèque (12), un faux émetteur (20) de géométrie de dimension correspondant à la géométrie et à la dimension
20 voulues pour l'émetteur final;
 - la formation d'espaces (21) sur deux côtés opposés du faux émetteur (20);
 - la formation dans la couche (15) de formation de la future base de transistor d'une région de base extrinsèque (22);
 - 25 - la formation sur la région de base extrinsèque (12) d'une couche de siliciure métallique (23);
 - le dépôt d'une couche épaisse de dioxyde de silicium (24), de manière à recouvrir la couche de siliciure métallique (23) et le faux émetteur (20);
 - 30 - le polissage mécano-chimique de la couche épaisse de dioxyde de silicium (24) jusqu'au niveau du faux émetteur (20);
 - la gravure du faux émetteur (20) pour former une fenêtre d'émetteur (25);

- le dépôt d'une couche de polysilicium remplissant la fenêtre d'émetteur (20) et couvrant la couche épaisse de dioxyde de silicium (24); et

5 - la gravure au moyen d'un masque de la couche de polysilicium pour achever l'émetteur (27).

2. Procédé selon la revendication 1, caractérisé en ce que la couche d'alliage SiGe (16) est formée par épitaxie non sélective.

3. Procédé selon la revendication 1 ou 2, caractérisé en ce que l'alliage SiGe comporte 10 à 50% atomique de germanium.

10 4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que la couche d'alliage SiGe (16) a une épaisseur de 20 à 50 nm.

5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que la mince couche d'oxyde de silicium (17) est formée par dépôt chimique en phase vapeur assisté par plasma.

15 6. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la mince couche de dioxyde de silicium (17) a une épaisseur de 30 à 40 nm.

7. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la couche de nitrure de silicium (18) est formée par dépôt chimique en phase vapeur assisté par plasma.

8. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la couche de nitrure de silicium (18) a une épaisseur de 200 à 300 nm.

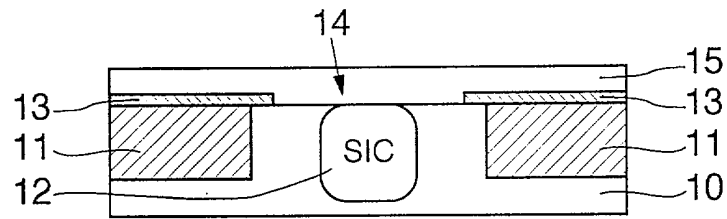
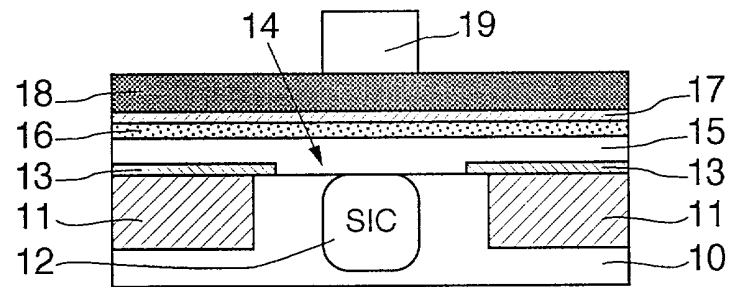
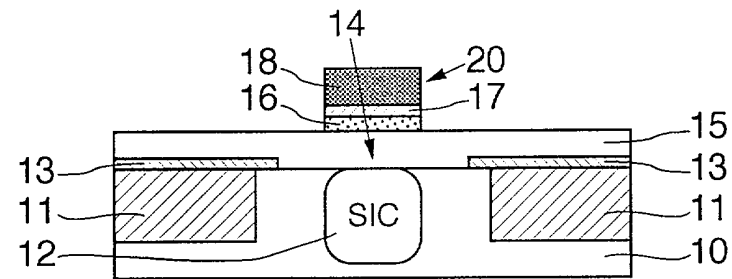
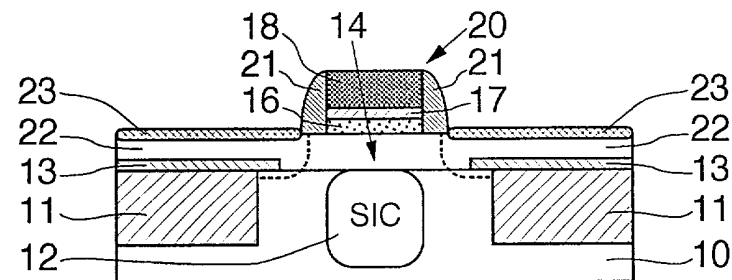
25 9. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la gravure du faux émetteur (20) est une gravure plasma.

10. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la couche (15) de formation de la future base du transistor comprend un empilement d'une première couche de silicium amorphe, d'une deuxième couche d'alliage SiGe et d'une troisième couche de silicium dopée.

11. Procédé selon la revendication 9, caractérisé en ce que les différentes couches de la couche (15) de formation de la future base du transistor sont formées par épitaxie non sélective.

35

1/2

FIG. 1aFIG. 1bFIG. 1cFIG. 1d

2/2

FIG.1e

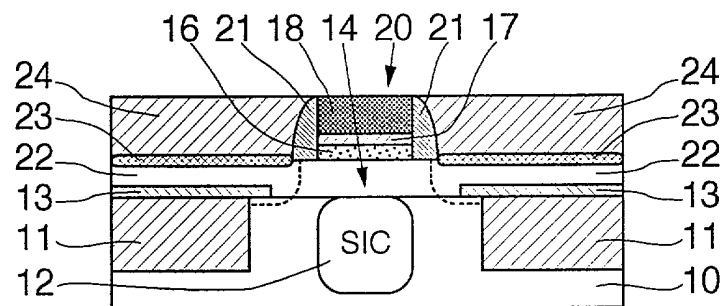


FIG.1f

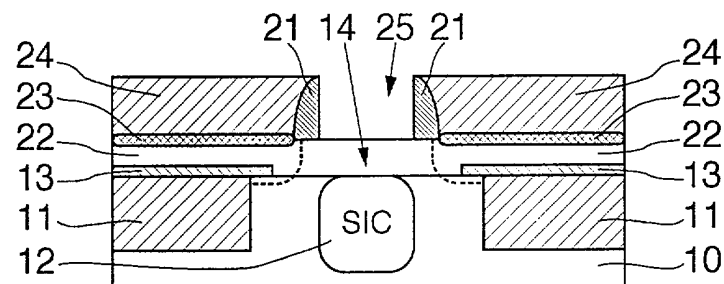
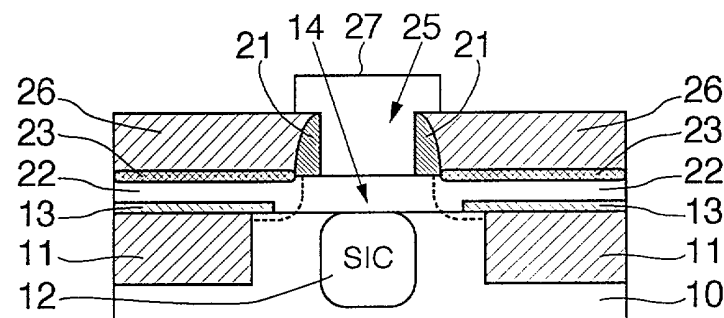


FIG. 1g



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2804247

N° d'enregistrement
national

FA 587131
FR 0000791

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 5 093 272 A (TEWS HELMUT ET AL) 3 mars 1992 (1992-03-03) * figures 1-6 *	1-11	H01L21/331
D,A	FR 2 779 572 A (STMICROELECTRONICS SA) 10 décembre 1999 (1999-12-10) * figures 1-11 *	1-11	
A	PATENT ABSTRACTS OF JAPAN vol. 014, no. 036 (E-877), 23 janvier 1990 (1990-01-23) & JP 01 270270 A (TOSHIBA CORP), 27 octobre 1989 (1989-10-27) * le document en entier *	1-11	
A	EP 0 387 010 A (MATSUSHITA ELECTRIC IND CO LTD) 12 septembre 1990 (1990-09-12) * figures 5-1-5-2 *	1	
A	EP 0 374 036 A (FUJITSU LTD) 20 juin 1990 (1990-06-20) * figure 10 *	1	
A	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 08, 30 août 1996 (1996-08-30) & JP 08 097229 A (FUJITSU LTD), 12 avril 1996 (1996-04-12) * le document en entier *	1	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			H01L
Date d'achèvement de la recherche		Examineur	
11 septembre 2000		Juhl, A	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			