

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年6月6日(06.06.2024)



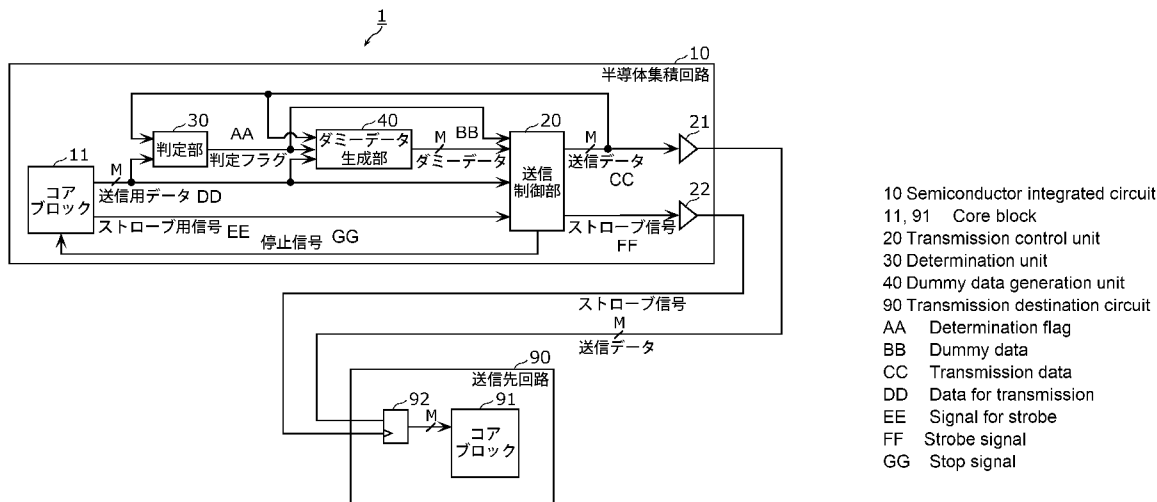
(10) 国際公開番号

WO 2024/117064 A1

- (51) 国際特許分類:
H04L 25/03 (2006.01) H04L 25/02 (2006.01)
- (21) 国際出願番号: PCT/JP2023/042305
- (22) 国際出願日: 2023年11月27日(27.11.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-190724 2022年11月29日(29.11.2022) JP
- (71) 出願人: ヌ ヴ オ ト ン テ ク ノ ロ ジ ー ジ ャ
パン 株 式 会 社 (NUVOTON TECHNOLOGY
CORPORATION JAPAN) [JP/JP]; 〒6178520 京
都府長岡京市神足焼町 1 番地 Kyoto (JP).
- (72) 発明者: 福 田 翔 平 (FUKUDA, Shohei). 高 橋
晃 (TAKAHASHI, Akira).
- (74) 代理人: 新 居 広 守, 外 (NII, Hiromori et al.);
〒5320011 大阪府大阪市淀川区西中島 5 丁
目 3 番 1 0 号 イ ト ー ピ ア 新 大 阪 ビ ル 6 階 新
居 国 際 特 許 事 務 所 内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT, TRANSFER SYSTEM, AND DATA TRANSFER METHOD

(54) 発明の名称: 半導体集積回路、伝送システム、および、データ伝送方法



(57) Abstract: A semiconductor integrated circuit (10) comprises: a transmission control unit (20) that transmits transmission data to a transmission destination circuit (90) and that transmits, to the transmission destination circuit (90), a strobe signal for causing the transmission data to be received; a determination unit (30) that, on the basis of scheduled transmission data which is scheduled to be subsequently transmitted by the transmission control unit (20) and an N number (N being a whole number equal to or greater than 1) of pieces of transmitted data among the transmission data pieces transmitted in the past, determines whether to transmit dummy data to the transmission destination circuit (90) before the transmission control unit (20) transmits the scheduled transmission data to the transmission destination circuit (90); and a dummy data generation unit (40) that generates dummy data. When the determination unit (30) makes an affirmative determination, the transmission control unit (20) transmits dummy data to the transmission destination circuit (90) and performs an invalidation process for invalidating the dummy data at the transmission destination circuit (90), before the



PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

scheduled transmission data is transmitted to the transmission destination circuit (90).

(57) 要約: 半導体集積回路 (10) は、送信データを送信先回路 (90) に送信するとともに、送信データを受信させるためのストロブ信号を送信先回路 (90) に送信する送信制御部 (20) と、送信制御部 (20) が次に送信する予定の送信予定データと、過去に送信した送信データのうちのN個 (Nは1以上の整数) の送信済データと、に基づいて、送信制御部 (20) が送信予定データを送信先回路 (90) に送信する前にダミーデータを送信先回路 (90) に送信するか否かを判定する判定部 (30) と、ダミーデータを生成するダミーデータ生成部 (40) と、を備え、送信制御部 (20) は、判定部 (30) が肯定的な判定をした場合に、送信予定データを送信先回路 (90) に送信する前に、ダミーデータを送信先回路 (90) に送信するとともに、ダミーデータを送信先回路 (90) において無効化させるための無効化処理を行う。

明 細 書

発明の名称：

半導体集積回路、伝送システム、および、データ伝送方法

技術分野

[0001] データを送信する半導体集積回路、伝送システム等に関する。

背景技術

[0002] 従来、データを送信する半導体集積回路、伝送システム等が提案されている（例えば、特許文献 1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特許第 5 6 0 6 5 2 7 号公報

発明の概要

発明が解決しようとする課題

[0004] データを送信する場合に、データパターンに依存して、送信データの信号品質が劣化することがある。

[0005] そこで、本開示は、データを送信する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる半導体集積回路、伝送システム、および、データ伝送方法を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様に係る半導体集積回路は、Mビット（Mは2以上の整数）の送信データを、複数のサイクルごとに送信先回路に送信するとともに、前記送信データを前記送信先回路に受信させるためのストロブ信号を前記送信先回路に送信する送信制御部と、前記送信制御部が次に送信する予定の送信予定データと、前記送信制御部が過去に送信した送信データのうちのNサイクル（Nは1以上の整数）で送信したN個の送信済データと、に基づいて、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、

前記送信制御部がダミーデータを前記送信先回路に送信するか否かを判定する判定部と、所定の方法で前記ダミーデータを生成するダミーデータ生成部と、を備え、前記送信制御部は、前記判定部が、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定した場合に、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信するとともに、前記ダミーデータを前記送信先回路において無効化させるための無効化処理を行う。

[0007] 本開示の一態様に係る伝送システムは、Mビット（Mは2以上の整数）の送信データを、複数のサイクルごとに送信先回路に送信するとともに、前記送信データを前記送信先回路に受信させるためのストロブ信号を前記送信先回路に送信する送信制御部と、前記送信制御部が次に送信する予定の送信予定データと、前記送信制御部が過去に送信した送信データのうちのNサイクル（Nは1以上の整数）で送信したN個の送信済データと、に基づいて、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部がダミーデータを前記送信先回路に送信するか否かを判定する判定部と、所定の方法で前記ダミーデータを生成するダミーデータ生成部と、を備え、前記送信制御部は、前記判定部が、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定した場合に、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信するとともに、前記ダミーデータを前記送信先回路において無効化させるための無効化処理を行う。

[0008] 本開示の一態様に係るデータ伝送方法は、Mビット（Mは2以上の整数）の送信データを、複数のサイクルごとに送信先回路に送信するとともに、前記送信データを前記送信先回路に受信させるためのストロブ信号を前記送信先回路に送信する送信制御ステップと、次に送信する予定の送信予定データと、過去に送信した送信データのうちのNサイクル（Nは1以上の整数）

で送信したN個の送信済データと、に基づいて、前記送信予定データを前記送信先回路に送信する前に、ダミーデータを前記送信先回路に送信するか否かを判定する判定ステップと、所定の方法で前記ダミーデータを生成するダミーデータ生成ステップと、を有し、前記送信制御ステップでは、前記判定ステップにおいて、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信すると判定した場合には、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信するとともに、前記ダミーデータを前記送信先回路において無効化させるための無効化処理を行う。

発明の効果

[0009] 本開示の一態様に係る半導体集積回路、伝送システム、および、データ伝送方法によると、データを送信する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる。

図面の簡単な説明

[0010] [図1]図1は、実施の形態1に係る伝送システムの構成を示すブロック図である。

[図2]図2は、実施の形態1に係る半導体集積回路が、送信データを実施の形態1に係る送信先回路に送信する様子の一例を示す模式図である。

[図3]図3は、実施の形態1に係る判定部が、N個の送信済データを記憶する様子の一例を示す模式図である。

[図4]図4は、実施の形態1に係る判定部が判定を行っている様子の一例を示す模式図である。

[図5]図5は、実施の形態1に係る判定部が判定を行っている様子の一例を示す模式図である。

[図6]図6は、実施の形態1に係る伝送システムの他の構成を示すブロック図である。

[図7]図7は、実施の形態1に係る判定部が判定を行っている様子の一例を示す模式図である。

[図8]図 8 は、実施の形態 1 に係る判定部が判定を行っている様子の一例を示す模式図である。

[図9]図 9 は、実施の形態 1 に係る判定部が判定を行っている様子の一例を示す模式図である。

[図10]図 10 は、実施の形態 1 に係る判定部が判定を行っている様子の一例を示す模式図である。

[図11]図 11 は、実施の形態 1 に係る判定部が判定を行っている様子の一例を示す模式図である。

[図12]図 12 は、実施の形態 1 に係るダミーデータ生成部がダミーデータを生成している様子の一例を示す模式図である。

[図13]図 13 は、実施の形態 1 に係るダミーデータ生成部がダミーデータを生成している様子の一例を示す模式図である。

[図14]図 14 は、実施の形態 1 に係るダミーデータ生成部がダミーデータを生成している様子の一例を示す模式図である。

[図15]図 15 は、実施の形態 1 に係る第 1 のデータ送信処理のフローチャートである。

[図16]図 16 は、比較例に係る半導体集積回路が送信データを送信先回路に送信する様子を示すタイミングチャートの一例である。

[図17]図 17 は、実施の形態 1 に係る半導体集積回路が送信データを送信先回路に送信する様子を示すタイミングチャートの一例である。

[図18]図 18 は、実施の形態 2 に係る伝送システムの構成を示すブロック図である。

[図19]図 19 は、実施の形態 2 に係る第 2 のデータ送信処理のフローチャートである。

発明を実施するための形態

[0011] (本開示の一態様を得るに至った経緯)

従来、データを送信する場合に、データパターンに依存して、送信するデータの信号品質が劣化する現象が知られている。

- [0012] 例えば、送信するデータが複数のビットからなるバス形式のデータである場合には、複数のビットが一斉にトグルすることで、送信するデータに、同時スイッチングノイズ（Simultaneous Switching Noise：SSN、電源ノイズと称することもある）、クロストークノイズ等のノイズが乗ってしまうことがある。
- [0013] ここで、同時スイッチングノイズとは、複数のビットが一斉にトグルするタイミングで、これらビットを駆動する駆動回路等の電源線の電位が揺らいでしまい、この電源線の電位の揺らぎが、送信するデータに乗ってしまうノイズである。また、クロストークノイズとは、データの伝送経路における、同じタイミングで変化する複数のビット間の相互作用により、これらビットに乗ってしまうノイズである。
- [0014] また、例えば、送信するデータの特定のビットにおいて、隣接サイクル間で論理値0と論理値1との間の遷移が多い場合と少ない場合とでは、方形波が論理値0から1（または、論理値1から0）に遷移するタイミングにずれが生じてしまうため、受信回路側で、その特定のビットのデータをうまく受信することが困難になることがある、すなわち、特定のビットに符号間干渉（Intersymbol Interference：ISI）ノイズが乗ってしまうことがある。
- [0015] 発明者らは、信号品質を劣化させることなくデータを伝送することができる技術を開発している。
- [0016] 発明者らは、その開発を進める中で、上記、同時スイッチングノイズ、クロストークノイズ、符号間干渉ノイズ等のノイズが発生し得るタイミングでは、すなわち、データパターンに依存して、送信データの信号品質が劣化するタイミングでは、本来送信すべき送信データを送信せずに、その代わりに、本来送信する必要のないダミーデータを送信することで、本来送信すべき送信データの品質の劣化を抑制することができるとの知見を得た。ここで、ダミーデータとは、送信先の回路（ここでは受信回路）において処理が行われないデータのことを言う。

[0017] そして、発明者らは、この知見に基づいて、データを送信する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる技術を実現すべく、さらに、実験、検討を重ねた。その結果、発明者らは、下記本開示に係る半導体集積回路、伝送システム、および、データ伝送方法に想到した。

[0018] 本開示の一態様に係る半導体集積回路は、Mビット（Mは2以上の整数）の送信データを、複数のサイクルごとに送信先回路に送信するとともに、前記送信データを前記送信先回路に受信させるためのストロブ信号を前記送信先回路に送信する送信制御部と、前記送信制御部が次に送信する予定の送信予定データと、前記送信制御部が過去に送信した送信データのうちのNサイクル（Nは1以上の整数）で送信したN個の送信済データと、に基づいて、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部がダミーデータを前記送信先回路に送信するか否かを判定する判定部と、所定の方法で前記ダミーデータを生成するダミーデータ生成部と、を備え、前記送信制御部は、前記判定部が、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定した場合に、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信するとともに、前記ダミーデータを前記送信先回路において無効化させるための無効化処理を行う。

[0019] 上記構成の半導体集積回路によると、判定部は、送信予定データと、N個の送信済データとに基づいて、送信予定データを送信する予定のサイクルにおいて、データパターンに依存して生じ得るノイズが、その送信予定データに乗ってしまう恐れが比較的高いか否かを判定することができる。このため、判定部は、その恐れが比較的高い場合に、送信制御部がその送信予定データを送信先回路に送信する前に、送信制御部がダミーデータを送信先回路に送信すると判定することができる。そして、判定部がこのような判定をした場合、送信制御部は、送信予定データを送信する前に、ダミーデータを送信

先回路に送信する。すなわち、送信制御部は、送信予定データを送信する予定のサイクルにおいて、データパターンに依存して生じ得るノイズが、その送信予定データに乗ってしまう恐れが比較的高い場合に、送信予定データを送信せずに、ダミーデータを送信する。

[0020] したがって、上記構成の半導体集積回路によると、データを送信する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる。

[0021] また、前記送信制御部は、前記無効化処理として、前記ダミーデータを前記送信先回路に受信させるための前記ストロブ信号の送信を抑制するとしてもよい。

[0022] これにより、送信先回路に、ダミーデータを受信させなくすることができる。

[0023] また、前記送信制御部は、前記無効化処理として、前記ダミーデータを前記送信先回路において無効化させるための無効フラグ信号を前記送信先回路に送信するとしてもよい。

[0024] これにより、送信先回路に、ダミーデータを無効化させることができる。

[0025] また、 N は1であり、前記判定部は、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定するとしてもよい。

[0026] これにより、同時スイッチングノイズ、または／および、クロストークノイズによる、送信データの信号品質の劣化を抑制することができる。

[0027] また、 N は1であり、 M は3以上の整数であり、前記判定部は、 M ビットのうちの予め定められた J ビット（ J は2以上 M 未満の整数）を対象として

、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定するとしてもよい。

[0028] これにより、特定の J ビットの信号間におけるクロストークノイズによる、送信データの信号品質の劣化を抑制することができる。

[0029] また、N は 2 以上の整数であり、前記判定部は、前記 N 個の送信済みデータにおける 1 のビットが前記 N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、前記送信予定データにおける前記 1 のビットが他方の論理値である場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定するとしてもよい。

[0030] これにより、符号間干渉ノイズによる、送信データの信号品質の劣化を抑制することができる。

[0031] また、N は 3 以上の整数であり、前記判定部は、前記送信制御部が過去に送信した送信データのうちの、L 番目（L は 3 以上 N 以下の整数）に最新のサイクルで送信した第 L 送信済データと、L - 1 番目に最新のサイクルで送信した第 L - 1 送信済みデータと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きい

ときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定するとしてもよい。

[0032] 一般に、送信データを駆動する駆動回路等の電源線の電位が、その電源線の電位変動における共振周波数と略同様の周波数で揺らいでしまうと、その電源線の電位の揺らぎが増強されてしまう現象が知られている。

[0033] これに対して、上記構成の半導体集積回路によると、上記電源線の電位の揺らぎの増強による、送信データの信号品質の劣化を抑制することができる。

[0034] また、 N は3以上の整数であり、 M は3以上の整数であり、前記判定部は、 M ビットのうちの予め定められた J ビット（ J は2以上 M 未満の整数）を対象として、前記送信制御部が過去に送信した送信データのうちの、 L 番目（ L は3以上 N 以下の整数）に最新のサイクルで送信した第 L 送信済みデータと、 $L-1$ 番目に最新のサイクルで送信した第 $L-1$ 送信済みデータと、の間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済みデータと、前記送信予定データと、の間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第2の閾値よりも大きいときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定するとしてもよい。

[0035] これにより、特定の J ビットの信号に起因する、上記電源線の電位の揺らぎの増強による、送信データの信号品質の劣化を抑制することができる。

[0036] また、 N は2以上の整数であり、前記判定部は、前記 N 個の送信済みデータにおける1のビットが前記 N 個の送信済みデータの全てにおいて一方の論

理値であり、かつ、前記送信予定データにおける前記 1 のビットが他方の論理値である場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きいときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定するとしてもよい。

[0037] これにより、符号間干渉ノイズと、同時スイッチングノイズ、または／および、クロストークノイズと、が同時に生じることによる、送信データの信号品質の劣化を抑制することができる。

[0038] また、 N は 2 以上の整数であり、 M は 3 以上の整数であり、前記判定部は、 M ビットのうちの予め定められた J ビット (J は 2 以上 M 未満の整数) を対象として、前記 N 個の送信済みデータにおける 1 のビットが前記 N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、前記送信予定データにおける前記 1 のビットが他方の論理値である場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きいときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定するとしてもよい。

[0039] これにより、特定の J ビットの信号における符号間干渉ノイズと、特定の J ビットの信号間における同時スイッチングノイズ、または／および、クロストークノイズと、が同時に生じることによる、送信データの信号品質の劣化を抑制することができる。

[0040] また、 N は 2 以上の整数であり、 M は 3 以上の整数であり、前記判定部は

、前記N個の送信済みデータにおける1のビットが前記N個の送信済みデータの全てにおいて一方の論理値であり、かつ、前記送信予定データにおける前記1のビットが他方の論理値である場合において、さらに、Mビットのうちの予め定められたJビット（Jは2以上M未満の整数）を対象として、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済みデータと、前記送信予定データと、の間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定するとしてもよい。

[0041] これにより、特定のＪビットの信号間におけるクロストークノイズと、符号間干渉ノイズと、が同時に生じることによる、送信データの信号品質の劣化を抑制することができる。

[0042] また、Nは3以上の整数であり、Mは3以上の整数であり、前記判定部は、前記送信制御部が過去に送信した送信データのうちの、L番目（Lは3以上N以下の整数）に最新のサイクルで送信した第L送信済みデータと、L-1番目に最新のサイクルで送信した第L-1送信済みデータと、の間に、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済みデータと、前記送信予定データと、の間に、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第2の閾値よりも大きいときに、さらに、Mビットのうちの予め定められたJビット（Jは2以上M未満の整数）を対象として、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済みデータと、

タと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 3 の閾値よりも大きい場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定するとしてもよい。

[0043] これにより、特定の J ビットの信号間におけるクロストークノイズと、上記電源線の電位の揺らぎの増強と、が同時に生じることによる、送信データの信号品質の劣化を抑制することができる。

[0044] また、N は 3 以上の整数であり、前記判定部は、前記 N 個の送信済みデータにおける 1 のビットが前記 N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、前記送信予定データにおける前記 1 のビットが他方の論理値である場合において、さらに、前記送信制御部が過去に送信した送信データのうちの、L 番目（L は 3 以上 N 以下の整数）に最新のサイクルで送信した第 L 送信済みデータと、L - 1 番目に最新のサイクルで送信した第 L - 1 送信済みデータと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済みデータと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きいときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定するとしてもよい。

[0045] これにより、符号干渉ノイズと、上記電源線の電位の揺らぎの増強と、が同時に生じることによる、送信データの信号品質の劣化を抑制することができる。

- [0046] また、前記送信制御部は、前記送信データを、Mビットのそれぞれの信号を伝送するM本の配線を介して前記送信先回路に送信し、前記予め定められたJビットは、前記M本の配線のうちのJ本の配線であって、互いに隣接した状態で所定の長さ以上並走する前記J本の配線によって信号が伝送されるビットであるとしてもよい。
- [0047] これにより、特定のJビットの信号を、互いに隣接した状態で所定の長さ以上並走するJ本の配線によって信号が伝送されるビットとすることができる。
- [0048] また、前記第1の閾値は変数であり、さらに、前記第1の閾値を設定する閾値設定部を備えるとしてもよい。
- [0049] これにより、許容可能なダミーデータの挿入割合に応じて、送信データの信号品質の劣化の抑制割合を調整することができる。
- [0050] また、前記第1の閾値および前記第2の閾値は変数であり、さらに、前記第1の閾値および前記第2の閾値を設定する閾値設定部を備えるとしてもよい。
- [0051] これにより、許容可能なダミーデータの挿入割合に応じて、送信データの信号品質の劣化の抑制割合を調整することができる。
- [0052] また、前記第1の閾値および前記第2の閾値および前記第3の閾値は変数であり、さらに、前記第1の閾値、前記第2の閾値、および、前記第3の閾値を設定する閾値設定部を備えるとしてもよい。
- [0053] これにより、許容可能なダミーデータの挿入割合に応じて、送信データの信号品質の劣化の抑制割合を調整することができる。
- [0054] また、前記ダミーデータ生成部は、前記送信予定データにおけるMビットのうちのKビット（Kは1以上M以下の整数）である第1のビットと、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データにおけるMビットのうちの前記第1のビットを除くM-Kビットである第2のビットと、からなる前記ダミーデータを生成するとしてもよい。

- [0055] これにより、同時に値が遷移するビットの数を $\max(K, M-K)$ 以下にすることができる。また、これにより、第1のビットについては、符号間干渉ノイズによる送信データの信号品質の劣化を抑制することができる。
- [0056] また、前記ダミーデータ生成部は、予め定められた前記ダミーデータを生成するとしてもよい。
- [0057] これにより、比較的簡素な構成の回路によるダミーデータの生成を実現することができる。
- [0058] また、(1) M は偶数であり、かつ、前記ダミーデータは、一方の論理値となるビットの数が $M/2$ である、または、(2) M は奇数であり、かつ、前記ダミーデータは、前記一方の論理値となるビットの数、もしくは、他方の論理値となるビットの数が $(M+1)/2$ であるとしてもよい。
- [0059] これにより、送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データからダミーデータへのデータ遷移において、および、ダミーデータから送信予定データへのデータ遷移において、一方の論理値から他方の論理値に遷移するビットの数、ならびに、他方の論理値から一方の論理値に遷移するビットの数を、 $M/2$ 以下とすることができる。
- [0060] また、前記ダミーデータ生成部は、前記 N 個の送信済データのうちの最新のサイクルで送信した送信済データの各ビットの値が反転した前記ダミーデータを生成するとしてもよい。
- [0061] これにより、符号間干渉ノイズによる、送信データの信号品質の劣化を抑制することができる。
- [0062] 本開示の一態様に係る伝送システムは、 M ビット (M は2以上の整数) の送信データを、複数のサイクルごとに送信先回路に送信するとともに、前記送信データを前記送信先回路に受信させるためのストロブ信号を前記送信先回路に送信する送信制御部と、前記送信制御部が次に送信する予定の送信予定データと、前記送信制御部が過去に送信した送信データのうちの N サイクル (N は1以上の整数) で送信した N 個の送信済データと、に基づいて、

前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部がダミーデータを前記送信先回路に送信するか否かを判定する判定部と、所定の方法で前記ダミーデータを生成するダミーデータ生成部と、を備え、前記送信制御部は、前記判定部が、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定した場合に、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信するとともに、前記ダミーデータを前記送信先回路において無効化させるための無効化処理を行う。

[0063] 上記構成の伝送システムによると、判定部は、送信予定データと、N個の送信済データとに基づいて、送信予定データを送信する予定のサイクルにおいて、データパターンに依存して生じ得るノイズが、その送信予定データに乗ってしまう恐れが比較的高いか否かを判定することができる。このため、判定部は、その恐れが比較的高い場合に、送信制御部がその送信予定データを送信先回路に送信する前に、送信制御部がダミーデータを送信先回路に送信すると判定することができる。そして、判定部がこのような判定をした場合、送信制御部は、送信予定データを送信する前に、ダミーデータを送信先回路に送信する。すなわち、送信制御部は、送信予定データを送信する予定のサイクルにおいて、データパターンに依存して生じ得るノイズが、その送信予定データに乗ってしまう恐れが比較的高い場合に、送信予定データを送信せずに、ダミーデータを送信する。

[0064] したがって、上記構成の伝送システムによると、データを送信する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる。

[0065] 本開示の一態様に係るデータ伝送方法は、Mビット（Mは2以上の整数）の送信データを、複数のサイクルごとに送信先回路に送信するとともに、前記送信データを前記送信先回路に受信させるためのストロブ信号を前記送信先回路に送信する送信制御ステップと、次に送信する予定の送信予定デー

タと、過去に送信した送信データのうちのNサイクル（Nは1以上の整数）で送信したN個の送信済データと、に基づいて、前記送信予定データを前記送信先回路に送信する前に、ダミーデータを前記送信先回路に送信するか否かを判定する判定ステップと、所定の方法で前記ダミーデータを生成するダミーデータ生成ステップと、を有し、前記送信制御ステップでは、前記判定ステップにおいて、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信すると判定した場合には、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信するとともに、前記ダミーデータを前記送信先回路において無効化させるための無効化処理を行う。

[0066] 上記データ伝送方法によると、判定ステップにおいて、送信予定データと、N個の送信済データとに基づいて、送信予定データを送信する予定のサイクルにおいて、データパターンに依存して生じ得るノイズが、その送信予定データに乗ってしまう恐れが比較的高いか否かを判定することができる。このため、判定ステップにおいて、その恐れが比較的高い場合に、その送信予定データを送信先回路に送信する前に、ダミーデータを送信先回路に送信すると判定することができる。そして、判定ステップにおいてこのような判定をした場合、送信予定データを送信する前に、ダミーデータを送信先回路に送信する。すなわち、送信予定データを送信する予定のサイクルにおいて、データパターンに依存して生じ得るノイズが、その送信予定データに乗ってしまう恐れが比較的高い場合に、送信予定データを送信せずに、ダミーデータを送信する。

[0067] したがって、上記データ伝送方法によると、データを送信する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる。

[0068] 以下、本開示の一態様に係る伝送システムの具体例について、図面を参照しながら説明する。ここで示す実施の形態は、いずれも本開示の一具体例を示すものである。従って、以下の実施の形態で示される数値、形状、構成要

素、構成要素の配置および接続形態、ならびに、ステップ（工程）およびステップの順序等は、一例であって本開示を限定する趣旨ではない。また、各図は、模式図であり、必ずしも厳密に図示されたものではない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

[0069] （実施の形態１）

<構成>

図１は、実施の形態１に係る伝送システム１の構成を示すブロック図である。

[0070] 図１に示すように、伝送システム１は、半導体集積回路１０と、送信先回路９０とを備える。

[0071] 半導体集積回路１０は、Ｍビット（Ｍは２以上の整数）の送信データを、複数のサイクルごとに送信先回路９０に送信する。また、半導体集積回路１０は、送信データを送信先回路９０に受信させるためのストロブ信号を送信先回路９０に送信する。

[0072] 図２は、半導体集積回路１０が、送信データを送信先回路９０に送信する様子の一例を示す概略斜視図である。

[0073] 図２に示すように、半導体集積回路１０は、例えば、Ｍビットの送信データのそれぞれの信号を伝送するＭ本の配線８０であって、半導体集積回路１０と送信先回路９０とを実装する実装ボード７０に形成されたＭ本の配線８０を介して、送信データを送信先回路９０に送信する。

[0074] 再び図１に戻って、伝送システム１の説明を続ける。

[0075] 図１に示すように、半導体集積回路１０は、コアブロック１１と、送信制御部２０と、判定部３０と、ダミーデータ生成部４０と、バッファ２１と、バッファ２２とを備える。

[0076] コアブロック１１は、送信先回路９０に送信するためのＭビットの送信用データを生成し、生成した送信用データを、判定部３０と、ダミーデータ生成部４０と、送信制御部２０とに出力する。この際、コアブロック１１は、

送信用データを繰り返し生成し、繰り返し出力する。ただし、後述の送信制御部 20 から後述の停止信号が出力された場合には、送信用データの送信を 1 サイクル停止する。

[0077] また、コアブロック 11 は、送信データを出力するごとに、その送信用データを送信先回路 90 に受信させるためのストロブ用信号を、送信制御部 20 に出力する。ここで、ストロブ用信号は、例えば、送信先回路 90 において送信用データを取得するためのフリップフロップ回路のクロック入力端子に入力される信号である。この場合、ストロブ用信号は、例えば、2 ビットからなる差動信号であってもよいし、1 ビットの信号であってもよい。本明細書においては、ストロブ用信号、および、後述のストロブ信号は 2 ビットからなる差動信号であるとして説明する。

[0078] 送信制御部 20 は、コアブロック 11 から出力された、M ビットの送信用データおよびストロブ用信号と、後述のダミーデータ生成部 40 から出力された M ビットのダミーデータと、後述の判定部 30 から出力された判定フラグとが入力され、M ビットの送信データとを、複数のサイクルごとに、バッファ 21 を介して送信先回路 90 に送信するとともに、送信データを送信先回路 90 に受信させるためのストロブ信号を、バッファ 22 を介して送信先回路 90 に送信する。ここで、送信データは、コアブロック 11 から出力された送信用データ、または、ダミーデータ生成部 40 から出力されたダミーデータである。また、判定フラグは、送信制御部 20 が、コアブロック 11 から出力された最新の送信用データである送信予定データを送信先回路 90 に送信する前に、送信制御部 20 が、ダミーデータを送信するか否かを判定した判定結果を示すフラグである。

[0079] 送信制御部 20 は、判定部 30 から、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信しないと判定した判定結果を示す判定フラグが出力された場合には、送信予定データを送信データとして送信先回路 90 に送信するとともに、ストロブ用信号をストロブ信号として送信先回路 90 に送信する。この場合、送信先

回路 90 は、送信制御部 20 から送信された送信データを受信する。

[0080] 送信制御部 20 は、判定部 30 から、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信すると判定した判定結果を示す判定フラグが出力された場合には、ダミーデータを送信データとして送信先回路 90 に送信するとともに、その送信データ、すなわち、そのダミーデータを送信先回路 90 に受信させるためのストロブ信号の送信を抑制する。この場合、送信先回路 90 は、送信制御部 20 から送信されたその送信データ、すなわち、そのダミーデータを受信しない。

[0081] このように、送信制御部 20 は、判定部 30 から、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信すると判定した判定結果を示す判定フラグが出力された場合には、そのダミーデータを送信先回路 90 において無効化させるための無効化処理として、そのダミーデータを送信先回路 90 に受信させるためのストロブ信号の送信を抑制するという処理を行う。

[0082] さらに、送信制御部 20 は、判定部 30 から、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信すると判定した判定結果を示す判定フラグが出力された場合には、コアブロック 11 へ、次の送信用データの出力を 1 サイクル停止させるための停止信号を出力する。

[0083] 判定部 30 は、コアブロック 11 から出力された M ビットの送信用データと、送信制御部 20 から出力された M ビットの送信データとが入力され、コアブロック 11 から出力された最新の送信用データである送信予定データと、送信制御部 20 が過去に送信先回路 90 に送信した送信データのうちの N サイクル（N は 1 以上の整数）で送信した N 個の送信済データとに基づいて、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信するか否かを判定する。そして、判定部 30 は、その判定結果を示す判定フラグをダミーデータ生成部 40 と送信制御部 20 とに出力する。

- [0084] 判定部30は、例えば、N個の送信済データを記憶し、記憶するN個の送信済データと、コアブロック11から出力された送信予定データとを比較することで、上記判定を行う。
- [0085] 図3は、判定部30が、N個の送信済データを記憶する様子の一例を示す模式図である。図3は、Mが8で、Nが5である場合の例における模式図である。
- [0086] 図3において、DQ0～DQ7は、8ビットの信号からなる送信済データの各ビットを示し、T5～T1は、それぞれ、送信制御部20が5～1サイクル前のサイクルで送信した送信済データを示す。ここで、1サイクル前のサイクルとは、送信制御部20が送信データを送信先回路90に送信した最新のサイクルのことである。
- [0087] 図3に示すように、判定部30は、N個（ここでは、5個）のMビット（ここでは8ビット）の送信済データを、送信制御部20が送信した時系列順に記憶する。
- [0088] 判定部30は、例えば、（1）送信制御部20が過去に送信先回路90に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、送信予定データとの間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合に、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する。この場合、Nは1である。
- [0089] 図4、図5は、判定部30が、最新送信済データと送信予定データとの間で、論理値0から論理値1に遷移するビットの数が、第1の閾値である4よりも大きい場合に、すなわち、5以上の場合に、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する構成である場合において、判定部30が上記判定を行っている様子の一例を示す模式図である。

- [0090] 図4、図5において、DQ0～DQ7は、8ビットの信号からなる送信済データおよび送信予定データの各ビットを示し、T1は、送信制御部20が1サイクル前のサイクルで、すなわち、最新のサイクルで送信した送信済データを示し、T0は、送信予定データを示す。
- [0091] 図4に示すように、判定部30は、最新送信済データと送信予定データとの間で、論理値0から論理値1に遷移するビットの数が5の場合には、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する。
- [0092] 図5に示すように、判定部30は、最新送信済データと送信予定データとの間で、論理値0から論理値1に遷移するビットの数が2の場合には、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信しないと判定する。
- [0093] ここで、第1の閾値は、予め定められた値であってもよいし、変数であってもよい。変数である場合には、例えば、図6に示すように、半導体集積回路10は、さらに、閾値設定部60を備え、閾値設定部60が第1の閾値を設定するとしてもよい。
- [0094] 再び図1に戻って、判定部30の説明を続ける。
- [0095] 判定部30は、例えば、(2) Mビットのうちの予め定められたJビット(Jは2以上M未満の整数)を対象として、最新送信済データと、送信予定データとの間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合に、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する。この場合、Nは1であり、Mは3以上の整数である。
- [0096] ここで、予め定められたJビットは、例えば、図2に示すM本の配線80のうちのJ本の配線80であって、互いに隣接した状態で所定の長さ以上並走するJ本の配線80によって信号が伝送されるビットであるとしてもよい。

。

[0097] ここで、J本の配線80が互いに隣接した状態で所定の長さ以上並走する状態とは、これらJ本の配線80を伝送経路とするJビットの信号が同じタイミングで変化すると、これらJビットの信号間の相互作用により、これらJビットの信号にクロストークノイズが乗ってしまう状態のことを言う。

[0098] 図7は、予め定められたJビットが、DQ1とDQ2とDQ5との3ビットであって、判定部30が、これら3ビットを対象として、論理値0から論理値1または論理値1から論理値0に遷移するビットの数が、最新送信済データと送信予定データとの間で、第1の閾値である2よりも大きい場合に、すなわち、3以上の場合に、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する構成である場合において、判定部30が上記判定を行っている様子の一例を示す模式図である。

[0099] 図7において、DQ0～DQ7は、8ビットの信号からなる送信済データおよび送信予定データの各ビットを示し、T1は、送信制御部20が1サイクル前のサイクルで、すなわち、最新のサイクルで送信した送信済データを示し、T0は、送信予定データを示す。

[0100] 図7に示すように、判定部30は、DQ1とDQ2とDQ5との3ビットを対象として、最新送信済データと送信予定データとの間で、論理値0から論理値1または論理値1から論理値0に遷移するビットの数が3の場合には、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する。

[0101] ここで、第1の閾値は、予め定められた値であってもよいし、変数であってもよい。変数である場合には、例えば、図6に示すように、半導体集積回路10は、さらに、閾値設定部60を備え、閾値設定部60が第1の閾値を設定するとしてもよい。

[0102] 再び図1に戻って、判定部30の説明を続ける。

[0103] 判定部30は、例えば、(3)N個の送信済みデータにおける1のビット

がN個の送信済みデータの全てにおいて一方の論理値であり、かつ、送信予定データにおける上記1のビットが他方の論理値である場合に、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する。この場合、Nは2以上の整数である。ここで、一方の論理値が論理値0である場合には、他方の論理値は論理値1であり、一方の論理値が論理値1である場合には、他方の論理値は論理値0である。

[0104] 図8、図9は、判定部30が、4個の送信済データにおける任意の1のビットが4個の送信済データの全てにおいて一方の論理値であり、かつ、送信予定データにおける上記1のビットが他方の論理である場合に、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する構成である場合において、判定部30が上記判定を行っている様子の一例を示す模式図である。

[0105] 図8、図9において、DQ0～DQ7は、8ビットの信号からなる送信済データおよび送信予定データの各ビットを示し、T4～T1は、それぞれ、送信制御部20が4～1サイクル前のサイクルで送信した送信済データを示し、T0は、送信予定データを示す。

[0106] 図8に示すように、判定部30は、4個の送信済データにおける任意の1のビット（ここでは、DQ0）が4個の送信済データの全て（ここではT4～T1）において一方の論理値（ここでは論理値0）であり、かつ、送信予定データT0における上記1のビットが他方の論理（ここでは論理値1）である場合には、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する。

[0107] 図9に示すように、判定部30は、DQ0～DQ7のいずれのビットも、4個の送信済データ（ここではT4～T1）の全てにおいて一方の論理値であり、かつ、送信予定データT0において他方の論理であるビットに該当しない場合には、送信制御部20が送信予定データを送信先回路90に送信す

る前に、送信制御部 20 がダミーデータを送信先回路 90 に送信しないと判定する。

[0108] 再び図 1 に戻って、判定部 30 の説明を続ける。

[0109] 判定部 30 は、例えば、(4) 送信制御部 20 が過去に送信した送信データのうちの、L 番目 (L は 3 以上 N 以下の整数) に最新のサイクルで送信した第 L 送信済データと、L - 1 番目に最新のサイクルで送信した第 L - 1 送信済みデータと、の間に、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、最新送信済データと、送信予定データと、の間に、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きいときに、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信すると判定する。この場合、N は 3 以上の整数である。

[0110] 図 10 は、判定部 30 が、送信制御部 20 が 4 サイクル前のサイクルで送信した送信済データ T4 と、送信制御部 20 が 3 サイクル前のサイクルで送信した送信済データ T3 との間に、論理値 0 から論理値 1 に遷移するビットの数が、第 1 の閾値である 4 よりも大きい場合に、すなわち、5 以上の場合において、最新送信済データ T1 と送信予定データ T0 との間に、論理値 0 から論理値 1 に遷移するビットの数が、第 2 の閾値である 4 よりも大きいときに、すなわち、5 以上のときに、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信先回路 90 に送信すると判定する構成である場合において、判定部 30 が上記判定を行っている様子の一例を示す模式図である。

[0111] 図 10 において、DQ0 ~ DQ7 は、8 ビットの信号からなる送信済データおよび送信予定データの各ビットを示し、T4 ~ T1 は、それぞれ、送信制御部 20 が 4 ~ 1 サイクル前のサイクルで送信した送信済データを示し、

T 0 は、送信予定データを示す。

[0112] 図 10 に示すように、判定部 30 は、送信制御部 20 が 4 サイクル前のサイクルで送信した送信済データ T 4 と、送信制御部 20 が 3 サイクル前のサイクルで送信した送信済データ T 3 との間で、論理値 0 から論理値 1 に遷移するビットの数が 5 である場合において、最新送信済データ T 1 と送信予定データ T 0 との間で、論理値 0 から論理値 1 に遷移するビットの数が 6 であるときには、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信先回路 90 に送信すると判定する。

[0113] ここで、第 1 の閾値、または／および、第 2 の閾値は、予め定められた値であってもよいし、変数であってもよい。変数である場合には、例えば、図 6 に示すように、半導体集積回路 10 は、さらに、閾値設定部 60 を備え、閾値設定部 60 が第 1 の閾値、または／および、第 2 の閾値を設定するとしてもよい。

[0114] 再び図 1 に戻って、判定部 30 の説明を続ける。

[0115] 判定部 30 は、例えば、(5) M ビットのうちの予め定められた J ビット (J は 2 以上 M 未満の整数) を対象として、送信制御部 20 が過去に送信した送信データのうちの、L 番目 (L は 3 以上 N 以下の整数) に最新のサイクルで送信した第 L 送信済データと、L - 1 番目に最新のサイクルで送信した第 L - 1 送信済みデータと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、最新送信済データと、送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きいときに、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信すると判定する。この場合、N は 3 以上の整数であ

る。

[0116] ここで、第1の閾値、または／および、第2の閾値は、予め定められた値であってもよいし、変数であってもよい。変数である場合には、例えば、図6に示すように、半導体集積回路10は、さらに、閾値設定部60を備え、閾値設定部60が第1の閾値、または／および、第2の閾値を設定するとしてもよい。

[0117] 再び図1に戻って、判定部30の説明を続ける。

[0118] 判定部30は、例えば、(6) N個の送信済みデータにおける1のビットがN個の送信済みデータの全てにおいて一方の論理値であり、かつ、送信予定データにおける上記1のビットが他方の論理値である場合において、最新送信済みデータと、送信予定データとの間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きいときに、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する。この場合、Nは2以上の整数である。

[0119] 図11は、判定部30が、4個の送信済みデータにおける任意の1のビットが4個の送信済みデータの全てにおいて一方の論理値であり、かつ、送信予定データにおける上記1のビットが他方の論理である場合において、最新送信済みデータと送信予定データとの間で、論理値0から論理値1に遷移するビットの数が、第1の閾値である4よりも大きいときに、すなわち、5以上のときに、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する構成である場合において、判定部30が上記判定を行っている様子の一例を示す模式図である。

[0120] 図11において、DQ0～DQ7は、8ビットの信号からなる送信済みデータおよび送信予定データの各ビットを示し、T4～T1は、それぞれ、送信制御部20が4～1サイクル前のサイクルで送信した送信済みデータを示し、

T 0 は、送信予定データを示す。

[0121] 図 1 1 に示すように、判定部 3 0 は、4 個の送信済データにおける任意の 1 のビット（ここでは、D Q 7）が 4 個の送信済データ T 4 ~ T 1 の全てにおいて一方の論理値（ここでは論理値 1）であり、かつ、送信予定データ T 0 における上記 1 のビットが他方の論理（ここでは論理値 0）である場合において、最新送信済データ T 1 と送信予定データ T 0 との間で、論理値 0 から論理値 1 に遷移するビットの数が 6 のときには、送信制御部 2 0 が送信予定データを送信先回路 9 0 に送信する前に、送信制御部 2 0 がダミーデータを送信先回路 9 0 に送信すると判定する。

[0122] ここで、第 1 の閾値は、予め定められた値であってもよいし、変数であってもよい。変数である場合には、例えば、図 6 に示すように、半導体集積回路 1 0 は、さらに、閾値設定部 6 0 を備え、閾値設定部 6 0 が第 1 の閾値を設定するとしてもよい。

[0123] 再び図 1 に戻って、判定部 3 0 の説明を続ける。

[0124] 判定部 3 0 は、例えば、（7）M ビットのうちの予め定められた J ビット（J は 2 以上 M 未満の整数）を対象として、N 個の送信済みデータにおける 1 のビットが N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、送信予定データにおける上記 1 のビットが他方の論理値である場合において、最新送信済データと、送信予定データとの間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きいときに、送信制御部 2 0 が送信予定データを送信先回路 9 0 に送信する前に、送信制御部 2 0 がダミーデータを送信先回路 9 0 に送信すると判定する。この場合、N は 2 以上の整数であり、M は 3 以上の整数である。

[0125] ここで、第 1 の閾値は、予め定められた値であってもよいし、変数であってもよい。変数である場合には、例えば、図 6 に示すように、半導体集積回路 1 0 は、さらに、閾値設定部 6 0 を備え、閾値設定部 6 0 が第 1 の閾値を

設定するとしてもよい。

[0126] 再び図 1 に戻って、半導体集積回路 10 の説明を続ける。

[0127] 判定部 30 は、例えば、(8) N 個の送信済みデータにおける 1 のビットが N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、送信予定データにおける上記 1 のビットが他方の論理値である場合において、さらに、M ビットのうちの予め定められた J ビット (J は 2 以上 M 未満の整数) を対象として、最新送信済データと、送信予定データとの間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合に、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信先回路 90 に送信すると判定する。この場合、N は 2 以上の整数であり、M は 3 以上の整数である。ここで、一方の論理値が論理値 0 である場合には、他方の論理値は論理値 1 であり、一方の論理値が論理値 1 である場合には、他方の論理値は論理値 0 である。

[0128] ここで、第 1 の閾値は、予め定められた値であってもよいし、変数であってもよい。変数である場合には、例えば、図 6 に示すように、半導体集積回路 10 は、さらに、閾値設定部 60 を備え、閾値設定部 60 が第 1 の閾値を設定するとしてもよい。

[0129] 再び図 1 に戻って、半導体集積回路 10 の説明を続ける。

[0130] 判定部 30 は、例えば、(9) 送信制御部 20 が過去に送信した送信データのうちの、L 番目 (L は 3 以上 N 以下の整数) に最新のサイクルで送信した第 L 送信済データと、L - 1 番目に最新のサイクルで送信した第 L - 1 送信済データと、の間に、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、最新送信済データと、送信予定データと、の間に、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移する

ビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きいときに、さらに、M ビットのうちの予め定められた J ビット（J は 2 以上 M 未満の整数）を対象として、最新送信済データと、送信予定データとの間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合に、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信すると判定する。この場合、N は 3 以上の整数であり、M は 3 以上の整数である。

[0131] ここで、第 1 の閾値、第 2 の閾値、または／および、第 3 の閾値は、予め定められた値であってもよいし、変数であってもよい。変数である場合には、例えば、図 6 に示すように、半導体集積回路 10 は、さらに、閾値設定部 60 を備え、閾値設定部 60 が第 1 の閾値、第 2 の閾値、または／および、第 3 の閾値を設定するとしてもよい。

[0132] 判定部 30 は、例えば、(10) N 個の送信済みデータにおける 1 のビットが N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、送信予定データにおける上記 1 のビットが他方の論理値である場合に、さらに、送信制御部 20 が過去に送信した送信データのうちの、L 番目（L は 3 以上 N 以下の整数）に最新のサイクルで送信した第 L 送信済データと、L - 1 番目に最新のサイクルで送信した第 L - 1 送信済データと、の間に、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、最新送信済データと、送信予定データと、の間に、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きいときに、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信すると判定する。こ

の場合、Nは3以上の整数である。

[0133] 再び図1に戻って、半導体集積回路10の説明を続ける。

[0134] ダミーデータ生成部40は、コアブロック11から出力されたMビットの送信用データと、送信制御部20から出力されたMビットの送信データと、判定部30から出力された判定フラグとが入力され、所定の方法でダミーデータを生成し、生成したダミーデータを送信制御部20に出力する。

[0135] ダミーデータ生成部40は、例えば、(1)送信予定データにおけるMビットのうちのKビット(Kは1以上M以下の整数)である第1のビットと、最新送信済データにおけるMビットのうちの上記第1のビットを除くM-Kビットである第2のビットと、からなるダミーデータを生成する。

[0136] 図12は、ダミーデータ生成部40が、送信予定データにおけるDQ0、DQ4、DQ6の3ビットである第1のビットと、最新送信済データにおけるDQ1、DQ2、DQ3、DQ5、DQ7の5ビットである第2のビットとからなるダミーデータを生成している様子の一例を示す模式図である。

[0137] 図12において、DQ0～DQ7は、8ビットの信号からなる送信済データおよび送信予定データの各ビットを示し、T1は、送信制御部20が1サイクル前のサイクルで、すなわち、最新のサイクルで送信した送信済データを示し、T0は、送信予定データを示し、TDは、ダミーデータを示す。

[0138] 再び図1に戻って、ダミーデータ生成部40の説明を続ける。

[0139] ダミーデータ生成部40は、例えば、(2)予め定められたダミーデータを生成する。

[0140] 図13は、ダミーデータ生成部40が、予め定められたダミーデータDQ[0:7]=01010101bを生成する様子の一例を示す模式図である。

[0141] 図13において、DQ0～DQ7は、8ビットの信号からなる送信済データおよび送信予定データの各ビットを示し、T1は、送信制御部20が1サイクル前のサイクルで、すなわち、最新のサイクルで送信した送信済データを示し、T0は、送信予定データを示し、TDは、ダミーデータを示す。

- [0142] 再び図 1 に戻って、ダミーデータ生成部 40 の説明を続ける。
- [0143] ダミーデータ生成部 40 は、例えば、(3) 最新のサイクルで送信した送信済データの各ビットの値が反転したダミーデータを生成する。
- [0144] 図 14 は、ダミーデータ生成部 40 が、最新のサイクルで送信した送信済データの各ビットの値が反転したダミーデータを生成する様子の一例を示す模式図である。
- [0145] 図 14 において、DQ0～DQ7 は、8 ビットの信号からなる送信済データおよび送信予定データの各ビットを示し、T1 は、送信制御部 20 が 1 サイクル前のサイクルで、すなわち、最新のサイクルで送信した送信済データを示し、T0 は、送信予定データを示し、TD は、ダミーデータを示す。
- [0146] 再び図 1 に戻って、伝送システム 1 の説明を続ける。
- [0147] 送信先回路 90 は、半導体集積回路 10 から送信された送信データを、半導体集積回路 10 から送信されたストロブ信号を利用して受信する。
- [0148] 図 1 に示すように、送信先回路 90 は、受信回路 92 と、コアブロック 91 とを備える。
- [0149] 受信回路 92 は、M ビットの送信信号のそれぞれの信号がデータ入力端子に入力される M 個のフリップフロップ回路であって、それぞれのクロック入力端子にストロブ信号が入力される M 個のフリップフロップ回路によって構成される。
- [0150] 受信回路 92 は、上記構成により、ストロブ信号（ここでは、2 ビットからなる差動信号）が変化するタイミングで、半導体集積回路 10 から送信された送信データを受信する。
- [0151] 上述した通り、送信制御部 20 は、ダミーデータを送信データとして送信先回路 90 に送信する場合には、そのダミーデータを送信先回路 90 に受信させるためのストロブ信号の送信を抑制する。一方で、送信制御部 20 は、送信予定データを送信データとして送信先回路 90 に送信する場合には、その送信予定データを送信先回路 90 に受信させるためのストロブ信号を送信する。

[0152] このため、受信回路 9 2 は、半導体集積回路 1 0 から送信された送信データのうち、ダミーデータを受信せずに、送信予定データのみを受信する。

[0153] コアブロック 9 1 は、受信回路 9 2 が受信した送信データを利用して各種信号処理を行う。

[0154] <動作>

以下、上記構成の伝送システム 1 が行う動作について説明する。

[0155] 伝送システム 1 は、送信データを送信先回路 9 0 に送信する第 1 のデータ送信処理を実行する。

[0156] 第 1 のデータ送信処理は、例えば、伝送システム 1 が起動されることで開始される。

[0157] 図 1 5 は、第 1 のデータ送信処理のフローチャートである。

[0158] 図 1 5 に示すように、第 1 のデータ送信処理が開始されると、判定部 3 0 は、コアブロック 1 1 から新たな送信用データが出力されるまで待機し（ステップ S 1 0 : N o を繰り返し）、コアブロック 1 1 から新たな送信用データが出力されると（ステップ S 1 0 : Y e s）、送信制御部 2 0 が最新の N（N は 1 以上の整数）サイクルで連続して N 個の送信データを送信したか否かを調べる（ステップ S 2 0）。

[0159] ステップ S 2 0 の処理において、送信制御部 2 0 が最新の N（N は 1 以上の整数）サイクルで連続して N 個の送信データを送信していた場合に（ステップ S 2 0 : Y e s）、判定部 3 0 は、コアブロック 1 1 から新たに出力された送信用データである送信予定データと、送信制御部 2 0 が過去に送信した送信データのうちの、最新の N サイクルで送信した N 個の送信済データと、に基づいて、送信制御部 2 0 が送信予定データを送信先回路 9 0 に送信する前に、送信制御部 2 0 がダミーデータを送信先回路 9 0 に送信するか否かを判定する（ステップ S 3 0）。

[0160] ステップ S 3 0 の処理において、判定部 3 0 が、送信制御部 2 0 が送信予定データを送信先回路 9 0 に送信する前に、送信制御部 2 0 がダミーデータを送信先回路 9 0 に送信すると判定した場合に（ステップ S 3 0 : Y e s）

、ダミーデータ生成部４０は、ダミーデータを生成する（ステップＳ４０）。

[0161] ダミーデータ生成部４０がダミーデータを生成すると、送信制御部２０は、ダミーデータを送信データとして送信先回路９０に送信するとともに、その送信データ、すなわち、そのダミーデータを送信先回路９０に受信させるためのストロブ信号の送信を抑制する（ステップＳ５０）。すると、送信先回路９０は、その送信データを受信しない（ステップＳ６０）。そして送信制御部２０は、ダミーデータを送信した次のサイクルで、送信用データを送信データとして送信先回路９０に送信するとともに、その送信データ、すなわち、その送信用データを送信先回路９０に受信させるためのストロブ信号を送信先回路９０に送信する（ステップＳ７０）。すると、送信先回路９０は、その送信データを受信する（ステップＳ９０）。

[0162] ステップＳ２０の処理において、送信制御部２０が最新のＮサイクルで連続してＮ個の送信データを送信していなかった場合（ステップＳ２０：Ｎｏ）と、ステップＳ３０の処理において、判定部３０が、送信制御部２０が送信予定データを送信先回路９０に送信する前に、送信制御部２０がダミーデータを送信先回路９０に送信しないと判定した場合（ステップＳ３０：Ｎｏ）とに、送信制御部２０は、送信用データを送信データとして送信先回路９０に送信するとともに、その送信データ、すなわち、その送信用データを送信先回路９０に受信させるためのストロブ信号を送信先回路９０に送信する（ステップＳ８０）。すると、送信先回路９０は、その送信データを受信する（ステップＳ９０）。

[0163] ステップＳ９０の処理が終了すると、コアブロック１１は、新たな送信用データを送信する要求があるか否かを調べる（ステップＳ１００）。

[0164] ステップＳ１００の処理において、新たな送信用データを送信する要求がある場合（ステップＳ１００：Ｙｅｓ）に、再びステップＳ１０の処理に進む。

[0165] ステップＳ１００の処理において、新たな送信用データを送信する要求が

ない場合（ステップS100：No）に、伝送システム1は、その第1のデータ送信処理を終了する。

[0166] <考察>

上記構成の半導体集積回路10によると、判定部30は、送信予定データと、N個の送信済データとに基づいて、送信予定データを送信する予定のサイクルにおいて、データパターンに依存して生じ得るノイズが、その送信予定データに乗ってしまう恐れが比較的高いか否かを判定することができる。このため、判定部30は、その恐れが比較的高い場合に、送信制御部20がその送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定することができる。そして、判定部30がこのような判定をした場合、送信制御部20は、送信予定データを送信する前に、ダミーデータを送信先回路90に送信する。すなわち、送信制御部20は、送信予定データを送信する予定のサイクルにおいて、データパターンに依存して生じ得るノイズが、その送信予定データに乗ってしまう恐れが比較的高い場合に、送信予定データを送信せずに、ダミーデータを送信する。

[0167] したがって、上記構成の半導体集積回路10によると、データを送信する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる。

[0168] 図16は、比較例に係る半導体集積回路であって、実施の形態1に係る半導体集積回路10が仮にダミーデータを送信先回路90に送信する機能を有していないと仮定した構成の比較例に係る半導体集積回路が、連続する9サイクル送信済みデータを送信先回路90に送信した後に、ダミーデータを送信先回路90に送信することなく、送信予定データを送信先回路90に送信する様子を示すタイミングチャートの一例である。

[0169] 図17は、実施の形態1に係る半導体集積回路10が、連続する9サイクル送信済データを送信先回路90に送信した後に、ダミーデータを送信先回路90に送信した後に、送信予定データを送信先回路90に送信する様子を

示すタイミングチャートの一例である。

[0170] 図16、図17において、DQ0～DQ7は、8ビットの信号からなる送信済データおよび送信予定データの各ビットを示し、DQSは、ストロブ信号を示し、T9～T1は、それぞれ、送信制御部20が9～1サイクル前のサイクルで送信した送信済データを示し、T0は、送信予定データを示し、TDは、ダミーデータを示す。

[0171] 図16に示す例において、比較例に係る半導体集積回路は、連続する9サイクルで、送信済データT9～T1を送信先回路90に送信した後に、送信予定データT0を送信先回路90に送信するのに対して、図17に示す例において、半導体集積回路10は、連続する9サイクルで、図16に示す送信済データT9～T1と同様の送信済データを送信先回路90に送信した後に、ダミーデータTD(DQ[0:7]=11110000b)を送信先回路90に送信して、さらにその後に、送信予定データT0を送信先回路90に送信する。また、図17に示す例において、半導体集積回路10は、ダミーデータTDを送信先回路90に受信させるためのストロブ信号DQSの送信を抑制する。

[0172] 図16に示す例において、送信済データT1、すなわち、最新送信済データT1と、送信予定データT0との間で、8ビット同時に値が遷移する。このため、送信予定データT0には、8ビットが一斉にトグルすることによる、同時スイッチングノイズ、クロストークノイズ等のノイズ（以下、「8ビット分のトグルノイズ」とも称する）が乗ることとなる。

[0173] これに対して、図17に示す例において、ダミーデータTDと、送信予定データT0との間で、4ビット同時に値が遷移する。このため、送信予定データT0には、4ビットが一斉にトグルすることによる、同時スイッチングノイズ、クロストークノイズ等のノイズ（以下、「4ビット分のトグルノイズ」とも称する）が乗ることとなる。

[0174] 一般に、同時スイッチングノイズ、および、クロストークノイズにおいて、同時に遷移するビットの数が少なければ少ない程、ノイズが小さくなる。

このため、8ビット分のトグルノイズよりも、4ビット分のトグルノイズの方が、ノイズが小さくなる。

[0175] このように、半導体集積回路10によると、比較例に係る半導体集積回路に比べて、データを送信する場合に、データパターンに依存して生じ得る、同時スイッチングノイズ、クロストークノイズ等のノイズによる悪影響を抑制することができる。言い換えると、半導体集積回路10によると、比較例に係る半導体集積回路に比べて、データを送信する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる。

[0176] また、図16に示す例において、ビットDQ0は、送信済データT7～T1にかけて7サイクル連続で論理値0となった後に、送信予定データT0で論理値1となる。このため、送信予定データT0のビットDQ0には、符号間干渉ノイズが乗ってしまう。このため、図16に示すように、送信予定データT0のビットDQ0における符号間ノイズによるジッタの影響により、送信先回路90において、ストロブ信号DQSに対する、送信予定データT0のビットDQ0を正しく受信するためのタイミングマージンが減少してしまい、送信先回路90は、送信予定データT0のビットDQ0を正しく受信できない恐れが比較的高くなる。

[0177] これに対して、図17に示す例において、半導体集積回路10は、ダミーデータTDを送信先回路90に受信させるためのストロブ信号DQSの送信を抑制する。このため、図17に示すように、送信先回路90において、ストロブ信号DQSに対する、送信予定データT0のビットDQ0を正しく受信するためのタイミングマージンが十分に大きく取られることとなる。このため、送信先回路90は、送信予定データT0のビットDQ0を正しく受信することができる。

[0178] このように、半導体集積回路10によると、比較例に係る半導体集積回路に比べて、データを送信する場合に、データパターンに依存して生じ得る符号間ノイズによる悪影響を抑制することができる。言い換えると、半導体集積回路10によると、比較例に係る半導体集積回路に比べて、データを送信

する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる。

[0179] また、判定部30が、(1)送信制御部20が過去に送信先回路90に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、送信予定データとの間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合に、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する場合、同時スイッチングノイズ、または／および、クロストークノイズによる、送信データの信号品質の劣化を抑制することができる。

[0180] この際、半導体集積回路10は、さらに、閾値設定部60を備え、閾値設定部60が第1の閾値を設定するとしてもよい。これにより、許容可能なダミーデータの挿入割合に応じて、送信データの信号品質の劣化の抑制度合いを調整することができる。

[0181] また、判定部30が、(2)Mビットのうちの予め定められたJビット(Jは2以上M未満の整数)を対象として、最新送信済データと、送信予定データとの間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合に、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する場合、特定のJビットの信号間におけるクロストークノイズによる、送信データの信号品質の劣化を抑制することができる。

[0182] この際、半導体集積回路10は、Mビットの送信データのそれぞれの信号を伝送するM本の配線80であって、半導体集積回路10と送信先回路90とを実装する実装ボード70に形成されたM本の配線80を介して、送信データを送信先回路90に送信し、予め定められたJビットは、上記M本の配

線のうちのJ本の配線であって、互いに隣接した状態で所定の長さ以上並走する前記J本の配線によって信号が伝送されるビットであるとしてもよい。これにより、特定のJビットの信号を、互いに隣接した状態で所定の長さ以上並走するJ本の配線によって信号が伝送されるビットとすることができる。

[0183] また、判定部30が、(3) N個の送信済みデータにおける1のビットがN個の送信済みデータの全てにおいて一方の論理値であり、かつ、送信予定データにおける上記1のビットが他方の論理値である場合に、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する場合、符号間干渉ノイズによる、送信データの信号品質の劣化を抑制することができる。

[0184] また、一般に、送信データを駆動する駆動回路等の電源線の電位が、その電源線の電位変動における共振周波数と略同様の周波数で揺らいでしまうと、その電源線の電位の揺らぎが増強されてしまう現象が知られている。このため、判定部30が、(4) 送信制御部20が過去に送信した送信データのうちの、L番目(Lは3以上N以下の整数)に最新のサイクルで送信した第L送信済みデータと、L-1番目に最新のサイクルで送信した第L-1送信済みデータと、の間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合において、最新送信済みデータと、送信予定データと、の間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第2の閾値よりも大きいときに、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信すると判定する場合、上記電源線の電位の揺らぎの増強による、送信データの信号品質の劣化を抑制することができる。

[0185] また、判定部30が、(5) Mビットのうちの予め定められたJビット(

Jは2以上M未満の整数)を対象として、送信制御部20が過去に送信した送信データのうちの、L番目(Lは3以上N以下の整数)に最新のサイクルで送信した第L送信済データと、L-1番目に最新のサイクルで送信した第L-1送信済みデータと、の間に、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合において、最新送信済データと、送信予定データと、の間に、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第2の閾値よりも大きいときに、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信すると判定する場合、特定のJビットの信号に起因する、上記電源線の電位の揺らぎの増強による、送信データの信号品質の劣化を抑制することができる。

[0186] また、判定部30が、(6) N個の送信済みデータにおける1のビットがN個の送信済みデータの全てにおいて一方の論理値であり、かつ、送信予定データにおける上記1のビットが他方の論理値である場合において、最新送信済データと、送信予定データとの間に、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きいときに、送信制御部20が送信予定データを送信先回路90に送信する前に、送信制御部20がダミーデータを送信先回路90に送信すると判定する場合、符号間干渉ノイズと、同時スイッチングノイズ、または／および、クロストークノイズと、が同時に生じることによる、送信データの信号品質の劣化を抑制することができる。

[0187] また、判定部30が、(7) Mビットのうちの予め定められたJビット(Jは2以上M未満の整数)を対象として、N個の送信済みデータにおける1のビットがN個の送信済みデータの全てにおいて一方の論理値であり、かつ

、送信予定データにおける上記 1 のビットが他方の論理値である場合において、最新送信済データと、送信予定データとの間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きいときに、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信先回路 90 に送信すると判定する場合、特定の J ビットの信号における符号間干渉ノイズと、特定の J ビットの信号間における同時スイッチングノイズ、または／および、クロストークノイズと、が同時に生じることによる、送信データの信号品質の劣化を抑制することができる。

[0188] また、ダミーデータ生成部 40 が、(1) 送信予定データにおける M ビットのうちの K ビット (K は 1 以上 M 以下の整数) である第 1 のビットと、最新送信済データにおける M ビットのうちの上記第 1 のビットを除く $M - K$ ビットである第 2 のビットと、からなるダミーデータを生成する場合、同時に値が遷移するビットの数を $\max(K, M - K)$ 以下にすることができる。また、これにより、第 1 のビットについては、符号間干渉ノイズによる送信データの信号品質の劣化を抑制することができる。

[0189] また、ダミーデータ生成部 40 が、(2) 予め定められたダミーデータを生成する場合、比較的簡素な構成の回路によるダミーデータの生成を実現することができる。

[0190] この際、M は偶数であり、かつ、一方のとなるビットの数が $M / 2$ 、または、M は奇数であり、かつ、一方の論理値となるビットの数、もしくは、他方の論理値となるビットの数が $(M + 1) / 2$ であるとしてもよい。これにより、送信制御部 20 が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データからダミーデータへのデータ遷移において、および、ダミーデータから送信予定データへのデータ遷移において、一方の論理値から他方の論理値に遷移するビットの数、ならびに、他方の論理値から一方の論理値に遷移するビットの数を、 $M / 2$ 以下とすることができる。

[0191] (実施の形態 2)

以下、実施の形態 1 に係る伝送システム 1 に対して、一部の構成が変更されて構成される実施の形態 2 に係る伝送システムについて説明する。

[0192] 以下では、実施の形態 2 に係る伝送システムについて、実施の形態 1 に係る伝送システム 1 と同様の構成要素については、既に説明済であるとして同じ符号を振ってその詳細な説明を省略し、伝送システム 1 との相違点を中心に説明する。

[0193] 図 18 は、実施の形態 2 に係る伝送システム 1 A の構成を示すブロック図である。

[0194] 図 18 に示すように、伝送システム 1 A は、実施の形態 1 に係る伝送システム 1 に対して、半導体集積回路 10 が半導体集積回路 10 A に変更され、送信先回路 90 が送信先回路 90 A に変更されて構成される。

[0195] ここで、半導体集積回路 10 A は、半導体集積回路 10 に対して、送信制御部 20 が送信制御部 20 A に変更され、バッファ 23 が追加されて構成される。

[0196] また、送信先回路 90 A は、送信先回路 90 に対して、無効化部 94 と、受信回路 93 とが追加されて構成される。

[0197] このため、実施の形態 2 においては、伝送システム 1 A における他の構成要素の説明は、送信制御部 20 を送信制御部 20 A と読み替え、半導体集積回路 10 を半導体集積回路 10 A と読み替え、送信先回路 90 を送信先回路 90 A と読み替えたものと同様である。

[0198] 実施の形態 1 に係る送信制御部 20 は、判定部 30 から、送信制御部 20 が送信予定データを送信先回路 90 に送信する前に、送信制御部 20 がダミーデータを送信すると判定した判定結果を示す判定フラグが出力された場合には、そのダミーデータを送信先回路 90 において無効化させるための無効化処理として、そのダミーデータを送信先回路 90 に受信させるためのストローブ信号の送信を抑制するという処理を行う。

[0199] これに対して、送信制御部 20 A は、判定部 30 から、送信制御部 20 A

が送信予定データを送信先回路 90 に送信する前に、送信制御部 20A がダミーデータを送信すると判定した判定結果を示す判定フラグが出力された場合には、そのダミーデータを送信先回路 90A において無効化させるための無効化処理として、そのダミーデータを送信先回路 90 において無効化させるための無効フラグ信号を、バッファ 23 を介して送信先回路 90A に送信するという処理を行う。この際、送信制御部 20A は、そのダミーデータを送信先回路 90 に受信させるためのストロブ信号の送信を抑制するという処理は行わずに、そのストロブ信号を送信先回路 90A に送信する。

[0200] 一方で、送信制御部 20A は、送信制御部 20 と同様に、判定部 30 から、送信制御部 20A が送信予定データを送信先回路 90A に送信する前に、送信制御部 20A がダミーデータを送信しないと判定した判定結果を示す判定フラグが出力された場合には、送信予定データを送信データとして送信先回路 90A に送信するとともに、ストロブ用信号をストロブ信号として送信先回路 90A に送信する。この場合、送信制御部 20A は、無効フラグ信号を送信先回路 90A に送信しない。

[0201] 受信回路 93 は、データ入力端子に無効フラグ信号が入力され、クロック入力端子にストロブ信号が入力される 1 個のフリップフロップ回路によって構成される。

[0202] 受信回路 93 は、上記構成により、ストロブ信号（ここでは、2 ビットからなる差動信号）が変化するタイミングで、半導体集積回路 10 から送信された無効フラグ信号を受信する。

[0203] 無効化部 94 は、受信回路 92 により受信された送信データと、受信回路 93 により受信された無効フラグ信号とが入力される。

[0204] 無効化部 94 は、受信回路 92 から送信データが入力された場合において、受信回路 93 から無効フラグ信号が入力されなかったときには、その送信データをコアブロック 91 に出力する。一方で、無効化部 94 は、受信回路 92 から送信データが入力された場合において、受信回路 93 から無効フラグ信号が入力されたときに、その送信データを無効化する、すなわち、その

受信データをコアブロック 91 に出力しない。

[0205] このため、コアブロック 91 には、半導体集積回路 10A から送信された送信データのうち、送信データとして送信された送信用データは入力される一方で、送信データとして送信されたダミーデータは入力されない。

[0206] <動作>

以下、上記構成の伝送システム 1A が行う動作について説明する。

[0207] 伝送システム 1A は、実施の形態 1 に係る第 1 のデータ送信処理に対して、一部の処理が変更された第 2 のデータ送信処理を実行する。

[0208] 図 19 は、第 2 のデータ送信処理のフローチャートである。

[0209] 図 19 において、ステップ S110 の処理～ステップ S140 の処理は、それぞれ、第 1 のデータ送信処理におけるステップ S10 の処理～ステップ S40 の処理に対して、送信制御部 20 を送信制御部 20A と読み替え、半導体集積回路 10 を半導体集積回路 10A と読み替え、送信先回路 90 を送信先回路 90A と読み替えたものと同様の処理である。

[0210] このため、ここでは、ステップ S150 の処理～ステップ S200 の処理を中心に説明する。

[0211] ステップ S140 の処理が終了すると、送信制御部 20A は、ダミーデータを送信データとして送信先回路 90 に送信するとともに、その送信データ、すなわち、そのダミーデータを送信先回路 90 に受信させるためのストローブ信号を送信し、さらに、無効フラグ信号を送信先回路 90 に送信する（ステップ S150）。すると、送信先回路 90A は、その送信データを受信する（ステップ S160）とともに、その無効フラグ信号を受信する。

[0212] 送信データとともに無効フラグ信号が受信されると、無効化部 94 は、その送信データ、すなわち、ダミーデータを無効化する（ステップ S165）。すなわち、無効化部 94 は、その送信データ、すなわち、ダミーデータをコアブロック 91 に出力しない。このため、コアブロック 91 にはダミーデータが入力されない。そして、送信制御部 20A は、ダミーデータを送信した次のサイクルで、送信用データを送信データとして送信先回路 90 に送信

するとともに、その送信データ、すなわち、その送信用データを送信先回路 90 に受信させるためのストロブ信号を送信先回路 90 A に送信する一方で、無効フラグ信号を送信先回路 90 A に送信しない（ステップ S 170）。すると、送信先回路 90 A は、その送信データを受信する（ステップ S 190）一方で、無効フラグ信号を受信しない。このため、送信データは無効化されず（ステップ S 195）、コアブロック 91 には送信用データが入力される。

[0213] ステップ S 120 の処理において、送信制御部 20 A が最新の N サイクルで連続して N 個の送信データが送信していなかった場合（ステップ S 120 : No）と、ステップ S 130 の処理において、判定部 30 が、送信制御部 20 が送信予定データを送信先回路 90 A に送信する前に、送信制御部 20 A がダミーデータを送信先回路 90 A に送信しないと判定した場合（ステップ S 130 : No）とに、送信制御部 20 A は、送信用データを送信データとして送信先回路 90 A に送信するとともに、その送信データ、すなわち、その送信用データを送信先回路 90 に受信させるためのストロブ信号を送信先回路 90 A に送信する一方で、無効フラグ信号を送信先回路 90 A に送信しない（ステップ S 180）。すると、送信先回路 90 A は、その送信データを受信する（ステップ S 190）一方で、無効フラグ信号を受信しない。このため、送信データは無効化されず（ステップ S 195）、コアブロック 91 には送信用データが入力される。

[0214] ステップ S 195 の処理が終了すると、コアブロック 11 は、新たな送信用データを送信する要求があるか否かを調べる（ステップ S 200）。

[0215] ステップ S 200 の処理において、新たな送信用データを送信する要求がある場合（ステップ S 200 : Yes）に、再びステップ S 110 の処理に進む。

[0216] ステップ S 200 の処理において、新たな送信用データを送信する要求がない場合（ステップ S 200 : No）に、伝送システム 1 A は、その第 2 のデータ送信処理を終了する。

[0217] <考察>

上記構成の半導体集積回路 10A によると、実施の形態 1 に係る半導体集積回路 10 と同様に、データを送信する場合に、データパターンに依存して生じ得る送信データの信号品質の劣化を抑制することができる。

[0218] (補足)

以上のように、本出願において開示する技術の例示として、実施の形態 1 および 2 に基づいて説明した。しかしながら、本開示は、これら実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態または変形例における構成要素を組み合わせて構築される形態も、本開示の 1 つまたは複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

[0219] 本開示は、データを伝送する半導体集積回路、伝送システム等に広く利用可能である。

符号の説明

- [0220] 1、1A 伝送システム
10、10A 半導体集積回路
11、91 コアブロック
20、20A 送信制御部
21、22、23 バッファ
30 判定部
40 ダミーデータ生成部
60 閾値設定部
70 実装ボード
80 配線
90、90A 送信先回路
92、93 受信回路
94 無効化部

請求の範囲

[請求項1] Mビット（Mは2以上の整数）の送信データを、複数のサイクルごとに送信先回路に送信するとともに、前記送信データを前記送信先回路に受信させるためのストローク信号を前記送信先回路に送信する送信制御部と、

前記送信制御部が次に送信する予定の送信予定データと、前記送信制御部が過去に送信した送信データのうちのNサイクル（Nは1以上の整数）で送信したN個の送信済データと、に基づいて、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部がダミーデータを前記送信先回路に送信するか否かを判定する判定部と、

所定の方法で前記ダミーデータを生成するダミーデータ生成部と、を備え、

前記送信制御部は、前記判定部が、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定した場合に、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信するとともに、前記ダミーデータを前記送信先回路において無効化させるための無効化処理を行う

半導体集積回路。

[請求項2] 前記送信制御部は、前記無効化処理として、前記ダミーデータを前記送信先回路に受信させるための前記ストローク信号の送信を抑制する

請求項1に記載の半導体集積回路。

[請求項3] 前記送信制御部は、前記無効化処理として、前記ダミーデータを前記送信先回路において無効化させるための無効フラグ信号を前記送信先回路に送信する

請求項1に記載の半導体集積回路。

[請求項4]

Nは1であり、

前記判定部は、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定する

請求項1に記載の半導体集積回路。

[請求項5]

Nは1であり、

Mは3以上の整数であり、

前記判定部は、Mビットのうちの予め定められたJビット（Jは2以上M未満の整数）を対象として、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値0から論理値1に遷移するビットの数、論理値1から論理値0に遷移するビットの数、または、論理値0から論理値1および論理値1から論理値0に遷移するビットの数が、第1の閾値よりも大きい場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定する

請求項1に記載の半導体集積回路。

[請求項6]

Nは2以上の整数であり、

前記判定部は、前記N個の送信済みデータにおける1のビットが前記N個の送信済みデータの全てにおいて一方の論理値であり、かつ、前記送信予定データにおける前記1のビットが他方の論理値である場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送

信すると判定する

請求項 1 に記載の半導体集積回路。

[請求項7]

N は 3 以上の整数であり、

前記判定部は、前記送信制御部が過去に送信した送信データのうちの、L 番目（L は 3 以上 N 以下の整数）に最新のサイクルで送信した第 L 送信済データと、L - 1 番目に最新のサイクルで送信した第 L - 1 送信済みデータと、の間に、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間に、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きいときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定する

請求項 1 に記載の半導体集積回路。

[請求項8]

N は 3 以上の整数であり、

M は 3 以上の整数であり、

前記判定部は、M ビットのうちの予め定められた J ビット（J は 2 以上 M 未満の整数）を対象として、前記送信制御部が過去に送信した送信データのうちの、L 番目（L は 3 以上 N 以下の整数）に最新のサイクルで送信した第 L 送信済データと、L - 1 番目に最新のサイクルで送信した第 L - 1 送信済みデータと、の間に、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、前記送

信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きいときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定する

請求項 1 に記載の半導体集積回路。

[請求項9]

N は 2 以上の整数であり、

前記判定部は、前記 N 個の送信済みデータにおける 1 のビットが前記 N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、前記送信予定データにおける前記 1 のビットが他方の論理値である場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きいときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定する

請求項 1 に記載の半導体集積回路。

[請求項10]

N は 2 以上の整数であり、

M は 3 以上の整数であり、

前記判定部は、M ビットのうちの予め定められた J ビット（J は 2 以上 M 未満の整数）を対象として、前記 N 個の送信済みデータにおける 1 のビットが前記 N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、前記送信予定データにおける前記 1 のビットが他方の論理値である場合において、前記送信制御部が過去に送信した送信

データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きいときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定する

請求項 1 に記載の半導体集積回路。

[請求項11]

N は 2 以上の整数であり、

M は 3 以上の整数であり、

前記判定部は、前記 N 個の送信済みデータにおける 1 のビットが前記 N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、前記送信予定データにおける前記 1 のビットが他方の論理値である場合において、さらに、M ビットのうちの予め定められた J ビット（J は 2 以上 M 未満の整数）を対象として、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定する

請求項 1 に記載の半導体集積回路。

[請求項12]

N は 3 以上の整数であり、

M は 3 以上の整数であり、

前記判定部は、前記送信制御部が過去に送信した送信データのうちの、L 番目（L は 3 以上 N 以下の整数）に最新のサイクルで送信した第 L 送信済データと、L - 1 番目に最新のサイクルで送信した第 L -

1 送信済みデータと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済みデータと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きいときに、さらに、M ビットのうちの予め定められた J ビット（J は 2 以上 M 未満の整数）を対象として、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済みデータと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 3 の閾値よりも大きい場合に、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定する

請求項 1 に記載の半導体集積回路。

[請求項 13]

N は 3 以上の整数であり、

前記判定部は、前記 N 個の送信済みデータにおける 1 のビットが前記 N 個の送信済みデータの全てにおいて一方の論理値であり、かつ、前記送信予定データにおける前記 1 のビットが他方の論理値である場合において、さらに、前記送信制御部が過去に送信した送信データのうちの、L 番目（L は 3 以上 N 以下の整数）に最新のサイクルで送信した第 L 送信済みデータと、L - 1 番目に最新のサイクルで送信した第 L - 1 送信済みデータと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、

論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 1 の閾値よりも大きい場合において、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データと、前記送信予定データと、の間で、論理値 0 から論理値 1 に遷移するビットの数、論理値 1 から論理値 0 に遷移するビットの数、または、論理値 0 から論理値 1 および論理値 1 から論理値 0 に遷移するビットの数が、第 2 の閾値よりも大きいときに、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを送信すると判定する

請求項 1 に記載の半導体集積回路。

[請求項 14] 前記送信制御部は、前記送信データを、M ビットのそれぞれの信号を伝送する M 本の配線を介して前記送信先回路に送信し、

前記予め定められた J ビットは、前記 M 本の配線のうちの J 本の配線であって、互いに隣接した状態で所定の長さ以上並走する前記 J 本の配線によって信号が伝送されるビットである

請求項 5、請求項 8、請求項 10 から請求項 12 のいずれか 1 項に記載の半導体集積回路。

[請求項 15] 前記第 1 の閾値は変数であり、

さらに、前記第 1 の閾値を設定する閾値設定部を備える

請求項 4、請求項 5、請求項 9、請求項 10、請求項 11 のいずれか 1 項に記載の半導体集積回路。

[請求項 16] 前記第 1 の閾値および前記第 2 の閾値は変数であり、

さらに、前記第 1 の閾値および前記第 2 の閾値を設定する閾値設定部を備える

請求項 7、請求項 8、請求項 13 のいずれか 1 項に記載の半導体集積回路。

[請求項 17] 前記第 1 の閾値および前記第 2 の閾値および前記第 3 の閾値は変数であり、

さらに、前記第1の閾値、前記第2の閾値、および、前記第3の閾値を設定する閾値設定部を備える

請求項12に記載の半導体集積回路。

[請求項18] 前記ダミーデータ生成部は、前記送信予定データにおけるMビットのうちのKビット（Kは1以上M以下の整数）である第1のビットと、前記送信制御部が過去に送信した送信データのうちの最新のサイクルで送信した最新送信済データにおけるMビットのうちの前記第1のビットを除くM-Kビットである第2のビットと、からなる前記ダミーデータを生成する

請求項1に記載の半導体集積回路。

[請求項19] 前記ダミーデータ生成部は、予め定められた前記ダミーデータを生成する

請求項1に記載の半導体集積回路。

[請求項20] （1）Mは偶数であり、かつ、前記ダミーデータは、一方の論理値となるビットの数が $M/2$ である、または、（2）Mは奇数であり、かつ、前記ダミーデータは、前記一方の論理値となるビットの数、もしくは、他方の論理値となるビットの数が $(M+1)/2$ である

請求項19に記載の半導体集積回路。

[請求項21] 前記ダミーデータ生成部は、前記N個の送信済データのうちの最新のサイクルで送信した送信済データの各ビットの値が反転した前記ダミーデータを生成する

請求項1に記載の半導体集積回路。

[請求項22] Mビット（Mは2以上の整数）の送信データを、複数のサイクルごとに送信先回路に送信するとともに、前記送信データを前記送信先回路に受信させるためのストローク信号を前記送信先回路に送信する送信制御部と、

前記送信制御部が次に送信する予定の送信予定データと、前記送信制御部が過去に送信した送信データのうちのNサイクル（Nは1以上

の整数)で送信したN個の送信済データと、に基づいて、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部がダミーデータを前記送信先回路に送信するか否かを判定する判定部と、

所定の方法で前記ダミーデータを生成するダミーデータ生成部と、を備え、

前記送信制御部は、前記判定部が、前記送信制御部が前記送信予定データを前記送信先回路に送信する前に、前記送信制御部が前記ダミーデータを前記送信先回路に送信すると判定した場合に、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信するとともに、前記ダミーデータを前記送信先回路において無効化させるための無効化処理を行う

伝送システム。

[請求項23]

Mビット(Mは2以上の整数)の送信データを、複数のサイクルごとに送信先回路に送信するとともに、前記送信データを前記送信先回路に受信させるためのストローク信号を前記送信先回路に送信する送信制御ステップと、

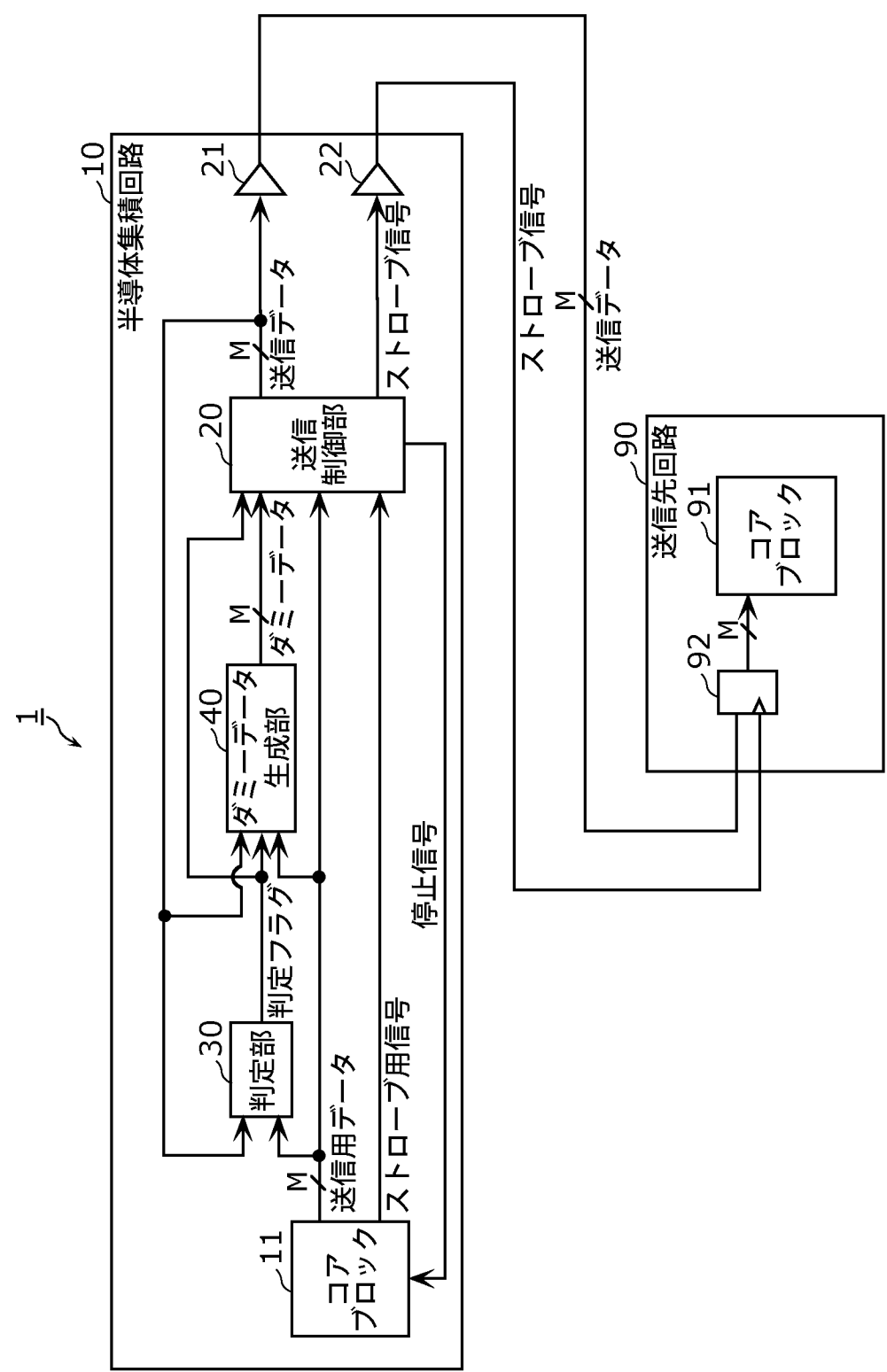
次に送信する予定の送信予定データと、過去に送信した送信データのうちのNサイクル(Nは1以上の整数)で送信したN個の送信済データと、に基づいて、前記送信予定データを前記送信先回路に送信する前に、ダミーデータを前記送信先回路に送信するか否かを判定する判定ステップと、

所定の方法で前記ダミーデータを生成するダミーデータ生成ステップと、を有し、

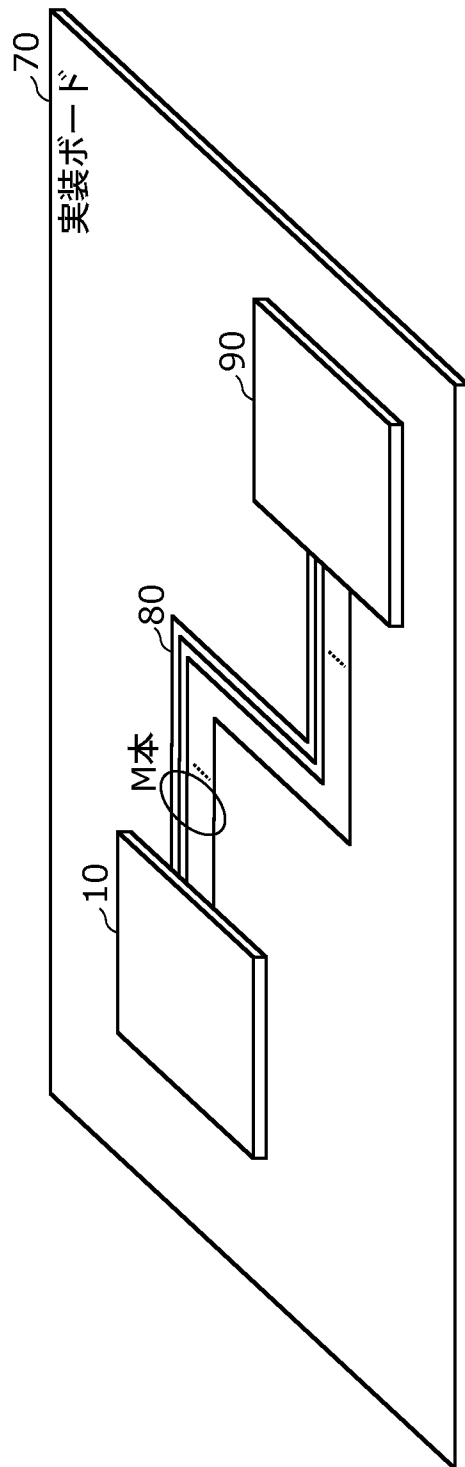
前記送信制御ステップでは、前記判定ステップにおいて、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路に送信すると判定した場合には、前記送信予定データを前記送信先回路に送信する前に、前記ダミーデータを前記送信先回路

に送信するとともに、前記ダミーデータを前記送信先回路において無効化させるための無効化処理を行うデータ伝送方法。

[図1]



[図2]



[図3]

	T5	T4	T3	T2	T1
DQ0	0	1	1	0	1
DQ1	0	1	1	0	1
DQ2	1	0	0	0	1
DQ3	0	1	0	0	1
DQ4	0	1	1	0	1
DQ5	1	0	0	0	1
DQ6	0	0	1	0	1
DQ7	0	1	0	1	1

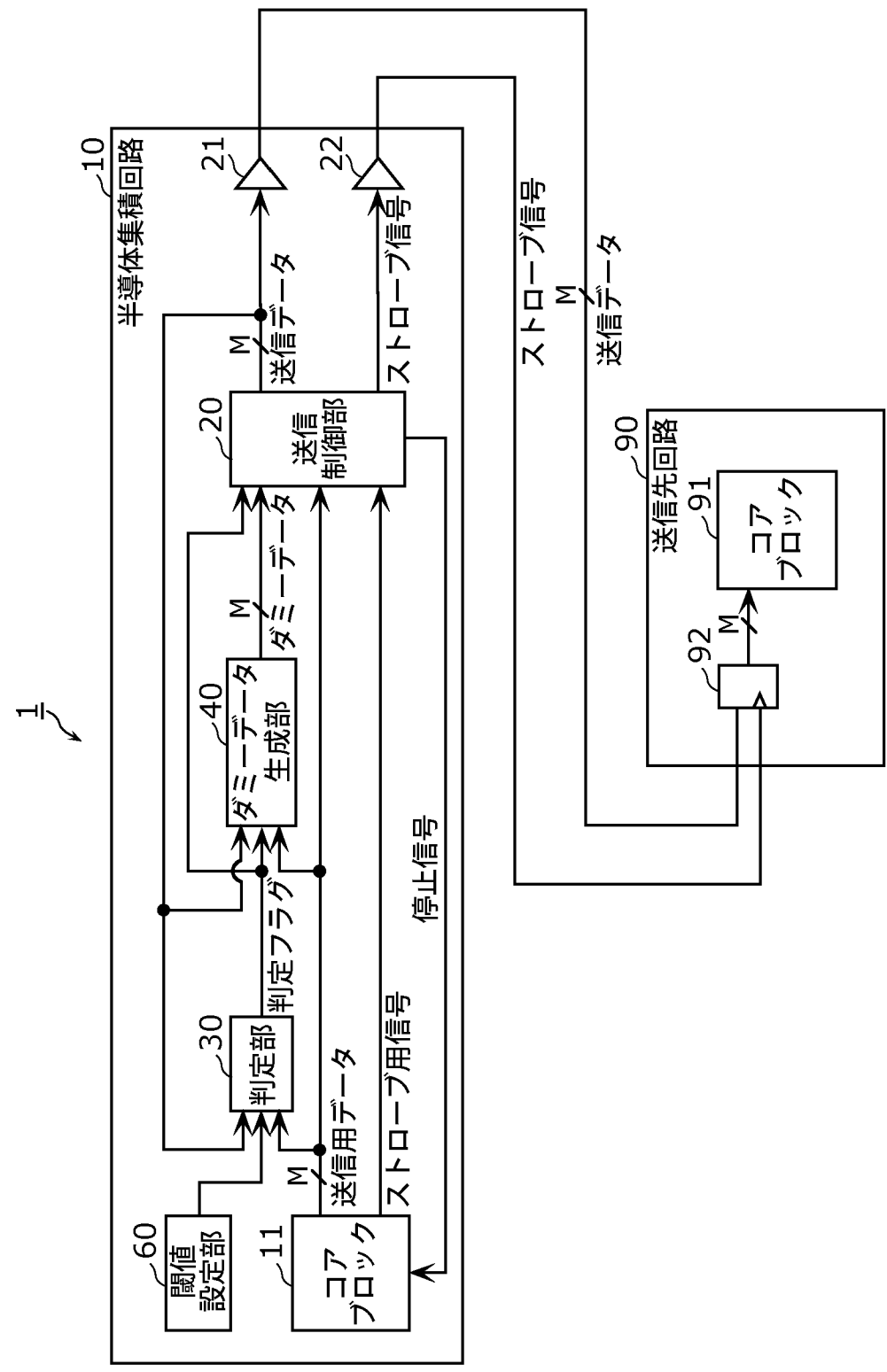
[図4]

	T1		T0	
DQ0	0		1	0→1遷移あり
DQ1	0		1	0→1遷移あり
DQ2	1		1	
DQ3	0		1	0→1遷移あり
DQ4	0		1	0→1遷移あり
DQ5	1		1	
DQ6	1		0	
DQ7	0		1	0→1遷移あり

[図5]

	T1		T0	
DQ0	0		0	
DQ1	0		1	0→1遷移あり
DQ2	1		0	
DQ3	0		0	
DQ4	0		0	
DQ5	1		0	
DQ6	0		0	
DQ7	0		1	0→1遷移あり

[図6]



[図7]

	T1		T0	
DQ0	X		X	
DQ1	1		0	0→1または1→0遷移あり
DQ2	0		1	0→1または1→0遷移あり
DQ3	X		X	
DQ4	X		X	
DQ5	1		0	0→1または1→0遷移あり
DQ6	X		X	
DQ7	X		X	

[図8]

	T4	T3	T2	T1		T0	
DQ0	0	0	0	0		1	0→0→0→0→1または1→1→1→1→0遷移あり
DQ1	0	1	1	0		1	
DQ2	1	0	0	0		1	
DQ3	0	1	0	0		1	
DQ4	0	1	1	0		1	
DQ5	1	0	0	0		1	
DQ6	0	0	1	0		1	
DQ7	0	1	0	1		1	

[図9]

	T4	T3	T2	T1		T0
DQ0	0	1	1	0		1
DQ1	0	1	1	0		1
DQ2	1	0	0	0		1
DQ3	0	1	0	0		1
DQ4	0	1	1	0		1
DQ5	1	0	0	0		1
DQ6	0	0	1	0		1
DQ7	0	1	0	1		1

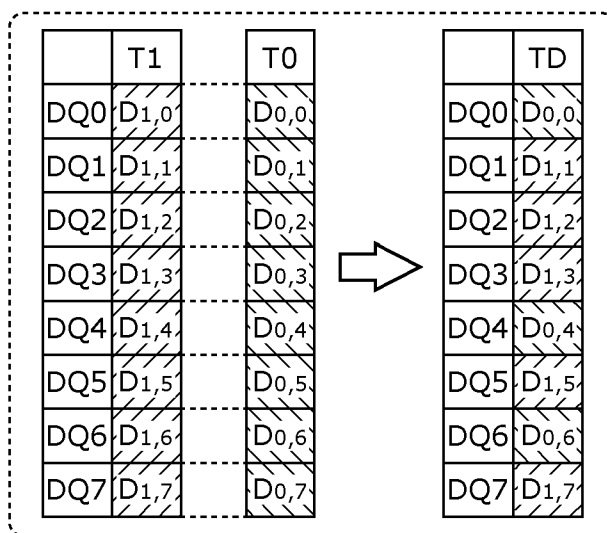
[図10]

	T4	T3		T2	T1		T0	
DQ0	0	1	0→1遷移あり	0	0		1	0→1遷移あり
DQ1	0	1	0→1遷移あり	0	1		1	
DQ2	1	1		1	0		1	0→1遷移あり
DQ3	0	1	0→1遷移あり	0	0		1	0→1遷移あり
DQ4	0	1	0→1遷移あり	0	0		1	0→1遷移あり
DQ5	1	1		1	0		1	0→1遷移あり
DQ6	0	1	0→1遷移あり	0	0		1	0→1遷移あり
DQ7	0	0		0	1		0	

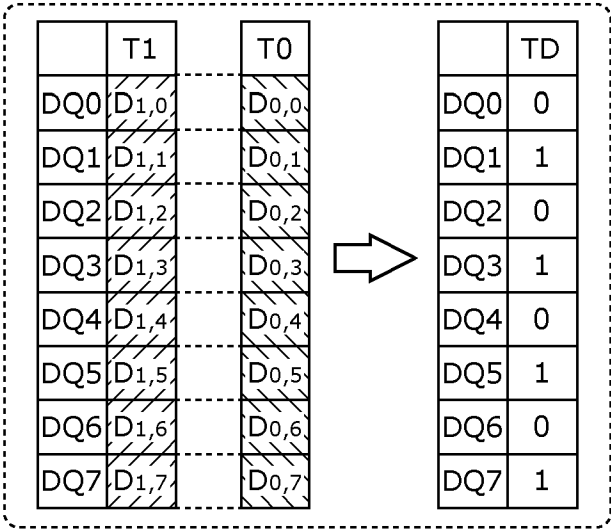
[図11]

	T4	T3	T2	T1		T0	
DQ0	0	1	0	0		1	0→1遷移あり
DQ1	0	1	0	1		1	
DQ2	1	1	1	0		1	0→1遷移あり
DQ3	0	1	0	0		1	0→1遷移あり
DQ4	0	1	0	0		1	0→1遷移あり
DQ5	1	1	1	0		1	0→1遷移あり
DQ6	0	1	0	0		1	0→1遷移あり
DQ7	1	1	1	1		0	0→0→0→0→1または1→1→1→1→0遷移あり

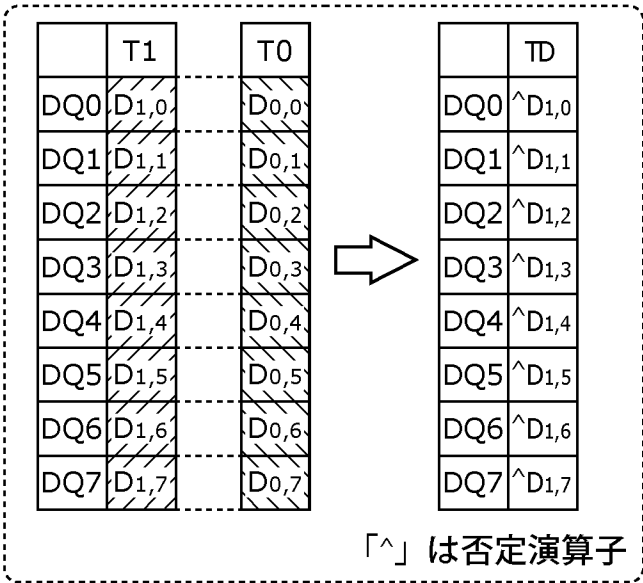
[図12]



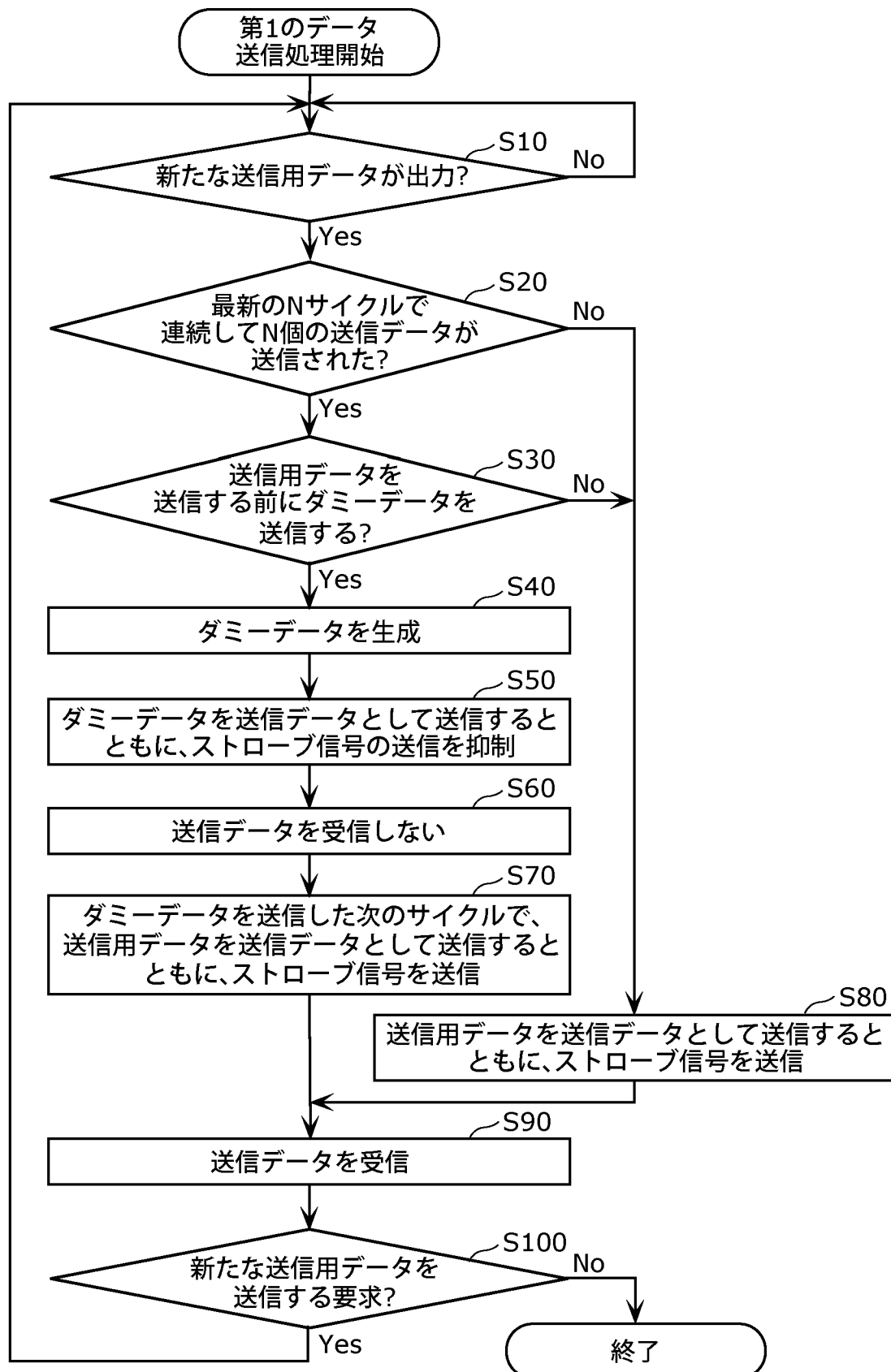
[図13]



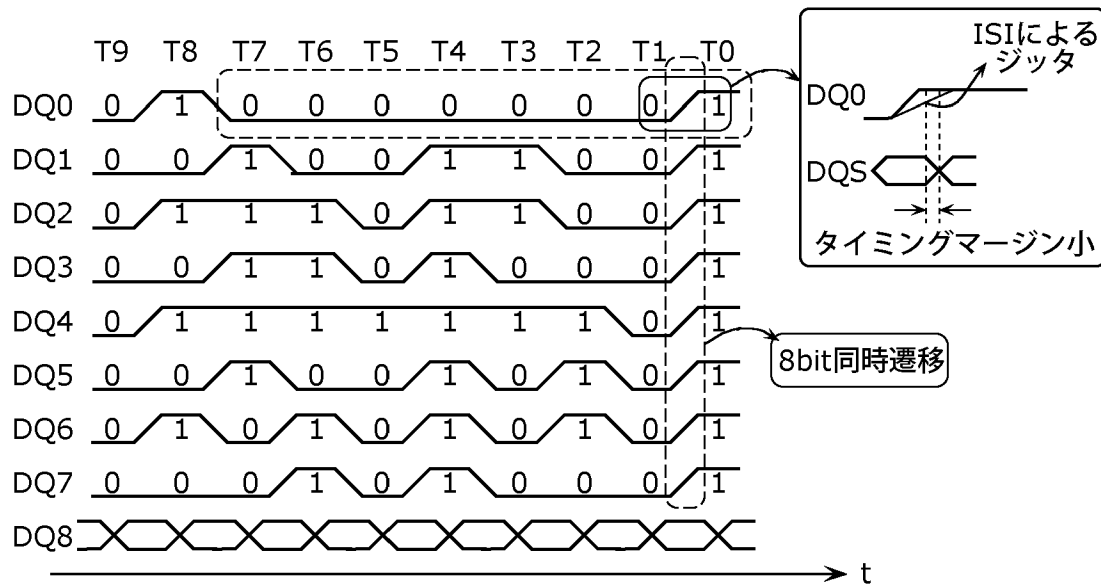
[図14]



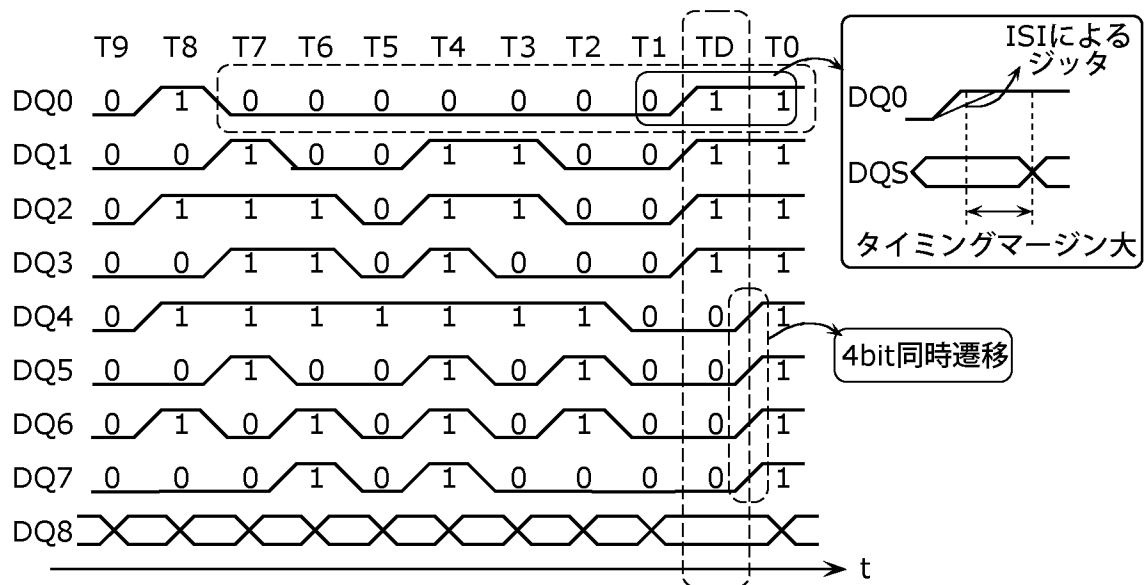
[図15]



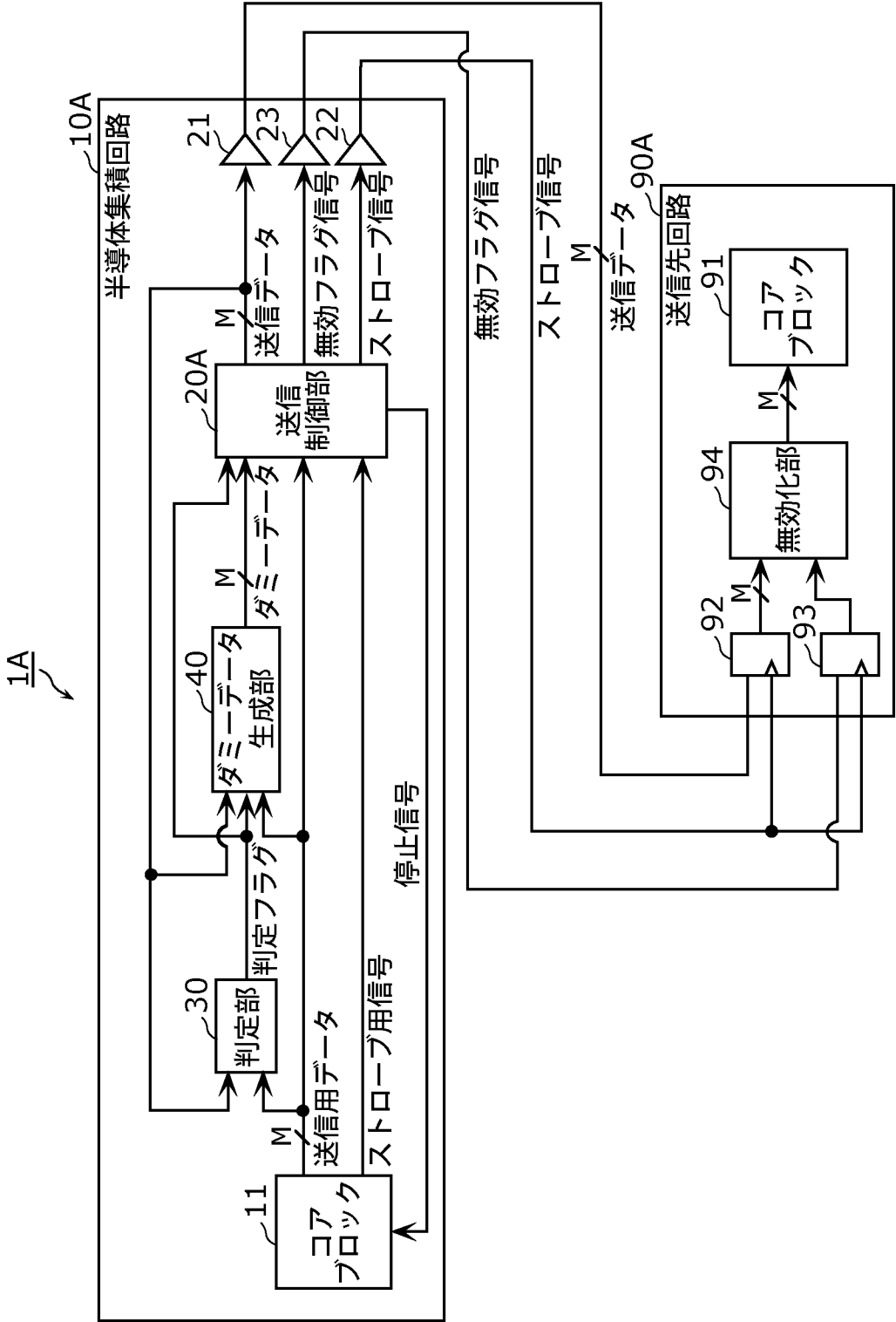
[図16]



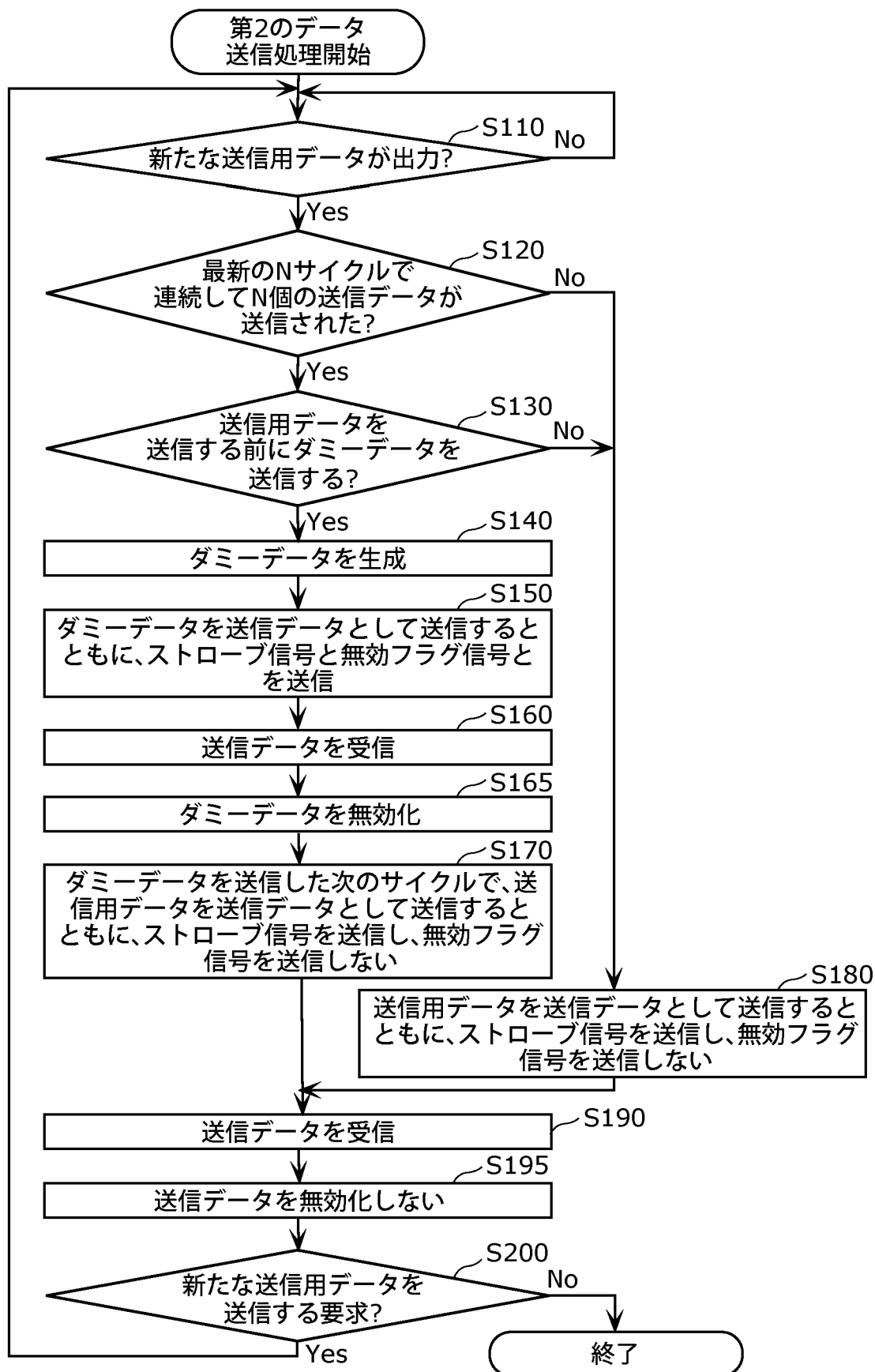
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/042305

A. CLASSIFICATION OF SUBJECT MATTER**H04L 25/03**(2006.01)i; **H04L 25/02**(2006.01)i

FI: H04L25/03 Z; H04L25/02 J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/03; H04L25/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 57-184354 A (NIPPON ELECTRIC CO) 13 November 1982 (1982-11-13)	1-23
A	JP 2007-304797 A (SEIKO EPSON CORP) 22 November 2007 (2007-11-22)	1-23
A	JP 56-126352 A (NIPPON ELECTRIC CO) 03 October 1981 (1981-10-03)	1-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

31 January 2024

Date of mailing of the international search report

13 February 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/042305

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	57-184354	A	13 November 1982	(Family: none)			
JP	2007-304797	A	22 November 2007	(Family: none)			
JP	56-126352	A	03 October 1981	US	4353129	A	
				CA	1151260	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04L 25/03(2006.01)i; H04L 25/02(2006.01)i
FI: H04L25/03 Z; H04L25/02 J

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04L25/03; H04L25/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922 - 1996年

日本国公開実用新案公報1971 - 2024年

日本国実用新案登録公報1996 - 2024年

日本国登録実用新案公報1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 57-184354 A（日本電気株式会社）13.11.1982（1982 - 11 - 13）	1-23
A	JP 2007-304797 A（セイコーエプソン株式会社）22.11.2007（2007 - 11 - 22）	1-23
A	JP 56-126352 A（日本電気株式会社）03.10.1981（1981 - 10 - 03）	1-23

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
31.01.2024

国際調査報告の発送日
13.02.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

阿部 弘 5K 9382

電話番号 03-3581-1101 内線 3556

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/042305

引用文献			公表日	パテントファミリー文献			公表日
JP	57-184354	A	13.11.1982	(ファミリーなし)			
JP	2007-304797	A	22.11.2007	(ファミリーなし)			
JP	56-126352	A	03.10.1981	US	4353129	A	
				CA	1151260	A	